

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：P3136789

※ 申請日期：93-11-29 ※IPC 分類：H01L 21/302

一、發明名稱：(中文/英文)

以氧化碳化矽和氮碳化矽為基本組成材料之 MOS 元件

Silicon Oxycarbide and Silicon Carbonitride Based Materials for MOS
Devices

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

台灣積體電路製造股份有限公司

TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.

代表人：(中文/英文) 張忠謀/CHANG, CHUNGMOU

住居所或營業所地址：(中文/英文)

新竹科學工業園區新竹市力行六路八號

NO.8, LI-HSIN RD.6, SCIENCE-BASED INDUSTRIAL PARK,
HSIN-CHU, TAIWAN 300, R.O.C.

國 籍：(中文/英文) 中華民國 R.O.C.

三、發明人：(共 6 人)

姓 名：(中文/英文)

1. 吳振誠/ WU, ZHENCHENG
2. 蔡宏駿/ TSAI, H.C.
3. 林大文/ LIN, DAWEN
4. 張文/ CHANG, WEN
5. 鄭雙銘/ JENG, SHWANGMING
6. 梁孟松/ LIANG, MONGSONG

I254369

國 稷：(中文/英文)

1. 中華民國 R.O.C.
2. 中華民國 R.O.C.
3. 中華民國 R.O.C.
4. 中華民國 R.O.C.
5. 中華民國 R.O.C.
6. 中華民國 R.O.C.

四、聲明事項：

主張專利法第二十二條第二項第一款或第二款，
 實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 美國、2004/4/27、60/565,630
2. 美國、2004/7/21、10/895,514

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係有關於一般的半導體元件，尤其是關於半導體元件中的接觸窗蝕刻阻絕層(contact etch stop, CES)。

【先前技術】

在深次微米微電子製造中，氮化矽 (silicon nitride, SiN) 於接觸窗蝕刻過程中被廣泛地應用為阻絕層(stop layer)。在習知技術中，層間介電層(inter-layer dielectric, ILD) 是做為金屬氧化物半導體(metal-oxide semiconductor, MOS) 元件和位於其上之金屬線之間的絕緣材料。接觸窗孔洞(contact openings) 則穿過 ILD 層到源極 / 沖極 (source/drain) 和閘極(gate)。由於 ILD 層相當地厚，因此難以控制蝕刻過程而沒有過蝕刻(over etch)。形成 ILD 層之前，先形成接觸窗蝕刻阻絕層。因此施行第一高選擇性蝕刻來蝕刻 ILD 層，並停止在蝕刻阻絕層(etch stop)上。然後施行第二選擇性蝕刻，在蝕刻阻絕層後，以曝露出位於其下之層。

在傳統的技術領域中使用氮化矽膜當蝕刻阻絕層有許多的缺點。一般所知氮化矽具有高介電質常數(即所謂的 k 值)，約為 7.5~8。高 k 值會增高寄生電容(parasitic capacitance)而降低元件的性能。此外，氮化矽膜的低沉積速率以及高沉積溫度並不是理想的製程特性。

【發明內容】

在本發明之較佳實施例中，形成接觸窗蝕刻阻絕層之基本組成材料為氧碳化矽(silicon oxycarbide, SiCO；或稱矽碳含氧化物)，以及氮碳化矽(silicon carbonitride, SiCN；或稱矽碳含氮化物)，例如碳摻雜氧化物(carbon doped oxide, CDO)和氮摻雜碳化矽物(nitride doped silicon carbide, NDC)。

SiCO 和 SiCN 材料之 k 值比 SiN 材料之 k 值低。此外，此種具有低 k 值的材料可在較高之沉積速率及較低之沉積溫度下進行沉積。使用含 SiCO 和 SiCN 之材料的 MOS 元件特性，不管是在外緣電容(outer fringing capacitance)、接觸電阻(contact resistance)、片電阻(sheet resistance)、啟始電壓(threshold voltage)和遺漏電流(leakage current)等方面，和過去習知技藝相比較均有獲得改善。

本發明一較佳實施例中，在基材上形成閘介電層(gate dielectric)和閘電極(gate electrode)，接著沿著閘介電層和閘電極兩側形成一對間隙壁(spacers)，然後形成源極/汲極。CES 層形成在源極/汲極及間隙壁區域，CES 層較佳之基本組成材質為 SiCO 或 SiCN，接著形成 ILD 層在 CES 層上，再形成接觸窗孔洞，並於接觸孔洞中形成接觸窗插塞(contact plugs)。

以 SiCO 或 SiCN 為基本組成材質之材料，也可用於形成 MOS 元件中的其他部分，例如間隙壁、閘階梯外形(gate step features)和 ILD 層。

【實施方式】

雖然本發明已以一較佳實施例揭露如下，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

本發明一較佳實施例使用 SiCO 和 SiCN 為基本組成材質之材料例如 CDO 和 NDC 來製造 MOS 元件。在較佳實施例中討論製造過程的詳細內容及 MOS 元件的測試結果。

請參照第 1 圖到第 7 圖，係繪示本發明之較佳實施例。第 1 圖係繪示形成一閘極。在繪示之較佳實施例中，基材 2 為矽基材。在其他較佳實施例中例如矽鍺(SiGe)、體積半導體 (bulk semiconductor)、應變半導體 (strained semiconductor)、混成半導體 (compound semiconductor)、多層半導體 (multi-layer semiconductor) 或 矽絕緣體 (silicon-on-insulator, SOI)、應變矽絕緣體 (SSOI)、應變矽鍺絕緣體 (S-SiGeOI)、矽鍺絕緣體 (SiGeOI)、鍺絕緣體 (GeOI) 及其他類似的材料均可當作基材 2。由習知技藝可知，部分基材例如通道區 (channel areas) 將會被輕微地摻雜 n 型或 p 型的摻質 (dopant)。

閘介電層 4 沉積在基材 2 表面上，其材質較佳為氧化物 (oxide)，形成閘介電層的方法為習知技藝者所熟悉例如：熱氧化法等方法。在另一較佳實施例中，因為氮化矽膜能有效地阻擋污染物擴散，所以較佳形成氮化矽膜方法

為矽之熱氮化法，也可藉由氮氫組成的電漿陽極氮化法或二氧化矽(SiO_2)之熱氮化法形成氮化矽膜。在另一較佳實施例中，閘介電層也可為氮氧介電層、含氧介電層、含氮介電層或結合上述之組合所形成之介電層。

第 1 圖亦顯示一閘電極 6 形成在閘介電層 4 上方，閘電極 6 較佳材料為複晶矽 (polysilicon)，也可由其他材質形成例如金屬或包含金屬、半導體材料、金屬氧化物以及矽化金屬 (silicides) 之化合物。形成閘電極 6 之較佳方法為化學氣相沉積法。複晶矽能作為罩幕以使閘極和源極/汲極重疊減到最小。此將提高元件性能。接著複晶矽被摻雜以降低元件之片電阻。又一較佳實施例中，形成閘電極 6 之材料可為非晶矽 (amorphous silicon)、有傳導性質的金屬元素、有傳導性質的金屬元素之合金、有傳導性質的矽化金屬或氮化金屬、或上述之任意組和。閘電極 6 和閘介電層 4 被圖案化後形成閘極。

第 2 圖係繪示有間隙壁之閘極。沿著閘介電層 4 和閘電極 6 之兩側形成一對間隙壁 8。間隙壁 8 於接下來的自行對準金屬矽化物 (self-aligned silicide, 通常簡稱為 salicide) 製程中作為自行對準罩幕。形成間隙壁的材料可為氧化物、氮化矽、氧氮化物或及上述之組合物。形成間隙壁 8 的方法為習知技藝者所熟悉，例如以毯覆式沉積法 (blanket deposition) 覆蓋一介電層在包含基材 2 和閘電極 6 之整個區域上方，接著以非等方性蝕刻移除平行於表面的介電層並留下間隙壁 8。

料。

第 3 圖係繪示形成一源極和汲極。磊晶沉積一半導體材料 10，其係用來定義源極/汲極區域。最佳形成半導體材料 10 的方法為選擇性磊晶成長(selective epitaxy)。形成 SiO_2 層覆蓋在基材 2 上方(圖中未示出)，接著形成孔洞穿過 SiO_2 層以曝露源極/汲極區域，再經由磊晶成長形成半導體材料 10。形成半導體材料 10 的較佳方法為分子束磊晶(molecular beam epitaxy, MEB)，其他沉積技術包括：化學氣相沉積(chemical vapor deposition, CVD)、極高真空化學氣相沉積(ultra high vacuum chemical vapor deposition, UHVCVD)、原子層化學氣相沉積(atomic layer chemical vapor deposition, ALCVD)或金屬有機化學氣相沉積(metal organic chemical vapor deposition, MOCVD)。在已曝露的單晶基材區域磊晶長成半導體材料 10，接著在 SiO_2 層上形成複晶矽(poly-crystal)，然後蝕刻移除複晶矽和 SiO_2 ，只留下半導體材料 10。在另一較佳實施例中，形成源極 9 和汲極 11 之材料為磊晶於基材 2 凹處所形成，源極 9 和汲極 11 實質上是在基材 2 內所形成(與在基材 2 上形成源極 9 和汲極 11 是不同的)。在另一較佳實施例中，形成源極 9 和汲極 11 可經由摻雜於基材 2 中所選定的區域中進行。

接著對閘電極 6、源極 9 和汲極 11 區域進行離子植入(ion-implantation)。由半導體材料 10 所形成理想的源極 9 和汲極 11 區可摻雜高濃度的 p 型及 n 型摻質。多晶矽的電阻率可藉由摻雜而降低，接著執行回火(annealing)步驟以恢

復植入之前的晶格結構，回火過程必須小心控制。在一較佳實施例中，摻質垂直擴散而超過了植入損壞的區域。在另一較佳實施例中，快速熱製程(rapid thermal process, RTP)可減少摻質重新分佈範圍。值得重視的是，橫向分佈可能引起摻質擴散到間隙壁下方的區域，但不會擴散到閘介電層下方的區域。

請亦參考第 3 圖繪示一經由自我對準金屬矽化物過程所形成之矽化金屬區域 13。在閘電極、源極/汲極區上方塗佈一層過渡金屬材料例如鈷、鈦、鎳或其他類似金屬。在一較佳實施例中，使用金屬鎳當材質，接著進行熱製程，使金屬和位於下方的矽反應形成矽化金屬。利用習知技術透過蝕刻劑(etchant)選擇性地移除未反應之金屬，此蝕刻劑不會攻擊到矽化金屬、二氧化矽和矽基材。

可隨意選擇執行一預處理法，在腔體中進行氫預處理法為較佳方式，處理條件之一例為：氫氣流速約為 9500 sccm，腔體內壓力維持在約為 2.3 torr，溫度約為 400 °C 以及處理時間約為 10 秒。

氮預處理法為另一選擇方式，下列處理條件為：腔體中充滿氮氣和氰氣的混合氣體，氮氣流速約為 9500 sccm 以及氰氣流速約為 2800 sccm，腔體內壓力維持約為 4.8 torr，溫度約為 400°C 以及處理時間約為 10 秒。

第 4 圖係繪示形成一黏著層(glue layer)14。為了改善 CES 層的附著能力(adhesion)及預防 CES 層的剝離(peeling)，含 SiC 材質的薄黏著層 14 可選擇性地形成在整

個元件上，包含的區域有源極 9 和汲極 11、間隙壁 8 和複晶矽 6。形成黏著層 14 的方法有電漿增強式化學氣相沉積 (plasma enhanced chemical vapor deposition, PECVD)、原子層沉積 (atomic layer deposition, ALD)，以及低壓化學氣相沉積 (low pressure CVD, LPCVD)，其中以 PECVD 為較佳方法。沉積黏著層 14 條件一例為：前驅物為四甲基矽烷 $\text{Si}(\text{CH}_3)_4$ (4MS 或 tetramethylsilane)，4MS 的流速約為 1350 sccm，腔體內壓力維持在約為 1.6 torr，溫度約為 400 °C 以及處理時間約為 20 秒。黏著層 14 之形成較佳厚度約為 20 到 50 埃之間，更佳厚度約為 20 埃。

第 5 圖係繪示一以毯覆式 (blanket) 沉積 CES 層 16 於黏著層 14 上方。CES 層 16 較佳形成方式為 PECVD，或其他方法例如 ALD 或 LPCVD 亦可。在形成 CES 層 16 之一較佳實施例中，CES 層 16 的材質為碳摻雜氧化物例如 CDO、 SiOC 和 ODC (Oxide Deped Carbide)。CES 層 16 之沉積較佳厚度約為 100 埃到 1000 埃之間，更佳厚度約為 300 埃。形成 CES 層 16 的氣體可為任何包含碳之前驅物，較佳的組成氣體為 4MS 或三甲基矽甲烷 $(\text{CH}_3)_3\text{SiH}$ (3MS 或 trimethylsilane) 以及二氧化碳 (CO_2)。在沉積 CDO 薄膜之一較佳實施例中，整個氣腔體充滿 4MS 和 CO_2 組成的前驅氣體，前驅氣體的流速約為 1060 sccm 到 3860 sccm，腔體內壓力維持在約 1.5 torr，沉積溫度約為 400 °C。在上述條件之下，厚度為 300 埃到 500 埃之 CDO 薄膜需花約 10 秒到 50 秒間來沉積之。

在形成 CES 層 16 之另一較佳實施例中，形成 CES 層 16 的材質為氮摻雜氧化物例如 NDC 和 SiCN。CES 層 16 之較佳厚度約為 100 埃到 1000 埃，更佳厚度約為 300 埃。形成 CES 層 16 的氣體可為任何包含碳之前驅物，較佳的組成氣體為 4MS 或三甲基矽甲烷 $(CH_3)_3SiH$ (3MS 或 trimethylsilane)、氨氣 (NH_3) 和氮氣 (N_2) 。在沉積 NDC 薄膜之一較佳實施例中，整個氣腔體充滿 4MS、 NH_3 和 N_2 所組成的前驅氣體，前驅氣體的流速約為 1120 sccm 到 1700 sccm，腔體內壓力維持在約 3.9 torr，沉積溫度約為 400 °C。在上述條件之下，厚度為 300 埃到 500 埃之 NDC 薄膜需花約 10 秒到 50 秒間來沉積之。

$SiCO$ 和 $SiCN$ 材料之 k 值比 SiN 材料為低(一般 SiN 之 k 值為 7.5 到 8)，同時實際的 k 值會隨著不同製程而產生變化。 k 值可利用製程條件的改變而調整，例如沉積壓力的改變，所形成的 $SiCO$ 或 $SiCN$ 薄膜之 k 值範圍約在 3.0 到 5.0 之間。

增加 CES 層 16 會導致元件內應力產生。一般所知元件內的應力會提高載子的遷移率，因而提高元件的效能。由習知技藝所知，同平面拉伸應力 (in-plane tensile stress) 會改善 NMOS 元件的效能，但是會降低 PMOS 元件效能。因此為了利用應力的好處，需要 CES 層 16 的應力為可調整的在一較佳實施例中，應力可能會經由改變沉積條件而有所調整，例如改變沉積溫度。應力可能調整範圍約在 -3 Gpa 到 3 Gpa，此處的正值表示拉伸應力 (tensile stress)，負值表

示壓縮應力 (compressive stress)。

接下來第 6 圖係繪示一層間介電層 18 (ILD) 沉積在 CES 層 16 的表面上，其中 ILD 層 18 亦稱為前金屬介電層 (pre-metal dielectric, PMD) 或金屬層間介電層 (inter-metal dielectric, IMD)。在一較佳實施例中，ILD 層 18 為含 SiCO 或 SiCN 之材料層，其 k 值約小於 7.0，而較佳之 k 值約小於 4.0。由習知技藝所知，ILD 層 18 位於電晶體及後來將形成於 ILD 層 18 上方之金屬線之間當做絕緣材料。寄生電容存在於源極/汲極、複晶矽及形成於 ILD 層 18 上方之金屬線之間，且寄生電容會降低元件的效能。由於降低 ILD 層 18 之 k 值使得寄生電容變得較小，因此改善了元件的效能。因為所使用介電質材料之 k 值大小和電容大小成正比，因此 ILD 層 18 之較小 k 值導致寄生電容明顯地減小。在另一較佳實施例中，ILD 層 18 也可使用 SiO_2 材質沉積，沉積 ILD 層 18 之技術包括 CVD、PECVD、LPCVD 或其他相關方法。

第 6 圖係繪示形成一抗微影材料 20 且圖案化於 ILD 層 18 上，以便形成接觸窗孔洞 24 於源極/汲極區及閘極上(請見第 7 圖)。由於 ILD 層 18 和 CES 層 16 為可進行選擇性蝕刻 (selective etching) 之不同材料，因此分兩步驟進行蝕刻。第一步驟為蝕刻 ILD 層 18 後停止在 CES 層 16，第二步驟為蝕穿 CES 層 16 以曝露出位於下方之材料層。因為 CES 層 16 厚度比 ILD 層 18 薄，所以蝕刻過程中可更精確地控制以預防過蝕刻 (over etch)。雖然 CES 層 16 和 ILD 層 18

均為含 SiCO 和 SiCN 之材料層，但兩者必須有所不同以便可進行選擇性蝕刻。在一較佳實施例中，因為 ILD 層 18 為含 SiCO 之材質層而 CES 層 16 為含 SiCN 之材料層，所以在蝕刻 ILD 層 18 時使用 C_4F_6 、 O_2 、CO 以及 Ar 之混合氣體進行蝕刻並停止在 CES 層 16，接著 CES 層 16 可利用 CH_2F_2 加 O_2 之混合氣體進行蝕刻。

第 7 圖係繪示形成一接觸窗插塞 24 在接觸窗孔洞上。接觸窗插塞 24 可由金屬鎢、鋁、銅或其他習知的替代金屬作為材料。接觸窗插塞 24 亦可為複合結構，包括阻障層/黏著層的結構，例如鈦/氮化鈦(titanium nitride)或鈦/氮化鉭(tantalum nitride)，或其他類似之複合層亦可。

將本發明之較佳實施例和一些習知技術方面做比較，例如寄生電容、沉積速率、接觸電阻和片電阻等。每一方面比較之結果將於下述討論之。習知技藝之元件大都用類似結構物且在相似的條件下作為較佳實施例，除非在其他方面指定說明。

表一列示使用 SiN、ODC 和 NDC 三種介電材料形成薄膜之參數及結果，其中 SiN 為習知技術所使用之材料，ODC 及 NDC 為本發明之最佳實施例使用之材料。SiN 薄膜形成於充滿矽化氫(SiH_4)、氨氣和氮氣之氣腔體中，沉積溫度約為 480 °C，腔體內壓力保持約 3 torr.

表一

材質	SiN	ODC	NDC
沉積時間(秒)	176	54	31
厚度(埃)	1207	1171	1104
沉積速率(埃/分)	411	1301	2137
k 值	7.5~8	4~5	4~5
沉積溫度(°C)	480	400	400

在本發明之較佳實施例中，CES 層 16 沉積速率較快而且可在較低溫度下進行沉積。ODC 及 NDC 之材質沉積速度約是 SiN 之材質的 4 到 5 倍。ODC 及 NDC 之材質其沉積溫度為 400 °C，低於 SiN 之材質其沉積溫度 480 °C。ODC 及 NDC 之材質其 k 值範圍約為 4~5，小於 SiN 材質之 k 值約 7.5~8。

在本發明之較佳實施例中，元件之外緣電容降低，此外緣電容為複晶矽 6 和源極/汲極 10 之間的寄生電容。第 8a 圖和第 8b 圖係繪示用以解釋邊緣電容結果，每一圖繪示含有間隙壁之兩相鄰 MOS 元件。在 8a 圖中，標示 48 和 50 為間隙壁，同時接觸窗插塞 60 連接於和源極/汲極 54。距離 d_1 表示複晶矽 42 和接觸窗插塞 60 之間的距離。在複晶矽 42 和接觸插塞 60 間存有邊緣電容 30。第 8b 圖類似於第 8a 圖，除了於第 8b 圖中移除接觸插塞 60 的部分。距離 d_2 表示一元件之複晶矽 62 和另一元件之複晶矽 73 之間的距

離。在複晶矽 62 和複晶矽 73 間存有邊緣電容 80。在複晶矽 62 和源極/汲極 74 之間也存有外緣電容 32，此外緣為複晶矽 62 和源極/汲極 74 之間的寄生電容。

第 9 圖係圖示一電容之量測結果，顯示邊緣電容為在複晶矽和源極/汲極間之間隔距離的函數圖形。在圖 8a 中，複晶矽 42 和接觸窗插塞 60 間之隔距離表示為 d_1 、圖 8b 中複晶矽 62 和複晶矽 73 間隔距離表示為 d_2 。第 9 圖中之曲線 1 和曲線 2 表示繪示於圖 8a 中之結合電容 30 和 32 之邊緣電容和間隔距離的函數關係。其中曲線 1 表示含 SiN 材料(k 值為 7.5)所形成之 CES 層 46，曲線 2 表示含 CDO 及 NDC 材料(k 值為 4.0)所形成之 CES 層 46。第 9 圖中的曲線 3 和曲線 4 表示繪示於圖 8b 中之結合電容 80 和 32 之邊緣電容和間隔距離的函數關係。其中曲線 3 表示含 SiN 材料(k 值為 7.5)所形成之 CES 層 66，曲線 4 表示含 CDO 及 NDC 材料(k 值為 4.0)所形成之 CES 層 66。可觀察到 CES 層 46 對於電容 30 有貢獻，因此 CES 層 46 之 k 值降低有助於縮小電容 30。因為曲線 2 所表示之 CES 層 46 其 k 值低於曲線 1 所表示之 CES 層 46 之 k 值，所以曲線 2 位置低於曲線 1。曲線 1 和曲線 2 之間的電容差異約為 4 % 到 5 %。因為曲線 4 所表示的 CES 層 66 其 k 值低於曲線 3 所表示 CES 層 66 之 k 值，所以曲線 4 位置亦低於曲線 3。當間隔距離和增加時，電容 30 和電容 80 效應會降低以至於 CES 層所造成影響也會低。依某個觀點而言，當間隔距離明顯地增加時，電容 30 和電容 80 的效應會減小而且電容 32 會變

成造成邊緣電容之主要部分，最後曲線 1、2、3 和 4 將會合併成一曲線。

在習知技藝中，因為 CES 層 16 影響接觸表面特性、接觸外型和其他過蝕刻的行為，所以 CES 層 16 影響位於其下之層 6 及層 10(如第 5 或第 6 圖中所示)和接觸插塞 24 之間的接觸電阻。接觸插塞 24 和源極/汲極 9、11 之間的接觸電阻和習知技藝做比較，相關結果顯示於第 10 圖和第 11 圖。第 10 圖係圖示累積或然率為 n+ 摻雜源極/汲極 10 和接觸插塞 24 之間接觸電阻的函數圖形。測試結果以 794,475 個串連的接觸窗為基礎。需注意到含 ODC 材料、含 NDC 材料及含 SiN 材料形成之 CES 層 16，分別表示為曲線 81、曲線 82 及曲線 83，其中曲線 81 或曲線 82 所代表之 CES 層 16 的接觸電阻比曲線 83 所代表之 CES 層 16 的接觸電阻約低 10%。

第 11 圖係圖示在累積或然率為 p+ 摻雜源極 9、11 和接觸插塞 24 之間接觸電阻的函數圖形。測試結果也以 794,475 個串連的接觸窗為基礎。需注意到含 NDC 材料、含 ODC 材料及含 SiN 材料形成之 CES 層 16，分別表示為曲線 91、曲線 92 及曲線 93，其中以曲線 91 或曲線 92 代表之 CES 層 16 的接觸電阻小於曲線 93 所代表之 CES 層 16 的接觸電阻。

接觸電阻也存在於摻雜 n+ 的多晶矽和金屬接觸窗之間。從這執行的測試以 794,475 個串連的接觸窗之測試平均值為基礎，發現含 NDC 和 ODC 之材料電阻比含 SiN 材料

第 9 圖係繪示邊緣電容為複晶矽和源極/汲極間之間隔距離的函數圖形；

第 10 圖係繪示累積或然率為 n+ 摻雜源極/汲極和接觸插塞之間接觸電阻的函數圖形；以及

第 11 圖係繪示累積或然率為 p+ 摻雜源極/汲極和接觸插塞之間接觸電阻的函數圖形。

【主要元件符號說明】

2：矽基材	46：接觸窗蝕刻阻絕層
4：閘介電層	48：間隙壁
6：閘電極	50：間隙壁
8：間隙壁	54：源極/汲極
9：源極	60：接觸窗插塞
10：半導體材料	62：複晶矽
11：汲極	66：接觸窗蝕刻阻絕層
14：黏著層	74：源極/汲極
16：接觸窗蝕刻阻絕層	73：複晶矽
18：層間介電層層	80：電容
20：圖案化之抗微影材料	d_1 ：在圖 8a 中複晶矽和接觸窗插塞之間的距離
24：接觸窗插塞	d_2 ：在圖 8b 中複晶矽和源極/汲極之間的距離
30：邊緣電容	
32：邊緣電容	
42：複晶矽	

五、中文發明摘要

以氧碳化矽和氮碳化矽為基本組成材料之 MOS 元件

本發明之較佳實施例中揭露，在基材上形成閘介電層和閘電極。接著沿著閘介電層和閘電極兩側形成一對間隙壁，間隙壁之較佳之基本組成材質為 SiCO 或 SiCN。接著形成源極和汲極。在源極/汲極及間隙壁區域形成接觸窗蝕刻阻絕層 (CES)，CES 層較佳之基本組成材質為 SiCO 或 SiCN。接著形成層間介電層 (ILD) 在 CES 層上。

六、英文發明摘要

Silicon Oxy carbide and Silicon Carbonitride Based Materials for MOS Devices

In the preferred embodiment, a gate dielectric and an electrode are formed on a substrate. A pair of spacers is formed along opposite sidewall of the gate electrode and the gate dielectric. Spacers are preferably formed of SiCO based material or SiCN based material. The source and drain are then formed. A contact etch stop (CES) layer is formed on the source/drain regions and spacers. The CES layer is preferably formed of SiCO based material or SiCN based material. An Inter-Layer Dielectric (ILD) is then formed on the CES layer.

5.如申請專利範圍第 3 項所述之積體電路元件，其中該黏著層厚度約為 20 埃到 50 埃。

6.如申請專利範圍第 1 項所述之積體電路元件，其中該接觸窗蝕刻阻絕層的 k 值約小於 7.0。

7.如申請專利範圍第 1 項所述之積體電路元件，其中該接觸窗蝕刻阻絕層的厚度約 100 埃到 1000 埃。

8.如申請專利範圍第 1 項所述之積體電路元件，其中該接觸窗蝕刻阻絕層內應力約 -3 Gpa 到 3 Gpa。

9.如申請專利範圍第 1 項所述之積體電路元件，更包含一階梯外形之材料係選自由矽含氧化物、碳含氧化物和矽含氮化物、碳含氮化物以及介電質常數 k 值小於 5.0 所組成的族群。

10.如申請專利範圍第 9 項所述之積體電路元件，其中該階梯外形有一高度約大於 300 埃。

11.如申請專利範圍第 9 項所述之積體電路元件，其中該階梯外形有一高寬比約大於 2。

12.如申請專利範圍第 9 項所述之積體電路元件，更包括：

另一閘電極位於另一閘介電層上方，同時另一對間隙壁位於沿著該閘電極及該閘介電層之兩側，在上述之該另一對間隙壁中之其一側壁和另一側壁間隔距離至多 300 埃。

13.如申請專利範圍第 1 項所述之積體電路元件，其中該金屬層間介電層之材料係選自由矽含氧化物、碳含氧化物和矽含氮化物、碳含氮化物所組成的族群。

14.一種積體電路元件之形成方法，該方法至少包括：

形成一閘介電層在一基材表面上；

形成一閘電極在該閘介電層上；

形成一對間隙壁於沿著該閘電極及該閘介電層之兩側；

形成一對源極/汲極區域於鄰近之該些間隙壁；

形成一接觸窗蝕刻阻絕層於該源極/汲極區域上方，其中該接觸窗蝕刻阻絕層之材料係選自由氧碳化矽(SiCO)和氮碳化矽(SiCN)所組成的族群；

形成一金屬層間介電層於該接觸窗蝕刻阻絕層上方；以及

形成一導體於該金屬層間介電質層內。

15.如申請專利範圍第 14 項所述之積體電路元件的形

成方法，形成該接觸窗蝕刻阻絕層的方法為一化學氣相沉積法。

16.如申請專利範圍第 15 項所述之積體電路元件之形成方法，其中沉積該接觸窗蝕刻阻絕層之一前驅物為含碳之材料。

17.如申請專利範圍第 16 項所述之積體電路元件之形成方法，其中該前驅物包含四甲基矽甲烷和三甲基矽甲烷。

18.如申請專利範圍第 15 項所述之積體電路元件之形成方法，其中該化學氣相沉積法沉積溫度約為 300 °C 到 800 °C。

19.如申請專利範圍第 14 項所述之積體電路元件之形成方法，該方法更包含一氣電漿預處理步驟執行於形成該接觸窗蝕刻阻絕層之前。

20.如申請專利範圍第 14 項所述之積體電路元件之形成方法，該方法更包含一氣電漿預處理步驟執行於形成該接觸窗蝕刻阻絕層之前。

21.如申請專利範圍第 14 項所述之積體電路元件之形成方法，該方法更包含形成一含 SiC 之黏著層於形成該接

I254369

觸窗蝕刻阻絕層之前。

七、指定代表圖：

(一)、本案指定代表圖為：第(5)圖

(二)、本案代表圖之元件符號簡單說明：

2：矽基材

9：源極

4：閘介電層

11：汲極

6：閘電極

14：黏著層

8：間隙壁

16：接觸窗蝕刻阻絕層

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

在一較佳實施例中，間隙壁基本組成材質為 SiCO，例如碳摻雜氧化物(CDO)、含碳之氧化矽(SiOC)或 ODC(Oxide Doped Carbide)等。在另一較佳實施例中，間隙壁基本組成材質為 SiCN，例如氮摻雜碳化矽(NDC)。在後續形成 CES 層之介紹中會詳細討論形成含 SiCO 和 SiCN 材料層之細節。含 SiCO 和 SiCN 材料層之 k 值較佳為小於約 5.0。因為典型的積體電路尺寸一直在減小，所以接觸插塞(即分別連接到源極/汲極之具導電性的接觸)和複晶矽的距離也在減少，以至於在閘複晶矽和源極/汲極間的外緣電容變得更明顯。 k 值的減小可以幫助外緣電容減小，因此較佳為選用具有低 k 值介電質之材質。在一較佳實施例中，當間隙壁由含 SiN 之材料層(其 k 值為 7.5)改變為含 SiCO 和 SiCN 之材料層(其 k 值為 4.0)，外緣電容也會減小約 4% 到 5%。

含 SiCO 和 SiCN 材料層並非只侷限用在間隙壁。如果在元件的閘極構造中有一介電材料的階梯外形位於一複晶矽層和另一層複晶矽層之間或是在複晶矽層和接觸插塞之間。形成階梯外形之理想材料為含 SiCO 和 SiCN 之材質。階梯外形為在矽基材上壘起之特性。如果鄰近元件之間隙壁之間隔小於 300 埃、階梯外形的高寬比(aspect ratio)(即階梯高度和寬度之比率)約大於 2 或階梯高度約大於 300 埃均可使用含 SiCO 和 SiCN 之材料。在典型的例子中，階梯外形的高度約高於 1000 埃。當 CES 層沉積在未形成間隙壁之多晶矽閘極上時，CES 層沉積於複晶矽閘極之兩側成了階梯外形，且含 SiCO 和 SiCN 之材質為形成 CES 層理想材

95年3月9日修(送)正替換頁

之接觸電阻要好一些，所以位於金屬和摻雜 n+/p+多晶矽之間的接觸電阻至少可和習知技藝相匹敵。

由測試中也顯示出當 CES 層 16 的材料由 SiN 改變成含 ODC 及 NDC 時，位於材料下方之片電阻並不會被影響。n+摻雜源極/汲極、p+摻雜源極/汲極、n+摻雜多晶矽和 p+摻雜多晶矽之電阻值已被量測出來，顯示不管覆蓋在 CES 層之材料為何，上述之片電阻均不會改變。

其他特性方面例如啟始電壓和 MOS 電晶體的遺漏電流之測試結果顯示在不同的 CES 材料層例如 ODC、NDC 和 SiN 並沒有相當差異。

除了上述提到的優點外，本發明之較佳實施例完全符合現今元件的製造過程，同時可由以知的方法及現存的設備加以製造，以致於沒有額外的成本開支。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

為讓本發明之上述和其他目的、特徵、優點與實施例能更明顯易懂，所附圖式之詳細說明如下：

第 1 圖到第 7 圖係繪示依照本發明一較佳實施例之 MOS 電晶體製造階段之剖面圖；

第 8a 圖和第 8b 圖係繪示邊緣電容之示意圖；

95年3月9日修(文)正音換頁

十、申請專利範圍：

1. 一種積體電路元件，包含：

一基材有一表面；

一閘介電層位於該基材表面上；

一閘電極位於在該閘介電層上；

一對間隙壁位於沿著該閘電極及該閘介電層之兩側；

一對源極/汲極區域位於該閘電極之相反兩側；

一接觸窗蝕刻阻絕層位於該源極/汲極區及該間隙壁上，其中該接觸窗蝕刻阻絕層之材料係選自由氧碳化矽(SiCO)和氮碳化矽(SiCN)所組成的族群；

一金屬層間介電質層位於該接觸窗蝕刻阻絕層上方；
以及

一導傳插塞位於該金屬層間介電質層上方。

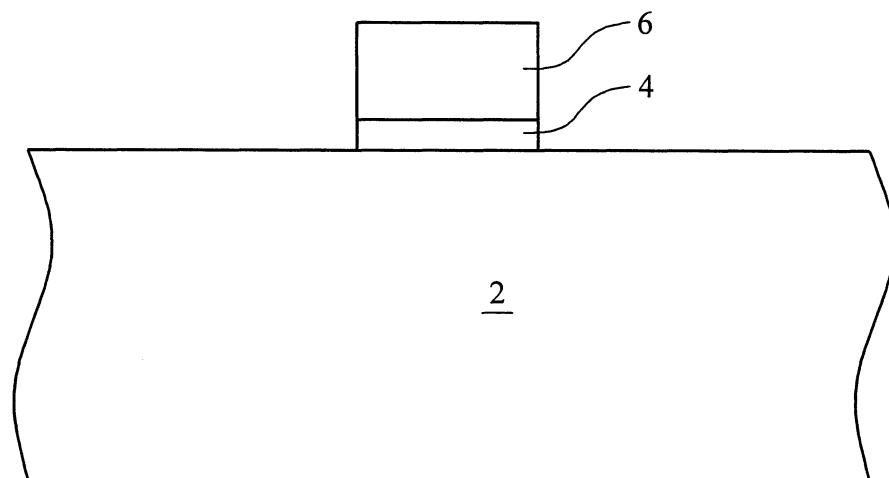
2. 如申請專利範圍第1項所述之積體電路元件，其中該間隙壁之材料係選自由矽含氧化物、碳含氧化物和矽含氮化物、碳含氮化物以及介電質常數k值小於5.0所組成的族群。

3. 如申請專利範圍第1項所述之積體電路元件，其中該元件更包括一黏著層位於該接觸窗蝕刻阻絕層下方。

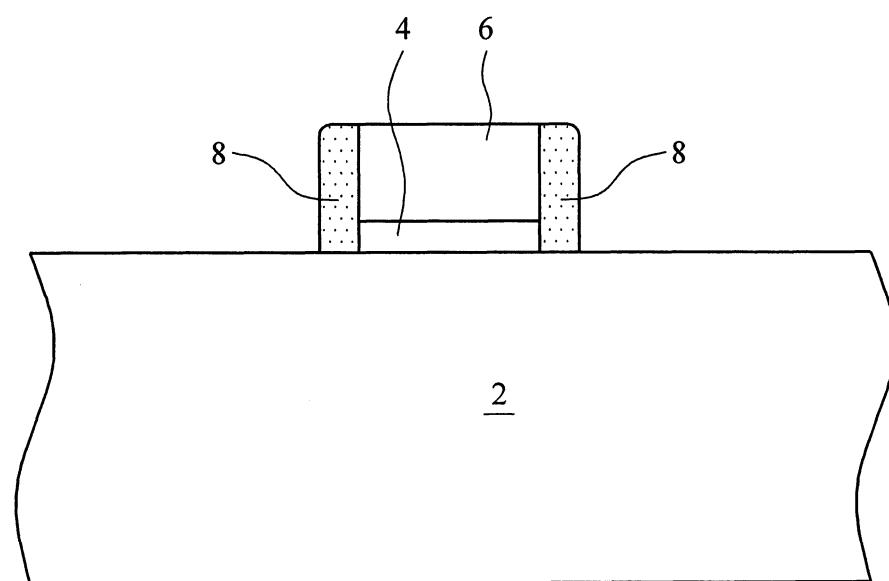
4. 如申請專利範圍第3項所述之積體電路元件，其中該黏著層材料為碳化矽。

I254369

95年3月9日修(更)正本

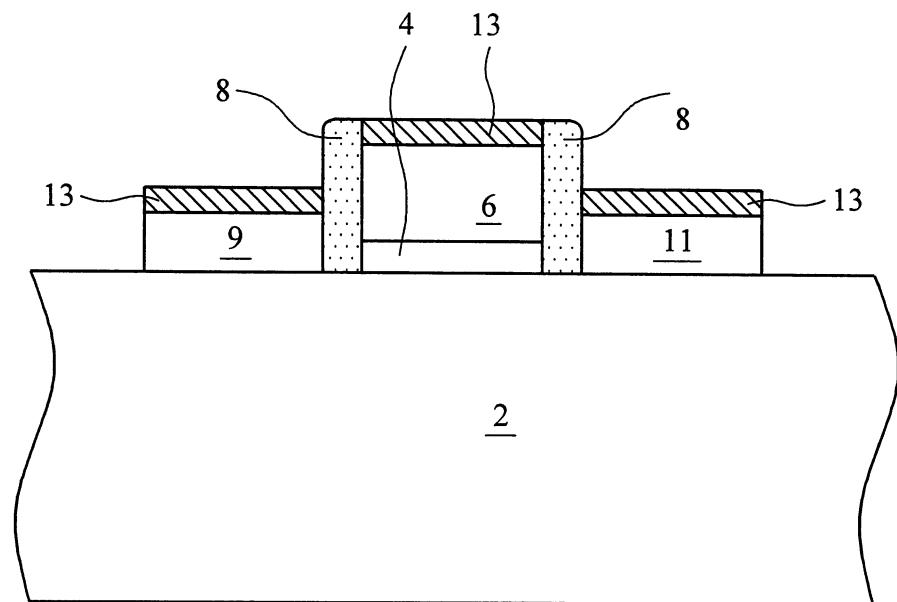


第 1 圖

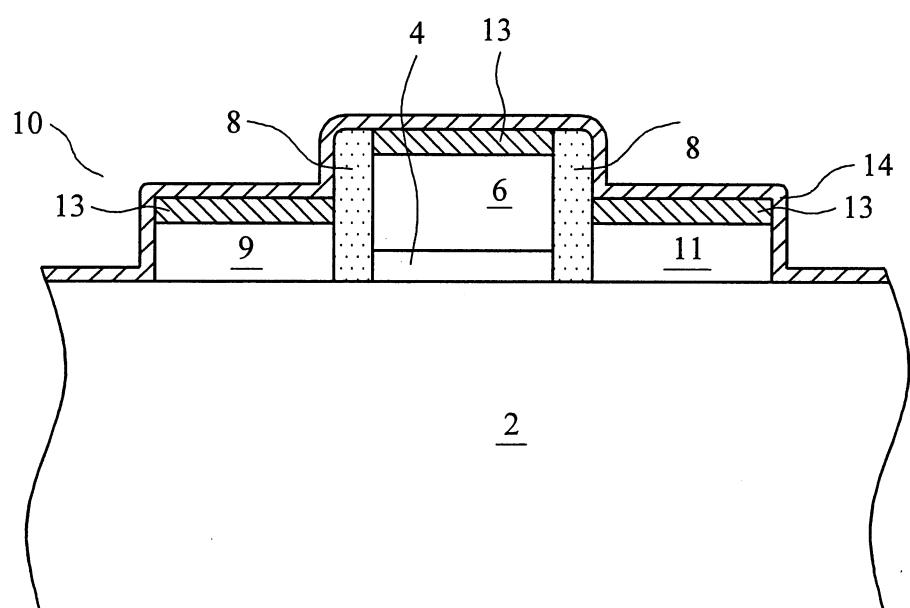


第 2 圖

I254369

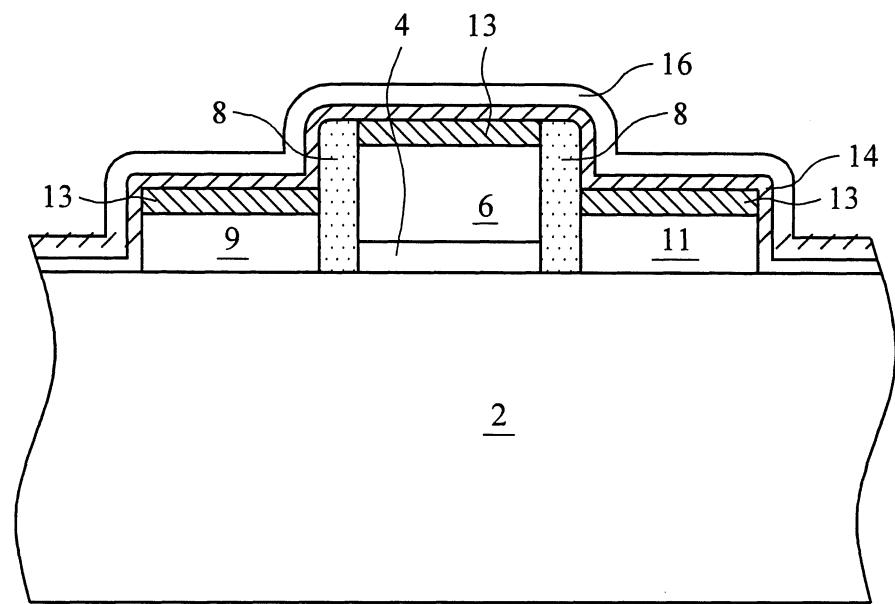


第 3 圖

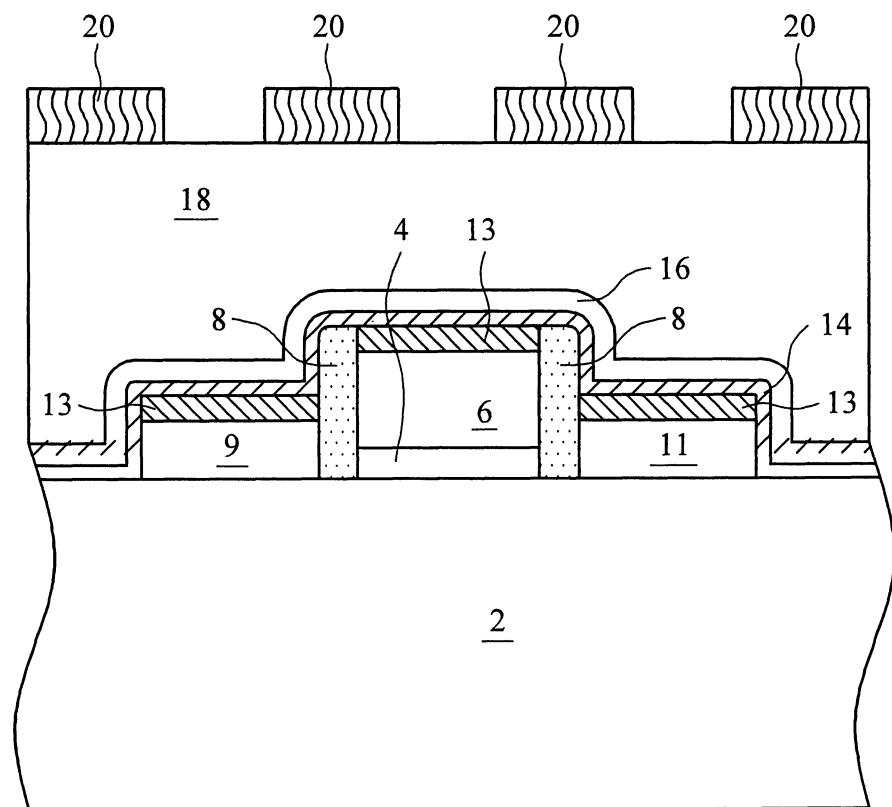


第 4 圖

I254369

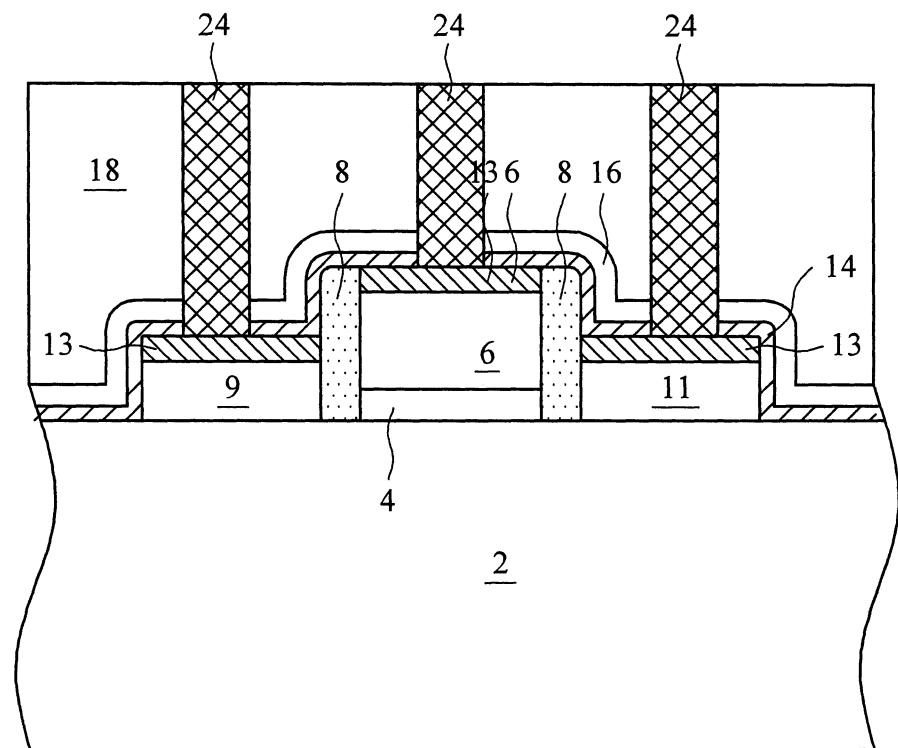


第 5 圖

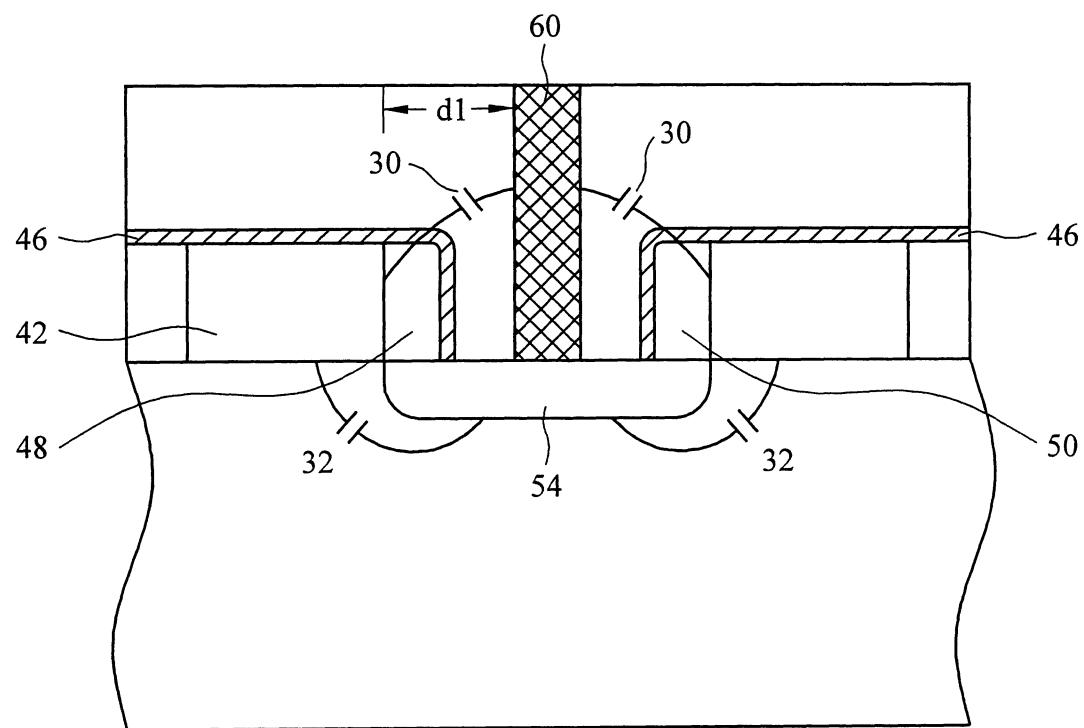


第 6 圖

I254369

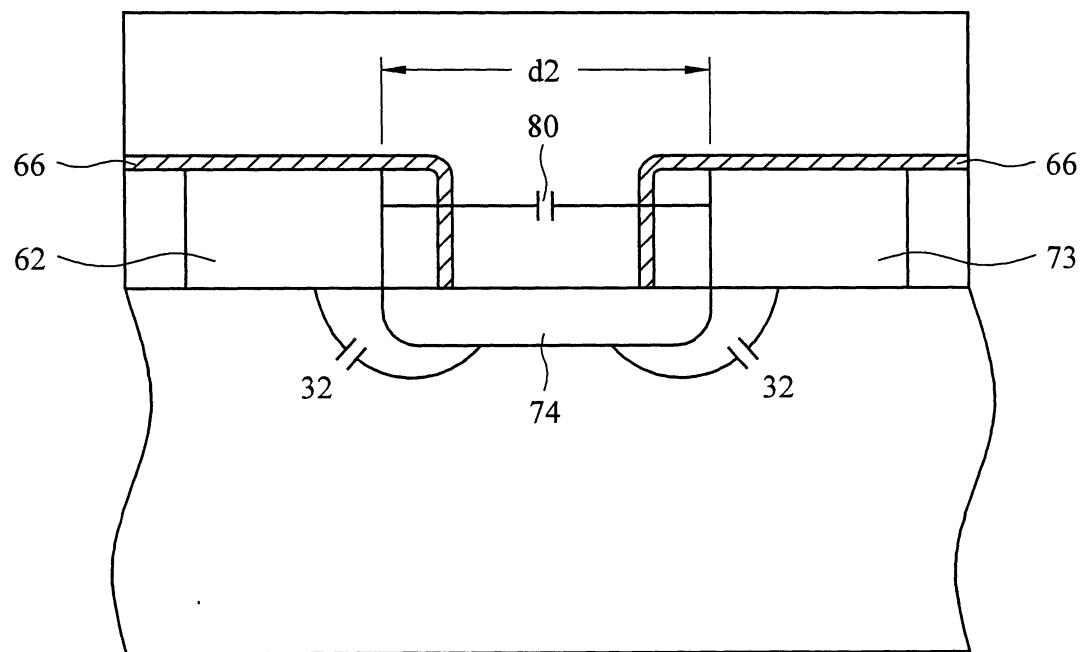


第 7 圖

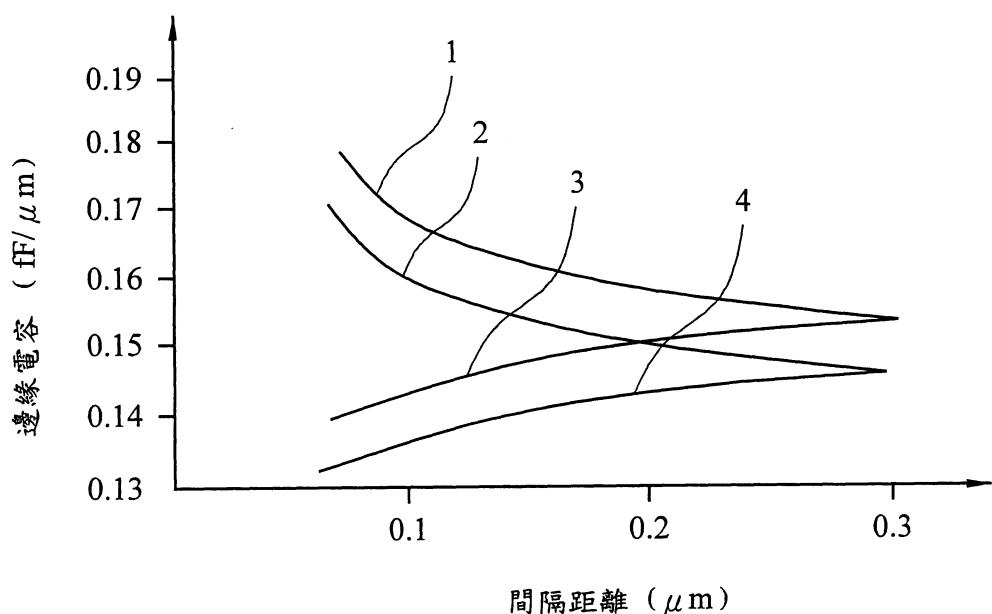


第 8a 圖

I254369

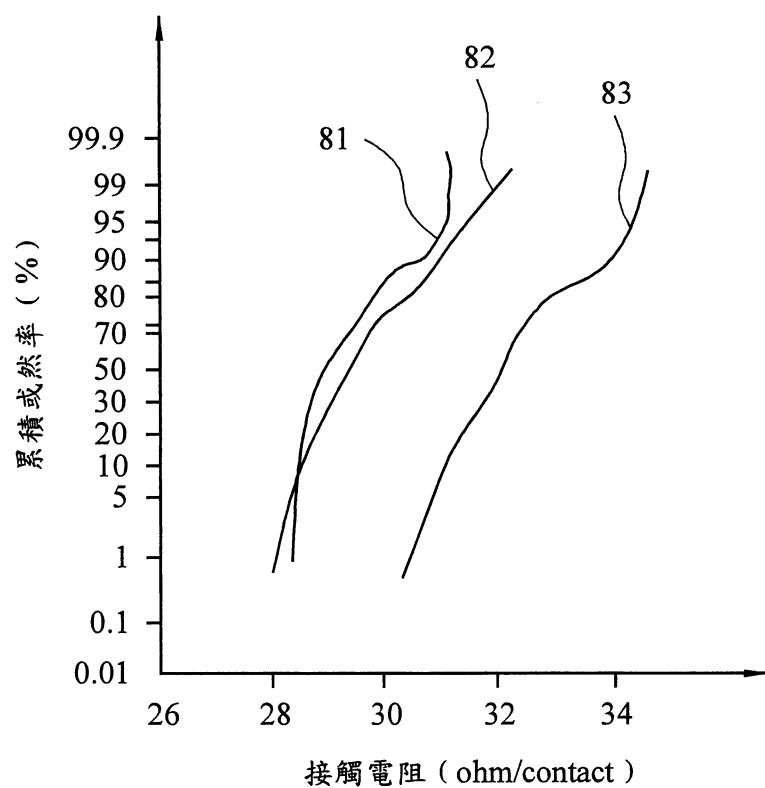


第 8b 圖

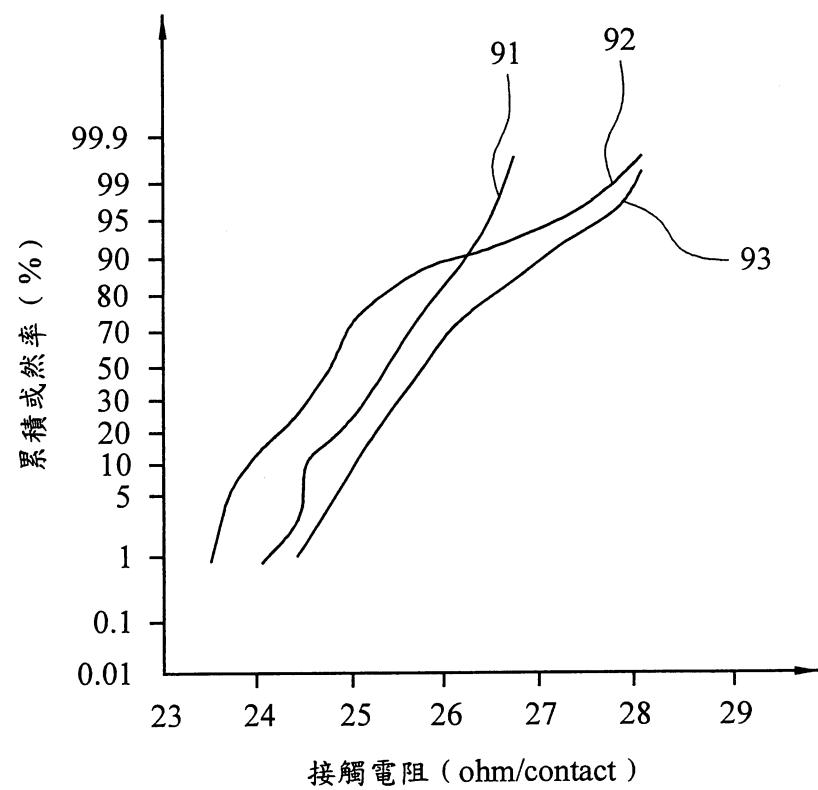


第 9 圖

I254369



第 10 圖



第 11 圖