

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3901432号
(P3901432)

(45) 発行日 平成19年4月4日(2007.4.4)

(24) 登録日 平成19年1月12日(2007.1.12)

(51) Int.C1.

F 1

H01L 21/8246 (2006.01)

H01L 27/10 444C

H01L 27/105 (2006.01)

請求項の数 3 (全 20 頁)

(21) 出願番号 特願2000-251436 (P2000-251436)
 (22) 出願日 平成12年8月22日 (2000.8.22)
 (65) 公開番号 特開2002-64187 (P2002-64187A)
 (43) 公開日 平成14年2月28日 (2002.2.28)
 審査請求日 平成15年11月11日 (2003.11.11)

(73) 特許権者 000002369
 セイコーエプソン株式会社
 東京都新宿区西新宿2丁目4番1号
 (74) 代理人 100090387
 弁理士 布施 行夫
 (74) 代理人 100090398
 弁理士 大渕 美千栄
 (72) 発明者 名取 栄治
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
 (72) 発明者 長谷川 和正
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

最終頁に続く

(54) 【発明の名称】強誘電体キャパシタを有するメモリセルアレイおよびその製造方法

(57) 【特許請求の範囲】

【請求項1】

基体上に、強誘電体キャパシタからなるメモリセルがマトリクス状に配列され、前記強誘電体キャパシタは、前記基体上に形成された第1信号電極と、該第1信号電極と交差する方向に配列された第2信号電極と、少なくとも前記第1信号電極と前記第2信号電極との交差領域に配置された強誘電体層と、を含み、

前記基体上に、該基体の表面と異なる表面特性を有する表面修飾層が形成され、該表面修飾層は、前記第1信号電極の相互間に配置され、該表面修飾層の表面が前記第1信号電極を構成する材料に対して前記基体の表面より低い親和性を有する、メモリセルアレイ。

【請求項2】

請求項1において、

前記強誘電体層は、前記第1信号電極と前記第2信号電極との交差領域のみにブロック状に配置された、メモリセルアレイ。

【請求項3】

強誘電体キャパシタからなるメモリセルがマトリクス状に配列されたメモリセルアレイの製造方法であって、

基体上に、第1信号電極を形成するための材料が優先的に堆積される表面特性を有する第1の領域と、前記第1の領域に比較して前記第1信号電極を形成するための材料が堆積され難い表面特性を有する第2の領域と、を形成する工程であって、前記第1の領域では、前記基体の表面を露出させ、前記第2の領域では、前記第1信号電極の材料に対する親

和性が、前記基体の第1の領域での露出面より低い表面特性を有する表面修飾層を形成する工程、

前記第1信号電極を形成するための材料を付与し、前記第1の領域に該第1信号電極を選択的に形成する工程、

前記第1信号電極上に、該第1信号電極に沿ってライン状に強誘電体層を形成する工程、

、前記第1信号電極と交差する方向に第2信号電極を形成する工程、および

前記強誘電体層をさらにパターニングして、前記第1信号電極と前記第2信号電極との交差領域のみにブロック状に強誘電体層を形成する工程、

を含む、メモリセルアレイの製造方法。

10

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、強誘電体キャパシタを有するメモリセルアレイ、特に、セルトランジスタを有せず、強誘電体キャパシタのみを用いた単純マトリクス型のメモリセルアレイおよびその製造方法、さらに前記メモリセルアレイを含む強誘電体メモリ装置に関する。

【0002】

【背景技術および発明が解決しようとする課題】

セルトランジスタを有せず、強誘電体キャパシタのみを用いた単純マトリクス型のメモリセルアレイは、非常に簡単な構造を有し、高い集積度を得ることができることから、その開発が期待されている。

20

【0003】

本発明の目的は、強誘電体キャパシタを構成する強誘電体層が特定のパターンを有し、信号電極の浮遊容量を小さくすることができるメモリセルアレイ、およびその製造方法、さらには本発明のメモリセルアレイを含む強誘電体メモリ装置を提供することにある。

【0004】

【課題を解決するための手段】

本発明にかかる第1のメモリセルアレイは、強誘電体キャパシタからなるメモリセルがマトリクス状に配列され、

前記強誘電体キャパシタは、第1信号電極と、該第1信号電極と交差する方向に配列された第2信号電極と、少なくとも前記第1信号電極と前記第2信号電極との交差領域に配置された強誘電体層と、を含み、

30

前記強誘電体層は、第1信号電極または第2信号電極に沿ってライン状に配置される。

【0005】

このメモリセルアレイは、具体的には、

(1) 前記強誘電体層は、前記第1信号電極上に選択的に配置された構造、および

(2) 前記強誘電体層は、前記第2信号電極下に選択的に配置された構造、を有する。

【0006】

これらのメモリセルアレイは、いずれも強誘電体層が信号電極の一方に沿ってライン状に形成されているため、他方の信号電極の浮遊容量を小さくできる。

40

【0007】

さらに、本発明にかかる第2のメモリセルアレイは、強誘電体キャパシタからなるメモリセルがマトリクス状に配列され、

前記強誘電体キャパシタは、第1信号電極と、該第1信号電極と交差する方向に配列された第2信号電極と、少なくとも前記第1信号電極と前記第2信号電極との交差領域に配置された強誘電体層と、を含み、

前記強誘電体層は、前記第1信号電極と前記第2信号電極との交差領域のみにブロック状に配置されている。

【0008】

このメモリセルアレイは、強誘電体キャパシタを構成する強誘電体層が最小の領域で形成

50

されるため、さらに信号電極の浮遊容量を小さくできる。

【0009】

上記メモリセルアレイは、いずれも以下の態様を有することが望ましい。

【0010】

(A) 基体上に前記強誘電体キャパシタが配置され、前記基体の露出面が覆われるよう 10
に、信号電極および強誘電体層からなる積層体の相互間に、誘電体層が設けられている。このとき、前記誘電体層は、前記強誘電体層より小さい誘電率を有する材料からなることが望ましい。このような誘電体層を設けることにより、信号電極の浮遊容量を効果的に小さくできる。

【0011】

(B) 前記基体上に、該基体の表面と異なる表面特性を有する表面修飾層が形成される 10
ことができる。このような表面修飾層を設けることで、エッチングを用いずに選択的に信号電極および強誘電体層の少なくとも一方を形成できる。このような表面修飾層は、前記強誘電体キャパシタが形成されない領域に配置され、該表面修飾層の表面が前記強誘電体キャパシタの材料に対して前記基体の表面より低い親和性を有することができる。あるいは、前記表面修飾層は、前記強誘電体キャパシタが形成される領域に配置され、該表面修飾層の表面が前記強誘電体キャパシタの材料に対して前記基体の表面より高い親和性を有することができる。

【0012】

本発明にかかるメモリセルアレイの製造方法は、強誘電体キャパシタからなるメモリセルがマトリクス状に配列されたメモリセルアレイの製造方法であって、 20
基体上に、所定パターンの第1信号電極を形成する工程、
前記第1信号電極上に、該第1信号電極に沿ってライン状の強誘電体層を選択的に形成する工程、および
前記第1信号電極と交差する方向に第2信号電極を形成する工程、
を含むことができる。

【0013】

この方法において、前記基体上に、前記第1信号電極および前記強誘電体層の少なくとも一方を形成するための材料が優先的に堆積される表面特性を有する第1の領域と、前記第1の領域に比較して前記第1信号電極および前記強誘電体層の少なくとも一方を形成するための材料が堆積され難い表面特性を有する第2の領域と、を形成する工程、および 30
前記第1信号電極および前記強誘電体層の少なくとも一方を形成するための材料を付与し、前記第1の領域に該部材を選択的に形成する工程、を含むことができる。そして、前記基体の表面に、前記第1および第2の領域を形成することができる。

【0014】

さらに、この製造方法において、前記第1の領域では、前記基体の表面を露出させ、前記第2の領域では、前記第1信号電極および前記強誘電体層の材料に対する親和性が、前記基体の第1の領域での露出面より低い表面特性を有する表面修飾層を形成することができる。あるいは、この製造方法において、前記第2の領域では、前記基体の表面を露出させ、前記第1の領域では、前記第1信号電極および前記強誘電体層の材料に対する親和性が、前記基体の第2の領域での露出面より高い表面特性を有する表面修飾層を形成することができる。 40

【0015】

本発明にかかる他の製造方法は、強誘電体キャパシタからなるメモリセルがマトリクス状に配列されたメモリセルアレイの製造方法であって、
基体上に、所定パターンの第1信号電極を形成する工程、および
前記第1信号電極と交差する方向に、強誘電体層および第2信号電極を形成する工程であって、前記強誘電体層は前記第2信号電極に沿ってライン状に形成される工程、
を含むことができる。

【0016】

10

20

30

40

50

この製造方法では、前記強誘電体層および前記第2信号電極を、同一マスクを用いたエッチングによってパターニングすることができる。

【0017】

さらに、本発明にかかる他の製造方法は、強誘電体キャパシタからなるメモリセルがマトリクス状に配列されたメモリセルアレイの製造方法であって、

基体上に、所定パターンの第1信号電極を形成する工程、

前記第1信号電極上に、該第1信号電極に沿ってライン状に強誘電体層を形成する工程、

前記第1信号電極と交差する方向に第2信号電極を形成する工程、および

前記強誘電体層をさらにパターニングして、前記第1信号電極と前記第2信号電極との交差領域のみにブロック状に形成する工程、

を含むことができる。

10

【0018】

この製造方法においても、前述した表面修飾層を用いて信号電極および強誘電体層の少なくとも一方を形成できる。さらに、強誘電体層および一方の信号電極を、同一マスクを用いたエッチングによってパターニングすることができる。

【0019】

さらに、上記各製造方法においては、少なくとも前記基体の露出面が覆われるよう、信号電極および強誘電体層からなる積層体の相互間に、誘電体層を設けることができる。

【0020】

本発明にかかる強誘電体メモリ装置は、本発明にかかるメモリセルアレイを含んで構成される。

20

【0021】

【発明の実施の形態】

[第1の実施の形態]

(デバイス)

図1は、本実施の形態に係るメモリセルアレイを模式的に示す平面図であり、図2は、本実施の形態に係る強誘電体メモリ装置を示す図であり、図3は、図1に示すメモリセルアレイの一部(図1の符号「A」で示す部分)を拡大して示す平面図であり、図4は、図3のA-A線に沿った断面図である。平面図において、()内の数字は最上層の下の層を示す。

30

【0022】

本実施の形態の強誘電体メモリ装置1000は、図2に示すように、メモリセル20が単純マトリクス状に配列されたメモリセルアレイ100Aと、メモリセル20に対して選択的に情報の書き込みもしくは読み出しを行うための各種回路、例えば、第1信号電極12を選択的に制御するための第1駆動回路50と、第2信号電極16を選択的に制御するための第2駆動回路52と、センスアンプなどの信号検出回路(図示せず)とを含む。

【0023】

メモリセルアレイ100Aは、行選択のための第1信号電極(ワード線)12と、列選択のための第2信号電極(ビット線)16とが直交するように配列されている。すなわち、X方向に沿って第1信号電極12が所定ピッチで配列され、X方向と直交するY方向に沿って第2信号電極16が所定ピッチで配列されている。なお、信号電極は、上記の逆でもよく、第1信号電極がビット線、第2信号電極がワード線でもよい。

40

【0024】

本実施の形態に係るメモリセルアレイ100Aは、図3および図4に示すように、絶縁性の基体10上に、第1信号電極(下電極)12、強誘電体キャパシタを構成する強誘電体層14および第2信号電極(上電極)16が積層され、第1信号電極12、強誘電体層14および第2信号電極16によって強誘電体キャパシタ20が構成される。すなわち、第1信号電極12と第2信号電極16との交差領域において、それぞれ強誘電体キャパシタ20からなるメモリセルが構成されている。

【0025】

50

また、強誘電体層 14 と第 2 信号電極 16 とからなる積層体の相互には、基体 10 および第 1 信号電極 12 の露出面を覆うように、誘電体層 18 が形成されている。この誘電体層 18 は、強誘電体層 14 に比べて小さい誘電率を有することが望ましい。このように強誘電体層 14 および第 2 信号電極 16 からなる積層体の相互間に、強誘電体層 14 より誘電率の小さい誘電体層 18 を介在させることにより、第 2 信号電極 16 の浮遊容量を小さくすることができる。その結果、強誘電体メモリ装置 1000 における書き込みおよび読み出しの動作をより高速に行うことが可能となる。

【0026】

そして、本実施の形態では、強誘電体層 14 は、第 2 の信号電極 16 に沿ってライン状に形成されている。強誘電体層 14 をライン状に形成することで、第 1 信号電極 12 の浮遊容量を小さくすることができる。10

【0027】

また、このようなライン状の強誘電体層 14 は、後述するように、第 2 の信号電極 16 のパターニングに用いられるマスクを用いてパターニングして形成することができる。

【0028】

さらに、誘電体層 18 および第 2 信号電極 16 を覆うように、必要に応じて絶縁層からなる保護層が形成されていてもよい。

【0029】

(強誘電体メモリ装置の動作)

次に、本実施の形態の強誘電体メモリ装置 1000 における書き込み、読み出し動作の一例について述べる。20

【0030】

まず、読み出し動作においては、選択セルのキャパシタに読み出し電圧「 V_0 」が印加される。これは、同時に「0」の書き込み動作を兼ねている。このとき、選択されたビット線を流れる電流またはビット線をハイインピーダンスにしたときの電位をセンスアンプにて読み出す。さらにこのとき、非選択セルのキャパシタには、読み出し時のクロストークを防ぐため、所定の電圧が印加される。

【0031】

書き込み動作においては、「1」の書き込みの場合は、選択セルのキャパシタに「- V_0 」の電圧が印加される。「0」の書き込みの場合は、選択セルのキャパシタに、該選択セルの分極を反転させない電圧が印加され、読み出し動作時に書き込まれた「0」状態を保持する。このとき、非選択セルのキャパシタには、書き込み時のクロストークを防ぐため、所定の電圧が印加される。30

【0032】

(デバイスの製造方法)

次に、上述した強誘電体メモリ装置 1000 の製造方法の一例について述べる。図 5 および図 6 は、強誘電体メモリ装置 1000 の製造工程を模式的に示す断面図である。

【0033】

(1) 第 1 信号電極の形成工程

まず、図 5 に示すように、基体 10 上に、所定パターンで配列する第 1 信号電極(下電極) 12 を形成する。第 1 信号電極 12 の形成方法は、例えば、基体 10 上に第 1 信号電極 12 を形成するための電極材料を成膜し、成膜された電極材料をパターニングする。40

【0034】

電極材料は、強誘電体キャパシタの一部となるための機能を有するものであれば特に限定されるものではない。例えば、強誘電体層 14 を構成する材料として P Z T を用いる場合には、第 1 信号電極 12 を構成する電極材料として、白金、イリジウムおよびその化合物等を用いることができる。第 1 信号電極 12 の材質としては、たとえば Ir, IrO_x, Pt, RuO_x, SrRuO_x, LaSrCoO_x を挙げることができる。また、第 1 信号電極 12 は、単層または複数の層を積層したものを用いることができる。

【0035】

10

20

30

40

50

電極材料の成膜方法としては、スパッタリング、真空蒸着、CVD等の方法が利用できる。パターニング方法としては、リソグラフィ技術を利用することができる。成膜された電極材料を選択的に除去する方法としては、RIE、スパッタエッティング、プラズマエッティングなどのエッティング方法を用いることができる。

【0036】

電極材料の形成方法としては、上記エッティングによるパターニングを用いずに、第2の実施の形態で述べる表面修飾層を用いた方法（第2の実施の形態における（デバイスの製造方法）の欄の工程（1）、（2）参照）を用いることもできる。

【0037】

（2）強誘電体層の成膜工程

10

図5に示すように、所定パターンの第1信号電極12が形成された基体10上に、強誘電体からなる連続層140（以下、これを「強誘電体層140」という）を全面的に形成する。強誘電体層140の成形方法としては、たとえば、ゾルゲル材料やMOD（Metal Organic Decomposition）材料を用いたスピンドルコート法やディッピング法、スパッタ法、MOCVD（Metal Organic Chemical Vapor Deposition）法、レーザアブレーション法を挙げることができる。

【0038】

強誘電体層の材質としては、強誘電性を示してキャパシタ絶縁層として使用できれば、その組成は任意のものを適用することができる。このような強誘電体としては、たとえばPZT（PbZr_zTi_{1-z}O₃）、SBT（SrBi₂Ta₂O₉）を挙げることができ、さらに、これらの材料にニオブやニッケル、マグネシウム等の金属を添加したもの等が適用できる。強誘電体としては、具体的には、チタン酸鉛（PbTiO₃）、ジルコン酸チタン酸鉛（Pb_{(Zr, Ti)O₃}）、ジルコン酸鉛（PbZrO₃）、チタン酸鉛ランタン（(Pb, La)₂TiO₃）、ジルコン酸チタン酸鉛ランタン（(Pb, La)₂(Zr, Ti)O₃）またはマグネシウムニオブ酸ジルコニウムチタン酸鉛（Pb_{(Zr, Ti)2(Mg, Nb)O₃}）等を使用することができる。

20

【0039】

上述した強誘電体の材料としては、例えばPZTの場合、PbについてはPb(C₂H₅)₄、(C₂H₅)₃PbOCH₂C(CH₃)₃、Pb(C₁₁H₁₉O₂)₂等を、Zrについては、Zr(n-O₂C₄H₉)₄、Zr(t-O₂C₄H₉)₄、Zr(C₁₁H₁₉O₂)₄、Zr(C₁₁H₁₉O₂)₄等を、TiについてはTi(i-C₃H₇)₄等を用いることができ、SBTの場合、SrについてはSr(C₁₁H₁₀O₂)₂等を、BiについてはBi(C₆H₅)₃等を、TaについてはTa(O₂C₂H₅)₅等を用いることができる。

30

【0040】

（3）第2信号電極の形成工程

図5に示すように、強誘電体層140上に、所定パターンの第2信号電極（上部電極）16を形成する。その形成方法は、たとえば、強誘電体層140上に第2信号電極16を形成するための電極材料を成膜し、成膜された電極材料をパターニングする。具体的には、成膜された電極材料層上に所定パターンのレジスト層30を形成し、このレジスト層30をマスクとして電極材料層を選択的にエッティングすることで、第2信号電極16が形成される。

40

【0041】

第2信号電極16の材料、成膜方法、リソグラフィーを用いたパターニング方法については、前述した工程（1）の第1信号電極12の形成工程と同様であるので、記載を省略する。

【0042】

（4）強誘電体層のパターニング工程

図5および図6に示すように、レジスト層30をマスクとして、さらに強誘電体層140を選択的に除去して強誘電体層14をパターニングする。成膜された強誘電体材料を選択的に除去する方法としては、RIE、スパッタエッティング、プラズマエッティングなどの工

50

ツチング方法を用いることができる。その後、レジスト層30を公知の方法、例えば溶解あるいはアッシングによって除去する。

【0043】

(5) 誘電体層の形成工程

図4に示すように、強誘電体層14と第2信号電極16とからなる積層体の相互間に、誘電体層18を形成する。誘電体層18の形成方法としては、CVD、特にMOCVDなどの気相法、あるいはスピンドル法やディップ法等の液相を用いた方法を用いることができる。

【0044】

誘電体層18は、前述したように、強誘電体キャパシタを構成する強誘電体層14より小さな誘電率を有する誘電体材料を用いることが好ましい。たとえば、強誘電体層としてPZT材料を用いた場合には、誘電体層18の材料としては、たとえば SiO_2 , Ta_2O_5 , SrTiO_3 , MgO などの無機材料あるいはポリイミドなどの有機材料を用いることができ、強誘電体層14としてSBTを用いた場合には、誘電体層18の材料として、 SiO_2 , Ta_2O_5 , SrTiO_3 , SrTa_2O_6 , SrSnO_3 などの無機材料あるいはポリイミドなどの有機材料を用いることができる。

【0045】

以上の工程によって、メモリセルアレイ100Aが形成される。この製造方法によれば、強誘電体キャパシタ20を構成する強誘電体層14は、第2信号電極16のパターニングで用いたレジスト層30をマスクとして連続的にパターニングされるので、工程数を少なくできる。さらにこの場合、各層を別々のマスクでパターニングする場合に比べて、1つのマスクの合わせ余裕が不要となるので、メモリセルアレイの高集積化も可能となる。

【0046】

[第2の実施の形態]

図7は、本実施の形態に係る強誘電体キャパシタを有するメモリセルアレイの要部を模式的に示す平面図であり、図8は、図7のB-B線に沿った断面図である。

【0047】

本実施の形態において、第1の実施の形態のメモリセルアレイと実質的に同じ機能を有する部材には同一の符号を付して説明する。

【0048】

本実施の形態は、強誘電体キャパシタを構成する強誘電体層が第1信号電極(下電極)上にライン状に積層されて形成されている点で、第1の実施の形態と異なる。

【0049】

本実施の形態に係るメモリセルアレイ100Bは、絶縁性の基体10上に、第1信号電極12、強誘電体キャパシタを構成する第1強誘電体層14および第2信号電極16が積層されている。そして、第1信号電極12, 強誘電体層14および第2信号電極16によって強誘電体キャパシタ20が構成される。すなわち、第1信号電極12と第2信号電極16との交差領域において、それぞれ強誘電体キャパシタ20からなるメモリセルが構成されている。

【0050】

第1信号電極12および第2信号電極16は、図7に示すように、X方向およびY方向にそれぞれ所定のピッチで配列されている。

【0051】

強誘電体層14は、第1信号電極12上に選択的に形成されている。また、基体10上において、第1信号電極12の相互間には、後に詳述する表面修飾層22が配置されている。この表面修飾層22上には誘電体層18が形成されている。この誘電体層18は、強誘電体層14に比べて小さい誘電率を有することが望ましい。このように第1信号電極12および強誘電体層14からなる積層体の相互間に、強誘電体層14より誘電率の小さい誘電体層18を介在させることにより、第2信号電極16の浮遊容量を小さくすることができる。その結果、強誘電体メモリ装置における書き込みおよび読み出しの動作をより高速

10

20

20

30

40

50

に行うことが可能となる。

【0052】

(デバイスの製造方法)

図9～図12は、本実施の形態に係るメモリセルアレイ100Bの製造工程を模式的に示す断面図である。

【0053】

(1) 表面修飾層の形成

まず、基体10の表面特性に選択性を付与する工程を行う。ここで、基体10の表面特性に選択性を付与するとは、基体10の表面の、当該表面に堆積させるための材料に対してぬれ性等の表面特性の異なる領域を形成することである。

10

【0054】

本実施の形態において、図9に示すように、具体的には、基体10の表面に、強誘電体キヤパシタを構成する部材を形成するための材料、特に電極を形成するための材料に対して親和性を有する第1の領域24と、第1の領域24よりも強誘電体キヤパシタを構成する部材を形成するための材料、特に電極を形成するための材料に対して親和性の小さい第2の領域26と、を形成する。そして、後続の工程で、この表面特性の差を利用して、各領域間での材料の堆積速度や基体との密着性における選択性により、第1の領域24には、強誘電体キヤパシタが選択的に形成される。

【0055】

すなわち、後続の工程で、強誘電体キヤパシタの第1信号電極12および強誘電体層14の少なくとも一つを、例えば化学的気相成長法(CVD法)、物理的気相成長法または液相法を適用して、第1の領域24に選択的な堆積プロセスで形成することができる。この場合であって、例えば基体10の表面が、強誘電体キヤパシタを構成する部材を形成するための材料が堆積され易い性質を有する場合には、第1の領域24では表面を露出させ、第2の領域26では上記材料が堆積されにくい表面修飾層22を形成し、強誘電体キヤパシタを構成する部材を形成するための材料の堆積に対する選択性を付与することができる。

20

【0056】

本実施の形態では、基体10の表面の全面に表面修飾層を形成してから、図9に示すように、第1の領域24で表面修飾層を除去して、第2の領域26に表面修飾層22を残す。詳しくは、次の工程を行う。

30

【0057】

表面修飾層22は、CVD等の気相成長法によって形成してもよいし、スピンドル法やディップ法等の液相を用いた方法によって形成してもよく、その場合には液体または溶媒に溶かした物質を使用する。このような物質としては、例えば、シランカップリング剤(有機ケイ素化合物)やチオール化合物を使用することができる。

【0058】

ここで、チオール化合物とは、メルカプト基(-SH)を持つ有機化合物(R^1-SH ; R^1 はアルキル基等の置換可能な炭化水素基)の総称をいう。このようなチオール化合物を、例えば、ジクロロメタン、トリクロロメタン等の有機溶剤に溶かして0.1～10mM程度の溶液とする。

40

【0059】

また、シランカップリング剤とは、 $R^2_nSiX_{4-n}$ (nは自然数、 R^2 は水素、アルキル基等の置換可能な炭化水素基)で表される化合物であり、Xは- OR^3 、- $COOH$ 、- $OOCR^3$ 、- $NH_{3-n}R^3n$ 、- OCN 、ハロゲン等である(R^3 はアルキル基等の置換可能な炭化水素基)。これらシランカップリング剤およびチオール化合物の中で、特に R^1 や R^3 が $C_nF_{2n+1}C_mH_{2m}$ (n、mは自然数)であるようなフッ素原子を有する化合物は、表面自由エネルギーが高くなり他材料との親和性が小さくなるため、好適に用いられる。

【0060】

または、メルカプト基や- $COOH$ 基を有する化合物による上述した方法で得られる膜を

50

用いることもできる。以上の材料による膜は、適切な方法により単分子膜やその累積膜の形で用いることができる。

【0061】

本実施の形態では、図9に示すように、第1の領域24では、表面修飾層が形成されない。表面修飾層22として例えばシランカップリング剤を使用した場合、光を当てることで、基体10との界面で、分子の結合が切れて除去される場合がある。このような光によるパターニングには、リソグラフィで行われるマスク露光を適用することができる。あるいは、マスクを使用せずに、レーザ、電子線またはイオンビームなどによって直接的にパターニングしてもよい。

【0062】

なお、表面修飾層22自体を他の基体上に形成し、これを転写することにより第2の領域26に表面修飾層22を選択的に形成し、成膜と同時にパターニングすることもできる。

【0063】

こうして、図9に示すように、第1の領域24と、表面修飾層22で被覆された状態となっている第2の領域26との間で、表面状態が異なるようにして、後続の工程における強誘電体キャパシタを構成する部材を形成するための材料との親和性に差を生じさせることができる。特に、表面修飾層22が、フッ素分子を有するなどの理由で、撥水性を有していれば、例えば強誘電体キャパシタを構成する部材の材料を液相にて提供する場合に、第1の領域24に選択的に当該材料を付与することができる。また、表面修飾層22の材料によっては、これが存在しない第1の領域24では、上層の部材を形成するための材料との親和性で気相法による成膜がされるようにすることができる。このように、第1の領域24と第2の領域26の表面の性質に選択性を付与し、後続の工程で、強誘電体メモリ装置の強誘電体キャパシタの部材（本実施の形態では第1信号電極12および強誘電体層14）を形成することができる。

【0064】

(2) 第1信号電極の形成工程

図10に示すように、強誘電体キャパシタの下部電極となる第1信号電極12を、第1の領域24に対応して形成する。例えば、基体10の表面の全体に対して、気相法による成膜工程を行う。こうすることで、選択堆積プロセスが行われる。すなわち、第1の領域24では成膜がされ、第2の領域26では成膜がされにくいので、第1の領域24のみに第1信号電極12が形成される。ここで、気相法としてCVD、特にMOCVDを適用することが好ましい。第2の領域26では、全く成膜されないことが好ましいが、第1の領域24での成膜よりも、成膜スピードにおいて2桁以上遅ければよい。

【0065】

また、第1信号電極12の形成には、その材料の溶液を液相の状態で第1の領域24に選択的に供給する方法、またはその材料の溶液を超音波等によりミスト化して第1の領域24に選択的に供給するミストデポジション法を採用することもできる。

【0066】

第1信号電極12を構成する材料としては、第1の実施の形態で述べたと同様に、例えば白金、イリジウム等を用いることができる。基体10上に第1の領域24と、前述したような材料を含む表面修飾層22（第2の領域26）とを形成し、表面特性の選択性を形成した場合、白金については、例えば $(C_5H_7O_2)_2Pt$ 、 $(C_5HF_2O_2)_2Pt$ 、 $(C_3H_5)(C_5H_5)Pt$ を電極を形成するための材料として、イリジウムについては、例えば $(C_3H_5)_3Ir$ を電極を形成するための材料として用いて、選択的に堆積させることができる。

【0067】

(3) 強誘電体層の形成工程

図11に示すように、第1信号電極12上に強誘電体層14を形成する。詳しくは、基体10の表面の全体に対して、例えば気相法による成膜工程を行う。こうすることで、第1信号電極12上では成膜がされ、第2の領域26では成膜がされにくいので、第1信号電

10

20

30

40

50

極 12 上のみに強誘電体層 14 が形成される。ここで、気相法として CVD、特に MOCVD を適用することができる。

【0068】

また、強誘電体層 14 の形成には、その材料の溶液を液相の状態で第 2 の領域 26 以外の領域に形成された第 1 信号電極 12 上にインクジェット法等で選択的に供給する方法、またはその材料の溶液を超音波等によりミスト化して第 2 の領域 26 以外の部分に選択的に供給するミストデポジション法を採用することもできる。

【0069】

強誘電体層 14 としては、強誘電性を示してキャパシタ絶縁層として使用できれば、その組成は任意のものを適用することができる。例えば、SBT 系材料、PZT 系材料の他、ニオブや酸化ニッケル、酸化マグネシウム等の金属酸化物を添加したもの等が適用できる。強誘電体の具体例としては、第 1 の実施の形態で述べたものと同様のものを例示できる。さらに、強誘電体の材料の具体例としては、第 1 の実施の形態で述べたものと同様のものを例示できる。

【0070】

(4) 誘電体層の形成工程

図 12 に示すように、第 2 の領域 26 上に、すなわち、第 1 の領域 24 に形成された、第 1 信号電極 12 と強誘電体層 14 とからなる積層体の相互間の領域に、誘電体層 18 を形成する。誘電体層 18 の形成方法としては、CVD、特に MOCVD などの気相法、あるいはスピンコート法やディップ法等の液相を用いた方法を用いることができる。誘電体層 18 は、たとえば CMP (Chemical Mechanical Polishing) 法などによって、強誘電体層 14 と同一レベルの表面を有するように平坦化されが好ましい。このように誘電体層 18 を平坦化することにより、第 2 信号電極 16 の形成が容易かつ正確に行われる。

【0071】

誘電体層 18 は、強誘電体キャパシタを構成する強誘電体層 14 より小さな誘電率を有する誘電体材料を用いることが好ましい。たとえば、強誘電体層として PZT 材料を用いた場合には、誘電体層 18 の材料としては、たとえば SiO_2 , Ta_2O_5 , SrTiO_3 , MgO などの無機材料あるいはポリイミドなどの有機材料を用いることができ、強誘電体層 14 として SBT を用いた場合には、誘電体層 18 の材料として、 SiO_2 , Ta_2O_5 , SrTiO_3 , SrTa_2O_6 , SrSnO_3 などの無機材料あるいはポリイミドなどの有機材料を用いることができる。

【0072】

(5) 第 2 信号電極の形成工程

図 8 に示すように、強誘電体層 14 および誘電体層 18 上に所定パターンの第 2 信号電極 (上部電極) 16 を形成する。その形成方法は、例えば、強誘電体層 14 および誘電体層 18 上に第 2 信号電極 16 を形成するための電極材料を成膜し、成膜された電極材料をパターニングする。

【0073】

電極材料は、強誘電体キャパシタの一部となるための機能を有するものであれば特に限定されるものではない。たとえば、強誘電体層 14 を構成する材料として PZT を用いる場合には、第 1 の実施の形態と同様に、第 2 信号電極 16 を構成する電極材料として、白金、イリジウムおよびその化合物等を用いることができる。第 2 信号電極 16 は、単層または複数の層を積層したものを用いることができる。

【0074】

電極材料の成膜方法としては、第 1 の実施の形態と同様に、スパッタリング、真空蒸着、CVD 等の方法が利用できる。パターニング方法としては、リソグラフィ技術を利用することができる。

【0075】

さらに、必要に応じて、強誘電体層 14、誘電体層 18 および第 2 信号電極 16 の表面に絶縁性の保護層を全体的に形成する。このようにして、本実施の形態に係るメモリセルア

10

20

20

30

30

40

40

50

レイ 100B を形成することができる。

【0076】

本実施の形態の製造方法によれば、第1の領域24には強誘電体キャパシタを構成する少なくとも一部材を選択的に形成することができ、第2の領域26にはこれが形成されにくい。こうして、エッティングを行うことなく、第1信号電極（下電極）および強誘電体層の少なくとも1つ（本実施の形態では第1信号電極12および強誘電体層14）を形成することができる。この方法によれば、第1信号電極のパターニングとしてスパッタエッティングを用いた場合のように、エッティングにより生ずる二次生成物に起因する再付着物の問題を回避することができる。

【0077】

本実施の形態の製造方法においては、図11に示す工程の後に、第2の領域26上で、表面修飾層22を除去してもよい。この工程は、第1信号電極12および強誘電体層14の成膜工程が完了してから行う。例えば、表面修飾層のパターニング工程で説明した方法で、表面修飾層22を除去することができる。表面修飾層22を除去するときに、その上に付着した物質も除去することができる。例えば、表面修飾層22上に、第1信号電極12または強誘電体層14の材料が付着したときに、これらを除去してもよい。なお、表面修飾層22を除去する工程は、本発明の必須要件ではなく、表面修飾層22を残してもよい。

10

【0078】

また、第1信号電極12の側面に強誘電体層14が形成されている場合には、これらを除去することが好ましい。除去工程では、例えば、ドライエッティングを適用することができる。

20

【0079】

上記実施の形態では、表面修飾層22を第2の領域26に形成し、第1の領域24および第2の領域26の表面のそれぞれを、繰りて形成される強誘電体キャパシタの少なくとも一部材（第1信号電極および強誘電体層の少なくとも一方）を形成するための材料の堆積性、すなわち堆積され易さが異なるような表面特性にした。その変形例として、表面修飾層22を第1の領域24に形成し、強誘電体キャパシタの少なくとも一部材を形成するための材料を表面修飾層22の表面に対して優先的に堆積されるように液相または気相の組成に調製して、第1の領域24に選択的に強誘電体キャパシタを形成してもよい。

30

【0080】

また、例えば第2の領域26の表面に前述したような表面修飾層の薄い層を選択的に形成し、第1の領域24および第2の領域26を含む全面に強誘電体キャパシタの少なくとも一部材を形成するための材料を気相または液相で供給し、全面に当該部材の材料の層を形成し、ポリッキングや化学的な手法で表面修飾膜の薄い層上の当該部材の材料層のみを選択的に除去し、第1の領域24上に選択的に当該部材の材料層を得ることもできる。

【0081】

その他、第1の領域24および第2の領域26の表面のそれぞれには、特に明確に層を設けず、選択的に表面処理を行い、第1の領域24上に強誘電体キャパシタの少なくとも一部材を形成するための材料が優先的に堆積されるようにしてもよい。

40

【0082】

本実施の形態で特徴とする、表面修飾層を用いた第1信号電極（下電極）および強誘電体層の形成については、本願出願人による特許協力条約に基づく国際出願（出願番号PCT/JP00/03590）に記載されている。

【0083】

[第3の実施の形態]

図13は、本実施の形態に係る強誘電体キャパシタを有するメモリセルアレイの要部を模式的に示す平面図であり、図14は、図13のC-C線に沿った断面図であり、図15は、図13のD1-D1線に沿った断面図であり、図16は、図13のD2-D2線に沿った断面図である。

50

【0084】

本実施の形態において、第1の実施の形態のメモリセルアレイと実質的に同じ機能を有する部材には同一の符号を付して説明する。

【0085】

本実施の形態は、強誘電体キャパシタを構成する強誘電体層が第1信号電極と第2信号電極との交差領域にのみ形成されている点で、第1および第2の実施の形態と異なる。

【0086】

本実施の形態に係るメモリセルアレイ100Cは、絶縁性の基体10上に、第1信号電極12、強誘電体キャパシタを構成する強誘電体層14および第2信号電極16が積層されている。そして、第1信号電極12、強誘電体層14および第2信号電極16によって強誘電体キャパシタ20が構成される。すなわち、第1信号電極12と第2信号電極16との交差領域において、それぞれ強誘電体キャパシタ20からなるメモリセルが構成されている。第1信号電極12および第2信号電極16は、図13に示すように、X方向およびY方向にそれぞれ所定のピッチで配列されている。

10

【0087】

強誘電体層14は、第1信号電極12および第2信号電極16の交差領域にのみ選択的に形成されている。図14に示すように、第2信号電極16に沿ってみると、基体10において、第1信号電極12上に強誘電体層14および第2信号電極16が積層され、さらに、第1信号電極12の相互間には表面修飾層22が配置され、この表面修飾層22上には誘電体層18が形成されている。また、図15に示すように、第1信号電極12に沿ってみると、第1信号電極12の所定位置において、強誘電体層14と第2信号電極16とが積層されている。そして、強誘電体層14および第2信号電極16の積層体の相互間には何もない状態である。図15に示すように、第1信号電極12上に沿ってみると、第1信号電極12の所定位置において、強誘電体層14と第2信号電極16とが積層されている。図16に示すように、X方向であって第1信号電極12が形成されていない部分についてみると、表面修飾層22上の所定位置において、誘電体層18と第2信号電極16とが積層されている。そして、強誘電体層14および第2信号電極16の積層体の相互間、ならびに誘電体層18および第2信号電極16の積層体の相互間には、必要に応じて誘電体層を形成することができる。

20

【0088】

30

誘電体層18ならびに必要に応じて形成される上記誘電体層は、強誘電体層14に比べて小さい誘電率を有することが望ましい。このように第1信号電極12および強誘電体層14からなる積層体の相互間、あるいは強誘電体層14および第2信号電極16からなる積層体の相互間に、強誘電体層14より誘電率の小さい誘電体層を介在させることにより、第1信号電極12および第2信号電極16の浮遊容量を小さくすることができる。その結果、強誘電体メモリ装置における書き込みおよび読み出しの動作をより高速に行うことが可能となる。

【0089】

また、本実施の形態では、強誘電体キャパシタ20を構成する強誘電体層14は、第1信号電極12と第2信号電極16との交差領域にのみ形成されている。このような構造によれば、第1信号電極12および第2信号電極16双方の浮遊容量を小さくすることができる点で有利である。

40

【0090】

(デバイスの製造方法)

図17～図24は、本実施の形態に係るメモリセルアレイ100Cの製造工程を模式的に示す断面図である。

【0091】

(1) 表面修飾層の形成

まず、基体10の表面特性に選択性を付与する工程を行う。ここで、基体10の表面特性に選択性を付与するとは、基体10の表面の、当該表面に堆積させるための材料に対して

50

ぬれ性等の表面特性の異なる領域を形成することである。この点については第2の実施の形態で詳細に説明したので、簡単に説明する。

【0092】

本実施の形態において、図9に示すように、具体的には、基体10の表面に、強誘電体キャパシタを構成する部材を形成するための材料、特に電極を形成するための材料に対して親和性を有する第1の領域24と、第1の領域24よりも強誘電体キャパシタを構成する部材を形成するための材料、特に電極を形成するための材料に対して親和性の小さい第2の領域26と、を形成する。そして、後続の工程で、この表面特性の差を利用して、各領域間での材料の堆積速度や基体との密着性における選択性により、第1の領域24には、強誘電体キャパシタが選択的に形成される。

10

【0093】

すなわち、例えば基体10の表面が、強誘電体キャパシタを構成する部材を形成するための材料が堆積され易い性質を有する場合には、第1の領域24では表面を露出させ、第2の領域26では上記材料が堆積されにくい表面修飾層22を形成し、強誘電体キャパシタを構成する部材を形成するための材料の堆積に対する選択性を付与することができる。

【0094】

本実施の形態では、基体10の表面の全面に表面修飾層を形成してから、図18に示すように、第1の領域24で表面修飾層を除去して、第2の領域26に表面修飾層22を残す。表面修飾層22の形成方法については、第2の実施の形態で述べた方法と同様の方法を採用できる。

20

【0095】

(2) 第1信号電極の形成工程

図19に示すように、強誘電体キャパシタの下部電極となる第1信号電極12を、第1の領域24に対応して形成する。第1信号電極12の形成方法および電極材料については、第2の実施の形態で述べた方法および材料と同様のものを採用できる。

【0096】

(3) 強誘電体層の形成工程

図20に示すように、第1信号電極12上に強誘電体層140を形成する。詳しくは、基体10の表面の全体に対して、例えば気相法による成膜工程を行う。こうすることで、第1信号電極12上では成膜がされ、第2の領域26では成膜がされにくいので、第1信号電極12上のみに強誘電体層140が形成される。強誘電体層140の成膜方法としては、第2の実施の形態で述べたと同様の方法を採用できる。

30

【0097】

強誘電体層140としては、強誘電性を示してキャパシタ絶縁層として使用できれば、その組成は任意のものを適用することができる。例えば、S B T系材料、P Z T系材料の他、ニオブやニッケル、マグネシウム等の金属を添加したもの等が適用できる。強誘電体の具体例としては、第1の実施の形態で述べたものと同様のものを例示できる。さらに、強誘電体の材料の具体例としては、第1の実施の形態で述べたものと同様のものを例示できる。

【0098】

40

(4) 誘電体層の形成工程

図17および図21に示すように、第2の領域26上に、すなわち、第1の領域24に形成された、第1信号電極12と強誘電体層140とからなる積層体の相互間の領域に、誘電体層180を形成する。図21は、図17のE-E線に沿った断面図である。

【0099】

誘電体層180の形成方法としては、第1の実施の形態で述べたと同様の方法を採用できる。さらに、誘電体層180は、たとえばC M P法などによって、強誘電体層140と同一レベルの表面を有するように平坦化されることが好ましい。このように誘電体層180を平坦化することにより、第2信号電極16の形成が容易かつ正確に行われる。

【0100】

50

誘電体層 180 は、強誘電体キャパシタを構成する強誘電体層 14 より小さな誘電率を有する誘電体材料を用いることが好ましい。たとえば、強誘電体層として P Z T 材料を用いた場合には、誘電体層 180 の材料としては、たとえば SiO_2 , Ta_2O_5 , $SrTiO_3$, MgO などの無機材料あるいはポリイミドなどの有機材料を用いることができ、強誘電体層 14 として SBT を用いた場合には、誘電体層 180 の材料として、 SiO_2 , Ta_2O_5 , $SrTiO_3$, $SrTa_2O_6$, $SrSnO_3$ などの無機材料あるいはポリイミドなどの有機材料を用いることができる。

【0101】

以上の工程 (1) ~ (4) によって、第 1 の領域 24 に第 1 信号電極 12 および強誘電体層 140 が積層され、第 2 の領域 26 に表面修飾層 22 および誘電体層 180 が積層される。

10

【0102】

(5) 第 2 信号電極の形成工程

図 22 ~ 図 24 に示すように、強誘電体層 140 および誘電体層 180 上に所定パターンの第 2 信号電極 (上部電極) 16 を形成する。その形成方法は、例えば、強誘電体層 140 および誘電体層 180 上に、第 2 信号電極 16 を形成するための電極材料を成膜し、成膜された電極材料をパターニングする。

20

【0103】

電極材料は、強誘電体キャパシタの一部となるための機能を有するものであれば特に限定されるものではない。強誘電体層 140 を構成する材料としては、第 1 の実施の形態で述べたと同様なものを採用できる。また、電極材料の成膜方法としては、第 1 の実施の形態と同様に、スパッタリング、真空蒸着、CVD 等の方法が利用でき、パターニング方法としては、リソグラフィ技術を利用することができる。

【0104】

例えば、第 1 の実施の形態と同様に、図示しないレジスト層を第 2 信号電極 16 のための電極材料層上に形成し、これをマスクとしてエッチングを行うことで、第 2 信号電極 16 をパターニングできる。

【0105】

(6) 強誘電体層のパターニング工程

図 15 および図 16 に示すように、図示しないレジスト層をマスクとして、さらに強誘電体層 140 を選択的に除去して強誘電体層 14 をパターニングする。成膜された強誘電体材料を選択的に除去する方法としては、第 1 の実施の形態と同様に、RIE、スパッタエッチング、プラズマエッチングなどのエッチング方法を用いることができる。その後、レジスト層を公知の方法、例えば溶解あるいはアッティングによって除去する。

30

【0106】

(7) 誘電体層の形成工程

さらに、必要に応じて、強誘電体層 14 と第 2 信号電極 16 とからなる積層体の相互間、ならびに表面修飾層 22 と第 2 信号電極 16 とからなる積層体の相互間に、図示しない誘電体層を形成する。誘電体層の形成方法としては、工程 (4) の誘電体層 180 と同様の方法を用いることができる。

40

【0107】

以上の工程によって、メモリセルアレイ 100C が形成される。この製造方法によれば、第 1 の実施の形態および第 2 の実施の形態での利点を有する。すなわち、エッチングを行うことなく、第 1 信号電極 (下電極) および強誘電体層の少なくとも 1 つ (本実施の形態では第 1 信号電極 12 および強誘電体層 14) を形成することができる。したがって、第 1 信号電極のパターニングとしてスパッタエッチングを用いた場合のように、エッチングにより生ずる二次生成物に起因する再付着物の問題を回避することができる。また、第 2 信号電極 16 のパターニングで用いたレジスト層をマスクとして連続的にパターニングされるので、工程数を少なくできる。さらにこの場合、各層を別々のマスクでパターニングする場合に比べて、1 つのマスクの合わせ余裕が不要となるので、メモリセルアレイの高

50

集積化も可能となる。

【0108】

以上、強誘電体キャパシタの存在しない領域に誘電体層18または180を形成する例を示してきたが、もちろん、本発明は、誘電体層18または180を設けない構成にも適用できる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態にかかるメモリセルアレイを模式的にしめす平面図である。

【図2】本発明の第1の実施の形態にかかる強誘電体メモリ装置を示す図である。

【図3】図1に示すメモリセルアレイの要部を拡大して示す平面図である。

10

【図4】図3のA-A線に沿った断面図である。

【図5】本発明の第1の実施の形態にかかるメモリセルアレイの製造方法の一工程を模式的に示す断面図である。

【図6】本発明の第1の実施の形態にかかるメモリセルアレイの製造方法の一工程を模式的に示す断面図である。

【図7】本発明の第2の実施の形態にかかるメモリセルアレイを模式的にしめす平面図である。

【図8】図7のB-B線に沿った断面図である。

【図9】本発明の第2の実施の形態にかかるメモリセルアレイの製造方法の一工程を模式的に示す断面図である。

20

【図10】本発明の第2の実施の形態にかかるメモリセルアレイの製造方法の一工程を模式的に示す断面図である。

【図11】本発明の第2の実施の形態にかかるメモリセルアレイの製造方法の一工程を模式的に示す断面図である。

【図12】本発明の第2の実施の形態にかかるメモリセルアレイの製造方法の一工程を模式的に示す断面図である。

【図13】本発明の第3の実施の形態にかかるメモリセルアレイを模式的にしめす平面図である。

【図14】図13のC-C線に沿った断面図である。

【図15】図13のD1-D1線に沿った断面図である。

30

【図16】図13のD2-D2線に沿った断面図である。

【図17】本発明の第3の実施の形態にかかるメモリセルアレイの製造方法の一工程を模式的にしめす平面図である。

【図18】本発明の第3の実施の形態にかかるメモリセルアレイの製造方法の一工程を模式的に示す断面図である。

【図19】本発明の第3の実施の形態にかかるメモリセルアレイの製造方法の一工程を模式的に示す断面図である。

【図20】本発明の第3の実施の形態にかかるメモリセルアレイの製造方法の一工程を模式的に示す断面図である。

40

【図21】本発明の第3の実施の形態にかかるメモリセルアレイの製造方法の一工程を模式的に示し、図17のE-E線に沿った断面図である。

【図22】本発明の第3の実施の形態にかかるメモリセルアレイの製造方法の一工程を模式的に示す平面図である。

【図23】本発明の第3の実施の形態にかかるメモリセルアレイの製造方法の一工程を模式的に示し、図22のF1-F1線に沿った断面図である。

【図24】本発明の第3の実施の形態にかかるメモリセルアレイの製造方法の一工程を模式的に示し、図22のF2-F2線に沿った断面図である。

【符号の説明】

10 基体

12 第1信号電極

50

14, 140 強誘電体層

1 6 第 2 信号電極

18, 180 誘電体層

20 強誘電体キャパシタ

2.2 表面修飾層

2 4 第 1 の 領 域

26 第2の領域

30 レジスト層

50 第1駆動回路

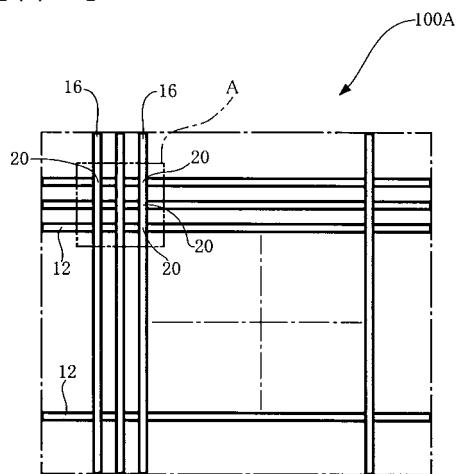
5.2 第2駆動回路

100A, 100B, 100C メモリセルアレイ

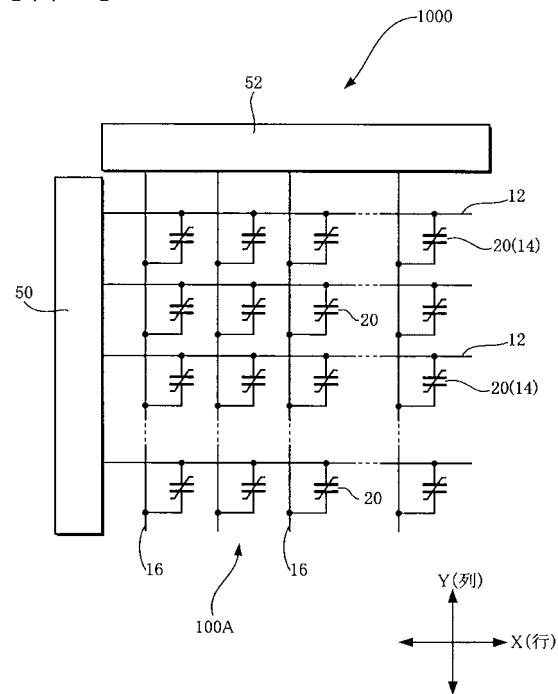
1000 強誘電体メモリ装置

10

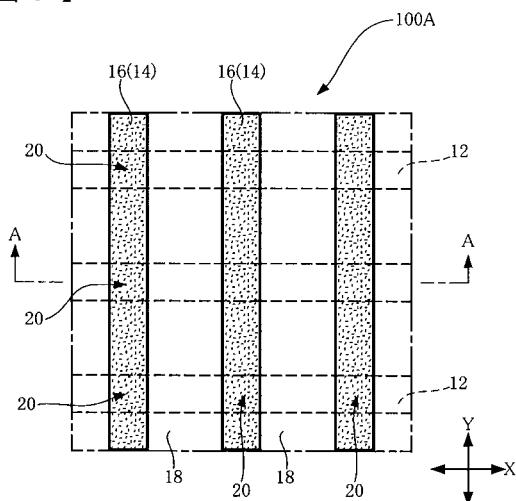
【 四 1 】



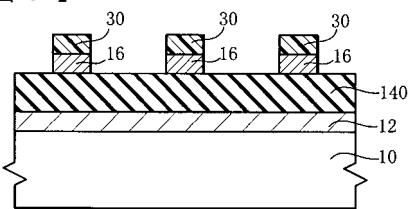
【 図 2 】



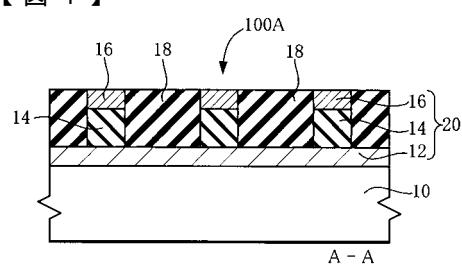
【図3】



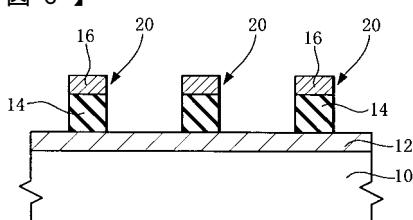
【図5】



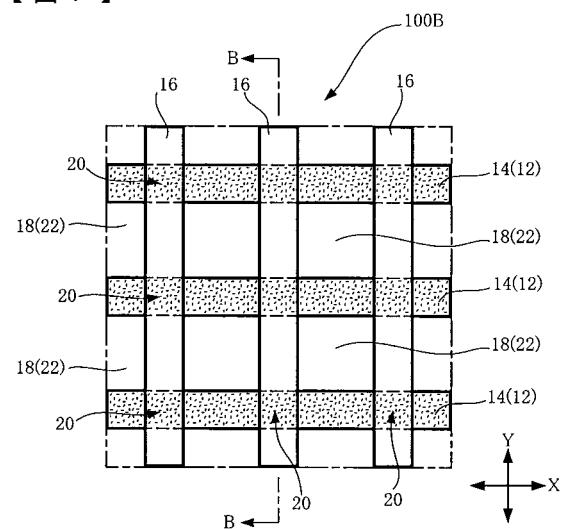
【図4】



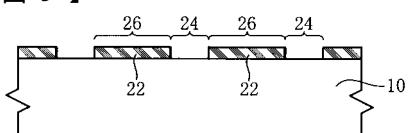
【図6】



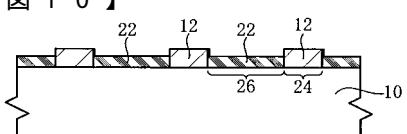
【図7】



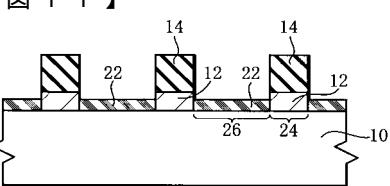
【図9】



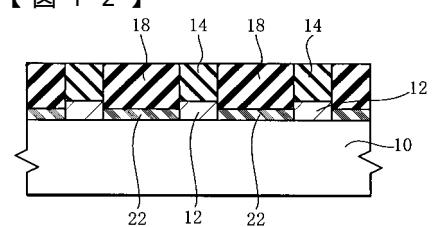
【図10】



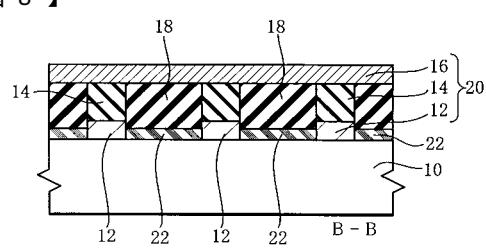
【図11】



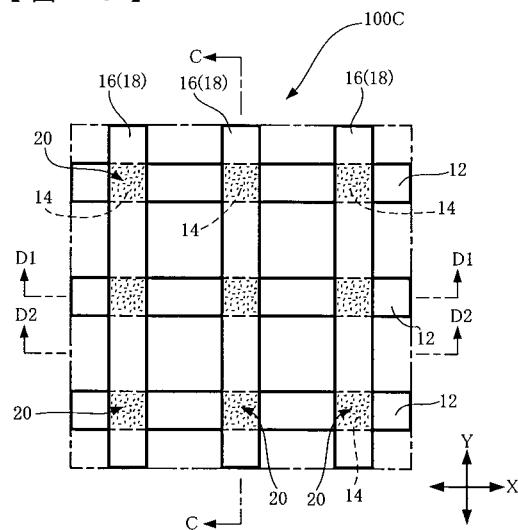
【図12】



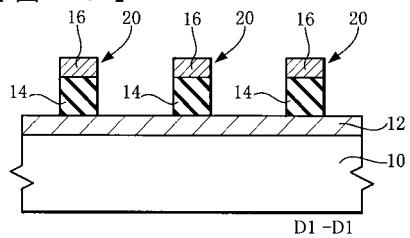
【図8】



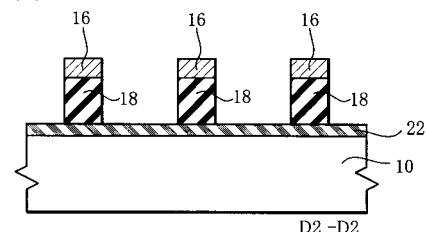
【図13】



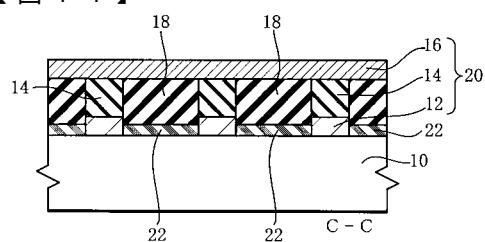
【図15】



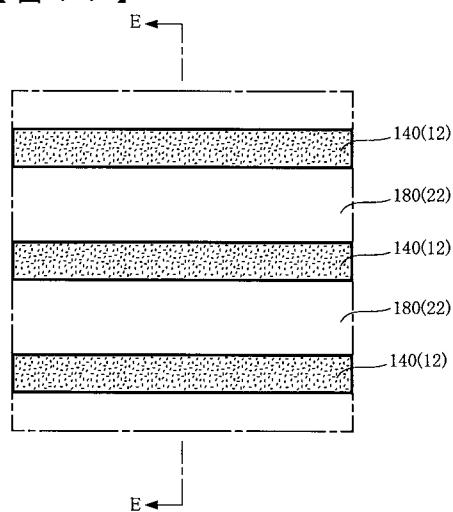
【図16】



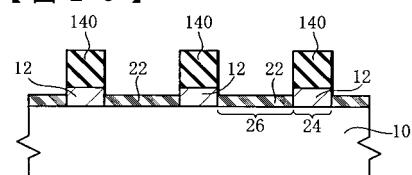
【図14】



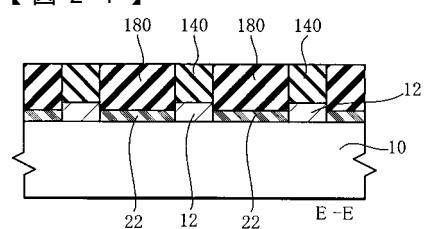
【図17】



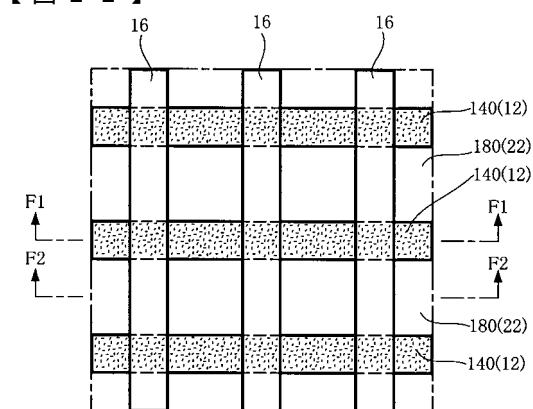
【図20】



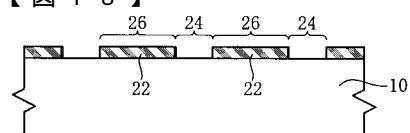
【図21】



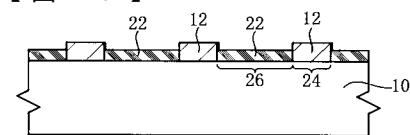
【図22】



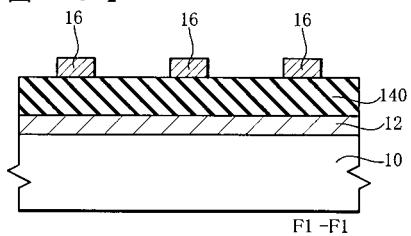
【図18】



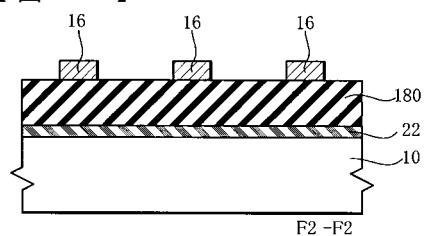
【図19】



【図2-3】



【図2-4】



フロントページの続き

(72)発明者 小口 幸一
長野県諏訪市大和3丁目3番5号 セイコーホームズ株式会社内

(72)発明者 西川 尚男
長野県諏訪市大和3丁目3番5号 セイコーホームズ株式会社内

(72)発明者 下田 達也
長野県諏訪市大和3丁目3番5号 セイコーホームズ株式会社内

審査官 瀧内 健夫

(56)参考文献 特開平08-255879(JP,A)
特開平09-249972(JP,A)
特開平10-303378(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8246

H01L 27/105