

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-292062

(P2005-292062A)

(43) 公開日 平成17年10月20日(2005.10.20)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
GO 1 R 31/28	GO 1 R 31/28	2 G 1 3 2
GO 1 R 31/30	GO 1 R 31/30	5 F 0 3 8
HO 1 L 21/822	HO 1 L 25/04	
HO 1 L 25/04	HO 1 L 27/04	
HO 1 L 25/18		

審査請求 未請求 請求項の数 3 O L (全 10 頁) 最終頁に続く

(21) 出願番号 特願2004-110631 (P2004-110631)
 (22) 出願日 平成16年4月5日(2004.4.5)

(71) 出願人 000002185
 ソニー株式会社
 東京都品川区北品川6丁目7番35号
 (74) 代理人 100080160
 弁理士 松尾 憲一郎
 (72) 発明者 小山田 成聖
 福岡県福岡市早良区百道浜2丁目3番2号
 ソニーセミコンダクタ九州株式会社内
 Fターム(参考) 2G132 AA03 AA08 AA14 AB03 AC15
 AD06 AG02 AK03 AK09 AK14
 AK23 AL05 AL26
 5F038 DF04 DF05 DT04 DT06 EZ07
 EZ19 EZ20

(54) 【発明の名称】 マルチチップモジュールの検査方法及び製造方法

(57) 【要約】

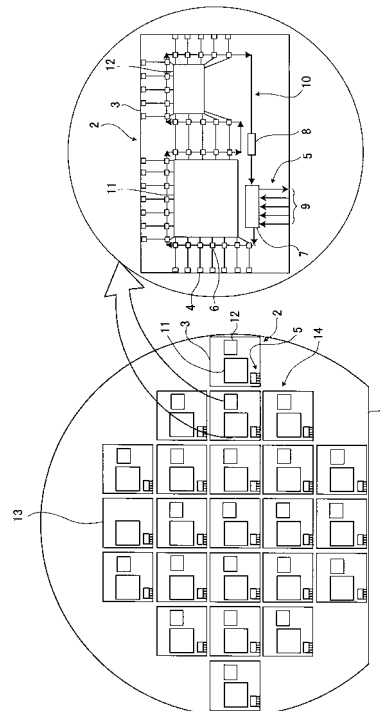
【課題】

良品判定検査に要するコストを削減するとともに、良品判定検査の検査効率を上昇させるマルチチップモジュールの検査方法及びマルチチップモジュールの製造方法を提供する

【解決手段】

ウエハ状態の半導体基板に設けた複数のチップ領域に所要の回路とともにJTAG回路をそれぞれ形成し、各チップ領域に半導体チップを実装した後に、JTAG回路の検査用端子に所定の信号を入力して各チップ領域に対するバーンイン検査をウエハ状態のままで行い、その後、ウエハ状態の半導体基板を各チップ領域毎に切断することとした。

【選択図】 図3



【特許請求の範囲】**【請求項 1】**

ウエハ状態の半導体基板に設けた複数のチップ領域に半導体チップをそれぞれ実装した後に、各チップ領域毎に切断して形成されるマルチチップモジュールの検査方法において

、
前記各チップ領域に所要の回路とともに J T A G 回路を形成しておき、この J T A G 回路の検査用端子に所定の信号を入力して前記各チップ領域に対するバーンイン検査をウエハ状態のままで行うことを特徴とするマルチチップモジュールの検査方法。

【請求項 2】

前記各チップ領域に複数の前記半導体チップを実装する場合には、個々の前記半導体チップを実装する度に前記バーンイン検査を行うことを特徴とする請求項 1 に記載のマルチチップモジュールの検査方法。

10

【請求項 3】

ウエハ状態の半導体基板に設けた複数のチップ領域に所要の回路とともに J T A G 回路をそれぞれ形成し、各チップ領域に半導体チップを実装した後に、前記 J T A G 回路の検査用端子に所定の信号を入力して前記各チップ領域に対するバーンイン検査をウエハ状態のままで行い、その後、ウエハ状態の前記半導体基板を前記各チップ領域毎に切断することを特徴とするマルチチップモジュールの製造方法。

20

30

【発明の詳細な説明】**【技術分野】**

40

【0001】

本発明は、マルチチップモジュールの検査方法及び製造方法に関するものである。

【背景技術】**【0002】**

近年の半導体装置の高集積化にともなって、同一の半導体基板に複数の半導体チップを実装し、1つの半導体装置としてパッケージングしたマルチチップモジュールが開発されている。

【0003】

このマルチチップモジュールは、出荷前に複数種類の良否判定検査を行い、この良否判定検査で良品と判定されたものだけを出荷するようにしていた。

50

【0004】

この良否判定検査の1つとしてバーンイン検査がある。

【0005】

このバーンイン検査は、マルチチップモジュールに通常の使用時よりも高い温度の下で通常の使用時よりも高い電圧を印加するなどの所定の負荷をかけ、この所定の負荷をかけた状態で所定時間動作させることにより、初期不良を生じたマルチチップモジュールを排除する検査である（たとえば、特許文献1参照。）。

【0006】

このバーンイン検査を行う際は、まず、マルチチップモジュールをバーンインボードに設けたソケットに取付ける。

10

【0007】

このソケットには、マルチチップモジュールの入出力端子の本数と同数の検査用の端子が設けられており、マルチチップモジュールをソケットに取付ける際は、マルチチップモジュールの各入出力端子とソケットの各端子とを正確に位置合わせした後に接続して取付けていた。

【0008】

次に、マルチチップモジュールを取付けたバーンインボードをバーンイン装置の内部に設置し、マルチチップモジュールに対して上記した所定の負荷をかけた状態で、各端子からマルチチップモジュールに所定の検査信号を入力して所定時間動作させ、正常に動作したマルチチップモジュールだけを良品と判定していた。

20

【特許文献1】特開平7-174818号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

ところが、マルチチップモジュールは、複数の半導体チップを有しているため、その入出力端子の本数が単体の半導体チップに比べてはるかに多く、高集積化を図るために入出力端子同士の間隔も非常に狭く形成されている。

【0010】

そのため、上記従来のバーンイン検査のように、マルチチップモジュールの各入出力端子とソケットの各端子とを接続してバーンイン検査を行うためには、単体の半導体チップ用のソケットよりもはるかに本数が多い端子を有するとともに、各端子同士の間隔をより一層狭く形成したマルチチップモジュール専用のソケットを用いなければならない、単体の半導体チップ用のソケットに比べて非常に高価となってしまう、バーンイン検査に要するコストが増大するおそれがあった。

30

【0011】

特に、複数の半導体チップを同一の半導体基板に実装したマルチチップモジュールの場合には、バーンイン検査によりマルチチップモジュールを構成する半導体チップのうちの1つの半導体チップが不良であると、このマルチチップモジュール全体を廃棄しなければならなかったため、製品の歩留まりが低下するおそれがあった。

【課題を解決するための手段】

40

【0012】

そこで、請求項1に係る本発明では、ウエハ状態の半導体基板に設けた複数のチップ領域に半導体チップをそれぞれ実装した後に、各チップ領域毎に切断して形成されるマルチチップモジュールの検査方法において、各チップ領域に所要の回路とともにJTAG回路を形成しておき、このJTAG回路の検査用端子に所定の信号を入力して各チップ領域に対するバーンイン検査をウエハ状態のままで行うこととした。

【0013】

また、請求項2に係る本発明では、各チップ領域に複数の半導体チップを実装する場合には、個々の半導体チップを実装する度にバーンイン検査を行うこととした。

【0014】

50

また、請求項3に係る本発明では、ウエハ状態の半導体基板に設けた複数のチップ領域に所要の回路とともにJTAG回路をそれぞれ形成し、各チップ領域に半導体チップを実装した後に、JTAG回路の検査用端子に所定の信号を入力して各チップ領域に対するバーンイン検査をウエハ状態のままで行い、その後、ウエハ状態の半導体基板を各チップ領域毎に切断することとした。

【発明の効果】

【0015】

本発明は、以下に記載するような効果を奏する。

【0016】

請求項1に係る本発明では、ウエハ状態の半導体基板に設けた複数のチップ領域に半導体チップをそれぞれ実装した後に、各チップ領域毎に切断して形成されるマルチチップモジュールの検査方法において、各チップ領域に所要の回路とともにJTAG回路を形成しておき、このJTAG回路の検査用端子に所定の信号を入力して各チップ領域に対するバーンイン検査をウエハ状態のままで行うこととしたため、バーンイン検査に用いる検査用の端子は、JTAG回路を動作させるための数本の端子だけを用いればよく、マルチチップモジュール専用の高価なソケットを用いる必要がなくなり、バーンイン検査に要するコストを低減することができる。

10

【0017】

さらに、ウエハ状態の半導体基板上に形成した複数のマルチチップモジュールに対して同時にバーンイン検査を行うことができるので、バーンイン検査の検査効率を向上させることができる。

20

【0018】

また、請求項2に係る本発明では、各チップ領域に複数の半導体チップを実装する場合には、個々の半導体チップを実装する度にバーンイン検査を行うこととしたため、マルチチップモジュールを製造した後に、マルチチップモジュール全体を廃棄するといったことがなくなり、マルチチップモジュールの歩留まりを向上させることができる。

【0019】

また、請求項3に係る本発明では、ウエハ状態の半導体基板に設けた複数のチップ領域に所要の回路とともにJTAG回路をそれぞれ形成し、各チップ領域に半導体チップを実装した後に、JTAG回路の検査用端子に所定の信号を入力して各チップ領域に対するバーンイン検査をウエハ状態のままで行い、その後、ウエハ状態の半導体基板を各チップ領域毎に切断することとしたため、半導体チップを実装する度にJTAG回路を用いたバーンイン検査を行うことで信頼性の高いマルチチップモジュールを低コストで製造することができる。

30

【発明を実施するための最良の形態】

【0020】

本発明に係るマルチチップモジュールの製造方法は、まず、ウエハ状態の半導体基板に設けた複数のチップ領域に所要の回路とJTAG回路とをそれぞれ形成する。

【0021】

次に、各チップ領域に半導体チップをそれぞれ実装する。

40

【0022】

バーンインボードに半導体基板をウエハ状態のまま取付ける。

【0023】

このバーンインボードには、各JTAG回路の5本の検査用端子と接続するための5本の検査用端子を設けている。

【0024】

そして、このバーンインボードに設けている各端子とJTAG回路の各検査用端子とを接続させることにより半導体基板をバーンインボードに取付けた後、JTAG回路の検査用端子から所定の信号を入力する。

【0025】

50

次に、このバーンインボードをバーンイン装置の内部に設置した後、ウエハ状態のまま複数半導体チップに対して同時にバーンイン検査を行うようにしている。

【0026】

このように、このマルチチップモジュールのバーンイン検査では、バーンイン検査に用いる検査用端子は、JTAG回路を動作させるための5本の検査用端子だけを用いればよく、マルチチップモジュール専用の高価なソケットを用いる必要がなくなり、バーンイン検査に要するコストを削減することができる。

【0027】

また、ウエハ状態の半導体基板上に形成した全てのマルチチップモジュールに対して同時にバーンイン検査を行うようにしているため、バーンイン検査の検査効率を向上させることができる。

10

【0028】

また、各チップ領域に複数の半導体チップを同一平面上に実装したり、或いは、複数の半導体チップを重積して実装する場合には、個々の半導体チップを実装する度にバーンイン検査を行い、前回のバーンイン検査で良品と判定されたチップ領域にのみ順次半導体チップを実装する。

【0029】

そのため、マルチチップモジュールを製造した後に、マルチチップモジュール全体を廃棄するといったことがなくなるので、半導体基板及び半導体チップを有効に利用することができる。

20

【0030】

特に、初めに比較的安価な半導体チップを実装して1度目のバーンイン検査を行い、その後、このバーンイン検査で良品と判定されたチップ領域だけに比較的高価な半導体チップを実装するようにした場合には、比較的高価な半導体チップを無駄に半導体基板上に実装することを未然に防止することができる。

【0031】

そして、このようなバーンイン検査を終了した後、ウエハ状態の半導体基板を各チップ領域毎に切断し、上記したバーンイン検査で良品と判断したしたものだけを選別することによりマルチチップモジュールを製造するようにしている。

【0032】

このように、マルチチップモジュールを製造する際、半導体チップを半導体基板上に実装する度にバーンイン検査を行うようにしており、さらにバーンイン検査に用いる検査用端子の本数を減少させることにより、信頼性の高いマルチチップモジュールを低コストで製造することができる。

30

【0033】

以下に、本発明に係るマルチチップモジュールの検査方法及び製造方法について図面を参照しながら具体的に説明する。

【0034】

まず、図1に示すように、ウエハ状態の半導体基板(以下、「ウエハ」という。)1の各チップ領域2に、トランジスタやキャパシタなどの所要の回路を形成するとともに、マルチチップモジュール3の入出力端子4とJTAG回路5とを予め形成しておく。

40

【0035】

このJTAG回路5は、後にチップ領域2に実装する複数の半導体チップのすべての入出力端子と接続する位置にそれぞれ設けたバウンダリスキャンセル(以下、「BSC」という。)6と、このBSC6を制御するJTAGコントローラ7と、検査結果のデータと期待値のデータとを比較するコンパレータ8と、JTAGコントローラ7の制御信号を入力する4本の入力端子と検査結果のデータを出力する1本の出力端子からなるJTAG用インターフェースポート9とから構成している。

【0036】

そして、JTAGコントローラ7と全てのBSC6とコンパレータ8とは全て直列に接続

50

しており、検査用のデータ及び検査結果のデータを転送する経路であるバウンダリスキャンパス（以下、「BSP」という。）10を形成している。

【0037】

また、JTAGコントローラ7は、JTAG用インターフェースポート9から入力される制御信号に基づいて様々な検査用パターンをBSC6に出力するパターンジェネレータ（図示略）と、コンパレータが出力する比較結果のデータを一時的に格納するレジスタ（図示略）とを有している。

【0038】

次に、図2に示すように、マルチチップモジュール3の入出力端子4及びJTAG回路5を形成した各チップ領域2に第1の半導体チップであるメモリ11を実装する。

10

【0039】

このとき実装するメモリ11は、メモリ11の全ての入出力端子（図示略）と、これに対応した各BSC6とがそれぞれ接続する位置に実装する。

【0040】

ここで、1度目のバーンイン検査を行う。

【0041】

1度目のバーンイン検査では、まず、各チップ領域2にメモリ11を実装したウエハ1をバーンインボードに取付ける。

【0042】

このとき、バーンインボードは、ウエハ1上の各チップ領域2との接合部にJTAG用インターフェースポート9と接続するための検査用の端子が5本ずつ設けている。

20

【0043】

そして、この5本の端子とJTAG用インターフェースポート9の4本の入力端子及び1本の出力端子とを接続させてウエハ1をバーンインボードに取付ける。

【0044】

このように、各チップ領域2につき5本の端子を用いてウエハ1をバーンインボードに取付けることができるため、従来のように半導体チップの入出力端子と同数の端子を有する非常に高価な専用のソケットを用いる必要がないので、バーンイン検査に要するコストを大幅に削減することができる。

【0045】

次に、このバーンインボードに取付けたウエハ1をバーンイン装置の内部に設置し、バーンイン装置の内部の温度を130 程度まで上昇させる。

30

【0046】

次に、JTAG用インターフェースポート9からJTAGコントローラ7にバーンイン検査用の書き込み制御信号を入力する。

【0047】

JTAGコントローラ7は、この書き込み制御信号に基づいてパターンジェネレータを起動し、所定の検査パターンをBSP10上のBSC6を介してメモリ11に記憶させる。

【0048】

次に、JTAG用インターフェースポート9からJTAGコントローラ7に読み出し制御信号を入力する。

40

【0049】

JTAGコントローラ7は、この読み出し制御信号に基づいて先ほどメモリ11に記憶させた所定の検査パターンを各BSC6に読み出し、この読み出した所定の検査パターンを検査結果パターンとしてBSP10を通してコンパレータ8に入力する。

【0050】

次に、コンパレータ8は、BSP10から入力された検査結果パターンとメモリ11に記憶させた所定の検査パターンとを各BSC6毎に比較し、この比較結果を比較結果データとしてJTAGコントローラ7に設けたレジスタに格納させる。

【0051】

50

次に、このメモリ11への検査パターンの記憶と、検査結果パターンの読み出しと、比較結果データの格納とを所定時間のうちに複数回繰り返して行う。

【0052】

そして、所定時間が経過した後に、レジスタに格納した複数の比較結果データをJTAG用インターフェースポート9から外部のホストコンピュータに読み出し、この複数の比較結果データに基づいてメモリの良否判定を行って1度目のバーンイン検査を終了する。

【0053】

次に、1度目のバーンイン検査を終了したバーンインボードをバーンイン装置から取り出し、図3に示すように、チップ領域2に第2の半導体チップであるCPU12を実装する。

【0054】

このとき実装するCPU12は、CPU12の全ての入出力端子(図示略)と、これらに対応したBSC6とがそれぞれ接続する位置に実装する。

【0055】

特に、ここでは、1度目のバーンイン検査で不良と判定されたNGチップ領域13には、CPU12を実装せず、1度目のバーンイン検査で良品と判定されたGOODチップ領域14にのみCPU12を実装するようにしている。

【0056】

そのため、比較的安価なメモリ11と比較的高価なCPU12とを有するマルチチップモジュール3を製造するにあたって、最終的に比較的安価なメモリ11の不良のために、正常に動作する比較的高価なCPU12を無駄に廃棄するといったことを未然に防止することができる。

【0057】

次に、2度目のバーン検査を行う。

【0058】

2度目のバーンイン検査では、まず、上記したメモリ11とCPU12とを実装したウエハ1を1度目のバーンイン検査の際と同様に再度バーンインボードに取付けた後、バーンイン装置の内部に設置し、その後、このウエハ1に実装したメモリ11とCPU12とに所定の負荷をかける。

【0059】

次に、メモリ11とCPU12とに所定の負荷をかけた状態で、JTAG用インターフェースポート9からJTAGコントローラ7にCPU12とメモリ11とを動作させる動作制御信号を入力する。

【0060】

JTAGコントローラ7は、この動作制御信号に基づいてCPU12に所定の処理を行わせる。

【0061】

次に、JTAG用インターフェースポート9からJTAGコントローラ7にCPU12の処理結果を読み出すための処理結果読み出し制御信号を入力する。

【0062】

JTAGコントローラ7は、この処理結果読み出し制御信号に基づいてCPU12が行った所定の処理の結果をCPU12の各入出力端子から対応する各BSC6に処理結果データとして読み出し、BSP10を通してコンパレータ8に入力する。

【0063】

コンパレータ8は、この処理結果データとこの処理の期待値のデータとを比較して、この比較結果を処理結果比較データとしてJTAGコントローラ7に設けたレジスタに格納させる。

【0064】

次に、このCPU12の処理と、処理結果データの読み出しと、処理結果比較データの格納とを所定時間のうちに複数回繰り返して行う。

【0065】

10

20

30

40

50

そして、所定時間が経過した後に、レジスタに格納した複数の処理結果比較データを J T A G 用インターフェースポート9から外部のホストコンピュータに読み出し、この複数の処理結果比較データに基づいて C P U 12 の良否判定を行って2度目のバーンイン検査を終了する。

【0066】

次に、2度目のバーンイン検査を終了したウエハ1をバーンイン装置から取り出した後、ウエハ1をバーンインボードから取り外す。

【0067】

最後に、図4に示すように、このウエハ1を各チップ領域毎に切断し、1度目及び2度目のバーンイン検査で良品と判定したものだけを選別してマルチチップモジュール3を製造する。

10

【0068】

なお、本実施の形態では、チップ領域2の同一平面上に2個の半導体チップを実装したマルチチップモジュールを例に挙げて説明したが、本発明は、これに限らず、半導体チップの上面にさらに別の半導体チップを重積して実装するマルチチップモジュールに対しても適用することができる。

【0069】

また、バーンイン検査を行う際に半導体チップにかける負荷は、温度に限らず、通常使用時よりも高い電圧を印加したり、通常使用時よりも低い周波数の信号を入力するなど、半導体チップに対して所定のストレスを印加できるものであれば、任意の負荷を用いても良い。

20

【図面の簡単な説明】

【0070】

【図1】本発明に係るマルチチップモジュールの製造方法を示す説明図である。

【図2】本発明に係るマルチチップモジュールの製造方法を示す説明図である。

【図3】本発明に係るマルチチップモジュールの製造方法を示す説明図である。

【図4】本発明に係るマルチチップモジュールの製造方法を示す説明図である。

【符号の説明】

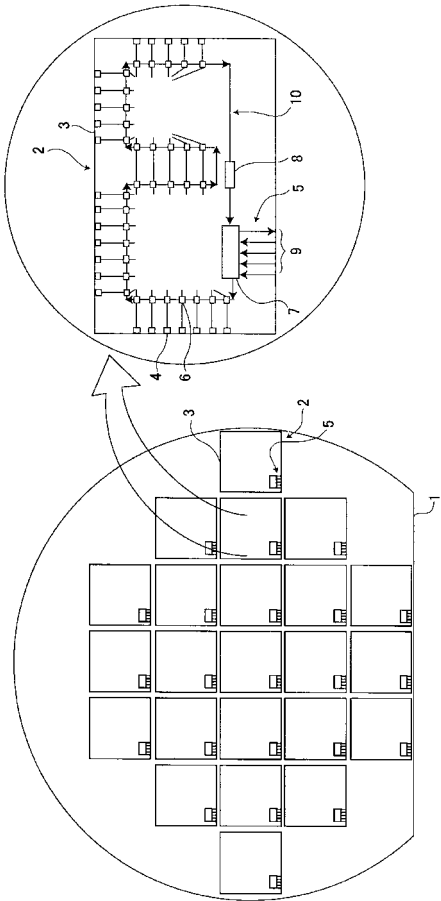
【0071】

- 1 ウエハ
- 2 チップ領域
- 3 マルチチップモジュール
- 4 入出力端子
- 5 J T A G 回路
- 6 バウンダリスキャンセル (B S C)
- 7 J T A G コントローラ
- 8 コンパレータ
- 9 J T A G 用インターフェースポート
- 10 バウンダリスキャンパス (B S P)
- 11 メモリ
- 12 C P U
- 13 N G チップ領域
- 14 G O O D チップ領域

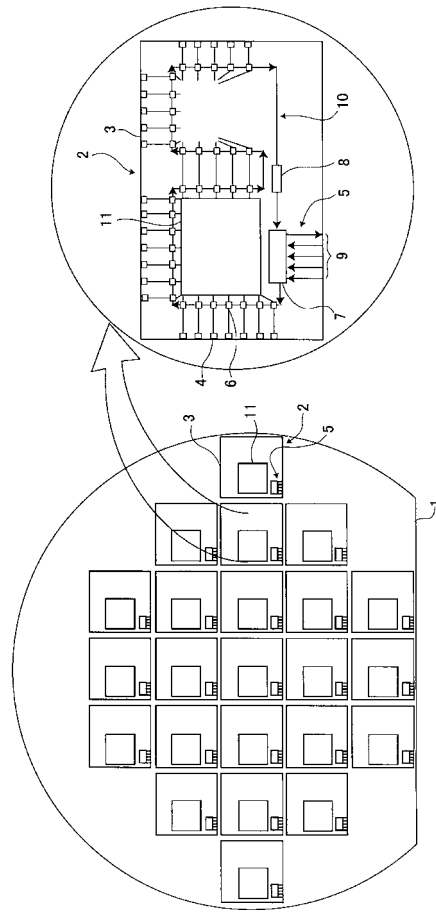
30

40

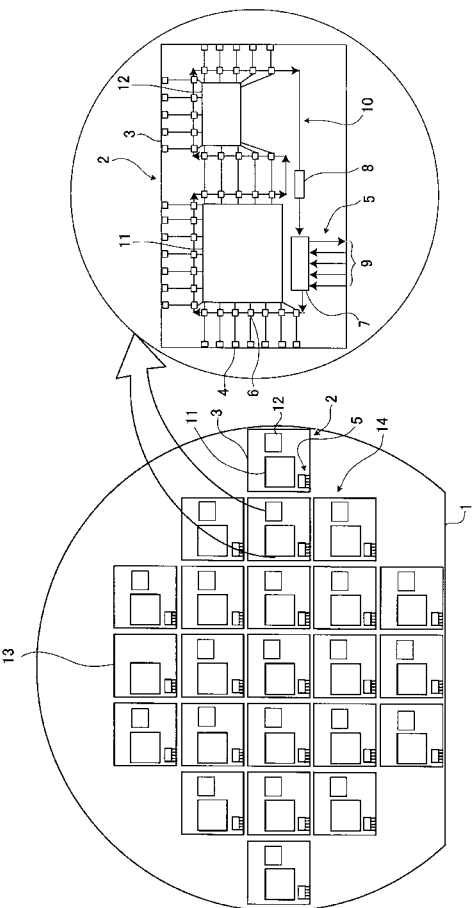
【図 1】



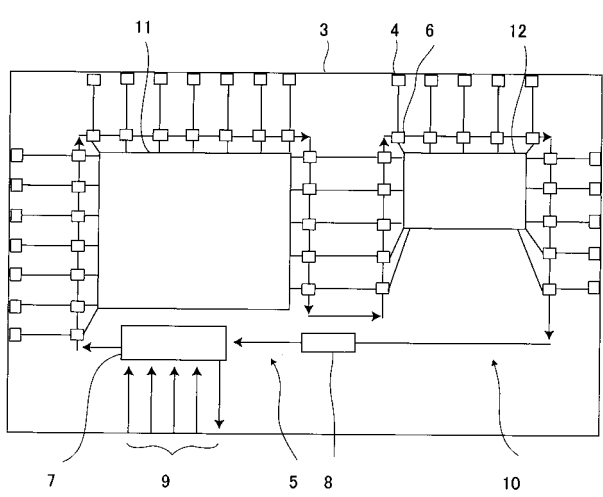
【図 2】



【図 3】



【図 4】



フロントページの続き

(51)Int.Cl.⁷

H 0 1 L 27/04

F I

テーマコード(参考)