

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年12月1日(01.12.2022)



(10) 国際公開番号

WO 2022/249595 A1

- (51) 国際特許分類:
H01L 51/42 (2006.01) H01L 27/30 (2006.01)
H01L 27/146 (2006.01)
- (21) 国際出願番号: PCT/JP2022/007406
- (22) 国際出願日: 2022年2月22日(22.02.2022)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2021-088808 2021年5月26日(26.05.2021) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP). ソニーグループ株式会社(SONY GROUP CORPORATION) [JP/JP]; 〒1080075 東京都港区港南1丁目7番1号 Tokyo (JP).
- (72) 発明者: 齊藤 陽介(SAITO, Yosuke); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニ

ーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 中込 湧士郎(NAKAGOME, Yushiro); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 菅野 雅人(KANNO, Masato); 〒1080075 東京都港区港南1丁目7番1号 ソニーグループ株式会社内 Tokyo (JP).

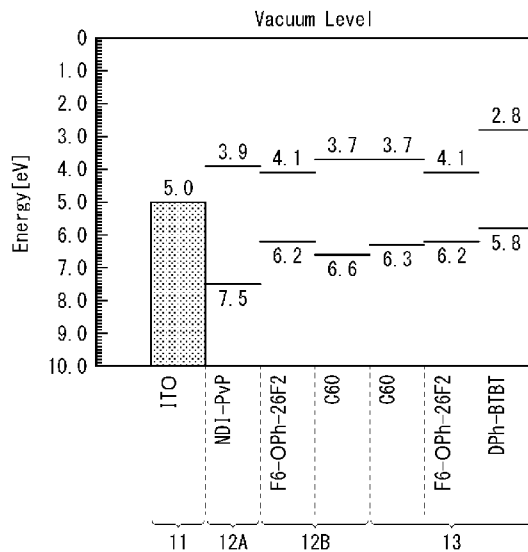
(74) 代理人: 弁理士法人つばさ国際特許事務所 (TSUBASA PATENT PROFESSIONAL CORPORATION); 〒1600022 東京都新宿区新宿1丁目15番9号 さわだビル3階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,

(54) Title: PHOTOELECTRIC CONVERSION ELEMENT AND IMAGING DEVICE

(54) 発明の名称: 光電変換素子および撮像装置

[図2]



(57) Abstract: A photoelectric conversion element according to one embodiment of the present disclosure is provided with: a first electrode (11); a second electrode which is arranged so as to face the first electrode (11); a photoelectric conversion layer (13) which is arranged between the first electrode (11) and the second electrode, while containing a fullerene or a fullerene derivative; a first charge blocking layer (12A) which is arranged between the first electrode (11) and the photoelectric conversion layer (13), while containing an organic material that has a HOMO level which is deeper than the work function of the first electrode (11) by 1 eV or more and a LUMO level of 3.7 eV to 4.8 eV; and a second charge blocking layer (12B) which is arranged between the first charge blocking layer (12A) and the photoelectric conversion layer (13), while containing a fullerene or a fullerene derivative.

MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一 国際調査報告(条約第21条(3))

(57) 要約：本開示の一実施形態の光電変換素子は、第1電極(11)と、第1電極(11)に対向配置された第2電極と、第1電極(11)と第2電極との間に設けられ、フラーレンまたはフラーレン誘導体を含む光電変換層(13)と、第1電極(11)と光電変換層(13)との間に設けられ、第1電極(11)の仕事関数に対して1 eV以上深いHOMO準位および3.7 eV以上4.8 eV以下のLUMO準位を有する有機材料を含む第1の電荷ブロック層(12A)と、第1の電荷ブロック層(12A)と光電変換層(13)との間に設けられると共に、フラーレンまたはフラーレン誘導体を含む第2の電荷ブロック層(12B)とを備える。

明 細 書

発明の名称：光電変換素子および撮像装置

技術分野

[0001] 本開示は、有機半導体を用いた光電変換素子およびこれを備えた撮像装置に関する。

背景技術

[0002] 例えば、特許文献1では、光電変換層と電極との間に、フラレンおよび／またはフラレン誘導体と、イオン化ポテンシャルが5.5 eV以上の透明正孔輸送材料とを含む正孔ブロッキング層を設けた光電変換素子が開示されている。

先行技術文献

特許文献

[0003] 特許文献1：特開2013-236008号公報

発明の概要

[0004] ところで、撮像装置に用いられる光電変換素子では、例えば、暗電流の低減、外部量子効率の向上および光応答性の向上といった素子特性の向上が求められている。

[0005] 素子特性を向上させることが可能な光電変換素子および撮像装置を提供することが望ましい。

[0006] 本開示の一実施形態の光電変換素子は、第1電極と、第1電極に対向配置された第2電極と、第1電極と第2電極との間に設けられ、フラレンまたはフラレン誘導体を含む光電変換層と、第1電極と光電変換層との間に設けられ、第1電極の仕事関数に対して1 eV以上深いHOMO準位および3.7 eV以上4.8 eV以下のLUMO準位を有する有機材料を含む第1の電荷ブロック層と、第1の電荷ブロック層と光電変換層との間に設けられると共に、フラレンまたはフラレン誘導体を含む第2の電荷ブロック層とを備えたものである。

[0007] 本開示の一実施形態の撮像装置は、1または複数の光電変換部を有する撮像素子がそれぞれ設けられた複数の画素を備え、1または複数の光電変換部として、上記本開示の一実施形態の光電変換素子を有するものである。

[0008] 本開示の一実施形態の光電変換素子および一実施形態の撮像装置では、第1電極と光電変換層との間に、第1電極の仕事関数に対して1 e V以上深いHOMO準位および3.7 e V以上4.8 e V以下のLUMO準位を有する有機材料を含む第1の電荷ブロック層と、フラーレンまたはフラーレン誘導体を含む第2の電荷ブロック層とを、第1電極側からのこの順に設けるようにした。これにより、第1電極からの電荷の注入を抑制しつつ、第1電極との界面の電子障壁を低減する。また、光電変換層の界面での暗電流の発生を抑制しつつ、光電変換層との界面トラップの発生を低減する。

図面の簡単な説明

[0009] [図1]本開示の一実施の形態に係る光電変換素子の構成の一例を表す断面模式図である。

[図2]図1に示した光電変換素子の各層を構成する材料のエネルギー準位の一例を表す図である。

[図3]図1に示した光電変換素子を用いた撮像素子の構成の一例を表す断面模式図である。

[図4]図3に示した撮像素子を有する撮像装置の画素構成の一例を表す平面模式図である。

[図5]図3に示した撮像素子の等価回路図である。

[図6]図3に示した撮像素子の下部電極および制御部を構成するトランジスタの配置を表わす模式図である。

[図7]図3に示した撮像素子の製造方法を説明するための断面図である。

[図8]図7に続く工程を表す断面図である。

[図9]図8に続く工程を表す断面図である。

[図10]図9に続く工程を表す断面図である。

[図11]図10に続く工程を表す断面図である。

[図12]図 1 1 に続く工程を表す断面図である。

[図13]図 3 に示した撮像素子の一動作例を表すタイミング図である。

[図14]本開示の変形例 1 に係る撮像素子の構成の一例を表す断面模式図である。

[図15]本開示の変形例 2 に係る撮像素子の構成の一例を表す断面模式図である。

[図16A]本開示の変形例 3 に係る撮像素子の構成の一例を表す断面模式図である。

[図16B]図 1 6 A に示した撮像素子の平面構成を表す模式図である。

[図17A]本開示の変形例 4 に係る撮像素子の構成の一例を表す断面模式図である。

[図17B]図 1 7 A に示した撮像素子の平面構成を表す模式図である。

[図18]本開示の他の変形例に係る変形例 2 の撮像素子の構成の他の例を表す断面模式図である。

[図19A]本開示の他の変形例に係る変形例 3 の撮像素子の構成の他の例を表す断面模式図である。

[図19B]図 1 9 A に示した撮像素子の平面構成を表す模式図である。

[図20A]本開示の他の変形例に係る変形例 4 の撮像素子の構成の他の例を表す断面模式図である。

[図20B]図 2 0 A に示した撮像素子の平面構成を表す模式図である。

[図21]図 3 等示した撮像素子を備えた撮像装置の全体構成を表すブロック図である。

[図22]図 2 1 に示した撮像装置を用いた電子機器の構成の一例を表すブロック図である。

[図23A]図 2 1 に示した撮像装置を用いた光検出システムの全体構成の一例を表す模式図である。

[図23B]図 2 3 A に示した光検出システムの回路構成の一例を表す図である。

[図24]内視鏡手術システムの概略的な構成の一例を示す図である。

[図25]カメラヘッド及びCCUの機能構成の一例を示すブロック図である。

[図26]車両制御システムの概略的な構成の一例を示すブロック図である。

[図27]車外情報検出部及び撮像部の設置位置の一例を示す説明図である。

発明を実施するための形態

[0010] 以下、本開示における実施の形態について、図面を参照して詳細に説明する。以下の説明は本開示の一具体例であって、本開示は以下の態様に限定されるものではない。また、本開示は、各図に示す各構成要素の配置や寸法、寸法比等についても、それらに限定されるものではない。なお、説明する順序は、下記の通りである。

1. 実施の形態（所定のHOMO準位およびLUMO準位を有する層と、フラーレンまたはその誘導体を含む層とからなる正孔ブロック層を有する光電変換素子の例）

1-1. 光電変換素子の構成

1-2. 撮像素子の構成

1-3. 撮像素子の製造方法

1-4. 撮像素子の信号取得動作

1-5. 作用・効果

2. 変形例

2-1. 変形例1（撮像素子の構成の他の例）

2-2. 変形例2（撮像素子の構成の他の例）

2-3. 変形例3（撮像素子の構成の他の例）

2-4. 変形例4（撮像素子の構成の他の例）

2-5. 変形例5（撮像素子のその他の変形例）

3. 適用例

4. 応用例

5. 実施例

[0011] <1. 実施の形態>

図1は、本開示の一実施の形態の光電変換素子（光電変換素子10）の断

面構成の一例を模式的に表したものである。光電変換素子 10 は、例えば、デジタルスチルカメラ、ビデオカメラ等の電子機器に用いられる CMOS (Complementary Metal Oxide Semiconductor) イメージセンサ等の撮像装置 (撮像装置 100、例えば図 21 参照) において 1 つの画素 (単位画素 P) を構成する撮像素子 (撮像素子 1A、例えば図 3 参照) として用いられるものである。光電変換素子 10 は、下部電極 11 と、正孔ブロック層 12 と、光電変換層 13 と、電子ブロック層 14 と、仕事関数調整層 15 と、上部電極 16 とがこの順に積層された構成を有している。本実施の形態の正孔ブロック層 12 は、下部電極 11 側から、下部電極 11 の仕事関数に対して 1 eV 以上深い HOMO (Highest Occupied Molecular Orbital) 準位および 3.7 eV 以上 4.8 eV 以下の LUMO (Lowest Unoccupied Molecular Orbital) 準位を有する有機材料を含む第 1 層 12A と、フラーレンまたはフラーレン誘導体を含む第 2 層 12B とが積層されたものである。

[0012] (1-1. 光電変換素子の構成)

光電変換素子 10 は、選択的な波長域 (例えば、400 nm 以上 1300 nm 未満の可視光領域および近赤外光領域) の波長の一部または全部に対応する光を吸収して励起子 (電子正孔対) を発生させるものである。光電変換素子 10 は、後述する撮像素子 (例えば、撮像素子 1A) では、光電変換によって生じる電子正孔対のうち、例えば、電子が信号電荷として下部電極 11 側から読み出される。以下では、信号電荷として電子を下部電極 11 側から読み出す場合を例に、各部の構成や材料等について説明する。

[0013] 下部電極 11 (陰極) は、例えば、光透過性を有する導電膜により構成されている。下部電極 11 は、4.0 eV 以上 5.5 eV 以下の仕事関数を有し、且つ、後述する第 1 層 12A を構成する有機材料よりも深い LUMO 準位を有していることが好ましい。このような下部電極 11 の構成材料としては、例えば、ドーパントとしてスズ (Sn) を添加した In_2O_3 であるインジウム錫酸化物 (ITO) が挙げられる。その ITO 薄膜の結晶性は、結晶性が高くても、低く (アモルファスに近づく) てもよい。下部電極 11 の構

成材料としては、上記以外にも、ドーパントを添加した酸化スズ (SnO_2) 系材料例えば、ドーパントとして Sb を添加した ATO 、ドーパントとしてフッ素を添加した FTO が挙げられる。また、酸化亜鉛 (ZnO) あるいはドーパントを添加してなる酸化亜鉛系材料を用いてもよい。 ZnO 系材料としては、例えば、ドーパントとしてアルミニウム (Al) を添加したアルミニウム亜鉛酸化物 (AZO)、ガリウム (Ga) を添加したガリウム亜鉛酸化物 (GZO)、ホウ素 (B) を添加したホウ素亜鉛酸化物およびインジウム (In) を添加したインジウム亜鉛酸化物 (IZO) が挙げられる。更に、ドーパントとしてインジウムとガリウムを添加した亜鉛酸化物 (In-Ga-ZnO_4) を用いてもよい。加えて、下部電極 11 の構成材料としては、 CuI 、 InSbO_4 、 ZnMgO 、 CuInO_2 、 MgIn_2O_4 、 CdO 、 ZnSnO_3 または TiO_2 等を用いてもよいし、スピネル形酸化物や YbFe_2O_4 構造を有する酸化物を用いてもよい。

[0014] また、下部電極 11 に光透過性が不要である場合（例えば、上部電極 16 側から光が入射する場合）には、低い仕事関数（例えば、 $\phi = 3.5 \text{ eV} \sim 4.5 \text{ eV}$ ）を有する単金属または合金を用いることができる。具体的には、アルカリ金属（例えば、リチウム (Li)、ナトリウム (Na) およびカリウム (K) 等）およびそのフッ化物または酸化物、アルカリ土類金属（例えば、マグネシウム (Mg) およびカルシウム (Ca) 等）およびそのフッ化物または酸化物が挙げられる。この他、アルミニウム (Al)、 Al-Si-Cu 合金、亜鉛 (Zn)、錫 (Sn)、タリウム (Tl)、 Na-K 合金、 Al-Li 合金、 Mg-Ag 合金、 In およびイットリビウム (Yb) 等の希土類金属、または、それらの合金が挙げられる。

[0015] 更に、下部電極 11 を構成する材料としては、白金 (Pt)、金 (Au)、パラジウム (Pd)、クロム (Cr)、ニッケル (Ni)、アルミニウム (Al)、銀 (Ag)、タンタル (Ta)、タングステン (W)、銅 (Cu)、チタン (Ti)、インジウム (In)、錫 (Sn)、鉄 (Fe)、コバルト (Co) およびモリブデン (Mo) 等の金属、または、それらの金属元

素を含む合金、あるいは、それらの金属からなる導電性粒子、それらの金属を含む合金の導電性粒子、不純物を含有したポリシリコン、炭素系材料、酸化物半導体、カーボン・ナノ・チューブ、グラフェン等の導電性物質が挙げられる。この他、下部電極 11 を構成する材料としては、ポリ（3，4－エチレンジオキシチオフェン）／ポリスチレンスルホン酸〔PEDOT／PSS〕といった有機材料（導電性高分子）が挙げられる。また、上記材料をバインダー（高分子）に混合してペーストまたはインクとしたものを硬化させ、電極として用いてもよい。

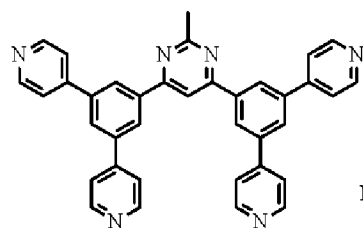
[0016] 下部電極 11 は、上記材料からなる単層膜あるいは積層膜として形成することができる。下部電極 11 の積層方向の膜厚（以下、単に厚みとする）は、例えば 20 nm 以上 200 nm 以下であり、好ましくは 30 nm 以上 150 nm 以下である。

[0017] 正孔ブロック層 12 は、光電変換層 13 において発生した電荷のうち、電子を選択的に下部電極 11 へ輸送すると共に、下部電極 11 側からの正孔の注入を阻害するものである。本実施の形態の正孔ブロック層 12 は、第 1 層 12 A と第 2 層 12 B との 2 つの層から構成されている。

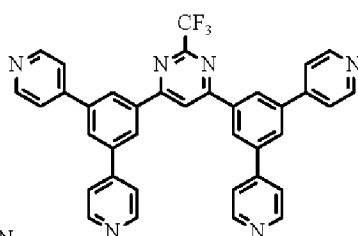
[0018] 第 1 層 12 A は、電子を選択的に下部電極 11 へ輸送すると共に、下部電極 11 からの正孔の注入を阻害するものである。第 1 層 12 A は、例えば、下部電極 11 の仕事関数に対して 1 eV 以上深い HOMO 準位および 3.7 eV 以上 4.8 eV 以下の LUMO 準位を有する有機材料を用いて形成することができる。更に、上記有機材料は、2.6 eV 以上のバンドギャップを有していることが好ましい。更にまた、上記有機材料は、6.3 eV よりも深い HOMO 準位を有していることが好ましい。このような有機材料としては、例えば、下記式（1－1）～式（1－27）に示した化合物が挙げられる。

[0019]

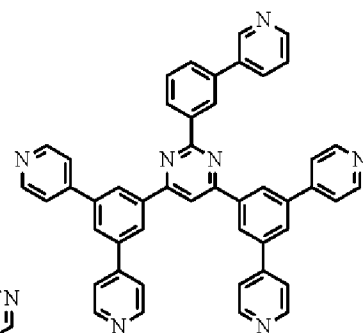
[化1]



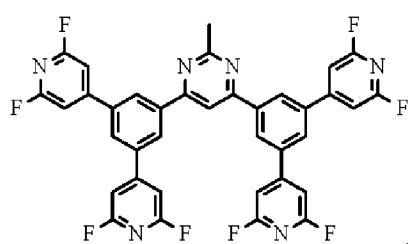
(1-1)



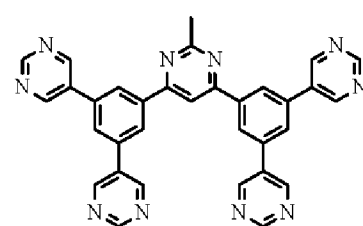
(1-3)



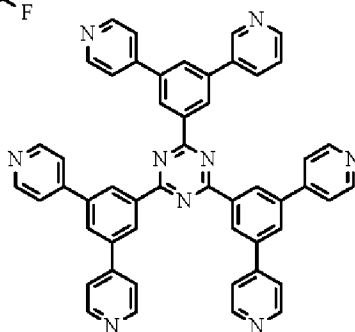
(1-2)



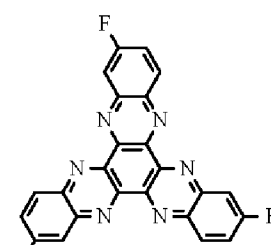
(1-4)



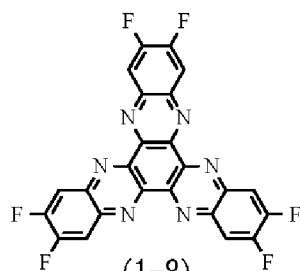
(1-5)



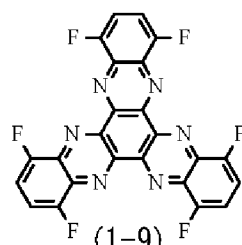
(1-6)



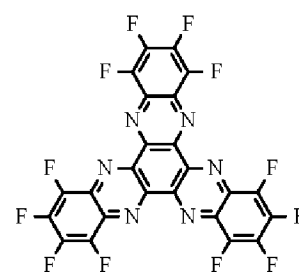
(1-7)



(1-8)



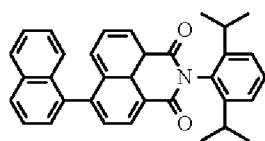
(1-9)



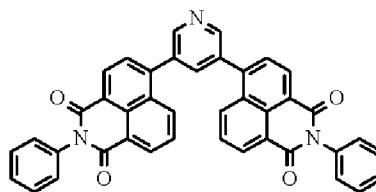
(1-10)

[0020]

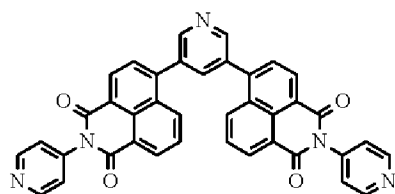
[化2]



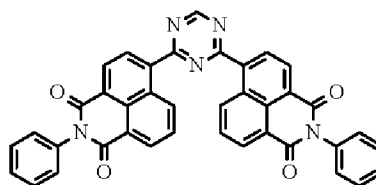
(1-11)



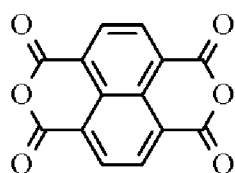
(1-12)



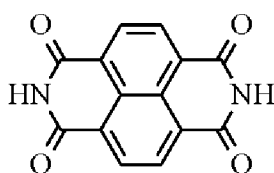
(1-13)



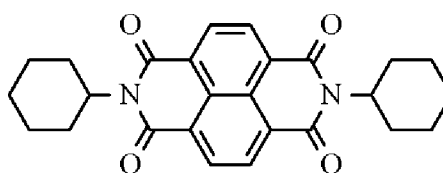
(1-14)



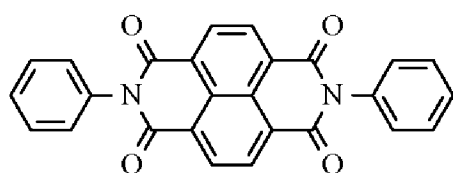
(1-15)



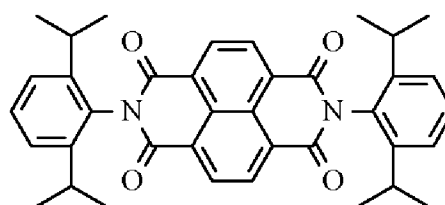
(1-16)



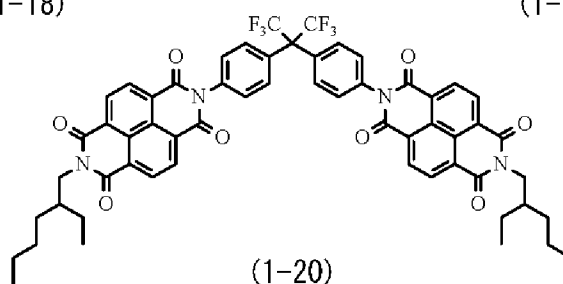
(1-17)



(1-18)



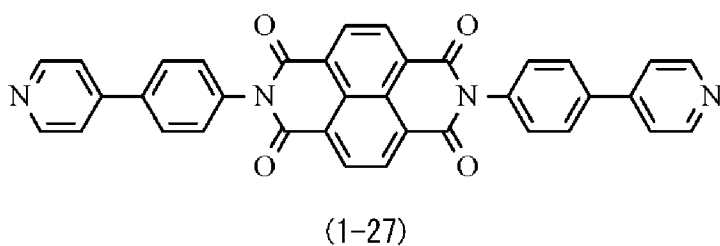
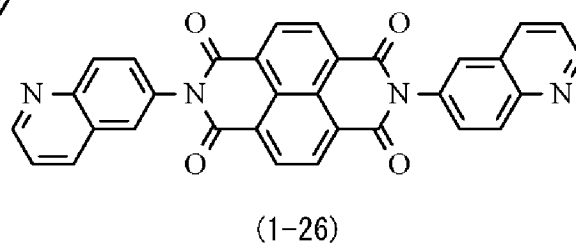
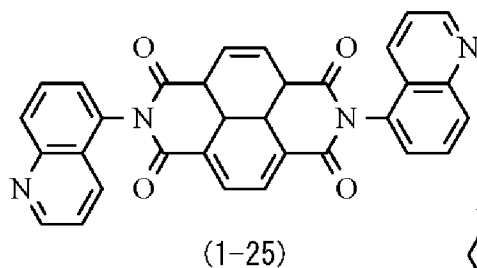
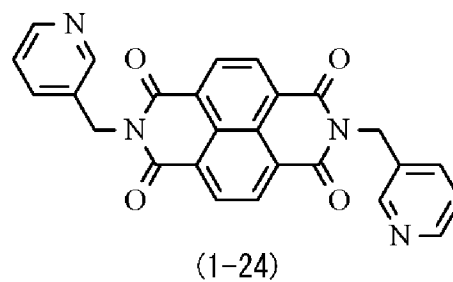
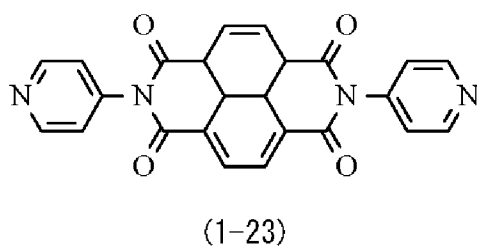
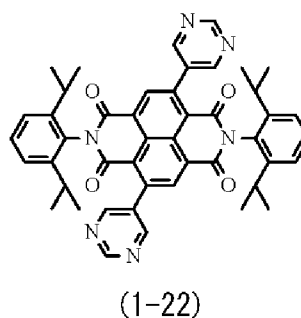
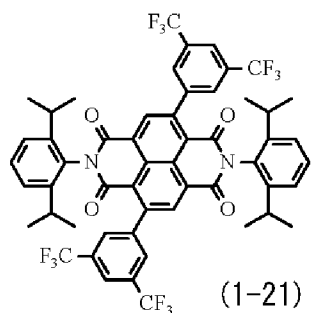
(1-19)



(1-20)

[0021]

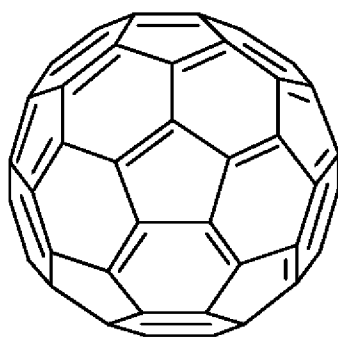
[化3]



[0022] 第2層12Bは、光電変換層13において生じる電子正孔対のうち、電子を選択的に取り出して下部電極11へ輸送するものである。第2層12Bは、光電変換層13との界面のギャップ内準位内の状態密度の総和が、光電変

換層 1 3 中のギャップ内準位内の状態密度の総和よりも小さいことが好ましい。このような第 2 層 1 2 B は、例えば、光電変換層 1 3 において電子受容体として機能する電子輸送材料を用いて形成することができる。具体的には、第 2 層 1 2 B は、フラーレン C_{60} 、フラーレン C_{70} 、フラーレン C_{74} 等の高次フラーレンや内包フラーレン等に代表される、例えば下記式 (2) で表されるフラーレンおよびその誘導体を用いて形成されている。

[0023] [化4]

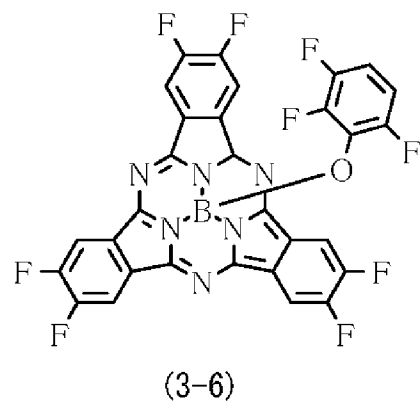
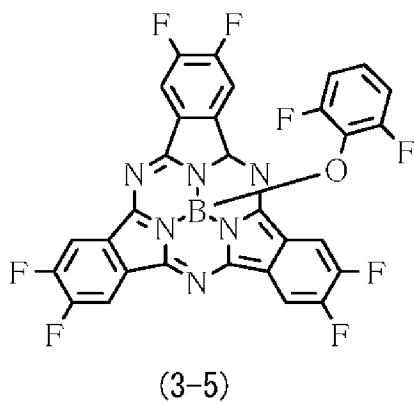
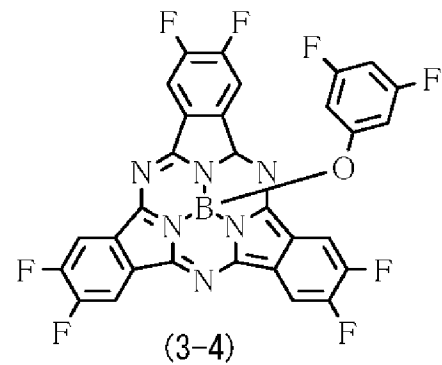
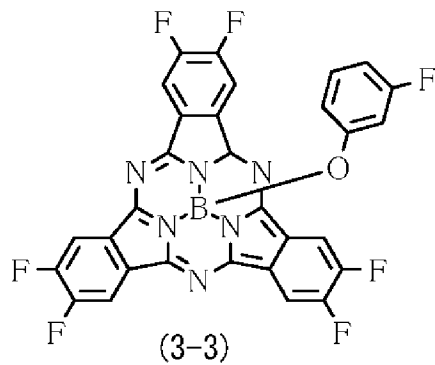
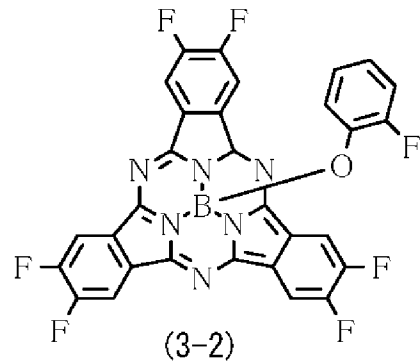
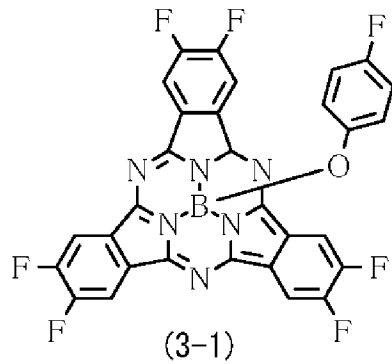


(2)

[0024] 第 2 層 1 2 B は、さらに他の材料を含んでもよい。他の材料としては、例えば、第 1 層 1 2 A を構成する、上記式 (1-1) ~ 式 (1-27) に示した化合物が挙げられる。また、他の材料としては、光電変換層 1 3 において用いられる色素材料が挙げられる。この色素材料としては、例えば、下記式 (3-1) ~ 式 (3-8) に示したサブフタロシアニン誘導体が挙げられる。この他、色素材料としては、例えば、サブフタロシアニン、ポルフィリン、フタロシアニン、ジピロメタン、アザジピロメタン、ジピリジル、アザジピリジル、クマリン、ペリレン、ペリレンジイミド、ピレン、ナフタレンジイミド、キナクリドン、キサンテン、キサンテノキサンテン、フェノキサジン、インジゴ、アゾ、オキサジン、ベンゾジチオフェン、ナフトジチオフェン、アントラジチオフェン、ルビセン、アントラセン、テトラセン、ペンタセン、アントラキノン、テトラキノン、ペンタキノン、ジナフトチエノチオフェン、ジケトピロロピロール、オリゴチオフェン、シアニン、メロシ

アニン、スクアリウム、クロコニウム、およびboron-dipyrromethene (BODIPY) またはそれらの誘導体等が挙げられる。

[0025] [化5]



[0026] 第1層12Aおよび第2層12Bは、それぞれ、例えば1nm以上30nm以下の厚みを有している。

[0027] 光電変換層13は、少なくとも可視光領域から近赤外領域に含まれる所定

の波長を、例えば60%以上吸収して電荷分離するものである。光電変換層13は、例えば、400nm以上1300nm未満の可視光領域および近赤外光領域の一部または全ての波長の光を吸収する。光電変換層13は、例えば、p型半導体またはn型半導体として機能する有機材料を2種以上含んで構成されており、層内に、p型半導体とn型半導体との接合面（p／n接合面）を有している。この他、光電変換層13は、p型半導体からなる層（p型半導体層）とn型半導体からなる層（n型半導体層）との積層構造（p型半導体層／n型半導体層）や、p型半導体層と、p型半導体とn型半導体との混合層（バルクヘテロ層）との積層構造（p型半導体層／バルクヘテロ層）、あるいは、n型半導体層とバルクヘテロ層との積層構造（n型半導体層／バルクヘテロ層）としてもよい。また、p型半導体とn型半導体との混合層（バルクヘテロ層）のみで形成してもよい。

[0028] p型半導体は、相対的に電子供与体として機能する正孔輸送材料であり、n型半導体は、相対的に電子受容体として機能する電子輸送材料である。光電変換層13は、光を吸収した際に生じる励起子（電子正孔対）が電子と正孔とに分離する場を提供するものであり、具体的には、電子正孔対は、電子供与体と電子受容体との界面（p／n接合面）において電子と正孔とに分離する。

[0029] p型半導体としては、例えば、ナフタレン誘導体、アントラセン誘導体、フェナントレン誘導体、ピレン誘導体、ペリレン誘導体、テトラセン誘導体、ペンタセン誘導体、キナクリドン誘導体、チオフェン誘導体、チエノチオフェン誘導体、ベンゾチオフェン誘導体、ベンゾチエノベンゾチオフェン（BTBT）誘導体、ジナフトチエノチオフェン（DN TT）誘導体、ジアントラセノチエノチオフェン（DAT T）誘導体、ベンゾビスベンゾチオフェン（BBBT）誘導体、チエノビスベンゾチオフェン（TBBT）誘導体、ジベンゾチエノビスベンゾチオフェン（DBTBT）誘導体、ジチエノベンゾジチオフェン（DTBDT）誘導体、ジベンゾチエノジチオフェン（DBTDT）誘導体、ベンゾジチオフェン（BDT）誘導体、ナフトジチオフェ

ン（NDT）誘導体、アントラセノジチオフエン（ADT）誘導体、テトラセノジチオフエン（TDT）誘導体およびペンタセノジチオフエン（PDT）誘導体に代表されるチエノアセン系材料が挙げられる。この他、p型半導体としては、トリフェニルアミン誘導体、カルバゾール誘導体、ピセン誘導体、クリセン誘導体、例えば、フルオランテン誘導体、フタロシアニン誘導体、サブフタロシアニン誘導体、サブポルフィラジン誘導体、複素環化合物を配位子とする金属錯体、ポリチオフエン誘導体、ポリベンゾチアジアゾール誘導体およびポリフルオレン誘導体等が挙げられる。

[0030] n型半導体としては、例えば、フラーレン C_{60} 、フラーレン C_{70} 、フラーレン C_{74} 等の高次フラーレンや内包フラーレン等に代表されるフラーレンおよびその誘導体が挙げられる。フラーレン誘導体に含まれる置換基としては、例えば、ハロゲン原子、直鎖または分岐もしくは環状のアルキル基またはフェニル基、直鎖または縮環した芳香族化合物を有する基、ハロゲン化物を有する基、パーシャルフルオロアルキル基、パーフルオロアルキル基、シリルアルキル基、シリルアルコキシ基、アリールシリル基、アリールスルファニル基、アルキルスルファニル基、アリールスルホニル基、アルキルスルホニル基、アリールスルフィド基、アルキルスルフィド基、アミノ基、アルキルアミノ基、アリールアミノ基、ヒドロキシ基、アルコキシ基、アシルアミノ基、アシルオキシ基、カルボニル基、カルボキシ基、カルボキソアミド基、カルボアルコキシ基、アシル基、スルホニル基、シアノ基、ニトロ基、カルコゲン化物を有する基、ホスフィン基、ホスホン基およびこれらの誘導体が挙げられる。具体的なフラーレン誘導体としては、例えば、フラーレンフッ化物やPCBMフラーレン化合物、フラーレン多量体等が挙げられる。この他、n型半導体としては、p型半導体よりもHOMO準位およびLUMO準位が大きい（深い）有機半導体や光透過性を有する無機金属酸化物が挙げられる。

[0031] n型の有機半導体としては、例えば、窒素原子、酸素原子または硫黄原子を含有する複素環化合物が挙げられる。具体的には、例えば、ピリジン誘導

体、ピラジン誘導体、ピリミジン誘導体、トリアジン誘導体、キノリン誘導体、キノキサリン誘導体、イソキノリン誘導体、アクリジン誘導体、フェナジン誘導体、フェナントロリン誘導体、テトラゾール誘導体、ピラゾール誘導体、イミダゾール誘導体、チアゾール誘導体、オキサゾール誘導体、イミダゾール誘導体、ベンズイミダゾール誘導体、ベンゾトリアゾール誘導体、ベンズオキサゾール誘導体、ベンズオキサゾール誘導体、カルバゾール誘導体、ベンゾフラン誘導体、ジベンゾフラン誘導体、サブポルフィラジン誘導体、ポリフェニレンビニレン誘導体、ポリベンゾチアジアゾール誘導体、ポリフルオレン誘導体等を分子骨格の一部に有する有機分子、有機金属錯体やサブフタロシアニン誘導体、キナクリドン誘導体、シアニン誘導体およびメロシアニン誘導体が挙げられる。

[0032] 光電変換層 13 は、p 型半導体および n 型半導体の他に、さらに、所定の波長域の光を吸収する一方、他の波長域の光を透過させる有機材料、所謂色素材料を含んで構成されていてもよい。光電変換層 13 を p 型半導体、n 型半導体および色素材料の 3 種類の有機材料を用いて形成する場合には、p 型半導体および n 型半導体は、可視光領域において光透過性を有する材料であることが好ましい。これにより、光電変換層 13 では、色素材料が吸収する波長域の光が選択的に光電変換させるようになる。

[0033] 光電変換層 13 は、例えば 10 nm 以上 500 nm 以下の厚みを有し、好ましくは、100 nm 以上 400 nm 以下の厚みを有している。

[0034] 電子ブロック層 14 は、光電変換層 13 において発生した電荷のうち、正孔を選択的に上部電極 16 へ輸送すると共に、上部電極 16 側からの電子の注入を阻害するものである。電子ブロック層 14 を構成する材料としては、例えば、ナフタレン誘導体、アントラセン誘導体、フェナントレン誘導体、ピレン誘導体、ペリレン誘導体、テトラセン誘導体、キナクリドン誘導体、チオフェン誘導体、チエノチオフェン誘導体、ベンゾチオフェン誘導体、ベンゾチエノベンゾチオフェン (BTBT) 誘導体、ジナフトチエノチオフェン (DNTT) 誘導体、ベンゾビスベンゾチオフェン (BBBT) 誘導体、

チエノビスベンゾチオフエン (TBBT) 誘導体、ジベンゾチエノビスベンゾチオフエン (DBTBT) 誘導体、ジチエノベンゾジチオフエン (DTBDT) 誘導体、ジベンゾチエノジチオフエン (DBTDT) 誘導体、ベンゾジチオフエン (BDT) 誘導体、ナフトジチオフエン (NDT) 誘導体、アントラセノジチオフエン (ADT) 誘導体に代表されるチエノアセン系材料が挙げられる。この他、p型半導体としては、フルオレン誘導体、トリフェニレン誘導体、トリフェニルアミン誘導体、カルバゾール誘導体、ピセン誘導体、クリセン誘導体等が挙げられる。

[0035] 電子ブロック層14は、例えば5nm以上100nm以下の厚みを有し、好ましくは、5nm以上50nm以下の厚みを有している。より好ましくは、電子ブロック層14は、5nm以上20nm以下の厚みを有している。

[0036] 仕事関数調整層15は、上部電極16の仕事関数よりも大きな電子親和力または仕事関数を有するものであり、電子ブロック層14と上部電極16との電氣的な接合性を向上させるものである。仕事関数調整層15を構成する材料としては、例えば、ジピラジノ[2, 3-f:2', 3'-v-h]キノキサリン-2, 3, 6, 7, 10, 11-ヘキサカルボニトリル(HAT-CN)が挙げられる。この他、仕事関数調整層15を構成する材料としては、PEDOT/PSSおよびポリアニリンや、 MoO_x 、 RuO_x 、 VO_x および WO_x 等の金属酸化物が挙げられる。

[0037] 上部電極16(陽極)は、下部電極11と同様に、例えば、光透過性を有する導電膜により構成されている。上部電極16の構成材料としては、例えば、ドーパントとしてスズ(Sn)を添加した In_2O_3 であるインジウム錫酸化物(ITO)が挙げられる。そのITO薄膜の結晶性は、結晶性が高くても、低く(アモルファスに近づく)てもよい。下部電極11の構成材料としては、上記以外にも、ドーパントを添加した酸化スズ(SnO_2)系材料例えば、ドーパントとしてSbを添加したATO、ドーパントとしてフッ素を添加したFTOが挙げられる。また、酸化亜鉛(ZnO)あるいはドーパントを添加してなる酸化亜鉛系材料を用いてもよい。 ZnO 系材料としては、

例えば、ドーパントとしてアルミニウム (Al) を添加したアルミニウム亜鉛酸化物 (AZO)、ガリウム (Ga) を添加したガリウム亜鉛酸化物 (GZO)、ホウ素 (B) を添加したホウ素亜鉛酸化物およびインジウム (In) を添加したインジウム亜鉛酸化物 (IZO) が挙げられる。さらにドーパントとしてインジウムとガリウムを添加した亜鉛酸化物 (InGaZnO_4) を用いてもよい。加えて、下部電極 11 の構成材料としては、CuI、 InSbO_4 、 ZnMgO 、 CuInO_2 、 MgIn_2O_4 、CdO、 ZnSnO_3 または TiO_2 等を用いてもよいし、スピネル形酸化物や YbFe_2O_4 構造を有する酸化物を用いてもよい。

[0038] また、上部電極 16 に光透過性が不要である場合には、高い仕事関数 (例えば、 $\phi = 4.5 \text{ eV} \sim 5.5 \text{ eV}$) を有する単金属または合金を用いることができる。具体的には、例えば、Au、Ag、Cr、Ni、Pd、Pt、Fe、イリジウム (Ir)、ゲルマニウム (Ge)、オスミウム (Os)、レニウム (Re)、テルル (Te) およびそれらの合金が挙げられる。

[0039] 更に、上部電極 16 を構成する材料としては、Pt、Au、Pd、Cr、Ni、Al、Ag、Ta、W、Cu、Ti、In、Sn、Fe、Co および Mo 等の金属、または、それらの金属元素を含む合金、あるいは、それらの金属からなる導電性粒子、それらの金属を含む合金の導電性粒子、不純物を含むポリシリコン、炭素系材料、酸化物半導体、カーボン・ナノ・チューブ、グラフェン等の導電性物質が挙げられる。この他、上部電極 16 を構成する材料としては、PEDOT/PSS といった有機材料 (導電性高分子) が挙げられる。また、上記材料をバインダー (高分子) に混合してペーストまたはインクとしたものを硬化させ、電極として用いてもよい。

[0040] 上部電極 16 は、上記材料からなる単層膜あるいは積層膜として形成することができる。上部電極 16 の厚みは、例えば 20 nm 以上 200 nm 以下であり、好ましくは 30 nm 以上 150 nm 以下である。

[0041] なお、下部電極 11 と上部電極 16 との間には、正孔ブロック層 12、光電変換層 13、電子ブロック層 14 および仕事関数調整層 15 の他に他の層

がさらに設けられていてもよい。例えば、下部電極 1 1 と光電変換層 1 3 との間には、正孔ブロック層 1 2 の他に下引き層を設けるようにしてもよい。

[0042] 図 2 は、図 1 に示した光電変換素子 1 0 の各層（下部電極 1 1、正孔ブロック層 1 2 および光電変換層 1 3）を構成する材料のエネルギー準位の一例を表したものである。光電変換素子 1 0 に入射した光は、光電変換層 1 3 において吸収される。これによって生じた励起子（電子正孔対）は、光電変換層 1 3 を構成する p 型半導体と n 型半導体との界面（p / n 接合面）において励起子分離、即ち、電子と正孔とに解離する。ここで発生したキャリア（電子および正孔）は、キャリアの濃度差による拡散や、陽極と陰極との仕事関数の差による内部電界によって、それぞれ異なる電極へ運ばれ、光電流として検出される。具体的には、p / n 接合面において分離された電子は、正孔ブロック層 1 2 を介して下部電極 1 1 から取り出される。p / n 接合面において分離された正孔は、電子ブロック層 1 4 および仕事関数調整層 1 5 を介して上部電極 1 6 から取り出される。なお、電子および正孔の輸送方向は、下部電極 1 1 と上部電極 1 6 との間に電位を印加することによっても制御することができる。

[0043] （1 - 2. 撮像素子の構成）

図 3 は、上述した光電変換素子 1 0 を用いた撮像素子（撮像素子 1 A）の断面構成の一例を模式的に表したものである。図 4 は、図 3 に示した撮像素子 1 A の平面構成の一例を模式的に表したものであり、図 3 は、図 4 に示した I - I 線における断面を表している。撮像素子 1 A は、例えば、図 2 1 に示した撮像装置 1 0 0 の画素部 1 0 0 A においてアレイ状に繰り返し配置される 1 つの画素（単位画素 P）を構成するものである。画素部 1 0 0 A では、図 4 に示したように、例えば 2 行 × 2 列で配置された 4 つの画素からなる画素ユニット 1 a が繰り返し単位となり、行方向と列方向とからなるアレイ状に繰り返し配置されている。

[0044] 撮像素子 1 A は、互いに異なる波長域の光を選択的に検出して光電変換を行う、例えば有機材料を用いて形成された 1 つの光電変換部と、例えば無機

材料からなる2つの光電変換部（光電変換領域32B, 32R）とが縦方向に積層された、所謂縦方向分光型のものである。上述した光電変換素子10は、撮像素子1Aを構成する光電変換部として用いることができる。以下では、光電変換部は上述した光電変換素子10と同様の構成を有するものとして同じ符号10を付して説明する。

[0045] 撮像素子1Aでは、光電変換部10は、半導体基板30の裏面（第1面30S1）側に設けられている。光電変換領域32B, 32Rは、半導体基板30内に埋め込み形成されており、半導体基板30の厚み方向に積層されている。

[0046] 光電変換部10と、光電変換領域32B, 32Rとは、互いに異なる波長域の光を選択的に検出して光電変換を行うものである。例えば、光電変換部10では、緑（G）の色信号を取得する。光電変換領域32B, 32Rでは、吸収係数の違いにより、それぞれ、青（B）および赤（R）の色信号を取得する。これにより、撮像素子1Aでは、カラーフィルタを用いることなく一つの画素において複数種類の色信号を取得可能となっている。

[0047] なお、撮像素子1Aでは、光電変換によって生じる電子正孔対のうち、電子を信号電荷として読み出す場合について説明する。また、図中において、「p」「n」に付した「+（プラス）」は、p型またはn型の不純物濃度が高いことを表している。

[0048] 半導体基板30は、例えば、n型のシリコン（Si）基板により構成され、所定領域にpウェル31を有している。pウェル31の第2面（半導体基板30の表面）30S2には、例えば、各種フローティングディフュージョン（浮遊拡散層）FD（例えば、FD1, FD2, FD3）と、各種トランジスタTr（例えば、縦型トランジスタ（転送トランジスタ）Tr2、転送トランジスタTr3、アンプトランジスタ（変調素子）AMPおよびリセットトランジスタRST）が設けられている。半導体基板30の第2面30S2には、さらに、ゲート絶縁層33を介して多層配線層40が設けられている。多層配線層40は、例えば、配線層41, 42, 43を絶縁層44内に

積層した構成を有している。また、半導体基板 30 の周辺部には、ロジック回路等からなる周辺回路（図示せず）が設けられている。

[0049] 光電変換部 10 の上方には、保護層 51 が設けられている。保護層 51 内には、例えば、遮光膜 53 や画素部 100A の周囲において上部電極 16 と周辺回路部とを電氣的に接続する配線が設けられている。保護層 51 の上方には、さらに、平坦化層（図示せず）やオンチップレンズ 52L 等の光学部材が配設されている。

[0050] なお、図 3 では、半導体基板 30 の第 1 面 30S1 側を光入射面 S1、第 2 面 30S2 側を配線層側 S2 と表している。

[0051] 以下、各部の構成や材料等について詳細に説明する。

[0052] 光電変換部 10 は、対向配置された下部電極 11 と上部電極 16 との間には、正孔ブロック層 12（第 1 層 12A および第 2 層 12B）、光電変換層 13、電子ブロック層 14 および仕事関数調整層 15 がこの順に積層されている。撮像素子 1A では、下部電極 11 は、複数の電極（例えば、読み出し電極 11A および蓄積電極 11B の 2 つ）からなり、下部電極 11 と正孔ブロック層 12 との間には、例えば、絶縁層 17 および半導体層 18 がこの順に積層されている。下部電極 11 のうち、読み出し電極 11A は、絶縁層 17 に設けられた開口 17H を介して半導体層 18 と電氣的に接続されている。

[0053] 読み出し電極 11A は、光電変換層 13 内で発生した電荷をフローティングディフュージョン FD1 に転送するためのものであり、例えば、上部第 2 コンタクト 24B、パッド部 39B、上部第 1 コンタクト 29A、パッド部 39A、貫通電極 34、接続部 41A および下部第 2 コンタクト 46 を介してフローティングディフュージョン FD1 に接続されている。蓄積電極 11B は、光電変換層 13 内で発生した電荷のうち、電子を信号電荷として半導体層 18 内に蓄積するためのものである。蓄積電極 11B は、半導体基板 30 内に形成された光電変換領域 32B、32R の受光面と正対して、これらの受光面を覆う領域に設けられている。蓄積電極 11B は、読み出し電極 11A よりも大きいことが好ましく、これにより、多くの電荷を蓄積すること

ができる。蓄積電極 11B には、図 6 に示したように、例えば上部第 3 コンタクト 24C およびパッド部 39C 等の配線を介して電圧印加部 54 が接続されている。

[0054] 絶縁層 17 は、蓄積電極 11B と半導体層 18 とを電氣的に分離するためのものである。絶縁層 17 は、下部電極 11 を覆うように、例えば、層間絶縁層 23 上に設けられている。絶縁層 17 は、例えば、酸化シリコン (SiO_x)、窒化シリコン (SiN_x) および酸窒化シリコン (SiO_xN_y) 等のうちの 1 種よりなる単層膜か、あるいはこれらのうちの 2 種以上よりなる積層膜により構成されている。絶縁層 17 の厚みは、例えば 20 nm 以上 500 nm 以下である。

[0055] 半導体層 18 は、光電変換層 13 で発生した信号電荷を蓄積するためのものである。半導体層 18 は、光電変換層 13 よりも電荷の移動度が高く、且つ、バンドギャップが大きな材料を用いて形成されていることが好ましい。例えば、半導体層 18 の構成材料のバンドギャップは、3.0 eV 以上であることが好ましい。このような材料としては、例えば、IGZO 等の酸化物半導体および有機半導体等が挙げられる。有機半導体としては、例えば、遷移金属ダイカルコゲナイド、シリコンカーバイド、ダイヤモンド、グラフェン、カーボン・ナノ・チューブ、縮合多環炭化水素化合物および縮合複素環化合物等が挙げられる。半導体層 18 の厚みは、例えば 10 nm 以上 300 nm 以下である。上記材料によって構成された半導体層 18 を下部電極 11 と光電変換層 13 との間に設けることにより、電荷蓄積時における電荷の再結合を防止し、転送効率を向上させることが可能となる。

[0056] なお、図 3 では、半導体層 18、正孔ブロック層 12 (第 1 層 12A および第 2 層 12B)、光電変換層 13、電子ブロック層 14、仕事関数調整層 15 および上部電極 16 が複数の画素 (単位画素 P, 図 21 参照) に共通した連続層として設けた例を示したが、これに限らない。半導体層 18、正孔ブロック層 12、光電変換層 13、電子ブロック層 14、仕事関数調整層 15 および上部電極 16 は、例えば、単位画素 P 毎に分離形成されていてもよ

い。

[0057] 半導体基板 30 と下部電極 11 との間には、例えば、固定電荷を有する層（固定電荷層）21 と、絶縁性を有する誘電体層 22 と、層間絶縁層 23 とが、半導体基板 30 の第 1 面 30S1 側からこの順に設けられている。

[0058] 固定電荷層 21 は、正の固定電荷を有する膜でもよいし、負の固定電荷を有する膜でもよい。固定電荷層 21 の構成材料としては、半導体基板 30 よりもバンドギャップの広い半導体または導電材料を用いて形成することが好ましい。これにより、半導体基板 30 の界面における暗電流の発生を抑えることができる。固定電荷層 21 の構成材料としては、例えば、酸化ハフニウム (HfO_x)、酸化アルミニウム (AlO_x)、酸化ジルコニウム (ZrO_x)、酸化タンタル (TaO_x)、酸化チタン (TiO_x)、酸化ランタン (LaO_x)、酸化プラセオジム (PrO_x)、酸化セリウム (CeO_x)、酸化ネオジム (NdO_x)、酸化プロメチウム (PmO_x)、酸化サマリウム (SmO_x)、酸化ユウロピウム (EuO_x)、酸化ガドリニウム (GdO_x)、酸化テルビウム (TbO_x)、酸化ジスプロシウム (DyO_x)、酸化ホルミウム (HoO_x)、酸化ツリウム (TmO_x)、酸化イッテルビウム (YbO_x)、酸化ルテチウム (LuO_x)、酸化イットリウム (YO_x)、窒化ハフニウム (HfN_x)、窒化アルミニウム (AlN_x)、酸窒化ハフニウム (HfO_xN_y) および酸窒化アルミニウム (AlO_xN_y) 等が挙げられる。

[0059] 誘電体層 22 は、半導体基板 30 と層間絶縁層 23 との間の屈折率差によって生じる光の反射を防止するためのものである。誘電体層 22 の構成材料としては、半導体基板 30 の屈折率と層間絶縁層 23 の屈折率との間の屈折率を有する材料であることが好ましい。誘電体層 22 の構成材料としては、例えば、 SiO_x 、TEOS、 SiN_x および SiO_xN_y 等が挙げられる。

[0060] 層間絶縁層 23 は、例えば、 SiO_x 、 SiN_x および SiO_xN_y 等のうちの 1 種よりなる単層膜か、あるいはこれらのうちの 2 種以上よりなる積層膜により構成されている。

[0061] 層間絶縁層 23 上には、下部電極 11 と共に、シールド電極 28 が設けら

れている。シールド電極 28 は、隣り合う画素ユニット 1 a 間における容量結合を防ぐためのものであり、例えば、2 行×2 列で配置された 4 つの画素からなる画素ユニット 1 a の周囲に設けられ、固定電位が印加されている。シールド電極 28 は、さらに、画素ユニット 1 a 内において、行方向および列方向に隣り合う画素間に延在している。

[0062] 光電変換領域 32 B, 32 R は、例えば P I N (Positive Intrinsic Negative) 型のフォトダイオードによって構成されており、それぞれ、半導体基板 30 の所定領域に p n 接合を有する。光電変換領域 32 B, 32 R は、シリコン基板において光の入射深さに応じて吸収される波長域が異なることを利用して縦方向に光を分光することを可能としたものである。

[0063] 光電変換領域 32 B は、青色光を選択的に検出して青色に対応する信号電荷を蓄積させるものであり、青色光を効率的に光電変換可能な深さに形成されている。光電変換領域 32 R は、赤色光を選択的に検出して赤色に対応する信号電荷を蓄積させるものであり、赤色光を効率的に光電変換可能な深さに形成されている。なお、青 (B) は、例えば 400 nm 以上 495 nm 未満の波長域、赤 (R) は、例えば 620 nm 以上 750 nm 未満の波長域に対応する色である。光電変換領域 32 B, 32 R はそれぞれ、各波長域のうちの一部または全部の波長域の光を検出可能となっていればよい。

[0064] 光電変換領域 32 B および光電変換領域 32 R は、具体的には、図 3 に示したように、それぞれ、例えば、正孔蓄積層となる p+領域と、電子蓄積層となる n 領域とを有する (p-n-p の積層構造を有する)。光電変換領域 32 B の n 領域は、縦型トランジスタ T r 2 に接続されている。光電変換領域 32 B の p+領域は、縦型トランジスタ T r 2 に沿って屈曲し、光電変換領域 32 R の p+領域につながっている。

[0065] ゲート絶縁層 33 は、例えば、S i O_x、S i N_xおよび S i O_xN_y等のうちの 1 種よりなる単層膜か、あるいはこれらのうちの 2 種以上よりなる積層膜により構成されている。

[0066] 半導体基板 30 の第 1 面 30 S 1 と第 2 面 30 S 2 との間には、貫通電極

34が設けられている。貫通電極34は、光電変換部10とアンプトランジスタAMPのゲートGampおよびフローティングディフュージョンFD1とのコネクタとしての機能を有すると共に、光電変換部10において生じた電荷の伝送経路となるものである。フローティングディフュージョンFD1（リセットトランジスタRSTの一方のソース／ドレイン領域36B）の隣にはリセットトランジスタRSTのリセットゲートGrstが配置されている。これにより、フローティングディフュージョンFD1に蓄積された電荷を、リセットトランジスタRSTによりリセットすることが可能となる。

[0067] 貫通電極34の上端は、例えば、層間絶縁層23内に設けられたパッド部39A、上部第1コンタクト24A、パッド電極38Bおよび上部第2コンタクト24Bを介して読み出し電極11Aに接続されている。貫通電極34の下端は、配線層41内の接続部41Aに接続されており、接続部41Aと、アンプトランジスタAMPのゲートGampとは、下部第1コンタクト45を介して接続されている。接続部41Aと、フローティングディフュージョンFD1（領域36B）とは、例えば、下部第2コンタクト46を介して接続されている。

[0068] 上部第1コンタクト24A、上部第2コンタクト24B、上部第3コンタクト24C、パッド部39A、39B、39C、配線層41、42、43、下部第1コンタクト45、下部第2コンタクト46およびゲート配線層47は、例えば、PDAS（Phosphorus Doped Amorphous Silicon）等のドーパされたシリコン材料、または、Al、W、Ti、Co、HfおよびTa等の金属材料を用いて形成することができる。

[0069] 絶縁層44は、例えば、SiO_x、SiN_xおよびSiO_xN_y等のうちの1種よりなる単層膜か、あるいはこれらのうちの2種以上よりなる積層膜により構成されている。

[0070] 保護層51およびオンチップレンズ52Lは、光透過性を有する材料により構成され、例えば、例えば、SiO_x、SiN_xおよびSiO_xN_y等のうちの1種よりなる単層膜か、あるいはこれらのうちの2種以上よりなる積層膜

により構成されている。保護層51の厚みは、例えば100nm以上3000nm以下である。

[0071] 遮光膜53は、例えば、少なくとも蓄積電極11Bにはかからず、半導体層18と直接接している読み出し電極21Aの領域を覆うように設けられている。遮光膜53は、例えば、W、AlおよびAlとCuとの合金等を用いて形成することができる。

[0072] 図5は、図3に示した撮像素子1Aの等価回路図である。図6は、図3に示した撮像素子1Aの下部電極11および制御部を構成するトランジスタの配置を模式的に表したものである。

[0073] リセットトランジスタRST（リセットトランジスタTR1rst）は、光電変換部10からフローティングディフュージョンFD1に転送された電荷をリセットするためのものであり、例えばMOSトランジスタにより構成されている。具体的には、リセットトランジスタTR1rstは、リセットゲートGrstと、チャネル形成領域36Aと、ソース／ドレイン領域36B、36Cとから構成されている。リセットゲートGrstは、リセット線RST1に接続され、リセットトランジスタTR1rstの一方のソース／ドレイン領域36Bは、フローティングディフュージョンFD1を兼ねている。リセットトランジスタTR1rstを構成する他方のソース／ドレイン領域36Cは、電源線VDDに接続されている。

[0074] アンプトランジスタAMPは、光電変換部10で生じた電荷量を電圧に変調する変調素子であり、例えばMOSトランジスタにより構成されている。具体的には、アンプトランジスタAMPは、ゲートGampと、チャネル形成領域35Aと、ソース／ドレイン領域35B、35Cとから構成されている。ゲートGampは、下部第1コンタクト45、接続部41A、下部第2コンタクト46および貫通電極34等を介して、読み出し電極11AおよびリセットトランジスタTR1rstの一方のソース／ドレイン領域36B（フローティングディフュージョンFD1）に接続されている。また、一方のソース／ドレイン領域35Bは、リセットトランジスタTR1rstを構成

する他方のソース／ドレイン領域36Cと、領域を共有しており、電源線VDDに接続されている。

[0075] 選択トランジスタSEL（選択トランジスタTR1sel）は、ゲートGselと、チャネル形成領域34Aと、ソース／ドレイン領域34B、34Cとから構成されている。ゲートGselは、選択線SEL1に接続されている。一方のソース／ドレイン領域34Bは、アンプトランジスタAMPを構成する他方のソース／ドレイン領域35Cと、領域を共有しており、他方のソース／ドレイン領域34Cは、信号線（データ出力線）VSL1に接続されている。

[0076] 転送トランジスタTR2（転送トランジスタTR2trs）は、光電変換領域32Bにおいて発生し、蓄積された、青色に対応する信号電荷を、フローティングディフュージョンFD2に転送するためのものである。光電変換領域32Bは半導体基板30の第2面30S2から深い位置に形成されているので、光電変換領域32Bの転送トランジスタTR2trsは縦型のトランジスタにより構成されていることが好ましい。転送トランジスタTR2trsは、転送ゲート線TG2に接続されている。転送トランジスタTR2trsのゲートGtrs2の近傍の領域37Cには、フローティングディフュージョンFD2が設けられている。光電変換領域32Bに蓄積された電荷は、ゲートGtrs2に沿って形成される転送チャネルを介してフローティングディフュージョンFD2に読み出される。

[0077] 転送トランジスタTR3（転送トランジスタTR3trs）は、光電変換領域32Rにおいて発生し、蓄積された赤色に対応する信号電荷を、フローティングディフュージョンFD3に転送するためのものであり、例えばMOSトランジスタにより構成されている。転送トランジスタTR3trsは、転送ゲート線TG3に接続されている。転送トランジスタTR3trsのゲートGtrs3の近傍の領域38Cには、フローティングディフュージョンFD3が設けられている。光電変換領域32Rに蓄積された電荷は、ゲートGtrs3に沿って形成される転送チャネルを介してフローティングディフ

ュージョンFD3に読み出される。

- [0078] 半導体基板30の第2面30S2側には、さらに、光電変換領域32Bの制御部を構成するリセットトランジスタTR2rstと、アンプトランジスタTR2ampと、選択トランジスタTR2selが設けられている。更に、光電変換領域32Rの制御部を構成するリセットトランジスタTR3rstと、アンプトランジスタTR3ampおよび選択トランジスタTR3selが設けられている。
- [0079] リセットトランジスタTR2rstは、ゲート、チャネル形成領域およびソース／ドレイン領域から構成されている。リセットトランジスタTR2rstのゲートはリセット線RST2に接続され、リセットトランジスタTR2rstの一方のソース／ドレイン領域は電源線VDDに接続されている。リセットトランジスタTR2rstの他方のソース／ドレイン領域は、フローティングディフュージョンFD2を兼ねている。
- [0080] アンプトランジスタTR2ampは、ゲート、チャネル形成領域およびソース／ドレイン領域から構成されている。ゲートは、リセットトランジスタTR2rstの他方のソース／ドレイン領域（フローティングディフュージョンFD2）に接続されている。アンプトランジスタTR2ampを構成する一方のソース／ドレイン領域は、リセットトランジスタTR2rstを構成する一方のソース／ドレイン領域と領域を共有しており、電源線VDDに接続されている。
- [0081] 選択トランジスタTR2selは、ゲート、チャネル形成領域およびソース／ドレイン領域から構成されている。ゲートは、選択線SEL2に接続されている。選択トランジスタTR2selを構成する一方のソース／ドレイン領域は、アンプトランジスタTR2ampを構成する他方のソース／ドレイン領域と領域を共有している。選択トランジスタTR2selを構成する他方のソース／ドレイン領域は、信号線（データ出力線）VSL2に接続されている。
- [0082] リセットトランジスタTR3rstは、ゲート、チャネル形成領域および

ソース／ドレイン領域から構成されている。リセットトランジスタ $TR3rst$ のゲートはリセット線 $RST3$ に接続され、リセットトランジスタ $TR3rst$ を構成する一方のソース／ドレイン領域は電源線 VDD に接続されている。リセットトランジスタ $TR3rst$ を構成する他方のソース／ドレイン領域は、フローティングディフュージョン $FD3$ を兼ねている。

[0083] アンプトランジスタ $TR3amp$ は、ゲート、チャネル形成領域およびソース／ドレイン領域から構成されている。ゲートは、リセットトランジスタ $TR3rst$ を構成する他方のソース／ドレイン領域（フローティングディフュージョン $FD3$ ）に接続されている。アンプトランジスタ $TR3amp$ を構成する一方のソース／ドレイン領域は、リセットトランジスタ $TR3rst$ を構成する一方のソース／ドレイン領域と、領域を共有しており、電源線 VDD に接続されている。

[0084] 選択トランジスタ $TR3sel$ は、ゲート、チャネル形成領域およびソース／ドレイン領域から構成されている。ゲートは、選択線 $SEL3$ に接続されている。選択トランジスタ $TR3sel$ を構成する一方のソース／ドレイン領域は、アンプトランジスタ $TR3amp$ を構成する他方のソース／ドレイン領域と、領域を共有している。選択トランジスタ $TR3sel$ を構成する他方のソース／ドレイン領域は、信号線（データ出力線） $VSL3$ に接続されている。

[0085] リセット線 $RST1$ 、 $RST2$ 、 $RST3$ 、選択線 $SEL1$ 、 $SEL2$ 、 $SEL3$ 、転送ゲート線 $TG2$ 、 $TG3$ は、それぞれ、駆動回路を構成する垂直駆動回路に接続されている。信号線（データ出力線） $VSL1$ 、 $VSL2$ 、 $VSL3$ は、駆動回路を構成するカラム信号処理回路 112 に接続されている。

[0086] （１－３．撮像素子の製造方法）

本実施の形態の撮像素子 $1A$ は、例えば、次のようにして製造することができる。

[0087] 図 7～図 12 は、撮像素子 $1A$ の製造方法を工程順に表したものである。

まず、図8に示したように、半導体基板30内に例えばpウェル31を形成し、このpウェル31内に例えばn型の光電変換領域32B、32Rを形成する。半導体基板30の第1面30S1近傍にはp+領域を形成する。

[0088] 半導体基板30の第2面30S2には、同じく図7に示したように、例えばフローティングディフュージョンFD1～FD3となるn+領域を形成したのち、ゲート絶縁層33と、転送トランジスタTr2、転送トランジスタTr3、選択トランジスタSEL、アンプトランジスタAMPおよびリセットトランジスタRSTの各ゲートを含むゲート配線層47とを形成する。これにより、転送トランジスタTr2、転送トランジスタTr3、選択トランジスタSEL、アンプトランジスタAMPおよびリセットトランジスタRSTを形成する。更に、半導体基板30の第2面30S2上に、下部第1コンタクト45、下部第2コンタクト46および接続部41Aを含む配線層41～43および絶縁層44からなる多層配線層40を形成する。

[0089] 半導体基板30の基体としては、例えば、半導体基板30と、埋込み酸化膜（図示せず）と、保持基板（図示せず）とを積層したSOI（Silicon on Insulator）基板を用いる。埋込み酸化膜および保持基板は、図7には図示しないが、半導体基板30の第1面30S1に接合されている。イオン注入後、アニール処理を行う。

[0090] 次いで、半導体基板30の第2面30S2側に設けられた多層配線層40上に支持基板（図示せず）または他の半導体基体等を接合して、上下反転する。続いて、半導体基板30をSOI基板の埋込み酸化膜および保持基板から分離し、半導体基板30の第1面30S1を露出させる。以上の工程は、イオン注入およびCVD（Chemical Vapor Deposition）法等、通常のCMOSプロセスで使用されている技術にて行うことが可能である。

[0091] 次いで、図8に示したように、例えばドライエッチングにより半導体基板30を第1面30S1側から加工し、例えば環状の開口34Hを形成する。開口34Hの深さは、図9に示したように、半導体基板30の第1面30S1から第2面30S2まで貫通すると共に、例えば、接続部41Aまで達す

るものである。

[0092] 続いて、半導体基板30の第1面30S1および開口34Hの側面に、例えば負の固定電荷層21および誘電体層22を順に形成する。固定電荷層21は、例えば、原子層堆積法（ALD法）を用いて HfO_x 膜を成膜することで形成することができる。誘電体層22は、例えば、プラズマCVD法を用いて SiO_x 膜を製膜することで形成することができる。次に、誘電体層22上の所定の位置に、例えば、チタンと窒化チタンとの積層膜（ Ti/TiN 膜）からなるバリアメタルとW膜とが積層されたパッド部39Aを形成する。その後、誘電体層22およびパッド部39A上に、層間絶縁層23を形成し、CMP（Chemical Mechanical Polishing）法を用いて層間絶縁層23の表面を平坦化する。

[0093] 続いて、図9に示したように、パッド部39A上に開口23H1を形成した後、この開口23H1に、例えばAl等の導電材料を埋め込み、上部第1コンタクト24Aを形成する。次に、図9に示したように、パッド部39Aと同様にして、パッド部39B、39Cした後、層間絶縁層23および上部第2コンタクト24B、上部第3コンタクト24Cを順に形成する。

[0094] 続いて、図10に示したように、層間絶縁層23上に、例えば、スパッタリング法を用いて導電膜11Xを成膜した後、フォトリソグラフィ技術を用いてパターニングを行う。具体的には、導電膜11Xの所定の位置にフォトレジストPRを形成した後、ドライエッチングまたはウェットエッチングを用いて導電膜11Xを加工する。その後、フォトレジストPRを除去することで、図11に示したように、読み出し電極11Aおよび蓄積電極11Bが形成される。

[0095] 次に、図12に示したように、絶縁層17、半導体層18、正孔ブロック層12（第1層12Aおよび第2層12B）、光電変換層13、電子ブロック層14、仕事関数調整層15および上部電極16を順に成膜する。絶縁層17は、例えば、ALD法を用いて SiO_x 膜を製膜した後、CMP法を用いて絶縁層17の表面を平坦化する。その後、読み出し電極11A上に、例え

ば、ウェットエッチングを用いて開口 17 H を形成する。半導体層 18 は、例えば、スパッタリング法を用いて形成することができる。正孔ブロック層 12（第 1 層 12 A および第 2 層 12 B）、光電変換層 13、電子ブロック層 14 および仕事関数調整層 15 は、例えば、真空蒸着法を用いて形成する。上部電極 16 は、下部電極 11 と同様に、例えば、スパッタリング法を用いて形成する。最後に、上部電極 16 上に、保護層 51、遮光膜 53 およびオンチップレンズ 52 L を配設する。以上により、図 3 に示した撮像素子 1 A が完成する。

[0096] なお、正孔ブロック層 12（第 1 層 12 A および第 2 層 12 B）、光電変換層 13、電子ブロック層 14 および仕事関数調整層 15 は、各層を真空工程において連続的に（真空一貫プロセスで）形成することが望ましい。また、正孔ブロック層 12（第 1 層 12 A および第 2 層 12 B）、光電変換層 13、電子ブロック層 14 および仕事関数調整層 15 等の有機層や下部電極 11 および上部電極 16 等の導電膜は、乾式成膜法または湿式成膜法を用いて形成することができる。乾式成膜法としては、抵抗加熱あるいは高周波加熱を用いた真空蒸着法の他に、電子ビーム（E B）蒸着法、各種スパッタリング法（マグネトロンスパッタリング法、RF-DC 結合形バイアスパッタリング法、ECR スパッタリング法、対向ターゲットスパッタリング法、高周波スパッタリング法）、イオンプレーティング法、レーザブレーション法、分子線エピタキシー法およびレーザ転写法が挙げられる。この他、乾式成膜法としては、プラズマ CVD 法、熱 CVD 法、MOCVD 法および光 CVD 法等の化学的気相成長法が挙げられる。湿式成膜法としては、スピンコート法、インクジェット法、スプレーコート法、スタンプ法、マイクロコンタクトプリント法、フレキソ印刷法、オフセット印刷法、グラビア印刷法およびディップ法等が挙げられる。

[0097] パターニングについては、フォトリソグラフィ技術の他に、シャドーマスクおよびレーザ転写等の化学的エッチング、紫外線やレーザ等による物理的エッチング等を用いることができる。平坦化技術としては、CMP 法の他に

、レーザ平坦化法やリフロー法等を用いることができる。

[0098] (1-4. 撮像素子の信号取得動作)

撮像素子1Aでは、光電変換部10に、オンチップレンズ52Lを介して光が入射すると、その光は、光電変換部10、光電変換領域32B, 32Rの順に通過し、その通過過程において緑、青、赤の色光毎に光電変換される。以下、各色の信号取得動作について説明する。

[0099] (光電変換部10による緑色信号の取得)

撮像素子1Aへ入射した光のうち、まず、緑色光(G)が、光電変換部10において選択的に検出(吸収)され、光電変換される。

[0100] 光電変換部10は、貫通電極34を介して、アンプトランジスタAMPのゲートGampとフローティングディフュージョンFD1とに接続されている。よって、光電変換部10で発生した励起子のうちの電子が下部電極11側から取り出され、貫通電極34を介して半導体基板30の第2面30S2側へ転送され、フローティングディフュージョンFD1に蓄積される。これと同時に、アンプトランジスタAMPにより、光電変換部10で生じた電荷量が電圧に変調される。

[0101] また、フローティングディフュージョンFD1の隣には、リセットトランジスタRSTのリセットゲートGrstが配置されている。これにより、フローティングディフュージョンFD1に蓄積された電荷は、リセットトランジスタRSTによりリセットされる。

[0102] 光電変換部10は、貫通電極34を介して、アンプトランジスタAMPだけでなくフローティングディフュージョンFD1にも接続されているので、フローティングディフュージョンFD1に蓄積された電荷をリセットトランジスタRSTにより容易にリセットすることが可能となる。

[0103] これに対して、貫通電極34とフローティングディフュージョンFD1とが接続されていない場合には、フローティングディフュージョンFD1に蓄積された電荷をリセットすることが困難となり、大きな電圧をかけて上部電極16側へ引き抜くことになる。そのため、光電変換層24がダメージを受

ける虞がある。また、短時間でのリセットを可能とする構造は暗時ノイズの増大を招き、トレードオフとなるため、この構造は困難である。

[0104] 図13は、撮像素子1Aの一動作例を表したものである。(A)は、蓄積電極11Bにおける電位を示し、(B)は、フローティングディフュージョンFD1(読み出し電極11A)における電位を示し、(C)は、リセットトランジスタTR1rstのゲート(Gsel)における電位を示したものである。撮像素子1Aでは、読み出し電極11Aおよび蓄積電極11Bは、それぞれ個別に電圧が印加されるようになっている。

[0105] 撮像素子1Aでは、蓄積期間において、駆動回路から読み出し電極11Aに電位V1が印加され、蓄積電極11Bに電位V2が印加される。ここで、電位V1、V2は、 $V2 > V1$ とする。これにより、光電変換によって生じた電荷(信号電荷;電子)は、蓄積電極11Bに引きつけられ、蓄積電極11Bと対向する半導体層18の領域に蓄積される(蓄積期間)。因みに、蓄積電極11Bと対向する半導体層18の領域の電位は、光電変換の時間経過に伴い、より負側の値となる。なお、正孔は、上部電極16から駆動回路へと送出される。

[0106] 撮像素子1Aでは、蓄積期間の後期にリセット動作がなされる。具体的には、タイミングt1において、走査部は、リセット信号RSTの電圧を低レベルから高レベルに変化させる。これにより、単位画素Pでは、リセットトランジスタTR1rstがオン状態になり、その結果、フローティングディフュージョンFD1の電圧が電源電圧に設定され、フローティングディフュージョンFD1の電圧がリセットされる(リセット期間)。

[0107] リセット動作の完了後、電荷の読み出しが行われる。具体的には、タイミングt2において、駆動回路から読み出し電極11Aには電位V3が印加され、蓄積電極11Bには電位V4が印加される。ここで、電位V3、V4は、 $V3 < V4$ とする。これにより、蓄積電極11Bに対応する領域に蓄積されていた電荷は、読み出し電極11AからフローティングディフュージョンFD1へと読み出される。即ち、半導体層18に蓄積された電荷が制御部に

読み出される（転送期間）。

[0108] 読み出し動作完了後、再び、駆動回路から読み出し電極 11A に電位 V_1 が印加され、蓄積電極 11B に電位 V_2 が印加される。これにより、光電変換によって生じた電荷は、蓄積電極 11B に引きつけられ、蓄積電極 11B と対向する光電変換層 24 の領域に蓄積される（蓄積期間）。

[0109] （光電変換領域 32B、32R による青色信号、赤色信号の取得）

続いて、光電変換部 10 を透過した光のうち、青色光（B）は光電変換領域 32B、赤色光（R）は光電変換領域 32R において、それぞれ順に吸収され、光電変換される。光電変換領域 32B では、入射した青色光（B）に対応した電子が光電変換領域 32B の n 領域に蓄積され、蓄積された電子は、転送トランジスタ T_r2 によりフローティングディフュージョン $FD2$ へと転送される。同様に、光電変換領域 32R では、入射した赤色光（R）に対応した電子が光電変換領域 32R の n 領域に蓄積され、蓄積された電子は、転送トランジスタ T_r3 によりフローティングディフュージョン $FD3$ へと転送される。

[0110] （1-5. 作用・効果）

本実施の形態の光電変換素子 10 では、下部電極 11 と光電変換層 13 との間に、下部電極 11 の仕事関数に対して 1 eV 以上深い $HOMO$ 準位および 3.7 eV 以上 4.8 eV 以下の $LUMO$ 準位を有する有機材料を含む第 1 層 12A と、フラレンまたはフラレン誘導体を含む第 2 層 12B とを有する正孔ブロック層 12 を設けるようにした。これにより、下部電極 11 からの正孔の注入を抑制しつつ、下部電極 11 との界面の電子障壁を低減する。また、光電変換層 13 の界面での暗電流の発生を抑制しつつ、光電変換層 13 との界面トラップの発生を低減する。以下、これについて説明する。

[0111] デジタルスチルカメラ、ビデオカメラ等の電子機器に用いられる $CMOS$ イメージセンサ等において、各画素を構成する撮像素子として用いられる光電変換素子には、光電流と暗電流との良好な S/N 比および高い応答速度が求められている。例えば、前述した光電変換素子では、光電変換層と電極と

の間に、フラーレンおよび／またはフラーレン誘導体と、イオン化ポテンシャルが5.5 eV以上の透明正孔輸送材料とを含む正孔ブロッキング層を設けることで、感度、S/N比および応答速度の向上が図られている。

[0112] しかしながら、上記光電変換素子では、暗電流、外部量子効率および残像特性について十分な特性を有しているとは言い難い。これは、光電変換層と正孔ブロッキング層との界面での電子の取り出し効率やトラップの低減については改善されているものの、電極からの正孔の注入の抑制や、電極と正孔ブロッキング層との界面の障壁については考慮されていないことによるものと推測される。

[0113] これに対して、本実施の形態では、正孔ブロック層12を第1層12Aと第2層12Bとの積層構造とし、下部電極11側に、下部電極11の仕事関数に対して1 eV以上深いHOMO準位および3.7 eV以上4.8 eV以下のLUMO準位を有する有機材料を含む第1層12Aを、光電変換層13側にフラーレンまたはフラーレン誘導体を含む第2層12Bを配置するようにした。これにより、下部電極11からの正孔の注入を抑制しつつ、下部電極11との界面の電子障壁が低減される。また、光電変換層13の界面での暗電流の発生を抑制しつつ、光電変換層との界面トラップの発生が低減される。

[0114] 以上により、本実施の形態の光電変換素子10では、素子特性を向上させることが可能となる。

[0115] 例えば、本実施の形態の光電変換素子10では、下部電極11からの正孔の注入が抑制されると共に、正孔ブロック層12と光電変換層との界面での電荷の湧き出しが低減されるため、暗電流を低減することが可能となる。また、本実施の形態の光電変換素子10では、下部電極11と正孔ブロック層12との界面および光電変換層13と正孔ブロック層12との界面の電子障壁が低減されたため、電子の取り出し効率、即ち、外部量子効率を向上させることが可能となる。更に、本実施の形態の光電変換素子10では、正孔ブロック層12と光電変換層13との界面でのトラップの発生が低減されるため

、光応答性を向上させることが可能となる。

[0116] 次に、本開示の変形例 1 ～ 5 について説明する。なお、上記実施の形態の光電変換素子 10 および撮像素子 1A に対応する構成要素には同一の符号を付して説明を省略する。

[0117] < 2. 変形例 >

(2 - 1. 変形例 1)

図 14 は、本開示の変形例 1 に係る撮像素子 1B の断面構成を模式的に表したものである。撮像素子 1B は、上記実施の形態の撮像素子 1A と同様に、例えば、デジタルスチルカメラ、ビデオカメラ等の電子機器に用いられる CMOS イメージセンサ等の撮像素子である。本変形例の撮像素子 1B は、下部電極 11 が単位画素 P 毎に 1 つの電極からなる点が、上記実施の形態とは異なる。

[0118] 撮像素子 1B は、上記撮像素子 1A と同様に、単位画素 P 毎に、1 つの光電変換部 10 と、2 つの光電変換領域 32B, 32R とが縦方向に積層されたものである。光電変換部 10 は、上記光電変換素子 10 に相当し、半導体基板 30 の裏面（第 1 面 30A）側に設けられている。光電変換領域 32B, 32R は、半導体基板 30 内に埋め込み形成されており、半導体基板 30 の厚み方向に積層されている。

[0119] 本変形例の撮像素子 1B は、上記のように、光電変換部 10 の下部電極 11 が 1 つの電極からなり、下部電極 11 と正孔ブロック層 12 との間に絶縁層 17 および半導体層 18 が設けられていないこと以外は、上記撮像素子 1A と同様の構成を有している。

[0120] このように、光電変換部 10 の構成は上記実施の形態の撮像素子 1A に限定されず、本変形例の撮像素子 1B の光電変換部 10 の構成としても、上記実施の形態と同様の効果を得ることができる。

[0121] (2 - 2. 変形例 2)

図 15 は、本開示の変形例 2 に係る撮像素子 1C の断面構成を模式的に表したものである。撮像素子 1C は、上記実施の形態の撮像素子 1A と同様に

、例えば、デジタルスチルカメラ、ビデオカメラ等の電子機器に用いられるCMOSイメージセンサ等の撮像素子である。本変形例の撮像素子1Cは、2つの光電変換部10、80と、1つの光電変換領域32とが縦方向に積層されたものである。

[0122] 光電変換部10、80と、光電変換領域32とは、互いに異なる波長域の光を選択的に検出して光電変換を行うものである。例えば、光電変換部10では緑(G)の色信号を取得する。例えば、光電変換部80では青(B)の色信号を取得する。例えば、光電変換領域32では赤(R)の色信号を取得する。これにより、撮像素子1Cでは、カラーフィルタを用いることなく一つの画素において複数種類の色信号を取得可能となっている。

[0123] 光電変換部10、80は、上記実施の形態の撮像素子1Aと同様の構成を有している。具体的には、光電変換部10は、撮像素子1Aと同様に、下部電極11、正孔ブロック層12（第1層12Aおよび第2層12B）、光電変換層13、電子ブロック層14、仕事関数調整層15および上部電極16がこの順に積層されている。下部電極11は、複数の電極（例えば、読み出し電極11Aおよび蓄積電極11B）からなり、下部電極11と正孔ブロック層12との間には、絶縁層17および半導体層18がこの順に積層されている。下部電極11のうち、読み出し電極11Aは、絶縁層17に設けられた開口17Hを介して半導体層18と電氣的に接続されている。光電変換部80も光電変換部10と同様に、下部電極81、正孔ブロック層82（第1層82Aおよび第2層82B）、光電変換層83、電子ブロック層84、仕事関数調整層85および上部電極86がこの順に積層されている。下部電極81は、複数の電極（例えば、読み出し電極81Aおよび蓄積電極81B）からなり、下部電極81と正孔ブロック層82（第1層82Aおよび第2層82B）との間には、絶縁層87および半導体層88がこの順に積層されている。下部電極81のうち、読み出し電極81Aは、絶縁層87に設けられた開口87Hを介して半導体層88と電氣的に接続されている。なお、半導体層18および半導体層88の一方または両方は省略しても構わない。

[0124] 読み出し電極 8 1 A には、層間絶縁層 8 9 および光電変換部 1 0 を貫通し、光電変換部 1 0 の読み出し電極 1 1 A と電氣的に接続された貫通電極 9 1 が接続されている。更に、読み出し電極 8 1 A は、貫通電極 3 4, 9 1 を介して、半導体基板 3 0 に設けられたフローティングディフュージョン F D と電氣的に接続されており、光電変換層 8 3 において生成された電荷を一時的に蓄積することができる。更に、読み出し電極 8 1 A は、貫通電極 3 4, 9 1 を介して、半導体基板 3 0 に設けられたアンプトランジスタ A M P 等と電氣的に接続されている。

[0125] (2-3. 変形例 3)

図 1 6 A は、本開示の変形例 3 に係る撮像素子 1 D の断面構成を模式的に表したものである。図 1 6 B は、図 1 6 A に示した撮像素子 1 D の平面構成の一例を模式的に表したものであり、図 1 6 A は、図 1 6 B に示した I-I 線における断面を表している。撮像素子 1 D は、例えば、光電変換領域 3 2 と、光電変換部 6 0 とが積層された積層型の撮像素子である。この撮像素子 1 D を備えた撮像装置（例えば、撮像装置 1 0 0）の画素部 1 0 0 A では、例えば図 1 6 B に示したように、例えば 2 行×2 列で配置された 4 つの画素からなる画素ユニット 1 a が繰り返し単位となり、行方向と列方向とからなるアレイ状に繰り返し配置されている。

[0126] 本変形の撮像素子 1 D では、光電変換部 6 0 の上方（光入射側 S 1）には、赤色光（R）、緑色光（G）および青色光（B）を選択的に透過させるカラーフィルタ 5 5 が、それぞれ、単位画素 P 毎に設けられている。具体的には、2 行×2 列で配置された 4 つの画素からなる画素ユニット 1 a において、緑色光（G）を選択的に透過させるカラーフィルタが対角線上に 2 つ配置され、赤色光（R）および青色光（B）を選択的に透過させるカラーフィルタが、直交する対角線上に 1 つずつ配置されている。各カラーフィルタが設けられた単位画素（P_r, P_g, P_b）では、例えば、光電変換部 6 0 において、それぞれ、対応する色光が検出されるようになっている。即ち、画素部 1 0 0 A では、それぞれ、赤色光（R）、緑色光（G）および青色光（B

）を検出する画素（ P_r 、 P_g 、 P_b ）が、ベイヤ状に配置されている。

[0127] 光電変換部60は、例えば、400nm以上750nm未満の可視光領域の波長の一部または全部に対応する光を吸収して励起子（電子正孔対）を発生させるものであり、下部電極61、絶縁層（層間絶縁層67）、半導体層68、正孔ブロック層62（第1層62Aおよび第2層62B）、光電変換層63、電子ブロック層64、仕事関数調整層65および上部電極66がこの順に積層されている。下部電極61、層間絶縁層67、半導体層68、正孔ブロック層62（第1層62Aおよび第2層62B）、光電変換層63、電子ブロック層64、仕事関数調整層65および上部電極66は、それぞれ、上記実施の形態における撮像素子1Aの下部電極11、絶縁層17、半導体層18、正孔ブロック層12、光電変換層13、電子ブロック層14、仕事関数調整層15および上部電極16と同様の構成を有している。下部電極61は、例えば、互いに独立した読み出し電極61Aおよび蓄積電極61Bを有し、読み出し電極61Aは、例えば4つの画素によって共有されている。なお、半導体層68は省略しても構わない。

[0128] 光電変換領域32は、例えば、750nm以上1300nm以下の赤外光領域を検出する。

[0129] 撮像素子1Dでは、カラーフィルタ55を透過した光のうち、可視光領域の光（赤色光（R）、緑色光（G）および青色光（B））は、それぞれ、各カラーフィルタが設けられた単位画素（ P_r 、 P_g 、 P_b ）の光電変換部60で吸収され、それ以外の光、例えば、赤外光領域（例えば、750nm以上1000nm以下）の光（赤外光（IR））は、光電変換部60を透過する。この光電変換部60を透過した赤外光（IR）は、各単位画素 P_r 、 P_g 、 P_b の光電変換領域32において検出され、各単位画素 P_r 、 P_g 、 P_b では赤外光（IR）に対応する信号電荷が生成される。即ち、撮像素子1Dを備えた撮像装置100では、可視光画像および赤外光画像の両方を同時に生成可能となっている。

[0130] また、撮像素子1Dを備えた撮像装置100では、可視光画像および赤外

光画像をXZ面内方向において同じ位置で取得することができる。よって、XZ面内方向における高集積化を実現することが可能となる。

[0131] (2-4. 変形例4)

図17Aは、本開示の変形例4に係る撮像素子1Eの断面構成を模式的に表したものである。図17Bは、図17Aに示した撮像素子1Eの平面構成の一例を模式的に表したものであり、図17Aは、図17Bに示した111-111線における断面を表している。上記変形例3では、カラーフィルタ55が光電変換部60の上方（光入射側S1）に設けられた例を示したが、カラーフィルタ55は、例えば、図17Aに示したように、光電変換領域32と光電変換部60との間に設けるようにしてもよい。

[0132] 撮像素子1Eでは、例えば、カラーフィルタ55は、画素ユニット1a内において、少なくとも赤色光（R）を選択的に透過させるカラーフィルタ（カラーフィルタ55R）および少なくとも青色光（B）を選択的に透過させるカラーフィルタ（カラーフィルタ55B）が互いに対角線上に配置された構成を有している。光電変換部60（光電変換層63）は、例えば緑色光（G）に対応する波長を有する光を選択的に吸収するように構成されている。光電変換領域32Rでは、赤色光（R）に対応する波長を有する光が、光電変換領域32Bでは青色光（B）に対応する波長を有する光が、それぞれ選択的に吸収される。これにより、光電変換部60およびカラーフィルタ55R、55Bの下方にそれぞれ配置された光電変換領域32（光電変換領域32R、32B）において赤色光（R）、緑色光（G）または青色光（B）に対応する信号を取得することが可能となる。本変形例の撮像素子1Eでは、一般的なベイア配列を有する光電変換素子よりもRGBそれぞれの光電変換部の面積を拡大することができるため、S/N比を向上させることが可能となる。

[0133] (2-5. 変形例5)

図18は、本開示の他の変形例に係る変形例2の撮像素子1Cの断面構成の他の例（撮像素子1F）を表したものである。図19Aは、本開示の他の

変形例に係る変形例3の撮像素子1Dの断面構成の他の例（撮像素子1G）を模式的に表したものである。図19Bは、図19Aに示した撮像素子1Gの平面構成の一例を模式的に表したものである。図20Aは、本開示の他の変形例に係る変形例4の撮像素子1Eの断面構成の他の例（撮像素子1H）を模式的に表したものである。図20Bは、図20Aに示した撮像素子1Hの平面構成の一例を模式的に表したものである。

[0134] 上記変形例2～4では、光電変換部60、80を構成する下部電極11、61、81が複数の電極（読み出し電極11A、61A、81Aおよび蓄積電極11B、61B、81B）からなる例を示したがこれに限らない。変形例2～4に係る撮像素子1C、1D、1Eは、上記変形例1と同様に、下部電極が単位画素P毎に1つ電極からなる場合においても適用でき、上記変形例2～4と同様の効果を得ることができる。

[0135] <3. 適用例>

（適用例1）

図21は、図3等にした撮像素子（例えば、撮像素子1A）を備えた撮像装置（撮像装置100）の全体構成の一例を表したものである。

[0136] 撮像装置100は、例えば、CMOSイメージセンサであり、光学レンズ系（図示せず）を介して被写体からの入射光（像光）を取り込んで、撮像面上に結像された入射光の光量を画素単位で電気信号に変換して画素信号として出力するものである。撮像装置100は、半導体基板30上に、撮像エリアとしての画素部100Aを有すると共に、この画素部100Aの周辺領域に、例えば、垂直駆動回路111、カラム信号処理回路112、水平駆動回路113、出力回路114、制御回路115および入出力端子116を有している。

[0137] 画素部100Aには、例えば、行列状に2次元配置された複数の単位画素Pを有している。この単位画素Pには、例えば、画素行ごとに画素駆動線L_{read}（具体的には行選択線およびリセット制御線）が配線され、画素列ごとに垂直信号線L_{sig}が配線されている。画素駆動線L_{read}は、画

素からの信号読み出しのための駆動信号を伝送するものである。画素駆動線 L_{read} の一端は、垂直駆動回路 111 の各行に対応した出力端に接続されている。

[0138] 垂直駆動回路 111 は、シフトレジスタやアドレスデコーダ等によって構成され、画素部 100A の各単位画素 P を、例えば、行単位で駆動する画素駆動部である。垂直駆動回路 111 によって選択走査された画素行の各単位画素 P から出力される信号は、垂直信号線 L_{sig} の各々を通してカラム信号処理回路 112 に供給される。カラム信号処理回路 112 は、垂直信号線 L_{sig} ごとに設けられたアンプや水平選択スイッチ等によって構成されている。

[0139] 水平駆動回路 113 は、シフトレジスタやアドレスデコーダ等によって構成され、カラム信号処理回路 112 の各水平選択スイッチを走査しつつ順番に駆動するものである。この水平駆動回路 113 による選択走査により、垂直信号線 L_{sig} の各々を通して伝送される各画素の信号が順番に水平信号線 121 に出力され、当該水平信号線 121 を通して半導体基板 30 の外部へ伝送される。

[0140] 出力回路 114 は、カラム信号処理回路 112 の各々から水平信号線 121 を介して順次供給される信号に対して信号処理を行って出力するものである。出力回路 114 は、例えば、バッファリングのみを行う場合もあるし、黒レベル調整、列ばらつき補正および各種デジタル信号処理等が行われる場合もある。

[0141] 垂直駆動回路 111、カラム信号処理回路 112、水平駆動回路 113、水平信号線 121 および出力回路 114 からなる回路部分は、半導体基板 30 上に直に形成されていてもよいし、あるいは外部制御 IC に配設されたものであってもよい。また、それらの回路部分は、ケーブル等により接続された他の基板に形成されていてもよい。

[0142] 制御回路 115 は、半導体基板 30 の外部から与えられるクロックや、動作モードを指令するデータ等を受け取り、また、撮像装置 100 の内部情報

等のデータを出力するものである。制御回路 115 はさらに、各種のタイミング信号を生成するタイミングジェネレータを有し、当該タイミングジェネレータで生成された各種のタイミング信号を基に垂直駆動回路 111、コラム信号処理回路 112 および水平駆動回路 113 等の周辺回路の駆動制御を行う。

[0143] 入出力端子 116 は、外部との信号のやり取りを行うものである。

[0144] (適用例 2)

また、上述したような撮像装置 100 は、例えば、デジタルスチルカメラやデジタルビデオカメラなどの撮像システム、撮像機能を備えた携帯電話機、または、撮像機能を備えた他の機器といった各種の電子機器に適用することができる。

[0145] 図 22 は、電子機器 1000 の構成の一例を表したブロック図である。

[0146] 図 22 に示すように、電子機器 1000 は、光学系 1001、撮像装置 100、DSP (Digital Signal Processor) 1002 を備えており、バス 1008 を介して、DSP 1002、メモリ 1003、表示装置 1004、記録装置 1005、操作系 1006 および電源系 1007 が接続されて構成され、静止画像および動画像を撮像可能である。

[0147] 光学系 1001 は、1 枚または複数枚のレンズを有して構成され、被写体からの入射光 (像光) を取り込んで撮像装置 100 の撮像面上に結像するものである。

[0148] 撮像装置 100 としては、上述した撮像装置 100 が適用される。撮像装置 100 は、光学系 1001 によって撮像面上に結像された入射光の光量を画素単位で電気信号に変換して画素信号として DSP 1002 に供給する。

[0149] DSP 1002 は、撮像装置 100 からの信号に対して各種の信号処理を施して画像を取得し、その画像のデータを、メモリ 1003 に一時的に記憶させる。メモリ 1003 に記憶された画像のデータは、記録装置 1005 に記録されたり、表示装置 1004 に供給されて画像が表示されたりする。また、操作系 1006 は、ユーザによる各種の操作を受け付けて電子機器 10

00の各ブロックに操作信号を供給し、電源系1007は、電子機器1000の各ブロックの駆動に必要な電力を供給する。

[0150] (適用例3)

図23Aは、撮像装置100を備えた光検出システム2000の全体構成の一例を模式的に表したものである。図23Bは、光検出システム2000の回路構成の一例を表したものである。光検出システム2000は、赤外光L2を発する光源部としての発光装置2001と、光電変換素子を有する受光部としての光検出装置2002とを備えている。光検出装置2002としては、上述した撮像装置100を用いることができる。光検出システム2000は、さらに、システム制御部2003、光源駆動部2004、センサ制御部2005、光源側光学系2006およびカメラ側光学系2007を備えていてもよい。

[0151] 光検出装置2002は光L1と光L2とを検出することができる。光L1は、外部からの環境光が被写体(測定対象物)2100(図23A)において反射された光である。光L2は発光装置2001において発光されたのち、被写体2100に反射された光である。光L1は例えば可視光であり、光L2は例えば赤外光である。光L1は、光検出装置2002における光電変換部において検出可能であり、光L2は、光検出装置2002における光電変換領域において検出可能である。光L1から被写体2100の画像情報を獲得し、光L2から被写体2100と光検出システム2000との間の距離情報を獲得することができる。光検出システム2000は、例えば、スマートフォン等の電子機器や車等の移動体に搭載することができる。発光装置2001は例えば、半導体レーザ、面発光半導体レーザ、垂直共振器型面発光レーザ(VCSEL)で構成することができる。発光装置2001から発光された光L2の光検出装置2002による検出方法としては、例えばiTOF方式を採用することができるが、これに限定されることはない。iTOF方式では、光電変換部は、例えば光飛行時間(Time-of-Flight; TOF)により被写体2100との距離を測定することができる。発光装置2001か

ら発光された光L 2の光検出装置2002による検出方法としては、例えば、ストラクチャード・ライト方式やステレオビジョン方式を採用することもできる。例えばストラクチャード・ライト方式では、あらかじめ定められたパターンの光を被写体2100に投影し、そのパターンのひずみ具合を解析することによって光検出システム2000と被写体2100との距離を測定することができる。また、ステレオビジョン方式においては、例えば2以上のカメラを用い、被写体2100を2以上の異なる視点から見た2以上の画像を取得することで光検出システム2000と被写体との距離を測定することができる。なお、発光装置2001と光検出装置2002とは、システム制御部2003によって同期制御することができる。

[0152] <4. 応用例>

(内視鏡手術システムへの応用例)

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、内視鏡手術システムに適用されてもよい。

[0153] 図24は、本開示に係る技術（本技術）が適用され得る内視鏡手術システムの概略的な構成の一例を示す図である。

[0154] 図24では、術者（医師）11131が、内視鏡手術システム11000を用いて、患者ベッド11133上の患者11132に手術を行っている様子が図示されている。図示するように、内視鏡手術システム11000は、内視鏡11100と、気腹チューブ11111やエネルギー処置具11112等の、その他の術具11110と、内視鏡11100を支持する支持アーム装置11120と、内視鏡下手術のための各種の装置が搭載されたカート11200と、から構成される。

[0155] 内視鏡11100は、先端から所定の長さの領域が患者11132の体腔内に挿入される鏡筒11101と、鏡筒11101の基端に接続されるカメラヘッド11102と、から構成される。図示する例では、硬性の鏡筒11101を有するいわゆる硬性鏡として構成される内視鏡11100を図示しているが、内視鏡11100は、軟性の鏡筒を有するいわゆる軟性鏡として

構成されてもよい。

[0156] 鏡筒 1 1 1 0 1 の先端には、対物レンズが嵌め込まれた開口部が設けられている。内視鏡 1 1 1 0 0 には光源装置 1 1 2 0 3 が接続されており、当該光源装置 1 1 2 0 3 によって生成された光が、鏡筒 1 1 1 0 1 の内部に延設されるライトガイドによって当該鏡筒の先端まで導光され、対物レンズを介して患者 1 1 1 3 2 の体腔内の観察対象に向かって照射される。なお、内視鏡 1 1 1 0 0 は、直視鏡であってもよいし、斜視鏡又は側視鏡であってもよい。

[0157] カメラヘッド 1 1 1 0 2 の内部には光学系及び撮像素子が設けられており、観察対象からの反射光（観察光）は当該光学系によって当該撮像素子に集光される。当該撮像素子によって観察光が光電変換され、観察光に対応する電気信号、すなわち観察像に対応する画像信号が生成される。当該画像信号は、RAWデータとしてカメラコントロールユニット（CCU: Camera Control Unit）1 1 2 0 1 に送信される。

[0158] CCU 1 1 2 0 1 は、CPU（Central Processing Unit）やGPU（Graphics Processing Unit）等によって構成され、内視鏡 1 1 1 0 0 及び表示装置 1 1 2 0 2 の動作を統括的に制御する。さらに、CCU 1 1 2 0 1 は、カメラヘッド 1 1 1 0 2 から画像信号を受け取り、その画像信号に対して、例えば現像処理（デモザイク処理）等の、当該画像信号に基づく画像を表示するための各種の画像処理を施す。

[0159] 表示装置 1 1 2 0 2 は、CCU 1 1 2 0 1 からの制御により、当該CCU 1 1 2 0 1 によって画像処理が施された画像信号に基づく画像を表示する。

[0160] 光源装置 1 1 2 0 3 は、例えばLED（light emitting diode）等の光源から構成され、術部等を撮影する際の照射光を内視鏡 1 1 1 0 0 に供給する。

[0161] 入力装置 1 1 2 0 4 は、内視鏡手術システム 1 1 0 0 0 に対する入力インタフェースである。ユーザは、入力装置 1 1 2 0 4 を介して、内視鏡手術シ

ステム 1 1 0 0 0 に対して各種の情報の入力や指示入力を行うことができる。例えば、ユーザは、内視鏡 1 1 1 0 0 による撮像条件（照射光の種類、倍率及び焦点距離等）を変更する旨の指示等を入力する。

[0162] 処置具制御装置 1 1 2 0 5 は、組織の焼灼、切開又は血管の封止等のためのエネルギー処置具 1 1 1 1 2 の駆動を制御する。気腹装置 1 1 2 0 6 は、内視鏡 1 1 1 0 0 による視野の確保及び術者の作業空間の確保の目的で、患者 1 1 1 3 2 の体腔を膨らめるために、気腹チューブ 1 1 1 1 1 を介して当該体腔内にガスを送り込む。レコーダ 1 1 2 0 7 は、手術に関する各種の情報を記録可能な装置である。プリンタ 1 1 2 0 8 は、手術に関する各種の情報を、テキスト、画像又はグラフ等各種の形式で印刷可能な装置である。

[0163] なお、内視鏡 1 1 1 0 0 に術部を撮影する際の照射光を供給する光源装置 1 1 2 0 3 は、例えば L E D、レーザ光源又はこれらの組み合わせによって構成される白色光源から構成することができる。R G B レーザ光源の組み合わせにより白色光源が構成される場合には、各色（各波長）の出力強度及び出力タイミングを高精度に制御することができるため、光源装置 1 1 2 0 3 において撮像画像のホワイトバランスの調整を行うことができる。また、この場合には、R G B レーザ光源それぞれからのレーザ光を時分割で観察対象に照射し、その照射タイミングに同期してカメラヘッド 1 1 1 0 2 の撮像素子の駆動を制御することにより、R G B それぞれに対応した画像を時分割で撮像することも可能である。当該方法によれば、当該撮像素子にカラーフィルタを設けなくても、カラー画像を得ることができる。

[0164] また、光源装置 1 1 2 0 3 は、出力する光の強度を所定の時間ごとに変更するようにその駆動が制御されてもよい。その光の強度の変更のタイミングに同期してカメラヘッド 1 1 1 0 2 の撮像素子の駆動を制御して時分割で画像を取得し、その画像を合成することにより、いわゆる黒つぶれ及び白とびのない高ダイナミックレンジの画像を生成することができる。

[0165] また、光源装置 1 1 2 0 3 は、特殊光観察に対応した所定の波長域の光を供給可能に構成されてもよい。特殊光観察では、例えば、体組織における光

の吸収の波長依存性を利用して、通常の観察時における照射光（すなわち、白色光）に比べて狭帯域の光を照射することにより、粘膜表層の血管等の所定の組織を高コントラストで撮影する、いわゆる狭帯域光観察（Narrow Band Imaging）が行われる。あるいは、特殊光観察では、励起光を照射することにより発生する蛍光により画像を得る蛍光観察が行われてもよい。蛍光観察では、体組織に励起光を照射し当該体組織からの蛍光を観察すること（自家蛍光観察）、又はインドシアニンググリーン（ICG）等の試薬を体組織に局注するとともに当該体組織にその試薬の蛍光波長に対応した励起光を照射し蛍光像を得ること等を行うことができる。光源装置 11203 は、このような特殊光観察に対応した狭帯域光及び／又は励起光を供給可能に構成され得る。

[0166] 図 25 は、図 24 に示すカメラヘッド 11102 及び CCU 11201 の機能構成の一例を示すブロック図である。

[0167] カメラヘッド 11102 は、レンズユニット 11401 と、撮像部 11402 と、駆動部 11403 と、通信部 11404 と、カメラヘッド制御部 11405 と、を有する。CCU 11201 は、通信部 11411 と、画像処理部 11412 と、制御部 11413 と、を有する。カメラヘッド 11102 と CCU 11201 とは、伝送ケーブル 11400 によって互いに通信可能に接続されている。

[0168] レンズユニット 11401 は、鏡筒 11101 との接続部に設けられる光学系である。鏡筒 11101 の先端から取り込まれた観察光は、カメラヘッド 11102 まで導光され、当該レンズユニット 11401 に入射する。レンズユニット 11401 は、ズームレンズ及びフォーカスレンズを含む複数のレンズが組み合わされて構成される。

[0169] 撮像部 11402 を構成する撮像素子は、1 つ（いわゆる単板式）であってもよいし、複数（いわゆる多板式）であってもよい。撮像部 11402 が多板式で構成される場合には、例えば各撮像素子によって RGB それぞれに対応する画像信号が生成され、それらが合成されることによりカラー画像が得られてもよい。あるいは、撮像部 11402 は、3D（dimensional）表示

に対応する右目用及び左目用の画像信号をそれぞれ取得するための１対の撮像素子を有するように構成されてもよい。３Ｄ表示が行われることにより、術者１１１３１は術部における生体組織の奥行きをより正確に把握することが可能になる。なお、撮像部１１４０２が多板式で構成される場合には、各撮像素子に対応して、レンズユニット１１４０１も複数系統設けられ得る。

[0170] また、撮像部１１４０２は、必ずしもカメラヘッド１１１０２に設けられなくてもよい。例えば、撮像部１１４０２は、鏡筒１１１０１の内部に、対物レンズの直後に設けられてもよい。

[0171] 駆動部１１４０３は、アクチュエータによって構成され、カメラヘッド制御部１１４０５からの制御により、レンズユニット１１４０１のズームレンズ及びフォーカスレンズを光軸に沿って所定の距離だけ移動させる。これにより、撮像部１１４０２による撮像画像の倍率及び焦点が適宜調整され得る。

[0172] 通信部１１４０４は、ＣＣＵ１１２０１との間で各種の情報を送受信するための通信装置によって構成される。通信部１１４０４は、撮像部１１４０２から得た画像信号をＲＡＷデータとして伝送ケーブル１１４００を介してＣＣＵ１１２０１に送信する。

[0173] また、通信部１１４０４は、ＣＣＵ１１２０１から、カメラヘッド１１１０２の駆動を制御するための制御信号を受信し、カメラヘッド制御部１１４０５に供給する。当該制御信号には、例えば、撮像画像のフレームレートを指定する旨の情報、撮像時の露出値を指定する旨の情報、並びに／又は撮像画像の倍率及び焦点を指定する旨の情報等、撮像条件に関する情報が含まれる。

[0174] なお、上記のフレームレートや露出値、倍率、焦点等の撮像条件は、ユーザによって適宜指定されてもよいし、取得された画像信号に基づいてＣＣＵ１１２０１の制御部１１４１３によって自動的に設定されてもよい。後者の場合には、いわゆるＡＥ（Auto Exposure）機能、ＡＦ（Auto Focus）機能及びＡＷＢ（Auto White Balance）機能が内視鏡１１１００に搭載されている

ことになる。

- [0175] カメラヘッド制御部 11405 は、通信部 11404 を介して受信した CPU 11201 からの制御信号に基づいて、カメラヘッド 11102 の駆動を制御する。
- [0176] 通信部 11411 は、カメラヘッド 11102 との間で各種の情報を送受信するための通信装置によって構成される。通信部 11411 は、カメラヘッド 11102 から、伝送ケーブル 11400 を介して送信される画像信号を受信する。
- [0177] また、通信部 11411 は、カメラヘッド 11102 に対して、カメラヘッド 11102 の駆動を制御するための制御信号を送信する。画像信号や制御信号は、電気通信や光通信等によって送信することができる。
- [0178] 画像処理部 11412 は、カメラヘッド 11102 から送信された RAW データである画像信号に対して各種の画像処理を施す。
- [0179] 制御部 11413 は、内視鏡 11100 による術部等の撮像、及び、術部等の撮像により得られる撮像画像の表示に関する各種の制御を行う。例えば、制御部 11413 は、カメラヘッド 11102 の駆動を制御するための制御信号を生成する。
- [0180] また、制御部 11413 は、画像処理部 11412 によって画像処理が施された画像信号に基づいて、術部等が映った撮像画像を表示装置 11202 に表示させる。この際、制御部 11413 は、各種の画像認識技術を用いて撮像画像内における各種の物体を認識してもよい。例えば、制御部 11413 は、撮像画像に含まれる物体のエッジの形状や色等を検出することにより、鉗子等の術具、特定の生体部位、出血、エネルギー処置具 11112 の使用時のミスト等を認識することができる。制御部 11413 は、表示装置 11202 に撮像画像を表示させる際に、その認識結果を用いて、各種の手術支援情報を当該術部の画像に重畳表示させてもよい。手術支援情報が重畳表示され、術者 11131 に提示されることにより、術者 11131 の負担を軽減することや、術者 11131 が確実に手術を進めることが可能になる。

[0181] カメラヘッド 11102 及び CCU 11201 を接続する伝送ケーブル 11400 は、電気信号の通信に対応した電気信号ケーブル、光通信に対応した光ファイバ、又はこれらの複合ケーブルである。

[0182] ここで、図示する例では、伝送ケーブル 11400 を用いて有線で通信が行われていたが、カメラヘッド 11102 と CCU 11201 との間の通信は無線で行われてもよい。

[0183] 以上、本開示に係る技術が適用され得る内視鏡手術システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、撮像部 11402 に適用され得る。撮像部 11402 に本開示に係る技術を適用することにより、検出精度が向上する。

[0184] なお、ここでは、一例として内視鏡手術システムについて説明したが、本開示に係る技術は、その他、例えば、顕微鏡手術システム等に適用されてもよい。

[0185] (移動体への応用例)

本開示に係る技術は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット、建設機械、農業機械（トラクター）などのいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0186] 図 26 は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0187] 車両制御システム 12000 は、通信ネットワーク 12001 を介して接続された複数の電子制御ユニットを備える。図 26 に示した例では、車両制御システム 12000 は、駆動系制御ユニット 12010、ボディ系制御ユニット 12020、車外情報検出ユニット 12030、車内情報検出ユニット 12040、及び統合制御ユニット 12050 を備える。また、統合制御ユニット 12050 の機能構成として、マイクロコンピュータ 12051、音声画像出力部 12052、及び車載ネットワーク I/F (interface) 12

０５３が図示されている。

- [0188] 駆動系制御ユニット１２０１０は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット１２０１０は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。
- [0189] ボディ系制御ユニット１２０２０は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット１２０２０は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウinker又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット１２０２０には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット１２０２０は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。
- [0190] 車外情報検出ユニット１２０３０は、車両制御システム１２０００を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット１２０３０には、撮像部１２０３１が接続される。車外情報検出ユニット１２０３０は、撮像部１２０３１に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット１２０３０は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。
- [0191] 撮像部１２０３１は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部１２０３１は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部１２０３１が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

- [0192] 車内情報検出ユニット１２０４０は、車内の情報を検出する。車内情報検出ユニット１２０４０には、例えば、運転者の状態を検出する運転者状態検出部１２０４１が接続される。運転者状態検出部１２０４１は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット１２０４０は、運転者状態検出部１２０４１から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。
- [0193] マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０又は車内情報検出ユニット１２０４０で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット１２０１０に対して制御指令を出力することができる。例えば、マイクロコンピュータ１２０５１は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むＡＤＡＳ（Advanced Driver Assistance System）の機能実現を目的とした協調制御を行うことができる。
- [0194] また、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０又は車内情報検出ユニット１２０４０で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。
- [0195] また、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０で取得される車外の情報に基づいて、ボディ系制御ユニット１２０２０に対して制御指令を出力することができる。例えば、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。
- [0196] 音声画像出力部１２０５２は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少

なくとも一方の出力信号を送信する。図 26 の例では、出力装置として、オーディオスピーカ 12061、表示部 12062 及びインストルメントパネル 12063 が例示されている。表示部 12062 は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでもよい。

[0197] 図 27 は、撮像部 12031 の設置位置の例を示す図である。

[0198] 図 27 では、撮像部 12031 として、撮像部 12101, 12102, 12103, 12104, 12105 を有する。

[0199] 撮像部 12101, 12102, 12103, 12104, 12105 は、例えば、車両 12100 のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部 12101 及び車室内のフロントガラスの上部に備えられる撮像部 12105 は、主として車両 12100 の前方の画像を取得する。サイドミラーに備えられる撮像部 12102, 12103 は、主として車両 12100 の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部 12104 は、主として車両 12100 の後方の画像を取得する。車室内のフロントガラスの上部に備えられる撮像部 12105 は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0200] なお、図 27 には、撮像部 12101 ないし 12104 の撮影範囲の一例が示されている。撮像範囲 12111 は、フロントノーズに設けられた撮像部 12101 の撮像範囲を示し、撮像範囲 12112, 12113 は、それぞれサイドミラーに設けられた撮像部 12102, 12103 の撮像範囲を示し、撮像範囲 12114 は、リアバンパ又はバックドアに設けられた撮像部 12104 の撮像範囲を示す。例えば、撮像部 12101 ないし 12104 で撮像された画像データが重ね合わせられることにより、車両 12100 を上方から見た俯瞰画像が得られる。

[0201] 撮像部 12101 ないし 12104 の少なくとも 1 つは、距離情報を取得

する機能を有していてもよい。例えば、撮像部 12101 ないし 12104 の少なくとも 1 つは、複数の撮像素子からなるステレオカメラであってもよい、位相差検出用の画素を有する撮像素子であってもよい。

[0202] 例えば、マイクロコンピュータ 12051 は、撮像部 12101 ないし 12104 から得られた距離情報を基に、撮像範囲 12111 ないし 12114 内における各立体物までの距離と、この距離の時間的变化（車両 12100 に対する相対速度）を求めることにより、特に車両 12100 の進行路上にある最も近い立体物で、車両 12100 と略同じ方向に所定の速度（例えば、0 km/h 以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ 12051 は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0203] 例えば、マイクロコンピュータ 12051 は、撮像部 12101 ないし 12104 から得られた距離情報を元に、立体物に関する立体物データを、2 輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ 12051 は、車両 12100 の周辺の障害物を、車両 12100 のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ 12051 は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ 12061 や表示部 12062 を介してドライバに警報を出力することや、駆動系制御ユニット 12010 を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0204] 撮像部 12101 ないし 12104 の少なくとも 1 つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ 12051 は、撮像部 12101 ないし 12104 の撮像画像中に歩行者が存在するか

否かを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部12101ないし12104の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ12051が、撮像部12101ないし12104の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部12052は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部12062を制御する。また、音声画像出力部12052は、歩行者を示すアイコン等を所望の位置に表示するように表示部12062を制御してもよい。

[0205] 以上、本開示に係る技術が適用され得る移動体制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、撮像部12031に適用され得る。具体的には、上記実施の形態およびその変形例に係る撮像素子（例えば、撮像素子1A）は、撮像部12031に適用することができる。撮像部12031に本開示に係る技術を適用することにより、ノイズの少ない高精細な撮影画像を得ることができるので、移動体制御システムにおいて撮影画像を利用した高精度な制御を行うことができる。

[0206] <5. 実施例>

次に、本開示の実施例について説明する。

[0207] （実験1）

実験1では、正孔ブロック層12の第2層12Bを、フラーレン（フラーレンC₆₀）を含む混合膜として形成した場合の暗電流特性、外部量子効率および残像特性を評価した。

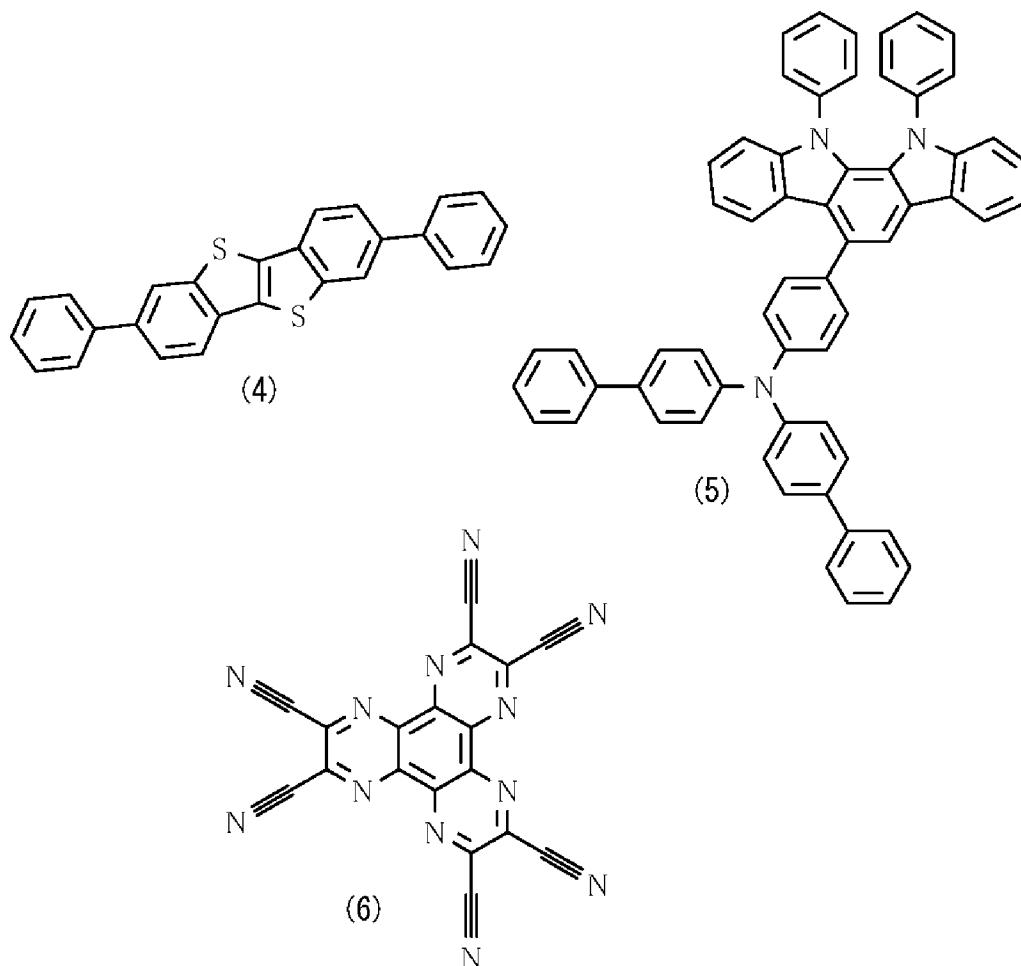
[0208] （実験例1-1）

まず、スパッタ装置を用いてシリコン基板に厚さ100nmのITO膜を成膜した。これを、フォトリソグラフィおよびエッチングによって加工して下部電極11を形成した。次に、シリコン基板および下部電極11上に絶縁膜を成膜し、リソグラフィおよびエッチングによって下部電極11が露出す

る1mm角の開口を形成した。続いて、シリコン基板をUV／オゾン処理にて洗浄した後、シリコン基板を真空蒸着装置に移し、蒸着槽を 1×10^{-5} Pa以下に減圧した状態で基板ホルダを回転させながら、下部電極11上に正孔ブロック層12（第1層12A、第2層12B）、光電変換層13、電子ブロック層14および仕事関数調整層15を順次成膜した。具体的には、上記式（1-27）に示したナフタレンジイミド（NDI）誘導体を基板温度40℃にて10nmの厚みで成膜し、これを第1層12Aとした。次に、上記式（3-5）に示したサブフタロシアニン誘導体と、式（2）に示したフラーレン C_{60} とを基板温度40℃にて、それぞれ、1.0Å／秒、0.250Å／秒の成膜レートで厚さが10nmとなるように成膜し、これを第2層12Bとした。続いて、上記式（3-5）に示したサブフタロシアニン誘導体と、下記式（4）に示したDPH-BTBTと、式（2）に示したフラーレン C_{60} とを基板温度40℃にて、それぞれ、0.50Å／秒、0.50Å／秒、0.25Å／秒の成膜レートで厚さが230nmとなるように成膜し、これを光電変換層13とした。次に、下記式（5）に示したPC-ICを基板温度0℃にて厚さが10nmとなるように成膜し、これを電子ブロック層14とした。続いて、下記式（6）に示したHAT-CNを厚さが10nmとなるように成膜し、これを仕事関数調整層15とした。最後に、シリコン基板をスパッタリング装置に移し、仕事関数調整層15上に厚さ50nmのITO膜を成膜し、これを上部電極16とした。その後、窒素雰囲気下において、シリコン基板を150℃、210分でアニール処理し、これを評価用素子とした。

[0209]

[化6]



[0210] (実験例 1 - 2)

実験例 1 - 1 において成膜した第 2 層 1 2 B を省いた以外は、実験例 1 - 1 と同様の方法を用いて評価用素子を作製した。

[0211] (実験例 1 - 3)

実験例 1 - 1 において成膜した第 1 層 1 2 A を省いた以外は、実験例 1 - 1 と同様の方法を用いて評価用素子を作製した。

[0212] (暗電流および外部量子効率の評価)

緑色 LED 光源からバンドパスフィルターを介して評価用素子に照射される光の波長を 560 nm、光量を $1.62 \mu\text{W}/\text{cm}^2$ とし、評価用素子の電極間に印加されるバイアス電圧を、半導体パラメータアナライザを用いて制

御し、上部電極 1 6 に対して下部電極 1 1 に印加する電圧を掃引することで、電流－電圧曲線を得た。逆バイアス印可状態（+ 2. 6 V の電圧印可状態）での暗電流値および明電流値を取得し、明電流値から暗電流値を引き、その値から入射光子数を除算することで、外部量子効率（EQE）を算出した。

[0213] （残像量の評価）

緑LED光源からバンドパスフィルターを介して光電変換素子に照射される光の波長を 560 nm、光量を $162 \mu\text{W}/\text{cm}^2$ とし、LEDドライバに印加する電圧をファンクションジェネレータで制御し、パルス幅 100 ms のパルス光を上部電極 1 6 側から照射した。評価用素子の電極間に印加されるバイアス電圧を上部電極 1 6 に対して下部電極 1 1 に + 2. 6 V の電圧を印加した状態でパルス光を照射し、オシロスコープを用いて電流の減衰波形を観測した。光パルス照射停止直後から 110 ms 後に電流が減衰する過程でのクーロン量を測定し、これを残像量の指標とした。残像量が低いほど、光応答性が早いことを意味する。

[0214] [表1]

	正孔 ブロック層 1	正孔 ブロック層 2	暗電流 (A/cm ²)	EQE (%)	残像量 (a. u.)
実験例 1-1	(1-27)	(2), (3-5)	1.0	1.0	1.0
実験例 1-2	(1-27)	—	7.7	1.0	1.6
実験例 1-3	—	(2), (3-5)	4.5	0.96	0.94

[0215] 表 1 は、実験例 1－1～実験例 1－3 の正孔ブロック層 1 2 の構成および素子特性（暗電流、EQE、残像量）をまとめたものである。なお、表 1 にまとめた暗電流、EQE および残像量の値は、実験例 1－1 の特性値を基準値（1. 0）とした場合の相対値として記したものである。

- [0216] 実験例 1-1 は、実験例 1-2 に比べて低い暗電流、同等の EQE および少ない残像量を示した。実験例 1-2 では、実験例 1-1 に比べて正孔ブロック層 1（第 1 層 12A）と光電変換層 13 との界面での暗電流発生の抑制が不十分であるため、高い暗電流を示したと考えられる。また、実験例 1-2 では、実験例 1-1 に比べて正孔ブロック層 1 と光電変換層 13 の界面トラップの抑制が不十分であるため、残像量が多くなったと考えられる。
- [0217] 実験例 1-1 は、実験例 1-3 に比べ、低い暗電流、優れた EQE、同等の残像量を示した。これは、実験例 1-3 では実験例 1-1 に比べ、下部電極 11 の仕事関数に対し、ホールブロックの HOMO が 0.9 eV 浅く、下部電極 11 からのホール注入の抑制に十分でないために、高い暗電流を示したと考えられる。また、実験例 1-3 では実験例 1-1 に比べ、下部電極 11 とホールブロックの界面に電子障壁が存在するため、EQE が低くなったと考えられる。
- [0218] 更に、実験例 1-1 では、正孔ブロック層 1 を下部電極 11 と接する側に配置したので、下部電極 11 からの正孔の注入が抑制され、正孔ブロック層 2（第 2 層 12B）を光電変換層 13 と接する側に配置することにより、光電変換層 13 界面での発生が抑制され、これらの効果で暗電流を抑制できたと考えられる。また、正孔ブロック層 1 を下部電極 11 と接する側に配置したので、下部電極 11 と正孔ブロック層 1 との界面の電子障壁が小さくなり、高い EQE を示したと考えられる。更に、正孔ブロック層 2 を光電変換層 13 側に配置したので、正孔ブロック層 2 と光電変換層 13 との界面トラップが抑制され、低い残像量を示したと考えられる。
- [0219] なお、正孔ブロック層 1 を下部電極 11 と接する側に配置することで、下部電極 11 と正孔ブロック層 1 との界面の電子障壁が小さくなった原因は、正孔ブロック層 1 が下部電極 11 と接合することで界面ダイポールが生じ、下部電極 11 のフェルミ準位が正のポテンシャルの方向に真空準位がシフトし、電圧印加時のポテンシャル勾配が電子取り出しに有利になることで、見かけの正孔ブロック層 1 の LUMO から下部電極 11 のフェルミ準位への電

子障壁が小さくなったと考えられる。

[0220] (実験2)

実験2では、正孔ブロック層12の第2層12Bを、フラーレン（フラーレンC₆₀）の単層膜として形成した場合の暗電流特性、外部量子効率および残像特性を評価した。なお、実験1から実験2では印可電圧を変更した。具体的には、暗電流特性は−2.6V、外部量子効率は0V、残像特性は−2.6Vの電圧印可状態で取得した。

[0221] (実験例2-1)

まず、スパッタ装置を用いてシリコン基板に厚さ100nmのITO膜を成膜した。これを、フォトリソグラフィおよびエッチングによって加工して下部電極11を形成した。次に、シリコン基板および下部電極11上に絶縁膜を成膜し、リソグラフィおよびエッチングによって下部電極11が露出する1mm角の開口を形成した。続いて、シリコン基板をUV／オゾン処理にて洗浄した後、シリコン基板を真空蒸着装置に移し、蒸着槽を 1×10^{-5} Pa以下に減圧した状態で基板ホルダを回転させながら、下部電極11上に電子ブロック層14、光電変換層13および正孔ブロック層12（第1層12A、第2層12B）を順次成膜した。具体的には、上記式（5）に示したPC-ICを基板温度0℃にて厚さが10nmとなるように成膜し、これを電子ブロック層14とした。次に、上記式（3-5）に示したサブフタロシアニン誘導体と、上記式（4）に示したDPh-BTBTと、式（2）に示したフラーレンC₆₀とを基板温度40℃にて、それぞれ、0.50Å／秒、0.50Å／秒、0.25Å／秒の成膜レートで厚さが230nmとなるように成膜し、これを光電変換層13とした。続いて、式（2）に示したフラーレンC₆₀を基板温度0℃にて厚さが10nmとなるように成膜し、これを第2層12Bとした。次に、上記式（1-23）に示したナフタレンジイミド（NDI）誘導体を基板温度0℃にて10nmの厚みで成膜し、これを第1層12Aとした。最後に、シリコン基板をスパッタリング装置に移し、第1層12A上に厚さ50nmのITO膜を成膜し、これを上部電極16とした。

。その後、窒素雰囲気下において、シリコン基板を150℃、210分でアニール処理し、これを評価用素子とした。

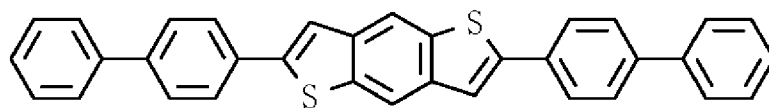
[0222] (実験例2-2)

実験例2-1において成膜した第2層12Bを省いた以外は、実験例2-1と同様の方法を用いて評価用素子を作製した。

[0223] (実験例2-3)

実験例2-1において成膜した光電変換層13で用いたDPH-BTBTを下記式(7)に示したBP-rBDTに変えた以外は、実験例2-1と同様の方法を用いて評価用素子を作製した。

[0224] [化7]



(7)

[0225] (実験例2-4)

実験例2-3において成膜した第2層12Bを省いた以外は、実験例2-3と同様の方法を用いて評価用素子を作製した。

[0226] [表2]

	正孔 ブロック層1	正孔 ブロック層2	光電変換層	暗電流 (A/cm ²)	EQE (%)	残像量 (a. u.)
実験例 2-1	(1-23)	(2)	(4):(3-5):(2) =40:40:20	1.0	1.0	1.0
実験例 2-2	(1-23)	—	(4):(3-5):(2) =40:40:20	1.38	0.98	1.29
実験例 2-3	(1-23)	(2)	(7):(3-5):(2) =40:40:20	1.0	1	1.0
実験例 2-4	(1-23)	—	(7):(3-5):(2) =40:40:20	1.45	0.87	1.53

[0227] 表2は、実験例2-1～実験例2-4の正孔ブロック層12の構成および素子特性（暗電流、EQE、残像量）をまとめたものである。なお、表1にまとめた暗電流、EQEおよび残像量の値は、実験例2-1および実験例2-3の特性値を基準値（1.0）とした場合の相対値として記したものである。

[0228] 実験例2-1は、実験例2-2に比べて低い暗電流、高いEQEおよび少ない残像量を示した。実験例2-2では実験例2-1に比べ、正孔ブロック層1（第1層12A）と光電変換層13との界面での暗電流の発生の抑制が不十分であるため、高い暗電流を示したと考えられる。また、実験例2-2では実験例2-1に比べ、正孔ブロック層1と光電変換層13との界面に電子障壁が存在するため、EQEが低くなったと考えられる。更に、実験例2-2では実験例2-1に比べ、正孔ブロック層1と光電変換層13との界面トラップの抑制が不十分であるため、残像量が多くなったと考えられる。

[0229] 実験例2-3は、実験例2-4に比べて低い暗電流、高いEQEおよび少ない残像量を示した。実験例2-4では実験例2-3に比べ、正孔ブロック層1と光電変換層13との界面での暗電流発生の抑制が不十分であるため、高い暗電流を示したと考えられる。また、実験例2-4では実験例2-3に比べ、正孔ブロック層1と光電変換層13との界面に電子障壁が存在するため、EQEが低くなったと考えられる。更に、実験例2-4では実験例2-3に比べ、正孔ブロック層1と光電変換層13との界面トラップの抑制が不十分であったため、残像量が多くなったと考えられる。

[0230] 実験例2-1と実験例2-3とでは、正孔ブロック層1を上部電極16と接する側に配置したので、上部電極16からの正孔の注入が抑制され、正孔ブロック層2（第2層12B）を光電変換層13と接する側に配置したので、光電変換層13との界面での発生が抑制され、これらの効果で暗電流が抑制されたと考えられる。また、正孔ブロック層2を光電変換層13側に配置したので、正孔ブロック層2と光電変換層13との界面トラップが抑制され

、0 Vでの高いEQEと低い残像量を示したと考えられる。

[0231] 以上、実施の形態、変形例1～5および実施例ならびに適用例および応用例を挙げて本技術を説明したが、本開示内容は上記実施の形態等に限定されるものではなく、種々変形が可能である。例えば、上記実施の形態等では、信号電荷として電子が下部電極11側から読み出される例を示したがこれに限らず、正孔を信号電荷として下部電極11側から読み出すようにしてもよい。その場合には、下部電極11と光電変換層13との間に、仕事関数調整層15および電子ブロック層14が下部電極11側からこの順に積層され、上部電極16と光電変換層13との間に正孔ブロック層12を構成する第1層12Aおよび第2層12Bが、上部電極16側からこの順に形成される。なお、この構成では仕事関数調整層15は省略してもよい。

[0232] また、上記実施の形態では、撮像素子1Aとして、緑色光(G)を検出する有機材料を用いた光電変換部10と、青色光(B)および赤色光(R)をそれぞれ検出する光電変換領域32Bおよび光電変換領域32Rとを積層させた構成としたが、本開示内容はこのような構造に限定されるものではない。即ち、有機材料を用いた光電変換部において赤色光(R)あるいは青色光(B)を検出するようにしてもよいし、無機材料からなる光電変換領域において緑色光(G)を検出するようにしてもよい。

[0233] 更にまた、これらの有機材料を用いた光電変換部および無機材料からなる光電変換領域の数やその比率も限定されるものではない。更に、有機材料を用いた光電変換部および無機材料からなる光電変換領域を縦方向に積層させる構造に限らず、基板面に沿って並列させてもよい。

[0234] 更に、上記実施の形態等では、裏面照射型の撮像素子の構成を例示したが、本開示内容は表面照射型の撮像素子にも適用可能である。

[0235] 更にまた、本開示の光電変換素子10、撮像素子1A等および撮像装置100では、上記実施の形態で説明した各構成要素を全て備えている必要はなく、また逆に他の構成要素を備えていてもよい。例えば、撮像装置100には、撮像素子1Aへの光の入射を制御するためのシャッターを配設してもよ

いし、撮像装置100の目的に応じて光学カットフィルターを具備してもよい。また、赤色光(R)、緑色光(G)および青色光(B)を検出する画素(P_r, P_g, P_b)の配列は、ベイア配列の他に、インターライン配列、GストライプRB市松配列、GストライプRB完全市松配列、市松補色配列、ストライプ配列、斜めストライプ配列、原色色差配列、フィールド色差順次配列、フレーム色差順次配列、MOS型配列、改良MOS型配列、フレームインターリーブ配列、フィールドインターリーブ配列としてもよい。

[0236] また、上記実施の形態等では、光電変換素子10を撮像素子として用いて例を示したが、本開示の光電変換素子10は、太陽電池に適用してもよい。太陽電池に適用する場合には、光電変換層は、例えば、400nm~800nmの波長をブロードに吸収するように設計することが好ましい。

[0237] なお、本明細書中に記載された効果はあくまで例示であって限定されるものではなく、また、他の効果があってもよい。

[0238] なお、本技術は以下のような構成を取ることも可能である。以下の構成の本技術によれば、第1電極と光電変換層との間に、第1電極の仕事関数に対して1eV以上深いHOMO準位および3.7eV以上4.8eV以下のLUMO準位を有する有機材料を含む第1の電荷ブロック層と、フラレンまたはフラレン誘導体を含む第2の電荷ブロック層とを、第1電極側からのこの順に設けるようにした。これにより、第1電極からの電荷の注入を抑制しつつ、第1電極との界面の電子障壁を低減する。また、光電変換層の界面での暗電流の発生を抑制しつつ、光電変換層との界面トラップの発生を低減する。よって、素子特性を向上させることが可能となる。

(1)

第1電極と、

前記第1電極に対向配置された第2電極と、

前記第1電極と前記第2電極との間に設けられ、フラレンまたはフラレン誘導体を含む光電変換層と、

前記第1電極と前記光電変換層との間に設けられ、前記第1電極の仕事関

数に対して 1 eV 以上深い HOMO 準位および 3.7 eV 以上 4.8 eV 以下の LUMO 準位を有する有機材料を含む第 1 の電荷ブロック層と、

前記第 1 の電荷ブロック層と前記光電変換層との間に設けられると共に、前記フラレンまたはフラレン誘導体を含む第 2 の電荷ブロック層とを備えた光電変換素子。

(2)

前記有機材料は、 2.6 eV 以上のバンドギャップを有する、前記 (1) に記載の光電変換素子。

(3)

前記有機材料は、 6.3 eV よりも深い HOMO 準位を有する、前記 (1) または (2) に記載の光電変換素子。

(4)

前記第 1 の電荷ブロック層は、 1 nm 以上 30 nm 以下の厚みを有する、前記 (1) 乃至 (3) のうちのいずれか 1 つに記載の光電変換素子。

(5)

前記第 2 の電荷ブロック層は、 1 nm 以上 30 nm 以下の厚みを有する、前記 (1) 乃至 (4) のうちのいずれか 1 つに記載の光電変換素子。

(6)

前記第 1 電極は、 4.0 eV 以上 5.5 eV 以下の仕事関数を有し、且つ、前記有機材料の LUMO 準位よりも深い仕事関数を有する、前記 (1) 乃至 (5) のうちのいずれか 1 つに記載の光電変換素子。

(7)

前記第 2 の電荷ブロック層と前記光電変換層との界面のギャップ内準位内の状態密度の総和が、前記光電変換層中のギャップ内準位内の状態密度の総和よりも小さい、前記 (1) 乃至 (6) のうちのいずれか 1 つに記載の光電変換素子。

(8)

前記第 2 の電荷ブロック層は、前記フラレンまたはフラレン誘導体と

、前記第1の電荷ブロック層の材料を含む、前記(1)乃至(7)のうちのいずれか1つに記載の光電変換素子。

(9)

前記光電変換層は、所定の波長域の光を吸収する一方、他の波長域の光を透過させる色素材料をさらに含み、

前記第2の電荷ブロック層は、前記フラーレンまたはフラーレン誘導体と、前記色素材料を含む、前記(1)乃至(8)のうちのいずれか1つに記載の光電変換素子。

(10)

前記第1の電荷ブロック層および前記第2の電荷ブロック層は正孔ブロック層である、前記(1)乃至(9)のうちのいずれか1つに記載の光電変換素子。

(11)

前記第1電極は、互いに独立した複数の電極からなる、前記(1)乃至(10)のうちのいずれか1つに記載の光電変換素子。

(12)

前記複数の電極にはそれぞれ個別に電圧が印加される、前記(11)に記載の光電変換素子。

(13)

前記第1電極と前記第1の電荷ブロック層との間に酸化物半導体を含む半導体層をさらに有する、前記(11)または(12)に記載の光電変換素子。

(14)

前記第1電極と前記半導体層との間に、前記第1電極を覆う絶縁層をさらに有し、

前記絶縁層は、前記第1電極を構成する前記複数の電極のうちの1つの電極の上方に開口を有し、前記1つの電極は前記開口を介して前記半導体層と電氣的に接続されている、前記(13)に記載の光電変換素子。

(15)

1 または複数の光電変換部を有する撮像素子がそれぞれ設けられた複数の画素を備え、

前記光電変換部は、

第1電極と、

前記第1電極に対向配置された第2電極と、

前記第1電極と前記第2電極との間に設けられ、フラレンまたはフラレン誘導体を含む光電変換層と、

前記第1電極と前記光電変換層との間に設けられ、前記第1電極の仕事関数に対して 1 eV 以上深いHOMO準位および 3.7 eV 以上 4.8 eV 以下のLUMO準位を有する有機材料を含む第1の電荷ブロック層と、

前記第1の電荷ブロック層と前記光電変換層との間に設けられると共に、前記フラレンまたはフラレン誘導体を含む第2の電荷ブロック層とを有する撮像装置。

(16)

前記撮像素子は、前記1または複数の光電変換部とは異なる波長帯域の光電変換を行う1または複数の光電変換領域をさらに有する、前記(15)に記載の撮像装置。

(17)

前記1または複数の光電変換領域は半導体基板に埋め込み形成され、

前記1または複数の光電変換部は前記半導体基板の光入射面側に配置されている、前記(16)に記載の撮像装置。

(18)

前記半導体基板の前記光入射面とは反対側の面に多層配線層が形成されている、前記(17)に記載の撮像装置。

[0239] 本出願は、日本国特許庁において2021年5月26日に出願された日本特許出願番号2021-088808号を基礎として優先権を主張するものであり、この出願の全ての内容を参照によって本出願に援用する。

[0240] 当業者であれば、設計上の要件や他の要因に応じて、種々の修正、コンビネーション、サブコンビネーション、および変更を想到し得るが、それらは添付の請求の範囲やその均等物の範囲に含まれるものであることが理解される。

請求の範囲

- [請求項1] 第1電極と、
前記第1電極に対向配置された第2電極と、
前記第1電極と前記第2電極との間に設けられ、フラレンまたはフラレン誘導体を含む光電変換層と、
前記第1電極と前記光電変換層との間に設けられ、前記第1電極の仕事関数に対して 1 eV 以上深いHOMO準位および 3.7 eV 以上 4.8 eV 以下のLUMO準位を有する有機材料を含む第1の電荷ブロック層と、
前記第1の電荷ブロック層と前記光電変換層との間に設けられると共に、前記フラレンまたはフラレン誘導体を含む第2の電荷ブロック層と
を備えた光電変換素子。
- [請求項2] 前記有機材料は、 2.6 eV 以上のバンドギャップを有する、請求項1に記載の光電変換素子。
- [請求項3] 前記有機材料は、 6.3 eV よりも深いHOMO準位を有する、請求項1に記載の光電変換素子。
- [請求項4] 前記第1の電荷ブロック層は、 1 nm 以上 30 nm 以下の厚みを有する、請求項1に記載の光電変換素子。
- [請求項5] 前記第2の電荷ブロック層は、 1 nm 以上 30 nm 以下の厚みを有する、請求項1に記載の光電変換素子。
- [請求項6] 前記第1電極は、 4.0 eV 以上 5.5 eV 以下の仕事関数を有し、且つ、前記有機材料のLUMO準位よりも深い仕事関数を有する、請求項1に記載の光電変換素子。
- [請求項7] 前記第2の電荷ブロック層と前記光電変換層との界面のギャップ内準位内の状態密度の総和が、前記光電変換層中のギャップ内準位内の状態密度の総和よりも小さい、請求項1に記載の光電変換素子。
- [請求項8] 前記第2の電荷ブロック層は、前記フラレンまたはフラレン誘

導体と、前記第 1 の電荷ブロック層の材料を含む、請求項 1 に記載の光電変換素子。

[請求項9] 前記光電変換層は、所定の波長域の光を吸収する一方、他の波長域の光を透過させる色素材料をさらに含み、

前記第 2 の電荷ブロック層は、前記フラーレンまたはフラーレン誘導体と、前記色素材料を含む、請求項 1 に記載の光電変換素子。

[請求項10] 前記第 1 の電荷ブロック層および前記第 2 の電荷ブロック層は正孔ブロック層である、請求項 1 に記載の光電変換素子。

[請求項11] 前記第 1 電極は、互いに独立した複数の電極からなる、請求項 1 に記載の光電変換素子。

[請求項12] 前記複数の電極にはそれぞれ個別に電圧が印加される、請求項 1 1 に記載の光電変換素子。

[請求項13] 前記第 1 電極と前記第 1 の電荷ブロック層との間に酸化物半導体を含む半導体層をさらに有する、請求項 1 1 に記載の光電変換素子。

[請求項14] 前記第 1 電極と前記半導体層との間に、前記第 1 電極を覆う絶縁層をさらに有し、

前記絶縁層は、前記第 1 電極を構成する前記複数の電極のうちの 1 つの電極の上方に開口を有し、前記 1 つの電極は前記開口を介して前記半導体層と電氣的に接続されている、請求項 1 3 に記載の光電変換素子。

[請求項15] 1 または複数の光電変換部を有する撮像素子がそれぞれ設けられた複数の画素を備え、

前記光電変換部は、

第 1 電極と、

前記第 1 電極に対向配置された第 2 電極と、

前記第 1 電極と前記第 2 電極との間に設けられ、フラーレンまたはフラーレン誘導体を含む光電変換層と、

前記第 1 電極と前記光電変換層との間に設けられ、前記第 1 電極の

仕事関数に対して 1 eV 以上深い HOMO 準位および 3.7 eV 以上 4.8 eV 以下の LUMO 準位を有する有機材料を含む第 1 の電荷ブロック層と、

前記第 1 の電荷ブロック層と前記光電変換層との間に設けられると共に、前記フラーレンまたはフラーレン誘導体を含む第 2 の電荷ブロック層と

を有する撮像装置。

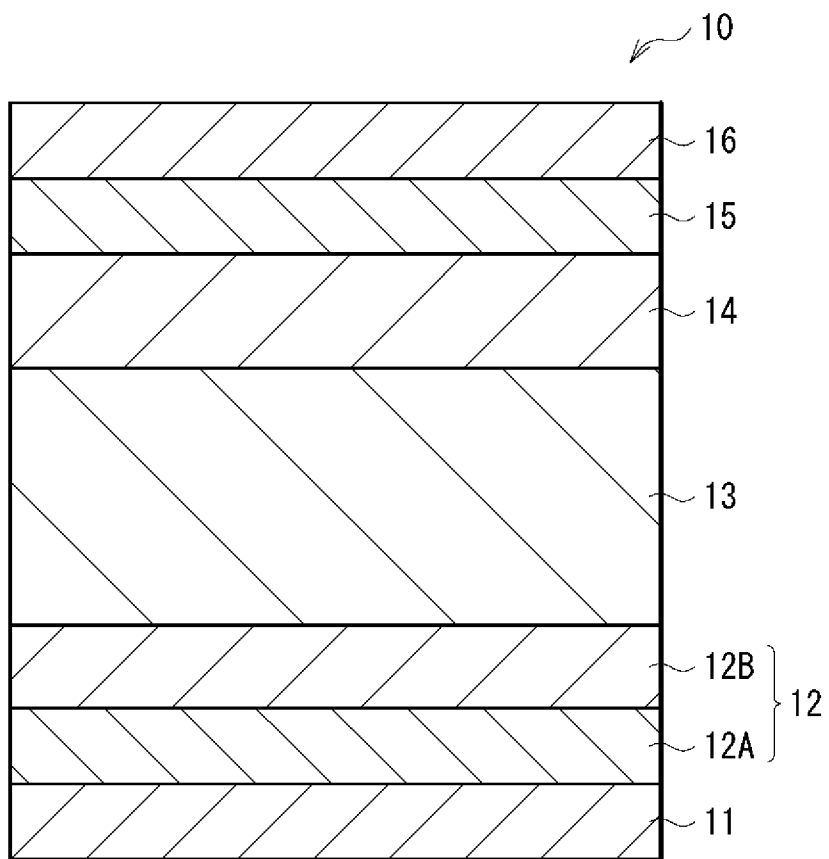
[請求項 16] 前記撮像素子は、前記 1 または複数の光電変換部とは異なる波長帯域の光電変換を行う 1 または複数の光電変換領域をさらに有する、請求項 15 に記載の撮像装置。

[請求項 17] 前記 1 または複数の光電変換領域は半導体基板に埋め込み形成され、

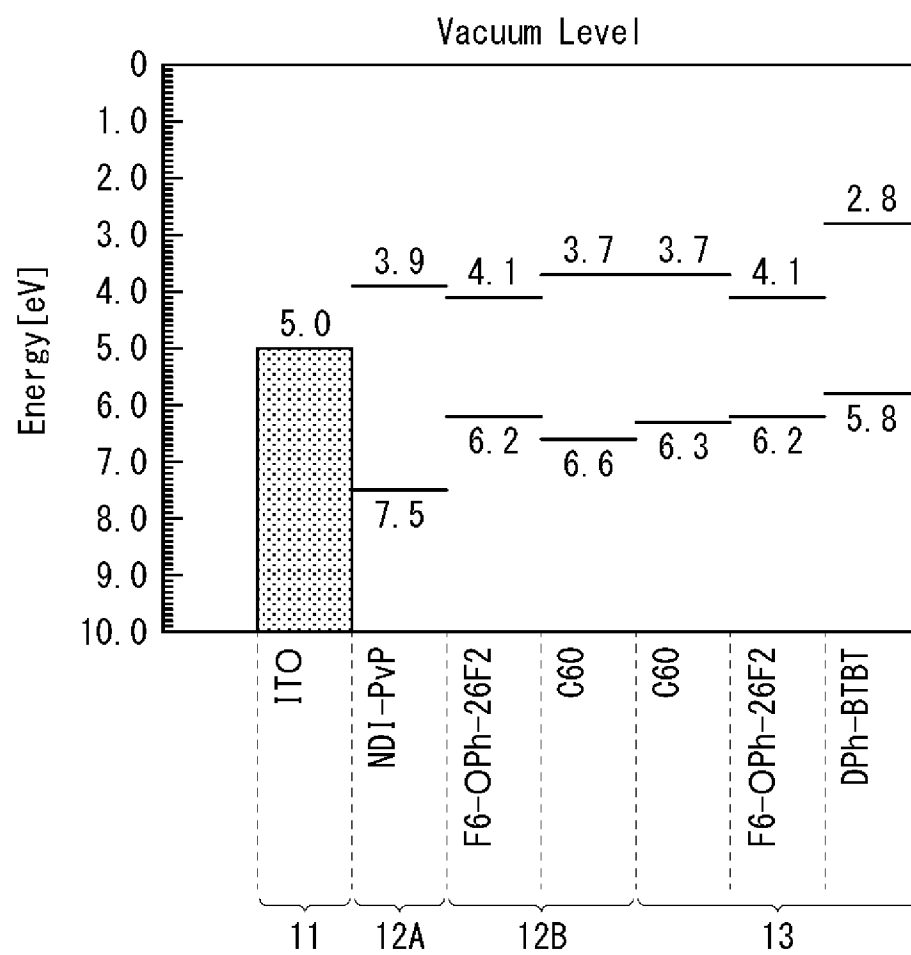
前記 1 または複数の光電変換部は前記半導体基板の光入射面側に配置されている、請求項 16 に記載の撮像装置。

[請求項 18] 前記半導体基板の前記光入射面とは反対側の面に多層配線層が形成されている、請求項 17 に記載の撮像装置。

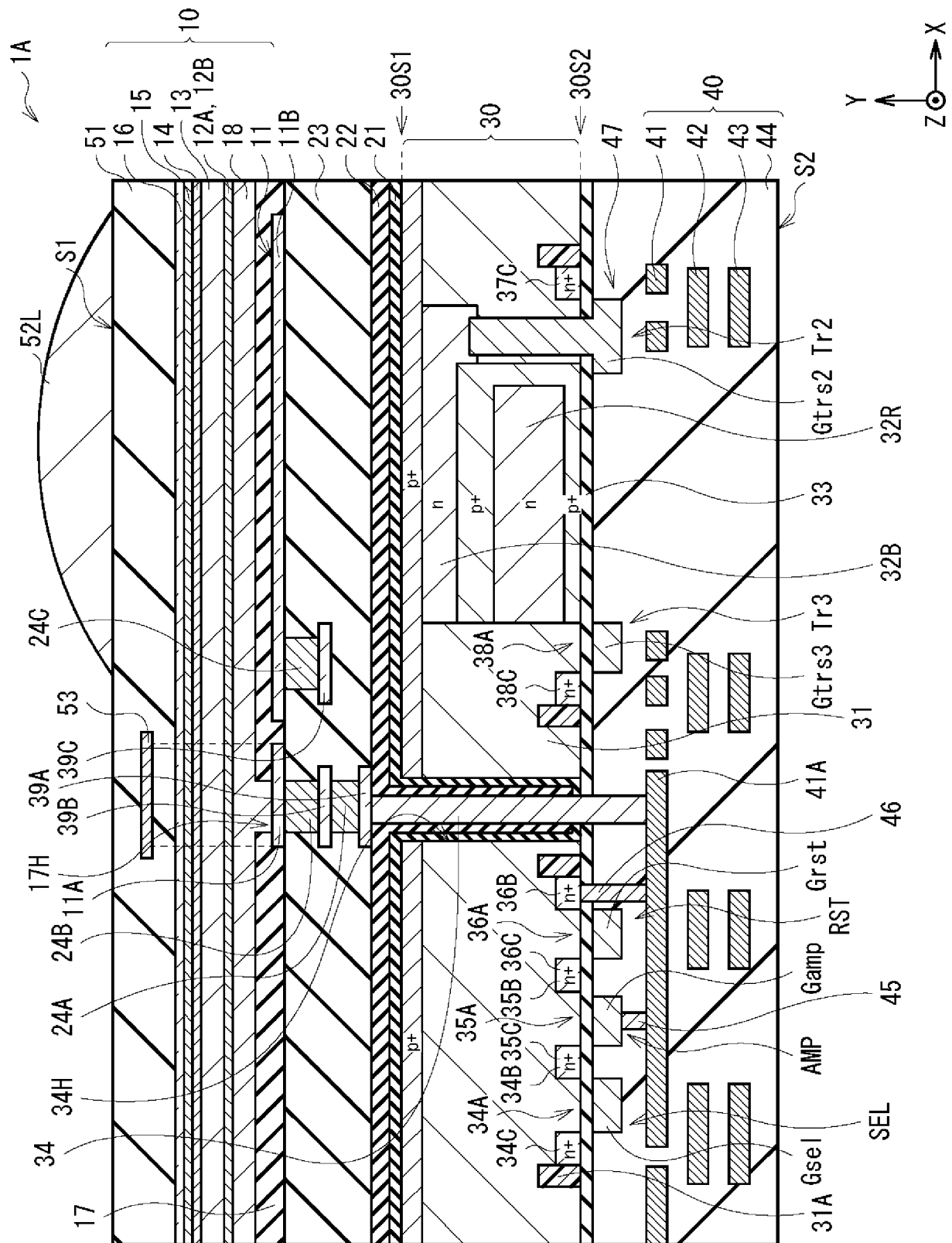
[図1]



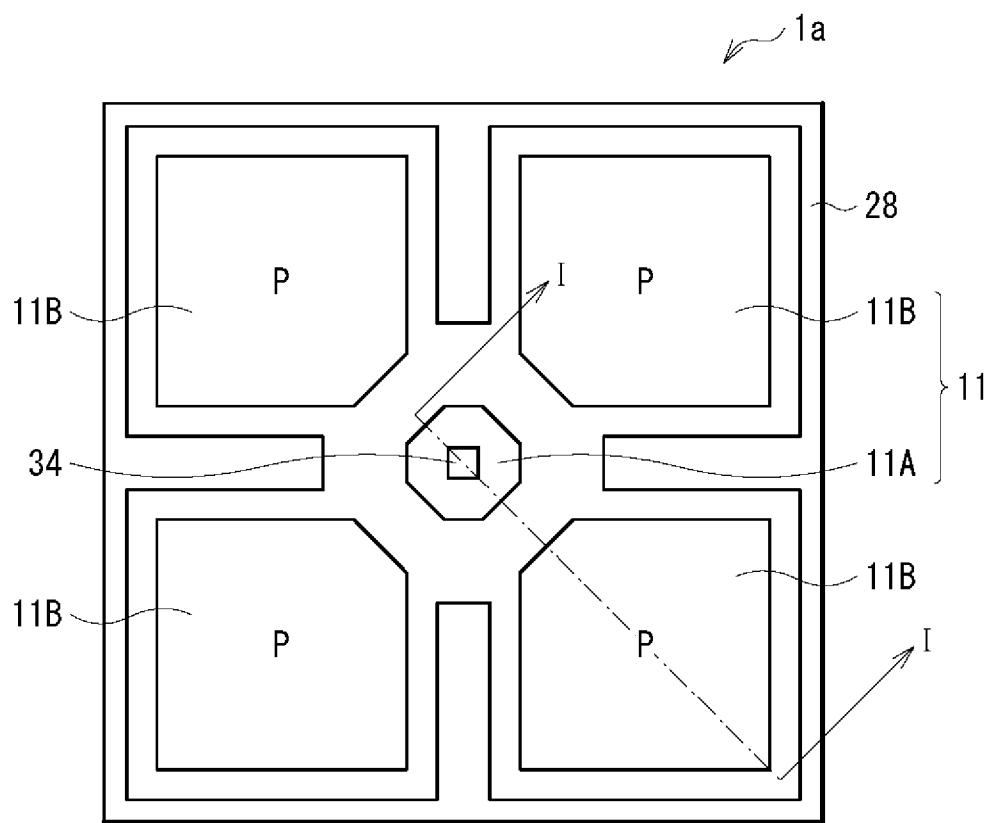
[図2]



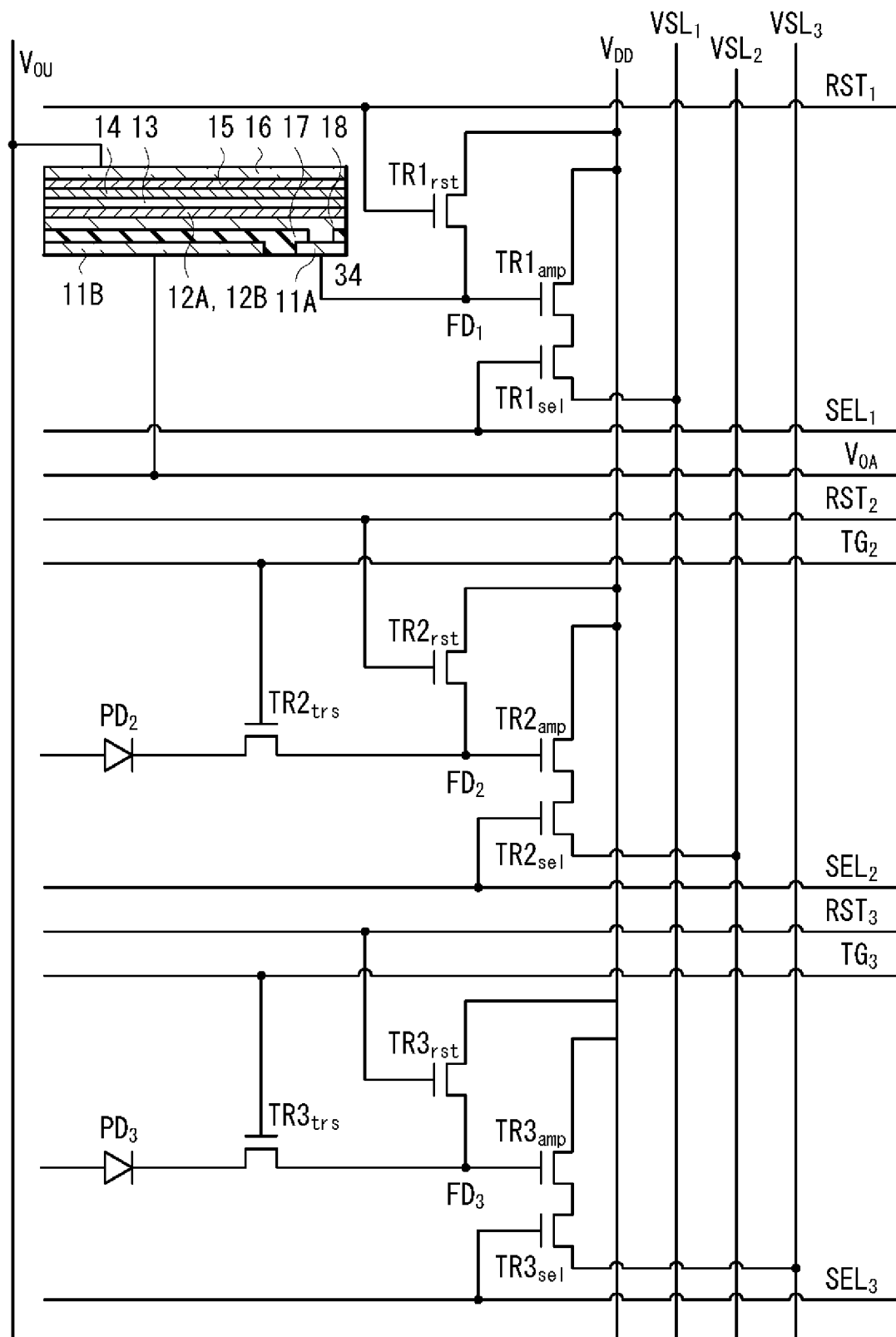
[図3]



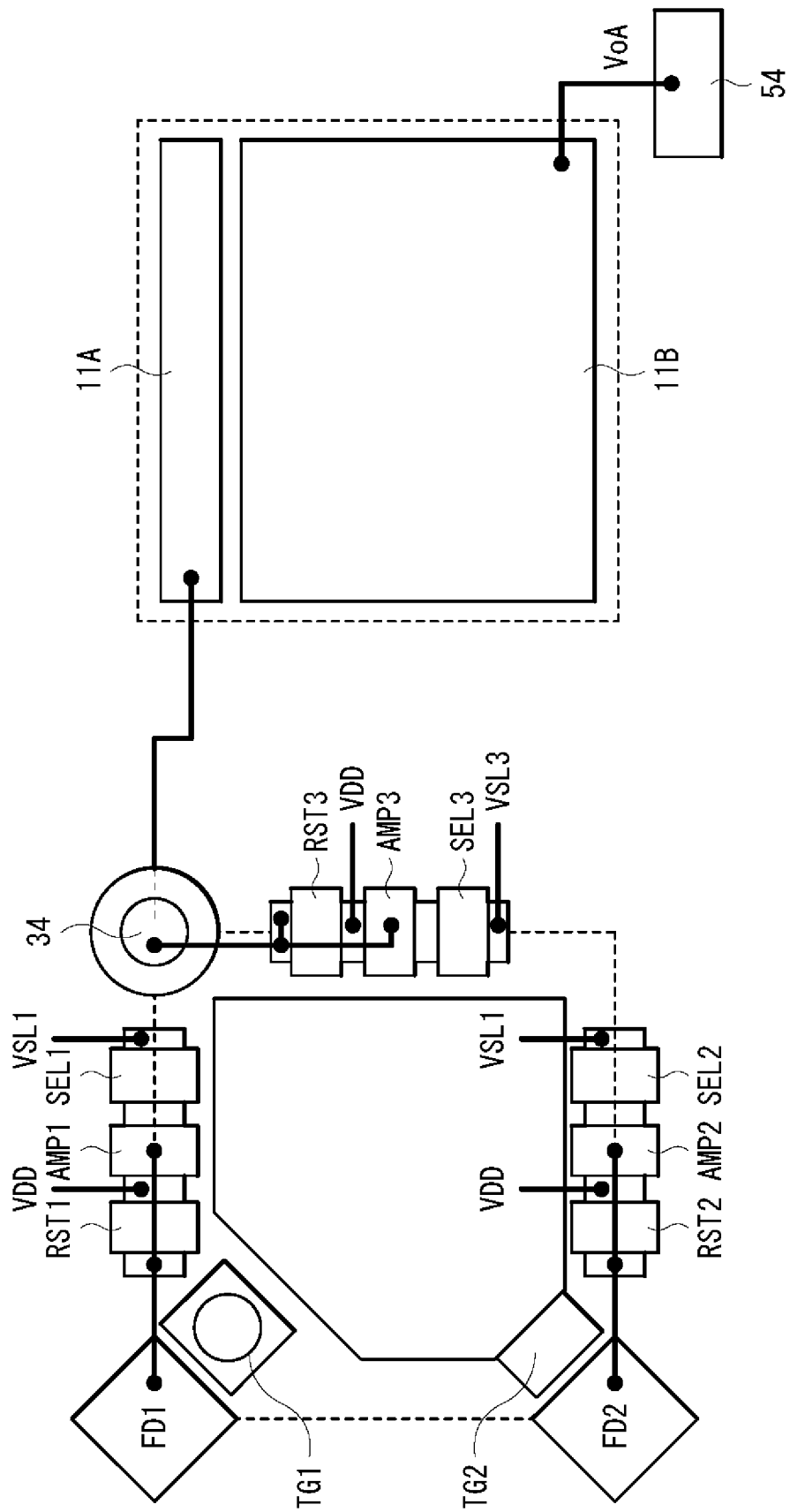
[図4]



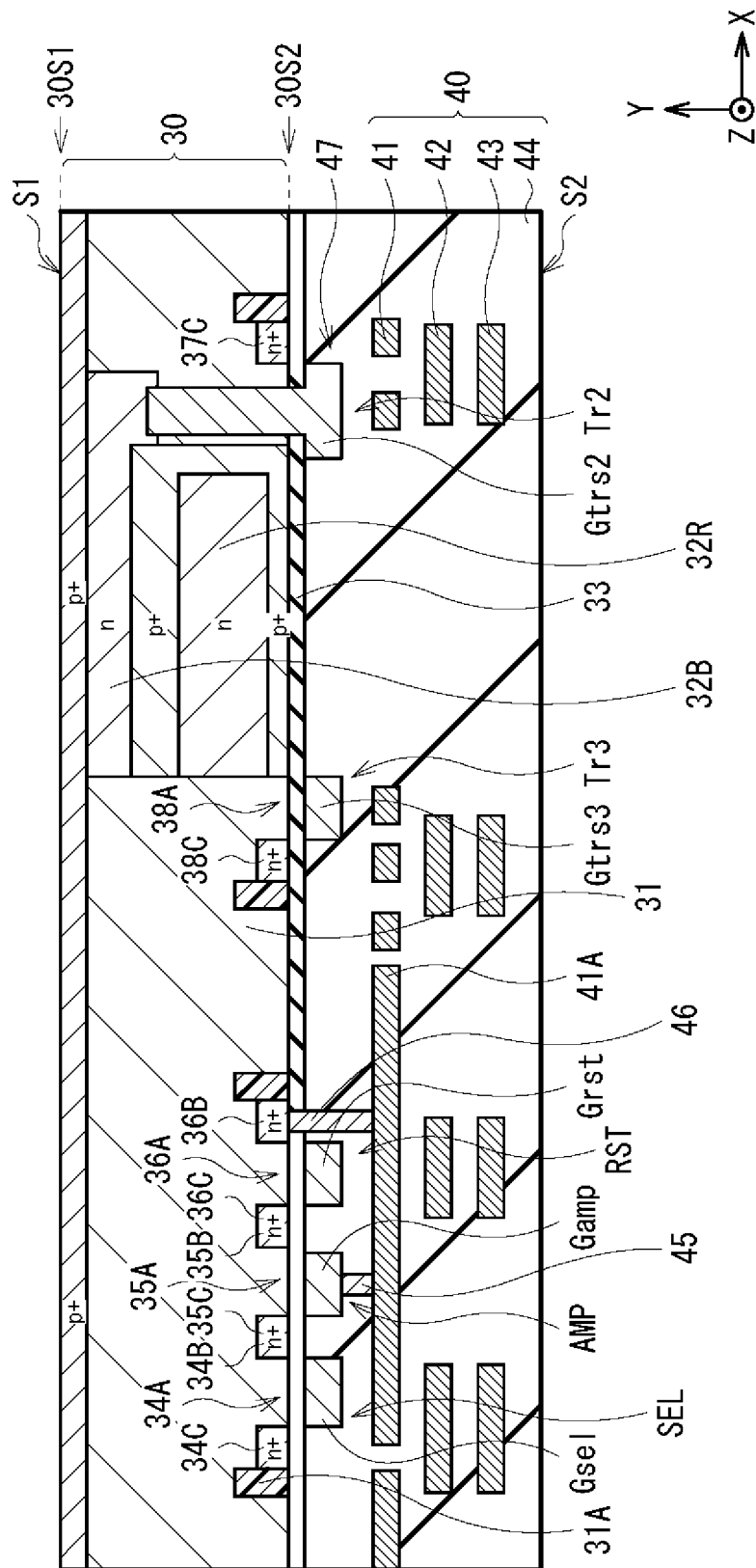
[図5]



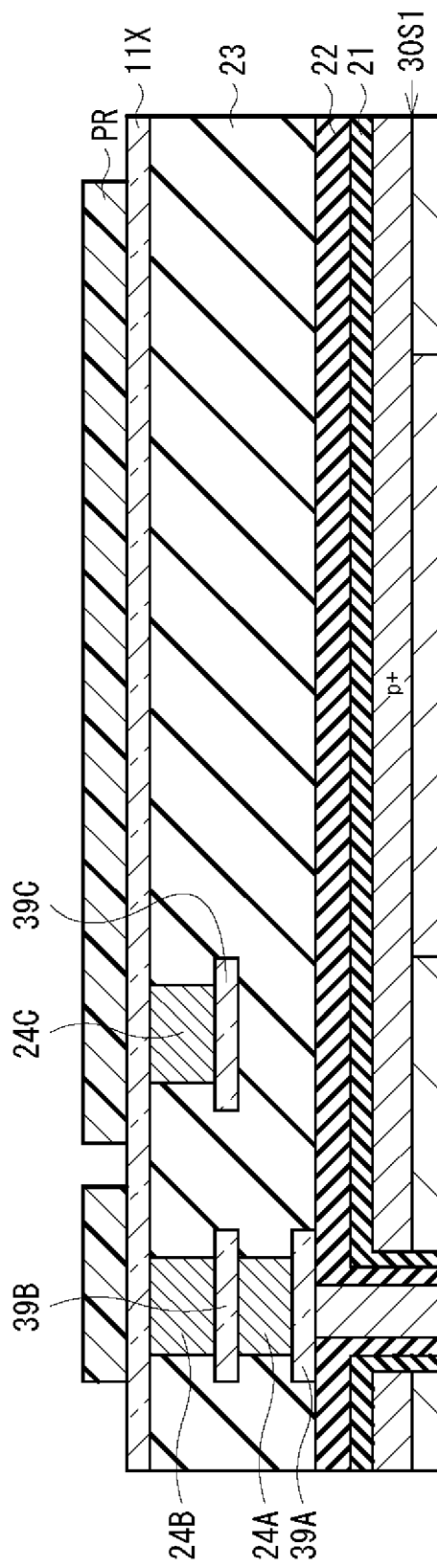
[図6]



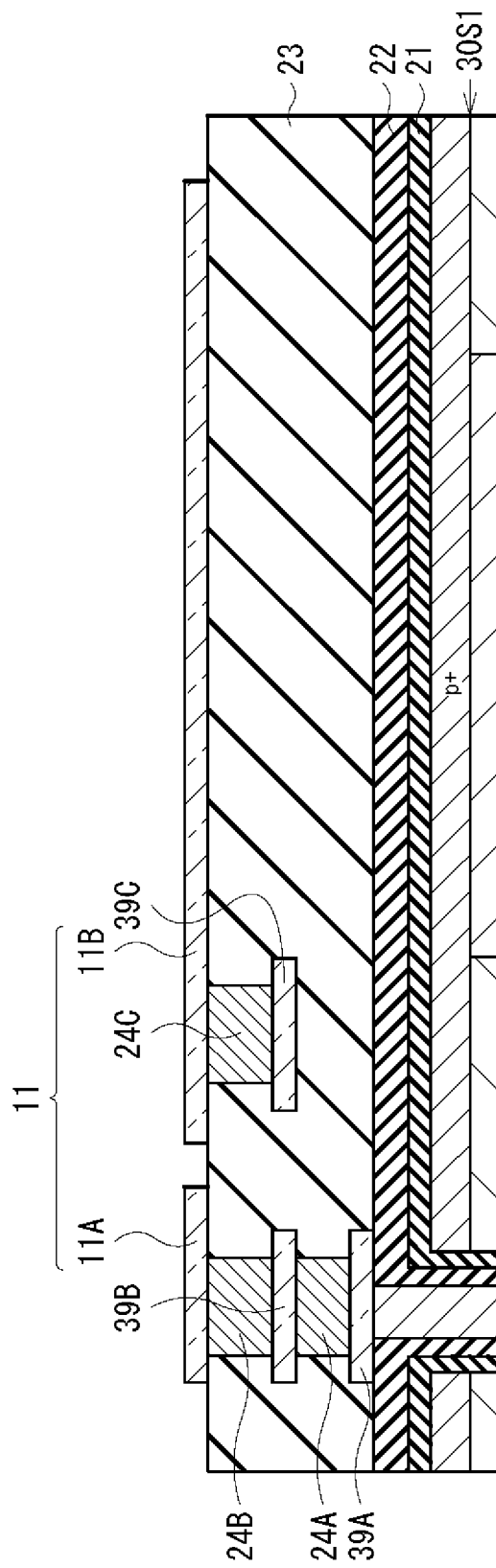
[図7]



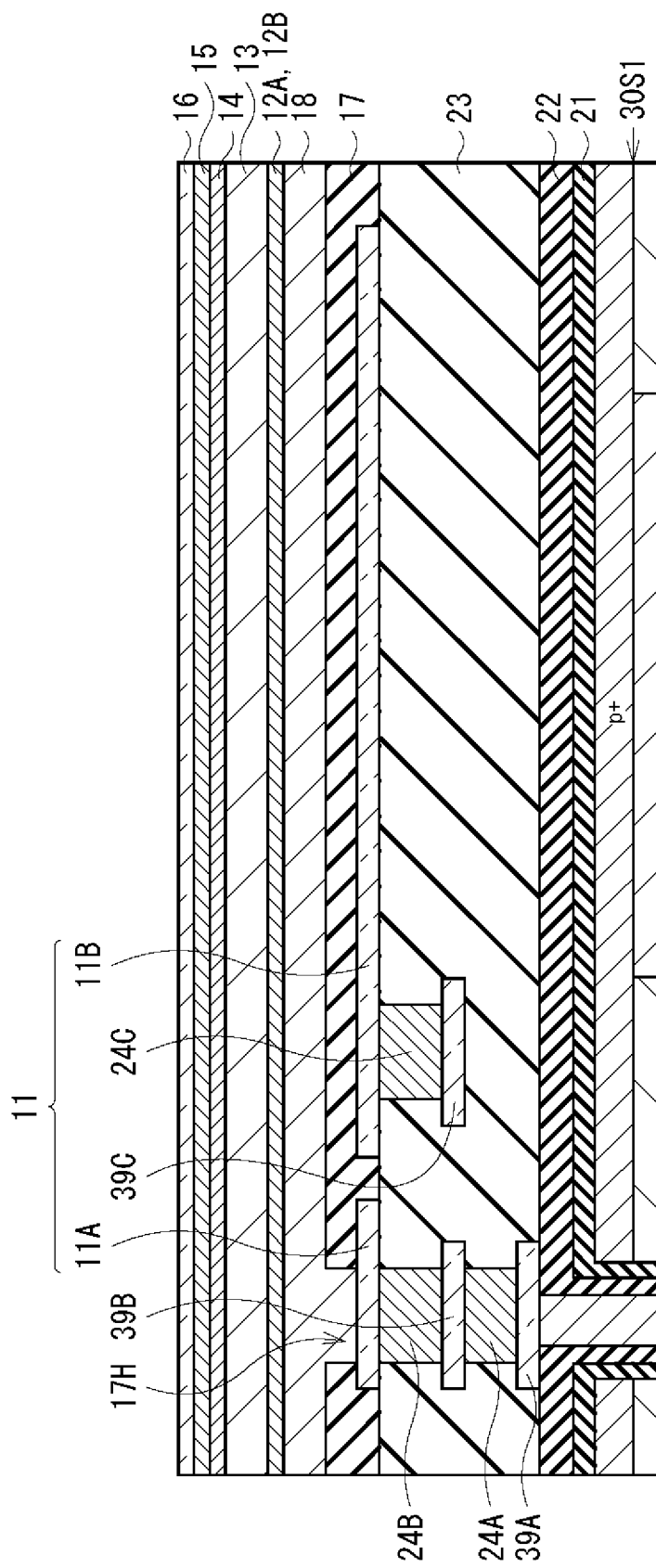
[図10]



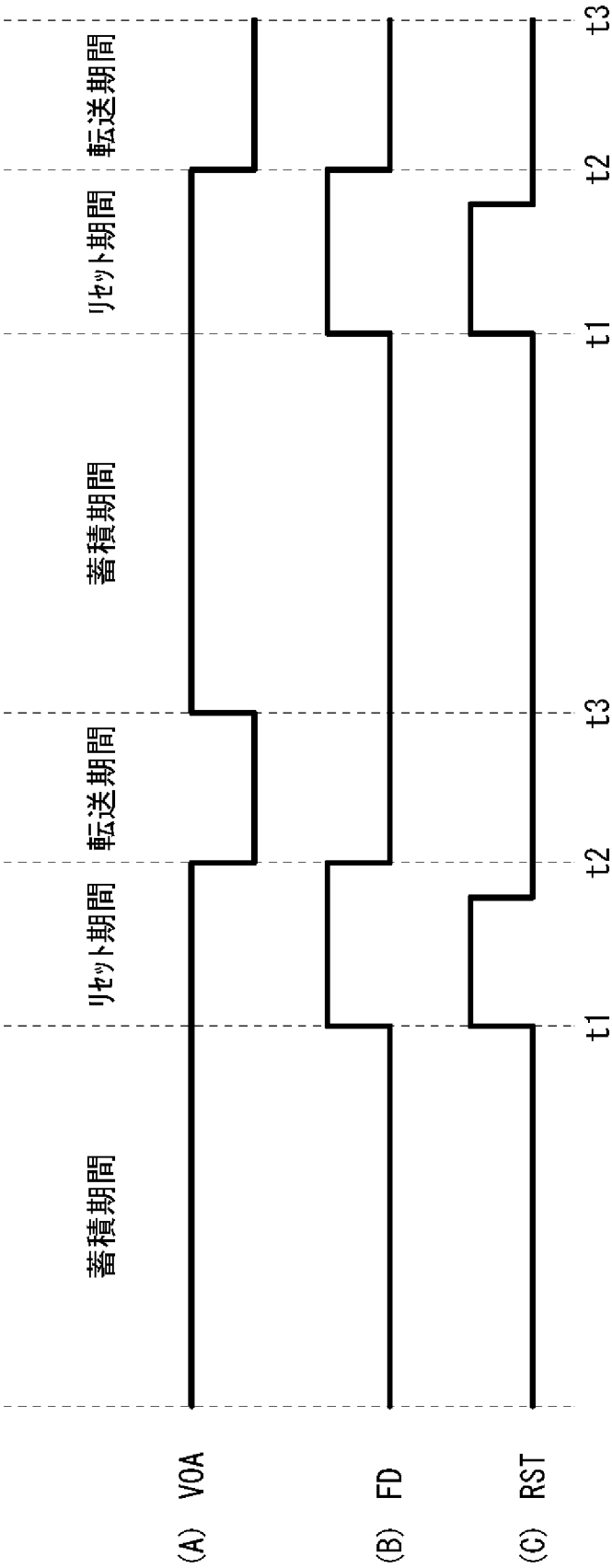
[図11]



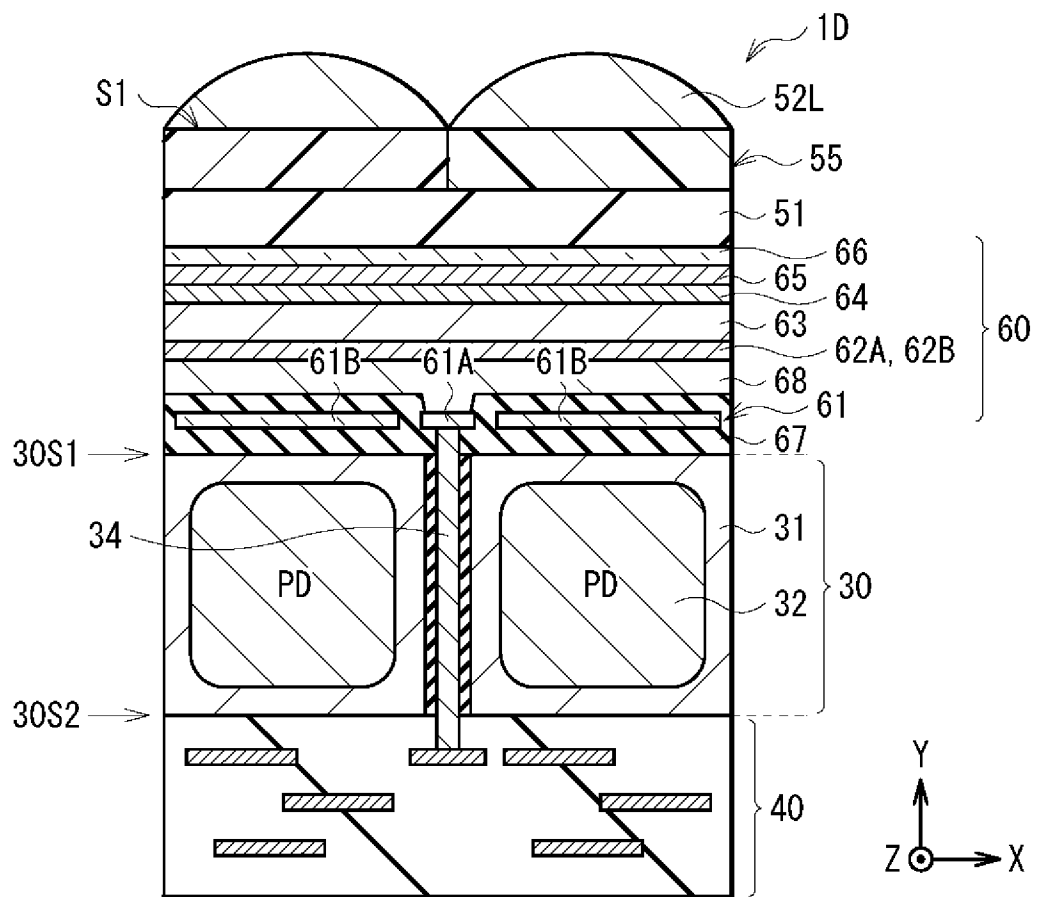
[図12]



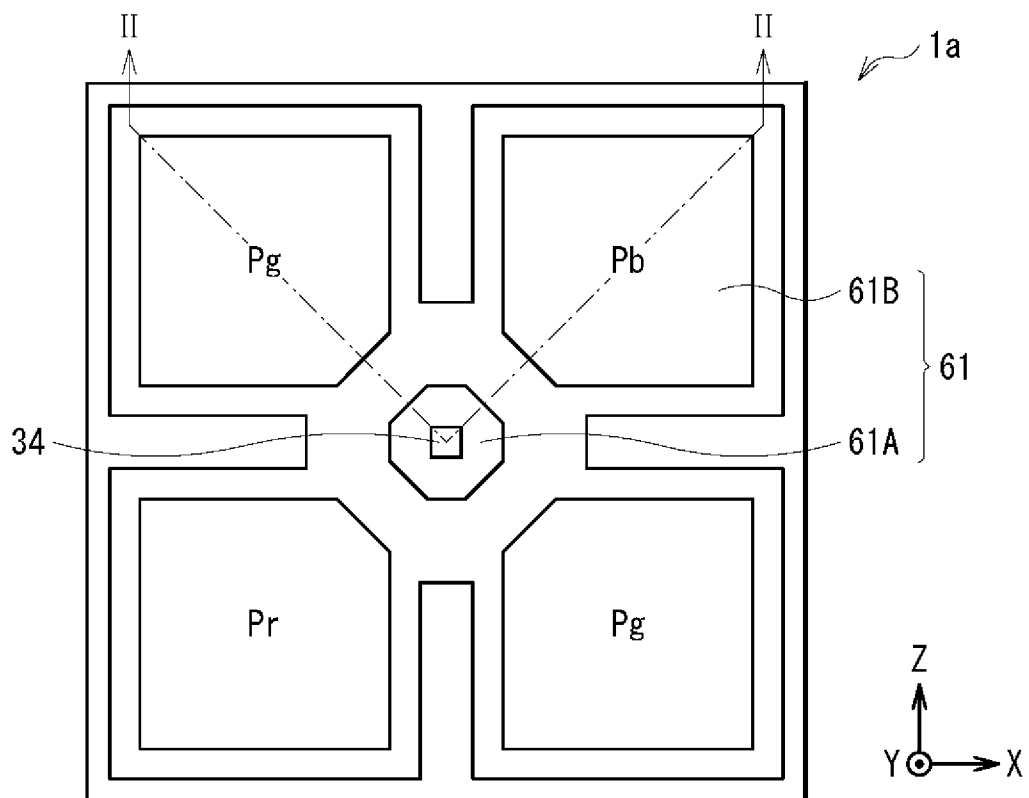
[図13]



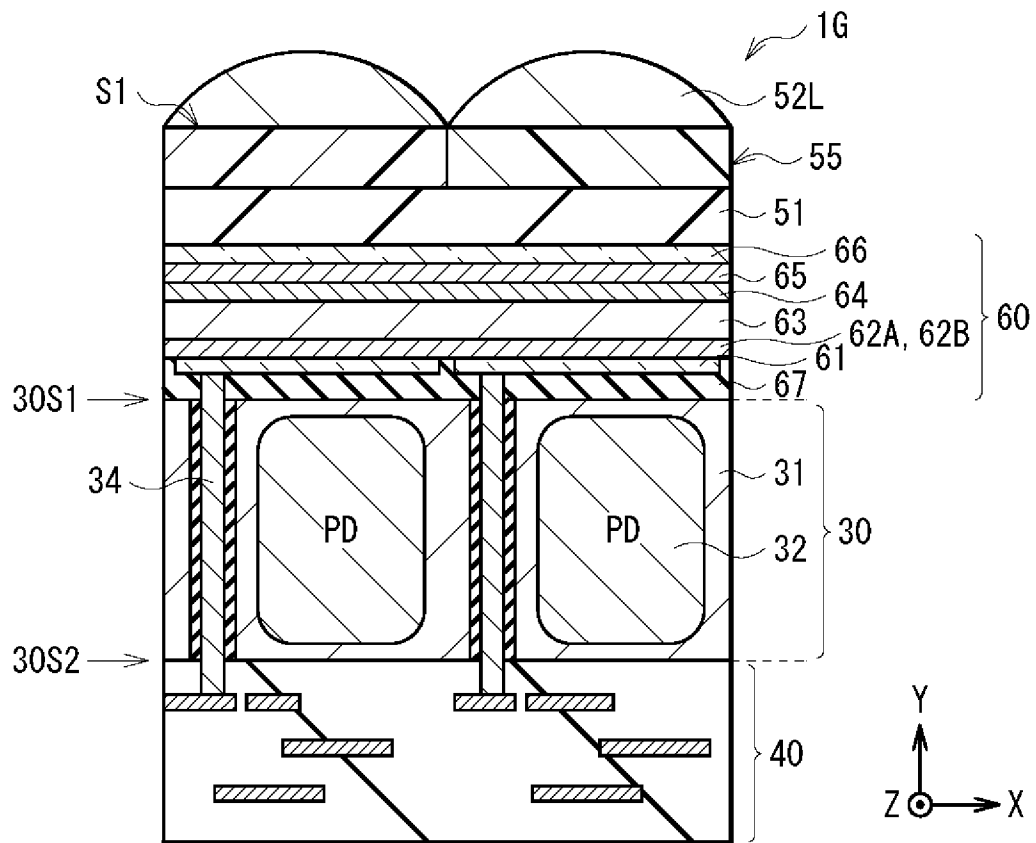
[図16A]



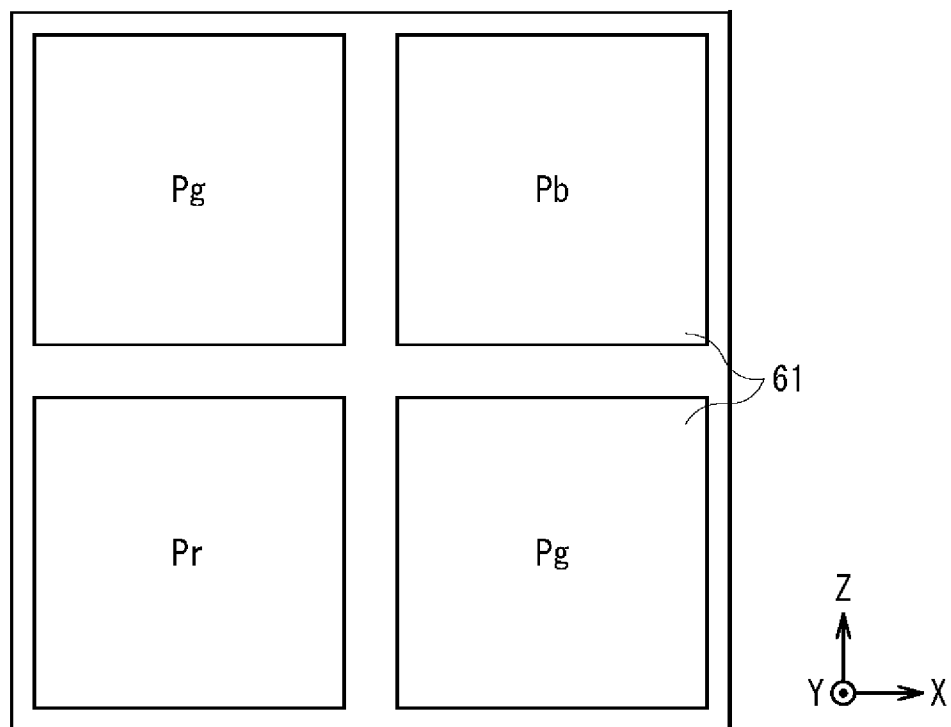
[図16B]



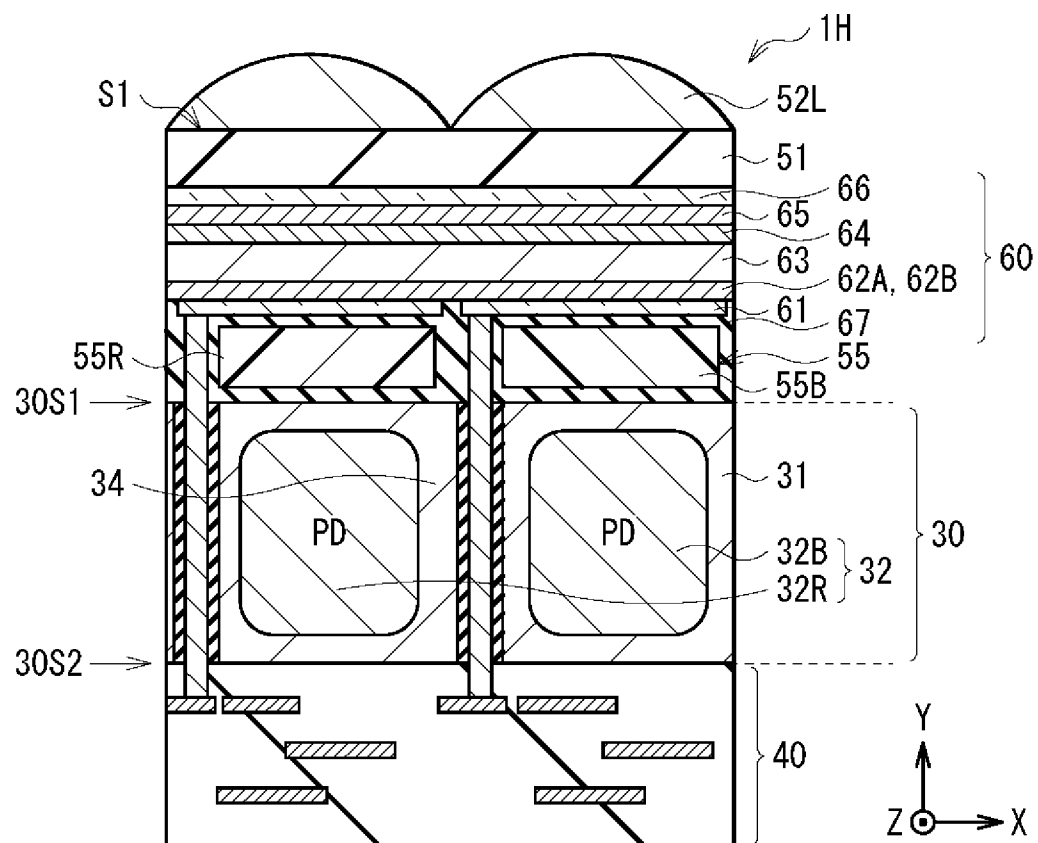
[図19A]



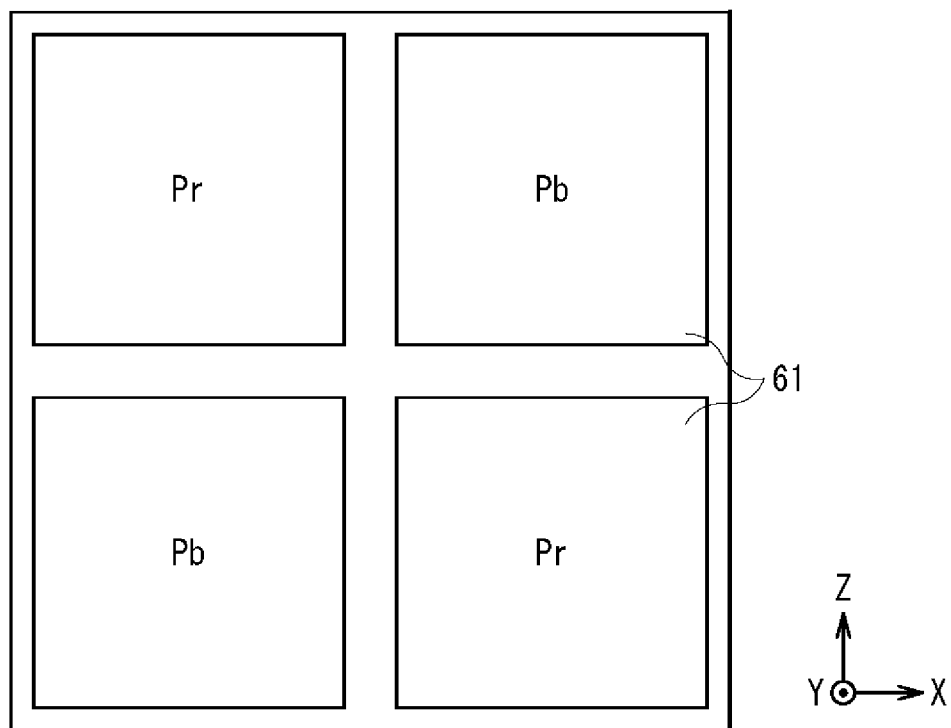
[図19B]



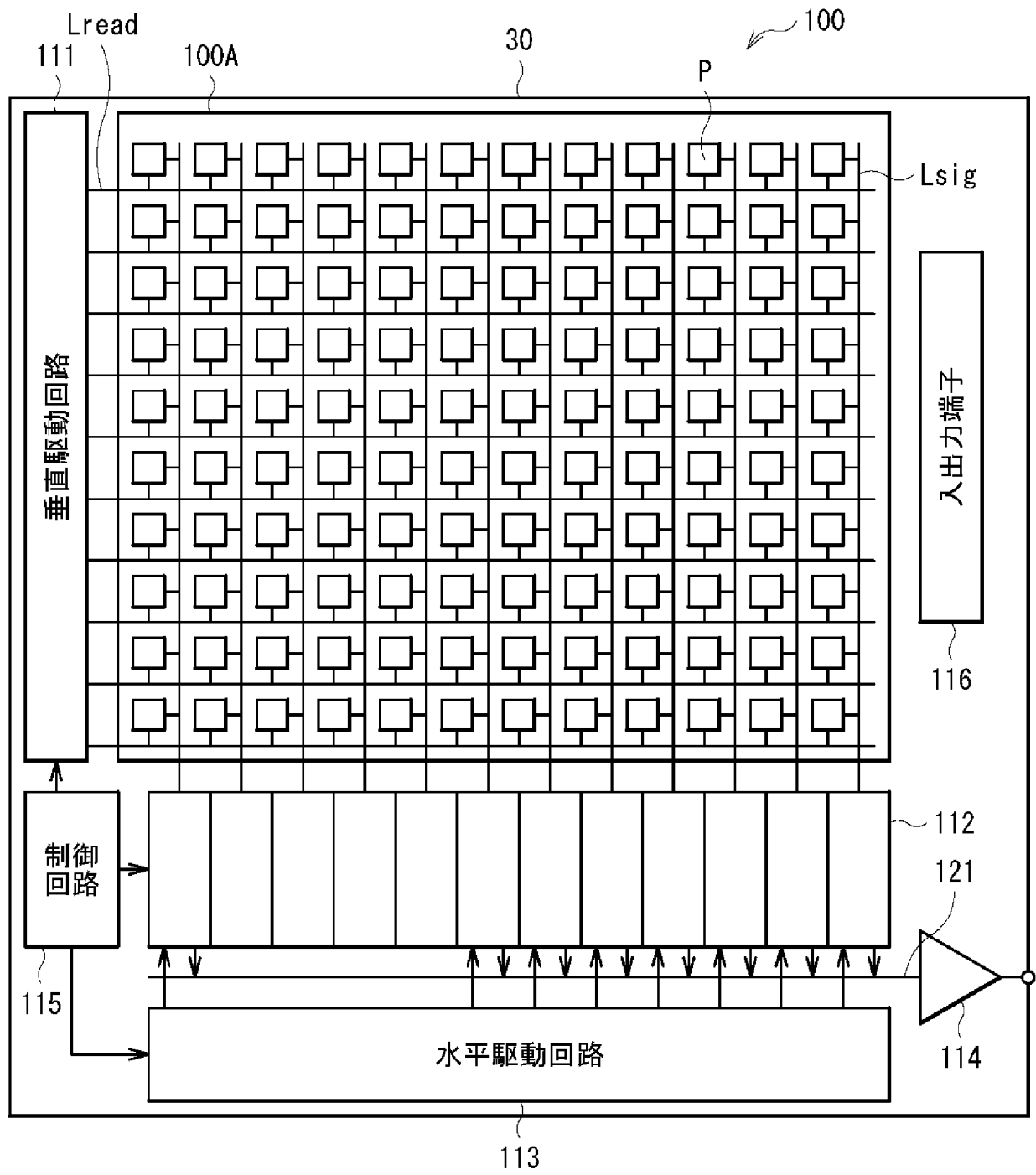
[図20A]



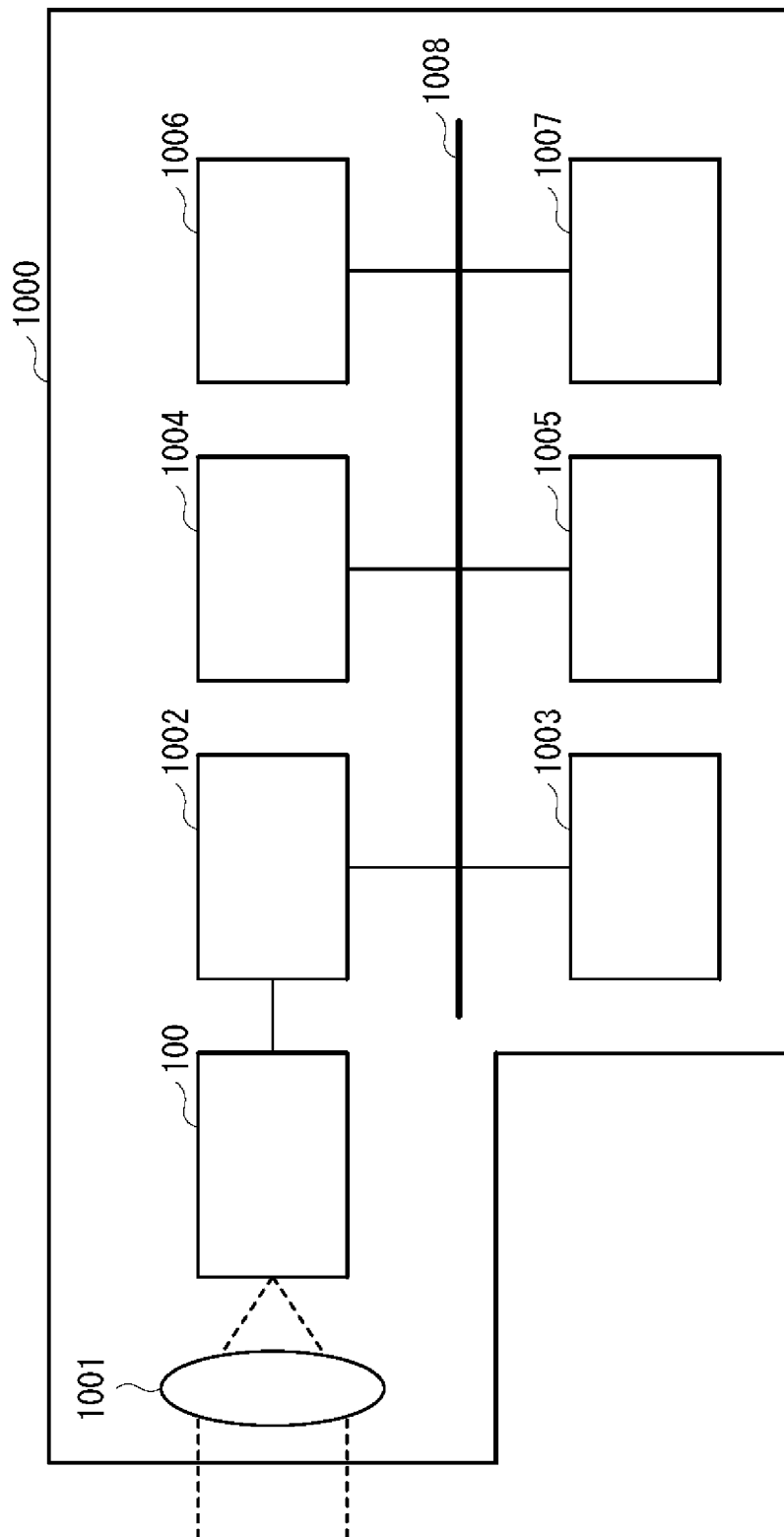
[図20B]



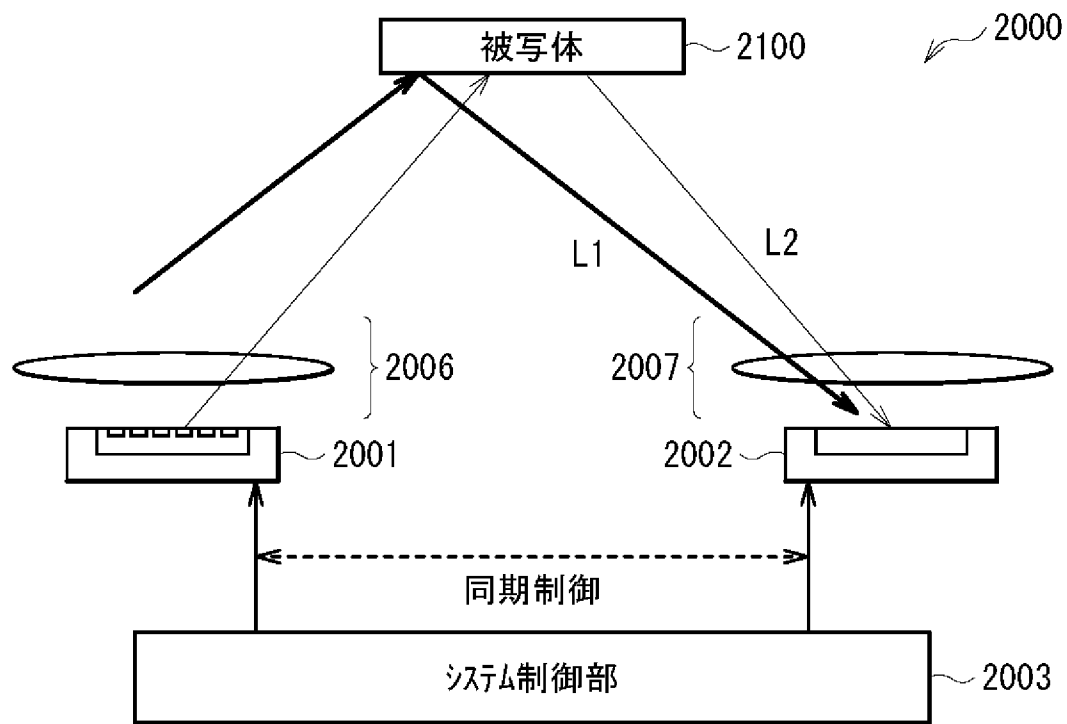
[図21]



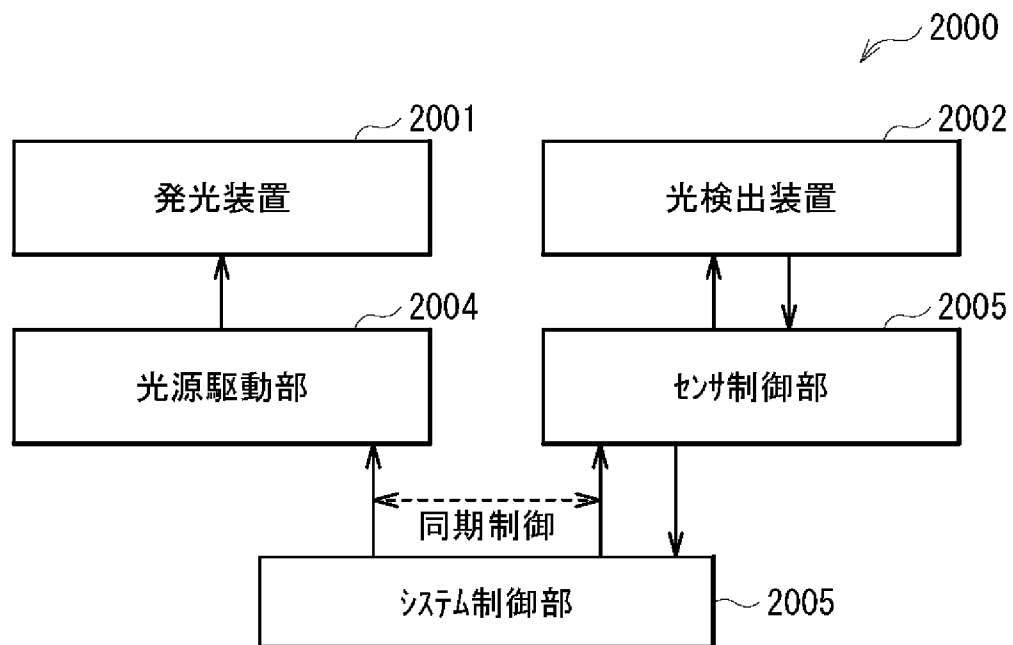
[図22]



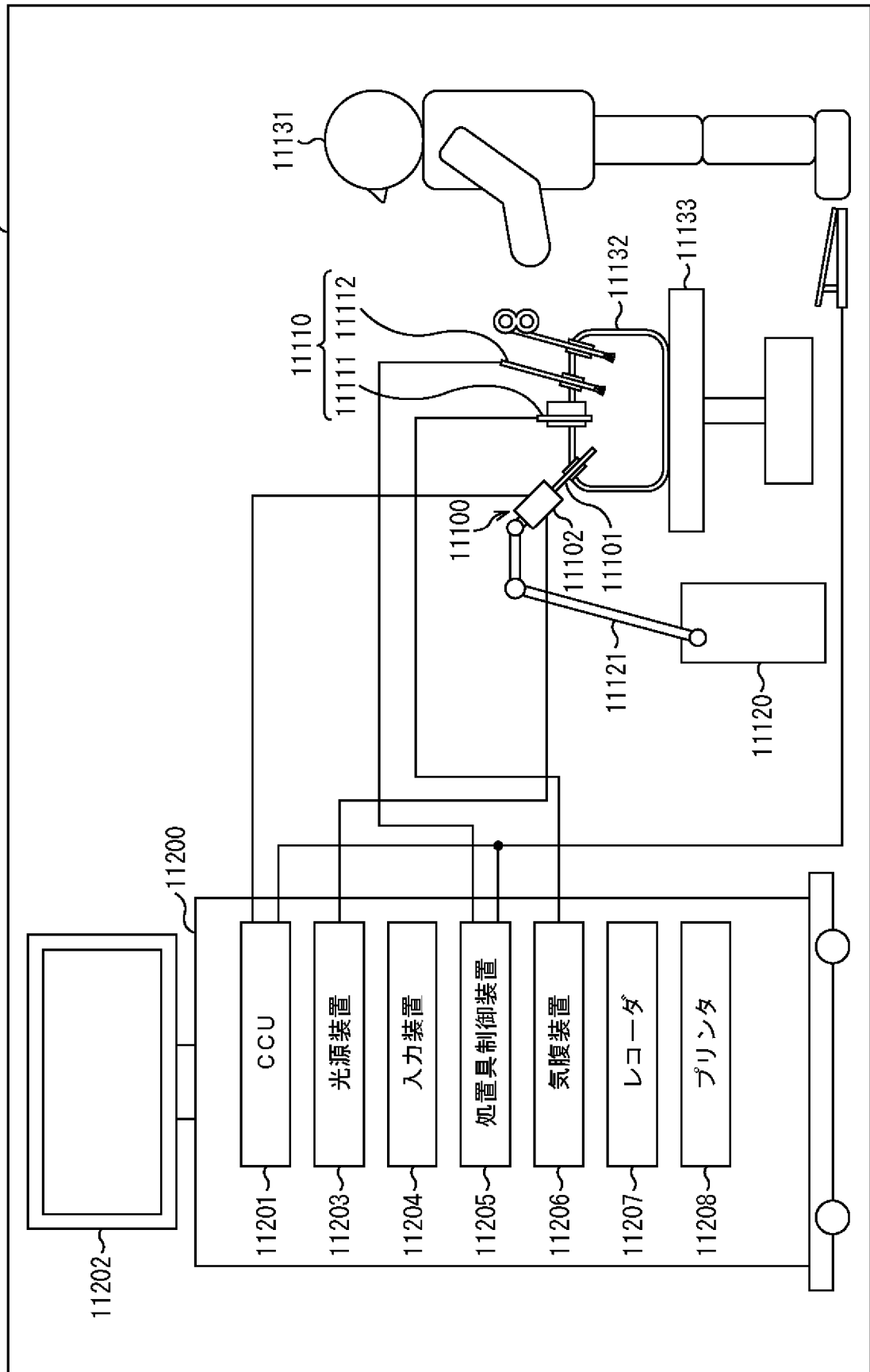
[図23A]



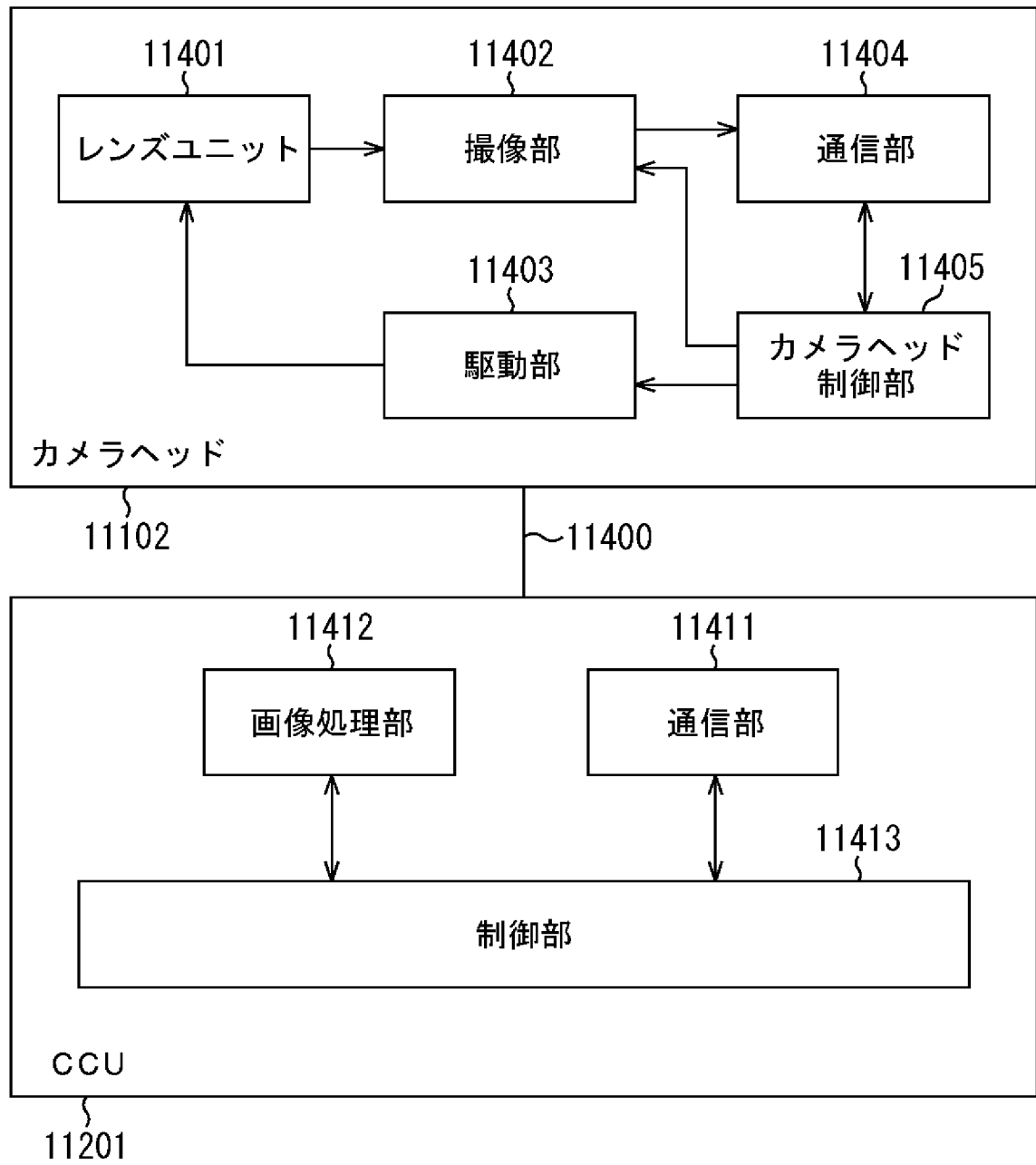
[図23B]



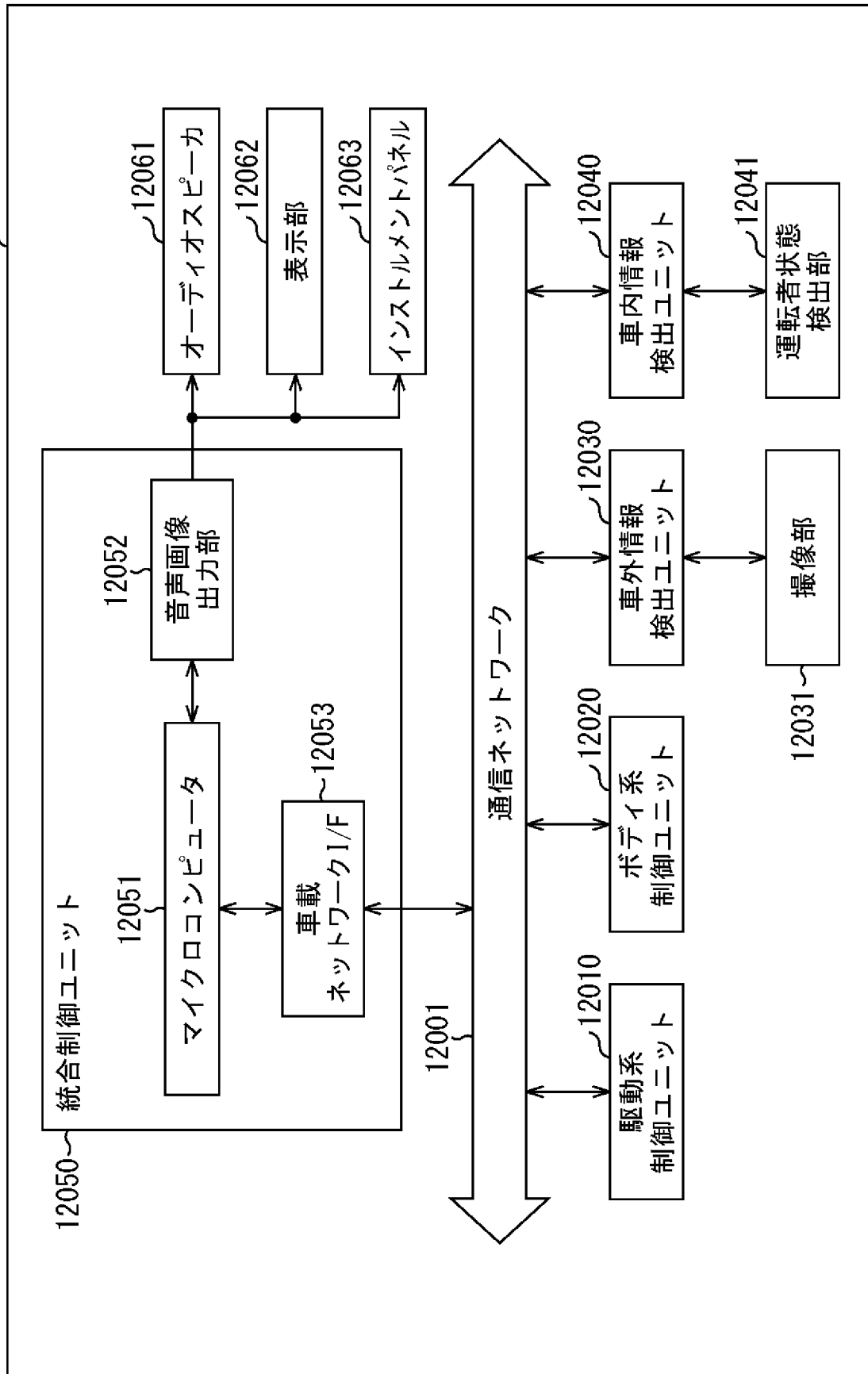
[図24]



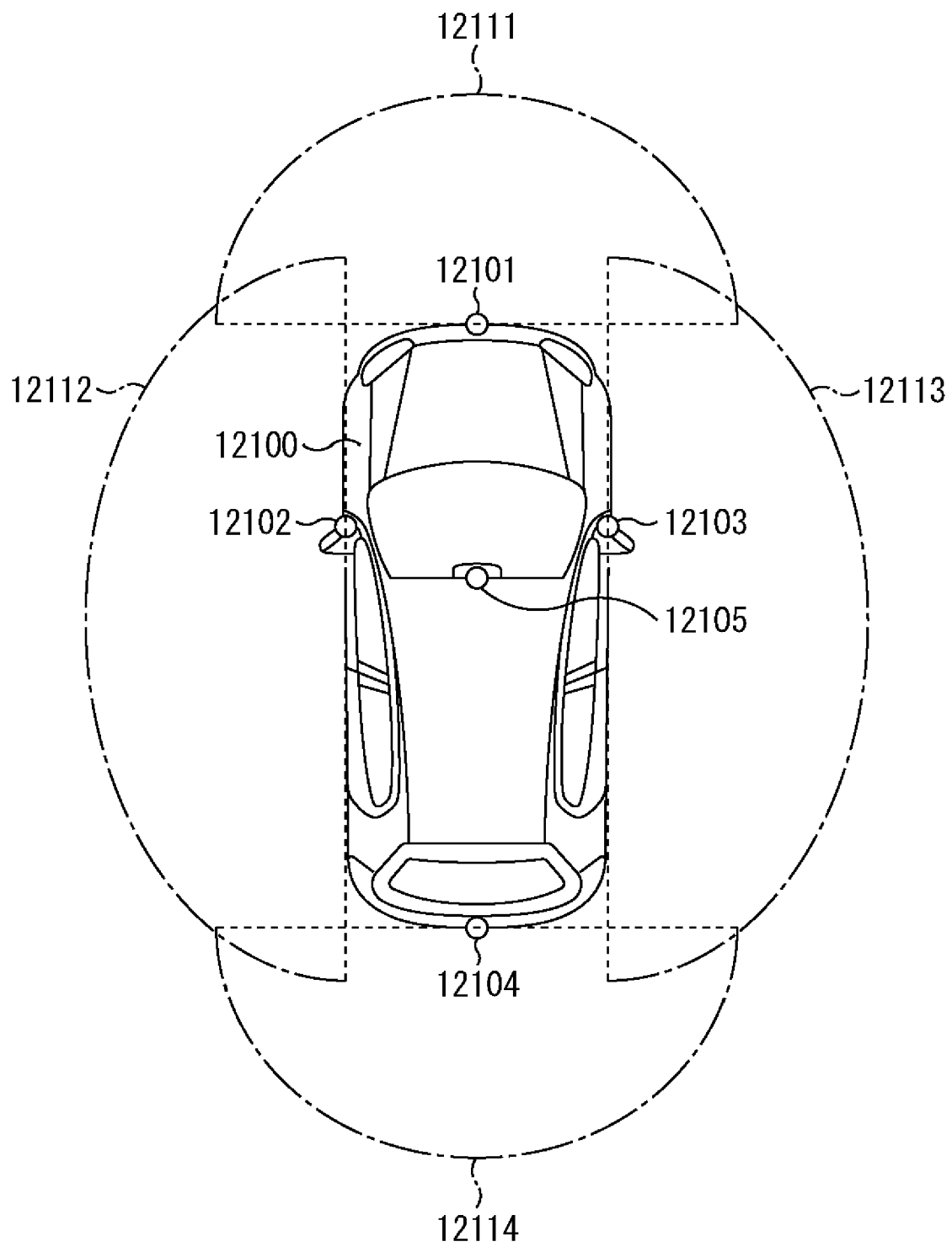
[図25]



[図26]



[図27]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/007406

A. CLASSIFICATION OF SUBJECT MATTER**H01L 51/42**(2006.01)i; **H01L 27/146**(2006.01)i; **H01L 27/30**(2006.01)i

FI: H01L31/08 T; H01L27/146 E; H01L27/30

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L51/42-51/48; H01L27/30

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2022
 Registered utility model specifications of Japan 1996-2022
 Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2015/0060775 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY, LTD.) 05 March 2015 (2015-03-05) paragraphs [0010]-[0048], fig. 1-4	1-18
Y	JP 2018-113489 A (PANASONIC IP MANAGEMENT CORP.) 19 July 2018 (2018-07-19) paragraph [0123], fig. 8	1-18
Y	WO 2020/027081 A1 (SONY CORP.) 06 February 2020 (2020-02-06) paragraphs [0015]-[0038], fig. 1	9, 13-14, 16-18
Y	JP 2009-231610 A (PIONEER ELECTRONIC CORP.) 08 October 2009 (2009-10-08) paragraphs [0033]-[0049], fig. 8-9	9

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

14 April 2022

Date of mailing of the international search report

10 May 2022

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2022/007406

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
US	2015/0060775	A1	05 March 2015	CN	104425717	A	
				KR	10-2015-0026833	A	
JP	2018-113489	A	19 July 2018	US	2018/0219047	A1	
				paragraphs [0227]-[0232], fig. 8			
				WO	2017/081831	A1	
				EP	3376543	A1	
				CN	107851652	A	
WO	2020/027081	A1	06 February 2020	US	2021/0265428	A1	
				paragraphs [0053]-[0076], fig. 1			
				CN	112514073	A	
				TW	202017164	A	
JP	2009-231610	A	08 October 2009	(Family: none)			

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 51/42(2006.01)i; H01L 27/146(2006.01)i; H01L 27/30(2006.01)i FI: H01L31/08 T; H01L27/146 E; H01L27/30														
B. 調査を行った分野														
調査を行った最小限資料（国際特許分類（IPC）） H01L51/42-51/48; H01L27/30														
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2022年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2022年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2022年</td> </tr> </table>			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2022年	日本国実用新案登録公報	1996-2022年	日本国登録実用新案公報	1994-2022年				
日本国実用新案公報	1922-1996年													
日本国公開実用新案公報	1971-2022年													
日本国実用新案登録公報	1996-2022年													
日本国登録実用新案公報	1994-2022年													
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）														
C. 関連すると認められる文献														
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
Y	US 2015/0060775 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY, LTD.) 05.03.2015 (2015-03-05) [0010] - [0048]、図1-4	1-18												
Y	JP 2018-113489 A (パナソニックIPマネジメント株式会社) 19.07.2018 (2018-07-19) [0123]、図8	1-18												
Y	WO 2020/027081 A1 (ソニー株式会社) 06.02.2020 (2020-02-06) [0015] - [0038]、図1	9, 13-14, 16-18												
Y	JP 2009-231610 A (パイオニア株式会社) 08.10.2009 (2009-10-08) [0033] - [0049]、図8-9	9												
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>"A" 特に関連のある文献ではなく、一般的な技術水準を示すもの</td> <td>"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>"Y" 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>"&" 同一パテントファミリー文献</td> </tr> <tr> <td>"O" 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	"A" 特に関連のある文献ではなく、一般的な技術水準を示すもの	"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	"Y" 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	"&" 同一パテントファミリー文献	"O" 口頭による開示、使用、展示等に言及する文献		"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 引用文献のカテゴリー	"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
"A" 特に関連のある文献ではなく、一般的な技術水準を示すもの	"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	"Y" 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	"&" 同一パテントファミリー文献													
"O" 口頭による開示、使用、展示等に言及する文献														
"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日 14.04.2022	国際調査報告の発送日 10.05.2022													
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 佐竹 政彦 2K 2911 電話番号 03-3581-1101 内線 3255													

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2022/007406

引用文献			公表日	パテントファミリー文献			公表日
US	2015/0060775	A1	05.03.2015	CN	104425717	A	
				KR	10-2015-0026833	A	
JP	2018-113489	A	19.07.2018	US	2018/0219047	A1	
				[0 2 2 7] - [0 2 3 2]、図 8			
				WO	2017/081831	A1	
				EP	3376543	A1	
				CN	107851652	A	
WO	2020/027081	A1	06.02.2020	US	2021/0265428	A1	
				[0 0 5 3] - [0 0 7 6]、図 1			
				CN	112514073	A	
				TW	202017164	A	
JP	2009-231610	A	08.10.2009	(ファミリーなし)			