

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2003 年 5 月 15 日 (15.05.2003)

PCT

(10) 国際公開番号
WO 03/040902 A1

(51) 国際特許分類⁷: G06F 3/00, H03K 19/00, H04L 7/04

(21) 国際出願番号: PCT/JP01/09731

(22) 国際出願日: 2001 年 11 月 7 日 (07.11.2001)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人 (米国を除く全ての指定国について): 株式会社日立製作所 (HITACHI, LTD.) [JP/JP]; 〒101-8010 東京都千代田区神田駿河台四丁目 6 番地 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 佐藤高史

(SATO, Takashi) [JP/JP]. リー・ピーター (LEE, Peter) [US/JP]. 横溝剛一 (YOKOMIZO, Goichi) [JP/JP]. 新美敏男 (SHINMI, Toshio) [JP/JP]. 大竹成典 (OTAKE, Shigenori) [JP/JP]; 〒187-8588 東京都小平市上水本町五丁目 20 番 1 号 株式会社日立製作所 半導体グループ内 Tokyo (JP).

(74) 代理人: 弁理士 徳若光政 (TOKUWAKA, Kousei); 〒181-0001 東京都三鷹市井の頭 5 丁目 16 番 8 号 Tokyo (JP).

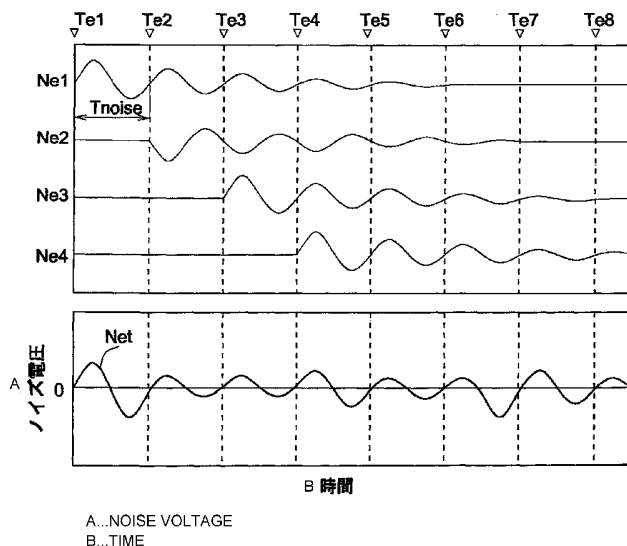
(81) 指定国 (国内): CN, JP, KR, SG, US.

(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).

[続葉有]

(54) Title: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE, SYSTEM AND SIGNAL TRANSMISSION METHOD

(54) 発明の名称: 半導体集積回路装置とシステム及び信号伝送方法



(57) Abstract: At the input terminal of a second circuit, there is provided a time constant circuit which can be so adjusted that the period (Tnoise) of a noise to occur on the power supply line of a first circuit may correspond to either the periods (Te1 to Te8) of clock signals or their integral multiples when a signal of a plurality of bits to be transmitted in synchronism with the clock signal is output from the output circuit of the first circuit and captured by the input circuit of the second circuit.

(57) 要約:

クロック信号に同期して伝送される複数ビットからなる信号を第 1 回路の出力回路から出力し、それを第 2 回路の入力回路で取り込むときに上記第 1 回路の電源供給線に発生するノイズの周期 Tnoise が上記クロック信号の周期 Te1 ~ Te8 又はその整数倍に対応したものとなるように調整可能とされた時定数回路を上記第 2 回路の入力端子に設ける。



添付公開書類：
— 国際調査報告書

2文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

半導体集積回路装置とシステム及び信号伝送方法

05 技術分野

この発明は、半導体集積回路装置とシステム及び信号伝送方法に関し、例えば、マイクロプロセッサや組み込みマイクロコンピュータ（MPU）を用いるシステムに利用して有効な技術に関するものである。

10 背景技術

例えば、MPU（マイクロプロセッサユニット）－DRAM（ダイナミック・ランダム・アクセス・メモリ）間の代表的な高速インタフェースとして、LVTTTLやSSTL(Stub Series Terminated Logic)が用いられている（参考文献：「ポストPC100時代のボード設計」、日経マイクロデバイス1996年6月など）。こうしたLSIにおいては、出力バッファはCMOS形式であり、出力データの論理値をロウレベル（以下、'L'と略す）→ハイレベル（以下、'H'と略す）または'H'→'L'へ切替える際に、データを受信する側のLSIの入力容量やLSI間を結ぶ配線容量を充放電する。

20 こうした出力バッファでの電流の変化が、パッケージ等のインダクタンスを流れると、同時切替えノイズ（Simultaneous Switching Noise）とよばれる電源ノイズが生じることが知られている。電源ノイズは、上記出力バッファにより伝送される信号波形に重畳されるため、高速な伝送を行うためにはノイズを小さく抑える必要がある。

25 ノイズ低減のため、以下に示したような対策が一般に行われている（参考文献：Ron. K Poon、'Computer circuits electrical design'

、第8章、Prentice-Hall、1995；特開平6-132807号公報「出力バッファ能力制御回路」など）。

1. 伝送する信号本数あたりの電源ペア数を増加させて、電流供給経路上のインダクタンスを低下させる

05 2. BGA (Ball Grid Array)等本質的にインダクタンスが小さいパッケージを用いる

3. 出力バッファの駆動能力を制御可能とする

しかし、1. の対策では、パッケージのピン数増加（これはすなわちパッケージコストの増加となる）が問題となる。また、2. の対策もやはりパッケージコストが高くなる点が問題である。3. のように適切な駆動能力を選択すれば、インピーダンス整合により波形が良好になりかつ電流変化量が抑えられてノイズピーク値は減少する。しかし、同時切替えノイズがなくなるわけではないので、データ伝送の電圧振幅が小さくなればこれは再び問題になり、ノイズの観点からの解決には至っていない。

15

したがって、本発明は、マルチチップモジュール（MCM）やプリント基板、またはLSI内部のIPモジュール間等での高速データ伝送において、耐ノイズ性が高くシステムに見合った高速なデータ伝送を可能とする半導体集積回路装置、システム及び信号伝送方法を提供することを目的としている。この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

20

発明の開示

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、第1回路の出力回路と第2回路の入力回路に電源供給線から動作電圧を供給し、クロック信号に同期し

25

て伝送される複数ビットからなる信号を第 1 回路の出力回路から出力し、それを第 2 回路の入力回路で取り込むときに上記電源供給線に発生するノイズの周期が上記クロック信号の周期又はその整数倍に対応したものとなるように調整可能とされた時定数回路を上記入力回路の入力端子
05 に設ける。

図面の簡単な説明

- 第 1 図は、本発明に係る信号伝送方法の一実施例を説明するためのタイミング図であり、
- 10 第 2 図は、本発明に係る信号伝送方法の他の一実施例を説明するためのタイミング図であり、
- 第 3 図は、この発明を説明するための波形図であり、
- 第 4 図は、この発明が適用されたデータ伝送システムの一実施例を示す構成図であり、
- 15 第 5 図は、この発明が適用されたデータ伝送システムの一実施例を示すブロック図であり、
- 第 6 図は、本発明を説明するためのシミュレーションモデルの等価回路図であり、
- 第 7 図は、本発明を説明するためのシミュレーションモデルに対応した周波数とノイズ電圧を説明するための特性図であり、
- 20 第 8 図は、本発明を説明するためのシミュレーションモデルに対応した周波数とノイズ電圧を説明するための特性図であり、
- 第 9 図は、本発明を説明するためのシミュレーションモデルに対応した周波数とノイズ電圧を説明するための特性図であり、
- 25 第 10 図は、本発明を説明するためのノイズ波形図であり、
- 第 11 図は、この発明に係る半導体集積回路装置により構成されたデ

ータ伝送システムの一実施例を示すブロック図であり、

第 1 2 図は、この発明に係る半導体集積回路装置により構成されたデータ伝送システムの他の一実施例を示すブロック図であり、

05 第 1 3 図は、制御負荷回路を用いた可変容量の制御と周波数の制御とともに行うことによってノイズの周期とデータ伝送周期を一致させる手順の一実施例を示すフローチャート図であり、

第 1 4 図は、可変負荷回路を制御することによりノイズの周期を変えて、CCR に設定した目標周波数 f_o によりデータ伝送を行なうための一実施例を示すフローチャート図であり、

10 第 1 5 図は、この発明に係る受信側 LSI の制御負荷回路の一実施例を示す回路図であり、

第 1 6 図は、この発明に係る受信側 LSI の制御負荷回路の他の一実施例を示す回路図であり、

15 第 1 7 図は、この発明に係る受信側 LSI の制御負荷回路の他の一実施例を示す回路図であり、

第 1 8 図は、この発明に係る受信側 LSI の制御負荷回路の他の一実施例を示す回路図であり、

第 1 9 図は、この発明に用いられる位相シフト回路の一実施例を示す構成図であり、

20 第 2 0 図は、制御信号 s_{a0} 、 s_{a1} のコードの割付け例と、入出力の接続関係の一実施例を示す接続図であり、

第 2 1 図は、この発明に係るノイズの開始位置合わせを説明するための波形図であり、

25 第 2 2 図は、この発明に係るノイズの開始位置合わせを説明するための波形図であり、

第 2 3 図は、この発明に用いられるクロックパルス発生回路の一実施

例を示すブロック図であり、

第 2 4 図は、本発明に係るデータ伝送方法の一例を説明するための波形図であり、

05 第 2 5 図は、本発明に係るデータ伝送方法の他の一例を説明するための波形図であり、

第 2 6 図は、この発明に用いられる位相補間回路 P I N T の一実施例を示す回路図であり、

第 2 7 図は、この発明に用いられるノイズ・タイミング制御回路 N T C C の一実施例を示すブロック図であり、

10 第 2 8 図は、この発明に用いられるコンパレータ C M P の一実施例を示す回路図であり、

第 2 9 図は、この発明に係るシステムの一実施例を示すブロック図であり、

15 第 3 0 図は、この発明に係るシステムの一実施例を示す外観図であり、

第 3 1 図は、この発明に係る半導体集積回路装置の一実施例を示す概略ブロック図であり、

第 3 2 図は、この発明が適用される半導体集積回路装置の一実施例を示す構成図であり、

20 第 3 3 図は、従来のデータ伝送系のノイズの様子を示すタイミング図である。

発明を実施するための最良の形態

25 この発明をより詳細に説述するために、添付の図面に従ってこれを説明する。

第 1 図には、本発明に係る信号伝送方法の一実施例を説明するための

タイミング図が示されている。本発明では、データ伝送周期 $T_{e1} \sim T_{e8}$ とノイズ周期とを一致させて（または、データ伝送周期をノイズ周期の n 倍（ n は 1 以上の整数）に一致させて）送信し、データを受信する LSI はノイズ電圧がちょうど 0 となるタイミングでデータを取り込むことで、データ伝送におけるノイズの影響を大幅に軽減する。この結果として、同じパッケージ、同じ実装基板においてより高速で信頼性の高いデータ伝送が可能となる。この実施例では、データ伝送周期 $T_{e1} \sim T_{e8}$ に合わせてノイズ周期 T_{noise} が制御される。

同図において、データが変化するピンの影響により、静止ピンで観測されるノイズを、タイミング T_{e1} 、 T_{e2} 、 T_{e3} 、 T_{e4} に起因する成分のそれぞれに分けて示したものがノイズ N_{e1} 、 N_{e2} 、 N_{e3} 、 N_{e4} であり、それらを重ね合わせた静止ピンにおけるノイズ N_{et} では、振幅そのものは各周期毎に異なるが上記データ転送に対応したタイミング T_{e1} 、 T_{e2} 、 T_{e3} 、 T_{e4} のそれぞれに対応してレベルがゼロになる一定周期となる。

この発明の理解を容易にするため、第 33 図において従来のデータ伝送系のノイズの様子タイミング図を示した。同図において、 T_{d1} 、 $T_{d2} \dots T_{dn}$ は、前記第 1 図と同様にデータ伝送の周期（タイミング）であり、この間隔でデータが出力される。このタイミングでデータが変化するピンの影響により、静止ピンで観測されるノイズを、タイミング T_{d1} 、 T_{d2} 、 T_{d3} 、 T_{d4} に起因する成分それぞれに分けて示したものが、ノイズ N_{d1} 、 N_{d2} 、 N_{d3} 、 N_{d4} である。ここで、ノイズ周期 T_{noise} は、上記タイミング T_{d1} 、 T_{d2} 、 T_{d3} の間隔に対応したデータ伝送周期 T_{data} と異なるため、 N_{d1} 、 N_{d2} 、.. N_{dn} の重ね合わせであるノイズ N_{dt} は不規則な波形となる。したがって、データ伝送および取り込みタイミングにおけるノイズ電圧は、前記第

1 図とは異なり必ずしもゼロにはならなくなる。ただし、図を簡略化するために、第 1 図及び第 3 3 図では、L S I 間のデータ信号伝搬に要する時間はここではゼロであるとした。

05 データを受信するレシーバ L S I において測定される同時切替えノイズの電圧ノイズ周期は、プリント基板上に実装される L S I が持つインダクタンス・容量と、L S I 間を結ぶ配線が持つインダクタンス・容量とにより決まる。このため、L S I においては、どのようなシステムに組み込まれるか、あるいはどのような信号伝送線路によって信号伝送が行われるかによって上記ノイズ周期が種々に変化する。しかしながら、
10 特定のシステムにおいては、前記のような L S I とそれが搭載されるプリント基板上の配線の持つインダクタンス・容量が一定に決まり、データが変化するピンの数と静止ピンの数には無関係にノイズ周期 T_{noise} そのものは固有の値に決まることが観測された。このことを利用して、
15 上記第 1 図の実施例のようにデータ伝送周期 $T_{e1} \sim T_{e8}$ にノイズ周期 T_{noise} を一致させるような制御を行うことにより、データを受信する L S I においてノイズ電圧がちょうど 0 となるタイミングでデータを取り込むことで、データ伝送におけるノイズの影響を大幅に軽減させることが可能となる。

20 第 2 図には、本発明に係る信号伝送方法の他の一実施例を説明するためのタイミング図が示されている。この実施例でも、データ伝送周期 $T_{e1} \sim T_{e8}$ とノイズ周期とを一致させて（または、データ伝送周期をノイズ周期の n 倍（ n は 1 以上の整数）に一致させて）送信し、データを受信する L S I はノイズ電圧がちょうど 0 となるタイミングでデータを取り込むことで、データ伝送におけるノイズの影響を大幅に軽減する。
25 。この実施例では、第 1 図の実施例と異なり、ノイズ周期 T_{noise} に対応してデータ転送タイミング $T_{d1} \sim T_{d8}$ が制御される。この結果と

して、前記第2図の実施例と同様に同じパッケージ、同じ実装基板においてより高速で信頼性の高いデータ伝送が可能となる。

第3図には、この発明を説明するための波形図が示されている。同図は、本発明による効果の一つである、データ伝播時間の「同一時刻でのピン間タイミングばらつき」または「同一ピンにおける異時刻でのタイミングばらつき」が低減される様子を説明するものであり、1 V / 0.5 nsの傾斜（立ち上がり）を持つ信号において、電圧振幅の中央を横切るタイミングがデータの伝播時間を決める。つまり、一点鎖線で示した参照電圧によりロウレベル／ハイレベルの判定が行われ、データにノイズ電圧 ± 0.5 Vが重畳するとき、+0.5 VのノイズN d tが重畳した場合では参照電圧とロウレベルとの差が小さくなり、-0.5 VのノイズN d tが重畳した場合では参照電圧とロウレベルとの差が大きくなり、データ伝播時間が見かけ上最も短くなる場合と最も長くなる場合の差は0.5 nsとなる。データ取り込み時のノイズ電圧が ± 0.1 Vに低減されたとすれば、データ伝播時間のばらつきは0.1 Vに押えることができる。つまり、ノイズN d tを軽減することにより、より高速・高信頼のデータ伝送が可能となることが判る。

前記第1図及び第2図の実施例のように、データを受信するLSIにおいて、ノイズ電圧がちょうど0となるタイミングでデータを取り込むようにすることにより、實際上ゼロにはならなくとも軽減させることができるから、高速・高信頼のデータ伝送が可能になる。

第4図には、この発明が適用されたデータ伝送システムの一実施例の構成図が示されている。この実施例では、導体集積回路装置LSI1とLSI2との間で、データバス配線DBUSを通してデータ伝送を行なうようにされる。

半導体集積回路装置（又は半導体チップ）LSI1とLSI2は、プ

プリント回路基板又はMCM（マルチチップモジュール）に搭載されている。上記データバス配線DBUSは、プリント基板やMCM上の配線として実現される。プリント基板やMCMのグラウンド層Vss、電源層Vddの間隔は、図を見やすくするために実際よりも広く示されている。

- 05 つまり、プリント基板上において、半導体集積回路装置LSI1, 2が搭載される表面側にデータバス配線DBUSが設けられ、内部に回路の接地配線を供給するグラウンド層Vssが設けられ、裏面側に電源層Vddが設けられるという少なくとも3層構造とされる。半導体集積回路装置LSI1、2に電源端子Vddは、同図で点線で示したようなスルー配線によって裏面側の電源層Vddに接続される。
- 10

第5図には、この発明が適用されたデータ伝送システムの一実施例のブロック図が示されている。このデータ伝送システムは、前記第4図の実施例に対応しており、ピン番号などを示すために第4図の実施例を簡略化したものが示されている。

- 15 同図において、半導体集積回路装置LSI1のp1、p2、p3、...、pn-1、pnは、データバス配線DBUSに接続するデータ（出力）ピンであり、半導体集積回路装置LSI2のq1、q2、q3、...、qn-1、qnは、上記データバス配線DBUSに接続するデータ（入力）ピンである。

- 20 半導体集積回路装置LSI1は、電源供給線Vdd0から供給される電圧電圧Vdd1を電源ピンp v d dに受け、グラウンド線から供給される回路の接地電位Vss1をグラウンドピンp v s sに受けて動作する。同様に、半導体集積回路装置LSI2は、電源供給線Vdd0から供給される電圧電圧Vdd2を電源ピンq v d dに受け、グラウンド線から供給される回路の接地電位Vss2をグラウンドピンq v s sに受けて動作
- 25
- する。このようにデータ送信側と受信側の半導体集積回路装置LSI1

とLSI2とが共通の電源供給線により動作するものであるので、両方の半導体集積回路装置LSI1とLSI2において同様のノイズの影響を受けるものとなる。

第6図には、本発明を説明するためのシミュレーションモデルの等価回路図が示されている。同図は、前記第4図及び第5図の実施例のシステムに対応してモデル化したものであるが、図を見やすくするためにさらに図の簡略化を行ない、配線本数を L_1 、 L_2 、 L_{n-1} 、 L_n のように4本を代表として例示的に示している。この実施例では、上記例示的に示された4本の配線のうち、 L_1 、 L_2 及び L_{n-1} はデータの変化があり、 L_n はデータの変化はないものとする。

半導体集積回路装置LSI1の電流源 I_1 、 I_2 、 I_{n-1} は、データが変化するピン p_1 、 p_2 、 p_{n-1} に接続される出力バッファに対応した交流電流源である。上記電流源 I_1 、 I_2 、 I_{n-1} に並列接続された抵抗 R_1 、 R_2 、 R_{n-1} は、出力バッファのオン抵抗であり、 R_n はデータが変化しない出力バッファの出力抵抗である。

CL_1 、 CL_2 、 CL_{n-1} 、 CL_n は、データを受信する半導体集積回路装置LSI2の入力容量である。これら全ピン同じ容量値 CL とした。 L_1 、 L_2 、 L_{n-1} 、 L_n はプリント基板またはMCM上の配線であり、 L_{vdd} と L_{vss} は電源層とグランド層の等価インダクタンスである。

L_{vdd} 、 L_1 、 L_2 、 L_{n-1} 、 L_n 、 L_{vss} は図示しない相互インダクタンスと容量によりすべて結合している。データ伝送時においてデータの変化に対応した電流源 I_1 、 I_2 、 I_{n-1} が動作する時、データ受信側の半導体集積回路装置LSI2の静止配線 q_n の入力容量間(a-b)に発生する電圧を測定することで、ノイズの伝達特性を求めることができる。

第7図には、本発明を説明するためのシミュレーションモデルに対応した周波数とノイズ電圧を説明するための特性図が示されている。同図においては、 $n = 16$ 、つまりデータバス配線DBUSが16本からなり、そのうち出力データが変化するピン（動作ピン）をp1～p7、p9～p16の15本とし、データが変化しない静止出力ピンがp8として、かかる静止ピンに対応した受信側の入力ピンq8の端子a-b間の電圧（ノイズ伝達特性が示されている。同図には、動作ピンp7とp1に対応した受信側の入力ピンq7とq1のノイズ波形も点線で示されている。

10 このとき受信側の半導体集積回路装置LSI2の負荷容量 $CL = 5\text{ pF}$ とした。このときの電圧振幅ピークは約200MHzにあらわれ、動作ピンと静止ピンの間でピークを与える周波数は同一である。したがって、静止出力ピン（被ノイズピン）は一定周期で振動することが判る。

15 第8図には、本発明を説明するためのシミュレーションモデルに対応した周波数とノイズ電圧を説明するための特性図が示されている。この実施例では、データが変化するピンの数を変えた場合のノイズ電圧の特性を表している。

同図において、15ノイズ源は、出力データが変化するピン（動作ピン）を15とし、データが変化しない静止出力ピンを1とした特性を示している。8ノイズ源は、出力データが変化するピン（動作ピン）を8とし、データが変化しない静止出力ピンを8とした特性を示し、2ノイズ源は、出力データが変化するピン（動作ピン）を2とし、データが変化しない静止出力ピンを14とした特性を示している。このように、動作ピンの本数を15、8、2に変えると、それに応じてレベルの強度は減少するものの、ノイズのピークを与える周波数は変化しないで、静止出力ピン（被ノイズピン）が一定の周期で振動することが判る。

第9図は、本発明を説明するためのシミュレーションモデルに対応した周波数とノイズ電圧を説明するための特性図が示されている。この特性図は、第6図のシミュレーションモデルにおいて、出力データが変化するピン（動作ピン）がp1～p7、p9～p16の15本とし、静止出力ピンをp8として、データ入力が行われる受信側の半導体集積回路装置LSI2の入力容量CLを変化させるた場合の特性図が示されている。この実施例のように入力容量CLを変化させると、ノイズピークを与える周波数が変化することが判る。

つまり、入力容量CLを大きくすると、ノイズピークを与える周波数が小さくなり、入力容量CLを小さくすると、ノイズピークを与える周波数が高くなる。このように、受信側の半導体集積回路装置LSI2の入力容量、つまりは送信側の半導体集積回路装置の負荷の時定数を変化させることで、ノイズ振動の周期を制御できることが判る。この場合、入力容量CLを減少させることは、実際上は不可能であるので、受信側の半導体集積回路装置LSI2の入力容量を増加させることで、ノイズピークを与える周波数を低くし、データ転送タイミングの整数倍あるいはデータ転送タイミングに一致させるように調整することができる。

第10図には、本発明を説明するためのノイズ波形図が示されている。同図においては、16ビットデータバスを模擬したTEG基板における同時切替えノイズの実測波形が示されている。つまり、レシーバLSIにおけるピン配線遠端の波形が示されている。黒丸を付した位置では、データの遷移方向や遷移数に依存せずノイズ振幅はほぼ0である。この周期（またはその整数倍）を用いてデータを取り込めば、ノイズの影響は非常に小さいことが判る。

同図の記号は、それぞれ以下の場合を示している。

16a : a18rは、16ピン同時切替え（L→H）におけるハイレ

ベルに切り替わった直後のピンを示し、レベルを揃えて見易くするために−3.3Vのオフセットを付けて示している。8a : v18rは、8ピン同時切替え(L→H)時のロウレベル固定ピンを示している。2a : v18rは2ピン同時切替え(L→H)時のロウレベル固定ピンを示している。8a : v18fは、8ピン同時切替え(H→L)時のロウレベル固定ピンを示している。

以上のように第7図、第8図及び第10図から、受信側の半導体集積回路装置LSI2におけるノイズは半導体集積回路装置LSIの実装により決まった周波数を持つこと、そして第9図から例えば負荷容量の制御によりLSIを実装後にもノイズの周波数が制御可能であることを、本発明は利用するものである。

携帯機器等のデバイスでは、低電力化のためにインタフェース電圧の振幅を小さくしていく傾向があるために、今後耐ノイズ性が強く求められる。また、パーソナルコンピュータやサーバ向けのメモリ制御LSIでは、ピン数の増大が問題となっており、電源ピン数はできるだけ減らしたいという要求がある。さらに、パーソナルコンピュータやサーバ向けプロセッサコアにおいては、動的な電圧調整による低電力化が今後の主流である(Transmeta crusoe、Intel Xscale等)。したがって、コアの低電圧化によりコア部分の低電力化が実現される結果、パーソナルコンピュータなどでもインタフェース部分の低電圧化が進み、プロセッサ分野においても耐ノイズ性が求められる。

本願発明のデータ伝送方法では、例えば受信側の半導体集積回路装置の入力容量の調整回路などを有するが、今後も面積縮小できないESD保護回路などと共有できるため、面積的なペナルティがなく適用容易である。

第11図には、この発明に係る半導体集積回路装置により構成された

データ伝送システムの一実施例のブロック図が示されている。この実施例のシステムでは、半導体集積回路装置LSI1とLSI2とにより構成され、上記半導体集積回路装置LSI1-LSI2間のデータ伝送に本発明が適用される。

05 この実施例では、電源投入時や、システムリセットあるいは信号伝送開始に先立って送信側（ドライバ）LSI1がトレーニングパターンを送信し、受信側（レシーバ）LSI2において、ノイズ・タイミング制御回路（Noise Timing Control Circuit）NTCCがノイズ周期を検出する。

10 送信側LSI1の送信回路（ドライバ）DRV1は、クロック発生回路CPG1により形成されたクロックパルスに対応して、送信データがフリップフロップ回路FFに取り込まれ、出力バッファBUF1を通して出力される。この出力信号は、データバス配線DBUSを通して受信側LSIの受信回路（レシーバ）RCV2に伝えられる。

15 受信側LSI2において、ノイズ・タイミング制御回路NTCCは、特定の入力回路のノイズnxによりノイズ周期を検出する。入力端子には制御負荷回路C/Lが設けられ、上記検出されたノイズ周期に対応した制御信号が負荷制御レジスタ（Load Control Register）LCRに伝えられる。上記負荷制御レジスタLCRから出力される選択信号CTL
20 により制御負荷回路（Controlled Load）C/L、すなわち系内の容量またはインダクタンス（C/L：ボンディングワイヤやESD容量をスイッチで選択するなど）が調整される。

送信側LSI1のクロックパルス発生回路（Clock Pulse Generator）CPG1で形成されたクロック信号は、クロック伝送線路CLKを介して受信側LSI2に伝えられる。受信側LSI2では、クロック発生回路CPG2において、上記クロック信号ref__CLKに同期した受信
25

用のクロック信号を形成し、受信信号をフリップフロップ回路F Fにより取り込むようにする。

この構成に代え、検出したノイズ周期から形成された周波数制御信号をデータ伝送周期制御レジスタ (Cycle Control Register) C C Rにセ
05 ットし、受信側L S I 2のクロック発生回路C P G 2を制御して、それを送信側L S I 1のクロック発生回路C P G 1に伝えて、C P G 1の発振周期を制御してデータ伝送周期をノイズ周期に一致させる。あるいは、上記両方を行なうことにより、ノイズ周期がデータ伝送周期と一致するよう調整する。

10 送信側L S I 1では、コア回路c o r eにおいて送信すべきデータが作成される。この送信データは、F I F Oバッファ (FIFO buffer)回路とレベルシフタ (Level shifter)回路からなるバッファ回路F L Vを通して上記フリップフロップ回路F Fに伝えられる。送信側L S I 2において、フリップフロップ回路F Fで取り込まれた受信データは、上記同
15 様なF I F Oバッファ (FIFO buffer)回路とレベルシフタ (Level shifter)回路からなるバッファ回路F L Vを通してコア回路c o r eに伝えられる。

上記のようにバッファ回路F L Vは、F I F Oデータバッファと電圧レベルシフト回路である。この実施例では、データ伝送の自由度を確保
20 するために、データ伝送周波数とL S Iのコア回路c o r eの動作周波数が必ずしも同じでない場合にも適用できるように設けられるものであるが、周波数が同じであるならば、F I F Oは必ずしも必要ない。同様に、データ伝送に用いるインタフェース回路の電源電圧と、コア回路の電源電圧が等しければ、レベルシフト回路は必須ではない。

25 第12図には、この発明に係る半導体集積回路装置により構成されたデータ伝送システムの他の一実施例のブロック図が示されている。この

実施例のシステムでは、送信側LSI1と受信側LSI2のコア回路coreは、共通のシステムクロック信号SysCLKに動作するようにされる。

これに対して、上記半導体集積回路装置LSI1-LSI2間のデータ05
05 伝送は、上記システムクロック信号SysCLKとは異なる周波数、
位相のクロックパルスで行うようにされる。それ故、送信側LSI1に
おいては、上記システムクロック信号SysCLKにより生成された送
信データは、かかるシステムクロック信号SysCLKに同期してバッ
ファ回路FLVに伝送される。上記バッファ回路FLVに伝えられた送
10 信データは、ファーストイン-ファーストアウトの形態でシステムクロ
ック信号SysCLKとは異なる送信用のクロックパルスに同期しフリ
ップフロップ回路FFに伝達され、出力バッファBUF1を通して出力
される。それ故、この実施例のようにデータ伝送周波数とLSIのコア
回路coreの動作周波数が同じでない場合、その時間調整を行うFI
15 FOを含むバッファ回路は必須のものとなる。

受信側LSI2において伝送された受信データは、伝送クロックに同
期してバッファ回路FLVに伝送される。上記バッファ回路FLVに伝
えられた送信データは、ファーストイン-ファーストアウトの形態でシ
ステムクロック信号SysCLKに同期しコア回路coreに伝えら
20 れる。このようにして、2つのコア回路core間でのデータ伝送が行
われる。

この実施例のように、システムクロックとデータ伝送クロックとが異
なる場合、それを手当てするようなバッファ回路FLVが設けられてい
るので、ノイズ周波数を制御するための制御負荷回路C/Lを省略し、
25 ノイズnxの周期に伝送クロックの周期が対応するようにクロックパ
ルス発生回路CPG1、CPG1を制御するものであってもよい。この場

合、ノイズ周期の整数倍と伝送クロックの1周期が対応するようにするものであってもよい。この逆に、伝送クロックの複数周期とノイズの1周期とが一致することには意味がない。

05 第13図には、制御負荷回路を用いた可変容量の制御と周波数の制御をとともに行うことによってノイズの周期とデータ伝送周期を一致させる手順の一実施例のフローチャート図が示されている。

第14図には、可変負荷回路を制御することによりノイズの周期を変えて、CCRに設定した目標周波数 f_o によりデータ伝送を行なうための一実施例のフローチャート図が示されている。

10 第13図のフロー（stp12）は、人間が手作業で行うこともできる。手作業で実行する場合でも、LSIの製造ばらつきなどに対応できるよう、例えば容量など負荷を制御するための負荷制御レジスタLCRと負荷制御回路L/Cをもたせて個別に対応するとより信頼性の高いデータ伝送を行なうことが出来る。

15 第13図において、

stp11にて、データ伝送周期制御レジスタCCRに目標周波数とする f_o （最高周波数）を設定する。

stp12にて、第14図に示したフローにより、負荷調整によりノイズ周期をデータ伝送周期に一致させる処理を行なう。

20 stp13にて、上記stp12での処理の結果を判定する。

結果がstop-sであれば、ノイズの周期とデータ伝送周期を一致させることができたので、stop-sとして本処理を終了する。

結果レジスタがstop-eであれば、ノイズの周期とデータ伝送周期が一致できなかったから、

25 stp14によりデータ伝送周期制御レジスタCCRの目標周波数 f_o を一段階下げる。

s t p 1 5により周波数が低くなり過ぎていなければ、再びs t p 1 2からの処理を繰り返し、これ以上目標周波数を下げることができなければ、s t o p - eにて処理を終了する。

第14図において、

- 05 s t p 2 1にて、初期化を行なう。すなわち目標周波数f oをデータ伝送周期制御レジスタC C Rに設定し、可変容量を制御する負荷制御レジスタL C Rの値を、（デフォルトの）' 1 1 1 1 1 1' とする。また、クロック信号からデータ伝送周期d t 0を抽出する。

- 10 s t p 2 2にて、送信側L S I 1に対応したc h i p 1から受信側L S I 2に対応したc h i p 2へテスト信号を送信して、c h i p 2でノイズの開始時刻を検出して、c h i p 2のクロックに一致させる。テスト信号は、例えばnピンのうちのn - 1ピンを同時にL → Hに切替えて、静止させた残りの1ピンにてノイズを観測する。この1ピンは、例えば第11図のn xに相当する。

- 15 s t p 2 3にて、c h i p 1からc h i p 2へテスト信号を送信して、c h i p 2でノイズの周期d t nを抽出する。

s t p 2 4にて、c h i p 2において、d t nがデータ伝送周期による周期d t 0と一致しているか比較する。

- 20 s t p 2 5にて、比較の結果d t n < d t 0ならば、状態s t o p - eに移行する。d t n = d t 0ならば、データ伝送周期とノイズ周期が一致しているので、状態s t o p - sに移行する（例えば、これをレジスタに設定する）。d t n > d t 0ならば、さらに負荷容量を小さくすることで周期を一致させることができる可能性があるので、s t p 2 6にて容量を一段階小さくして周期の一致を試みる。

- 25 s t p 2 7にて、負荷容量を最小としても所望の周期に達することができなければ状態s t o p - eに移行する。そうでなければ、容量を小

さくした状態で s t p 2 4 に戻り再び周期の一致をはかる。

第 1 5 図には、この発明に係る受信側 L S I の制御負荷回路の一実施例の回路図が示されている。パッケージのピン p i n に入力された信号は、パッケージのボンディングワイヤやリードフレームによるインダクタンス L p g k、およびパッケージのボンディングワイヤやリードフレームによる容量 C p k g 1 および C p k g 2 を通じてボンディングパッド P A D に伝えられる。

この実施例の制御負荷回路は、可変容量の調整回路であり、本例では S W 0 - S W 5 のスイッチを、制御信号 C C T L 0 - C C T L 5 によりオンまたはオフとして、外部から見たダイオードの拡散容量を調整する。スイッチは、リセット後にはすべてオンとなるようにする。スイッチは、例えば、小さいサイズの N チャンネル型 M O S トランジスタと P チャンネル型 M O S トランジスタが並列接続されてなるのパスゲート構成とすれば良い。この例は、静電保護素子 E D S を分割して D 0 - D 5 として、容量を細かく変化させることができるようにした。サイズは例えば 1 : 2 : 8 : 1 6 : 3 2 などとするとよい。保護素子は元来必要であるから、面積の増加を防ぐことができる。言い換えるならば、静電保護素子 E D S を D 0 - D 5 のように分割して構成し、それを利用して上記可変容量による調整回路と併用するものである。

第 1 6 図には、この発明に係る受信側 L S I の制御負荷回路の他の一実施例の回路図が示されている。この実施例は、前記第 1 5 図の E S D 保護素子 D 0 ~ D 5 を可変容量として用いる代わりに、その容量の一部純粋容量 C C 0, C C 1 として構成するものである。つまり、保護素子 D 0 ~ D 3 と、純粋容量 C C 0, C C 1 の組み合わせで保護と可変容量の調整とを行うようにされる。上記保護素子 D 0 ~ D 3 も、純粋容量 C C 0, C C 1 のように置き換えることもできる。この純粋容量 C C 0,

CC1は、MOSFETのゲート容量が利用される。

第17図には、この発明に係る受信側LSIの制御負荷回路の他の一実施例の回路図が示されている。この実施例では、容量ではなくインダクタンスを可変とする制御負荷回路に向けられている。一つの入力端子
05 に対してパッケージのボンディングワイヤを複数本使用して接続しておき、信号LCTL0, 1によりMOSスイッチを制御し、あるいはMOSスイッチに代えてヒューズなどの選択的な切断によりインダクタンス値を調整する。ESDは、静電破壊防止を行うための保護素子である。

第18図には、この発明に係る受信側LSIの制御負荷回路の他の一
10 実施例の回路図が示されている。この実施例は、前記第16図と第17図の実施例を組み合わせたものである。つまり、前記第16図のように保護素子D0～D3と、純粋容量CC0, CC1の組み合わせで保護と可変容量の調整とを行うようにし、第17図のように一つの入力端子に対してパッケージのボンディングワイヤを複数本使用して接続しておき
15 、信号LCTL0, 1によりMOSスイッチを制御し、あるいはMOSスイッチに代えてヒューズなどの選択的な切断によりインダクタンス値を調整する。

第19図には、この発明に用いられる位相シフト回路の一実施例の構成図が示されている。この位相シフト回路は、クロック信号を順次シフトさせることでノイズの位相をゼロ点に一致させる際に用いられる。位相シフト回路は、4bitを例に示す。後述するような10bitの位相シフト回路も同様にして構成可能である。

回路の機能は、例えば、(fb1、fb2、fb3、fb4)の4bit
25 の入力を、それぞれ(ft1、ft2、ft3、ft4)に出力するバレルシフタとして構成できる。すなわち、制御信号sa0、sa1によりシフト量0bitから3bitを選択可能にできる。入力と出力

の結合の対応は次のとおり。括弧内の同じ位置どうしが接続される。

0 b i t シフト: (f b 1、f b 2、f b 3、f b 4)

= (f t 1、f t 2、f t 3、f t 4)

1 b i t シフト: (f b 1、f b 2、f b 3、f b 4)

05 = (f t 2、f t 3、f t 4、f t 1)

2 b i t シフト: (f b 1、f b 2、f b 3、f b 4)

= (f t 3、f t 4、f t 1、f t 2)

3 b i t シフト: (f b 1、f b 2、f b 3、f b 4)

= (f t 4、f t 1、f t 2、f t 3)

10 図中の○、△、×、□はスイッチを示し、それぞれ排他的にオンになる。スイッチの選択信号は1本だけ書いた(s f 0)。例えば、0ビットシフトの時には○印位置のスイッチがオンに、それ以外のスイッチはオフとなってf b 1がf t 1と、f b 2がf t 2と、f b 3がf t 3と、f b 4がf t 4と接続される。S Dは2 b i t - 4 b i t のデコーダである。s a 0、s a 1とs f 0と図示されていないs f 1～s f 3の
15 対応付けを行なう。

第20図には、制御信号s a 0、s a 1のコードの割付け例と、入出力の接続関係の一実施例の接続図が示されている。つまり、制御信号s a 0、s a 1の00～11に対応して○、△、×、□のスイッチが割付
20 られる。

第21図には、ノイズの開始位置合わせを説明するための波形図が示されている。この実施例の位相合わせは、前記第14図のs t p 2 3の具体例である。ノイズ・タイミング制御回路N T C Cにおいて、n xにおけるノイズ波形をコンパレータに入力して基準電圧Vref と比較する
25 。基準電圧Vref は、n xの初期電圧より少しだけ高くしておく。コンパレータCMPの出力を、時刻t - 1、t 0、t 1、t 2、...、t 9

においてラッチする。

この時刻は、後述する第27図における f_{t-1} 、 f_{t0} 、 f_{t1} 、 f_{t2} 、...、 f_{t9} に対応している。また、 $C1[t-1]$ 、 $C1[t0]$ 、 $C1[t1]$ 、...、 $C1[t9]$ は、各時刻におけるコンパレータの比較結果
05 (がラッチされたもの) である。これらのコンパレータの比較結果 $C1[t-1]$ 、 $C1[t0]$ 、 $C1[t1]$ 、...、 $C1[t9]$ の2値情報0と1は、0がノイズの負極性側を、1が正極性側に対応している。

受信側LSI2のクロックとノイズの開始位置とをあわせることは、立上りのテスト信号が使用される時には、条件： $C1[t-1] = 0$ かつ $C1[t0] = 1$ (mask1) となるようにすることである。
10

L1ではmask1の条件： $C1[t-1] = 0$ かつ $C1[t0] = 1$ が満たされていないから、クロック f_{t-1} 、 f_{t0} 、 f_{t1} 、 f_{t2} 、...、 f_{t9} を位相シフト回路PBSWを用いて1bitシフトする。シフト後、再びL2にて条件をチェックするがまだ条件は満たされないから
15 、さらにクロックをシフトする。この例では、L3においてmask1の条件： $C1[t-1] = 0$ かつ $C1[t0] = 1$ を満たすようになる。当然、位置合わせの条件等はこれに限られず、任意の条件で開始位置合わせを行なって良い。

第22図には、ノイズの開始位置合わせを説明するための波形図が示されている。この実施例の位相合わせは、ノイズ周期とデータ伝送周期の一致判定処理、例えば第13図のstp23とstp24の具体例である。この例では、判定基準を6ビットとして、111と000のパターンを見い出すようにするものである。つまり、条件 $C1[t0-t3] = 1$ (mask2) かつ $C1[t4-t7] = 0$ (mask3) を、ノイズ周期とデータ伝送周期の一致を判定基準とする。本例においても、本発明における周期一致の概念を逸脱しない範囲で、任意の基準を用いて良い。
20
25

L 3においては、mask 2の条件は満たされるが、mask 3の条件は満たされない。そこで、第13図のstp 25により、ノイズの周期を小さくして再びノイズ周期とデータ伝送周期の一致を判定する。

05 L 4においても、mask 2の条件は満たされるが、mask 3の条件は満たされない。さらにノイズの周期を小さくした結果、L 5においてmask 2とmask 3の条件が同時に満たされる。

第23図には、この発明に用いられるクロックパルス発生回路の一実施例のブロック図が示されている。クロックパルス発生回路CPGは、外部より供給される基準クロック信号ref__CLKを入力として、LSI間のデータ伝送で使用するクロックパルス信号を発生・同期化する回路である。このクロックパルス発生回路CPGは、一般的なPLL (Phase Locked Loop)回路やDLL (Delay Locked Loop)回路などを用いることができる。

この実施例では、PLL回路を用いる例が示されている。位相比較器PDには、基準クロック信号ref__CLKと電圧制御発振器OSCの位相0の信号ta 0が入力され、位相が比較される。位相比較結果は適切なローパスフィルタLPFを通じてチャージポンプ回路CPに入力され、チャージポンプ回路CPに蓄えられた電圧により電圧制御発振器OSCの発振周波数が制御される。

20 この例では、電圧制御発振器OSCは、基準クロック信号ref__CLKと位相の一致する位相0の信号fa 0、fa 0から位相が $\pi/4$ (rad)遅れた信号fa 1、fa 0から位相が $\pi/2$ 遅れた信号fa 2、およびta 0から位相が $3\pi/4$ 遅れた信号fa 3を出力し、LSI内で使用する。

25 第24図には、本発明に係るデータ伝送方法の一例を説明するための波形図が示されている。データ信号の切り替わりをvddとvssの交

差部で表している。このデータ信号の切り替わりに一致した周期を持つようにノイズの周期を前記制御負荷回路等により制御する。このときに、受信側 L S I 2 の入力端子において観測される波形は、上記伝送されたデータ信号とノイズ信号の重ね合わせとなる。このような伝送データ
05 に対して、本発明では、△印の所でデータの取り込みを行うようにすることによって、受信データの判定の 0 と 1 の判定にノイズの影響を受けなくすることができる。

第 2 5 図には、本発明に係るデータ伝送方法の他の一例を説明するための波形図が示されている。前記第 2 4 図の実施例との相違は、データ
10 信号とノイズ信号の周期を完全に一致させたのではなく、ノイズの周波数をデータ信号の n 倍（但し n は自然数）となるように同期を行った例である。ここでは $n = 2$ である。 $n = 3$ のときは、データの取り込み点は、データ転送周期の半分でなく $1/3$ または $2/3$ に設定すれば同様にノイズの影響を小さくできる。 n が 4 以上の時も同様である。

15 n をどの値とするかは、L S I 1 と L S I 2 とが実装されるプリント基板の両方が決まった時点ではほぼ決定できる。したがって、受信側の L S I 2 だけを先に設計するような場合には、 n をレジスタなどにより設定可能としておくが良い。

第 2 6 図には、この発明に用いられる位相補間回路 P I N T の一実施
20 例の回路図が示されている。この実施例の位相補間回路 P I N T は、前記第 2 5 図のクロックパルス発生回路 C P G で形成された信号 $f a 0 \sim f a 3$ を入力信号として、これらの入力信号 $f a 0$ 、 $f a 1$ 、 $f a 2$ 、 $f a 3$ を補間して、約 $\pi/4$ ずつ位相の異なる信号 $f b - 1$ 、 $f b 0$ 、 $f b 1$ 、...、 $f b 9$ を出力する。

25 第 2 7 図には、この発明に用いられるノイズ・タイミング制御回路 N T C C の一実施例のブロック図が示されている。前記クロックパルス発

生回路CPGから出力されたクロック信号f a 1～f a 3は、前記位相補間回路PINTに入力され、約 $\pi/4$ ずつ位相の異なる信号f b - 1、f b 0、f b 1、...、f b 9として出力される。これらの信号は、4 b i tの制御信号s a 0～s a 3と位相シフト回路PBSWにより適切に位相シフトされf t - 1、f t 0、f t 1、...、f t 9として出力される。

前記のようなn xにおけるノイズは、コンパレータCMPを用いて基準電圧Vrefと比較され、その比較結果はn yに出力される。判定結果n yは、信号f t - 1、f t 0、f t 1、...、f t 9を用いて、フリップフロップFF- 1、FF 0、FF 1、... FF 8、FF 9に取り込まれる。その結果は、前記第14図にて説明したノイズ周期とデータ信号周期の一致判定に用いられる。信号f t 3は、ノイズに対して位相が約 π (rad)遅れているから、この信号を適切にバッファリングして、データ信号取り込みのラッチFFに用いる。

制御論理回路では、前記第21図あるいは第22図で説明したようなノイズ周期を検出する。上記検出されたノイズ周期に対応した制御信号が負荷制御レジスタ (Load Control Register) LCRに伝えられる。これにより、上記負荷制御レジスタLCRから出力される選択信号により制御負荷回路C/Lが調整される。また、検出したノイズ周期から形成された周波数制御信号をデータ伝送周期制御レジスタ (Cycle Control Register) CCRにセットし、クロック発生回路CPGを制御してデータ伝送周期をノイズ周期に一致させる。

第28図には、この発明に用いられるコンパレータCMPの一実施例の回路図が示されている。この実施例のコンパレータCMPは、例えば、同図に示すような差動アンプとして構成可能である。差動MOSFETの共通化されたソースに設けられたMOSFETのゲートに印加され

る電圧Vbiasは、バイアス電圧である。実際のデータ伝送が始まったら
上記電圧Vbiasはロウレベルに固定されて、電力を消費しないようにさ
れる。この実施例のコンパレータCMPにおいては、第21図などにあ
るように、基準電圧Vrefは、nxの直流電圧よりもわずかに高く設定
05 される。nxの直流電圧は、例えば電源電圧VDDの1/2とするなど
、このコンパレータの動作できる所とすれば良い。

第29図には、この発明に係るシステムの一実施例のブロック図が示
されている。この実施例のシステムは、パーソナルコンピュータに向け
られた典型的な情報処理システムである。ホストバスには、特に制限さ
10 れないが、2つのマイクロプロセッサMPUが接続される。これらのマ
イクロプロセッサMPUは、共同して所定のデータ処理を実施する。こ
の場合、特に制限されないが、一方がマスタマイクロプロセッサを構成
し、他方がスレーブマイクロプロセッサとして上記マスタマイクロプロ
セッサの指示のもとにデータ処理を行う。

メモリコントローラは、上記ホストバス、メモリバス、グラフィック
バス及び周辺用バスに接続される。上記メモリバスには、特に制限され
ないが、シンクロナスDRAMから構成されるメインメモリが搭載さ
れる。上記グラフィックバスには、画像処理LSI（画像処理専用プロ
セッサ）が搭載される。そして、周辺用バスにはSCSIインターフェ
15 イス回路、バスブリッジ等の周辺装置が搭載される。メモリコントロー
ラは、上記ホストバスとの間で上記メモリバス、グラフィックバス及び
周辺用バスのいずれか1つを接続させて、その間のデータ転送を行う。
例えば、マイクロプロセッサMPUは上記メモリコントローラを介して
メインメモリに接続されて、リード／ライト動作を行う。

25 この実施例のシステム及び信号伝送方法は、上記メモリコントローラ
とメインメモリを結ぶメモリバスにも適用可能である。

第30図には、この発明に係るシステムの一実施例の外観図が示されている。この実施例は、第29図のメモリコントローラとメインメモリが示されており、実装基板上にメモリコントローラが設けられる。メインメモリは、複数のメモリモジュールから構成される。メモリモジュールは、プリント基板にパッケージ封止された複数のシンクロナスDRAMが搭載され、上記実装基板上に設けられたスロット上にコネクタを差し込むことにより実装基板のメモリバスと接続される。

図示しないが、上記実装基板上にはホストバスとそれに接続されるマイクロプロセッサ、グラフィックバスとそれに接続される画像LSIあるいは周辺用バス等が設けられる。上記のメモリコントローラからメモリモジュール上のメモリLSI（シンクロナスDRAM）へのデータ伝送、およびその逆方向のデータ伝送に本発明は適用できる。

第31図には、この発明に係る半導体集積回路装置の一実施例の概略ブロック図が示されている。この実施例の各回路ブロックは、半導体基板上における幾何学的な配置に合わせて各回路ブロックが示されている。この実施例では、ASIC等のような特定用途向半導体集積回路装置LSI上のIPモジュール間のデータ伝送に、本発明が適用される例が示されている。データバスDBUSには回路の接地線VSSと電源電圧VDDが挿入してあるが、上下またはその一方の層をべた金属層として、プリント基板と同様の構成にしても良い。

この実施例では、回路ブロックIP1のドライバ回路DRVは、第11図に示した送信側フリップフロップFFと、出力バッファBUF1からなるドライバ回路DRV1に相当する回路であり、回路ブロックIP2のレシーバ回路CRCVは、第11図における制御負荷回路L/Cと入力側フリップフロップFFからなるレシーバ回路RCV2に相当する回路である。

この実施例例では、第12図のLSI1とLSI2に対応された回路ブロックIP1とIP2がクロックパルス発生回路CPG1およびCPG2をそれぞれ持ち、半導体集積回路装置LSI全体のクロックパルス発生回路CPGに同期して動作するようにされる。データ伝送周波数を変えないのであれば、各回路ブロックIP1とIP2にそれぞれ設けられたクロックパルス発生回路CPG1、CPG2をなくして、クロックパルス発生回路CPGからのクロック信号を上記各回路ブロックIP1とIP2に供給して用いるようにしても良い。

図32には、この発明が適用される半導体集積回路装置の一実施例の構成図が示されている。この構成図は、上面部とそれに対応した側面部とが示されている。この実施例では、半導体チップAと半導体チップBとが積層構造とされ、1つの封止体により封止されることにより半導体集積回路装置が構成される。例えば、下側の半導体チップAがデータ送信側LSI1とされるなら上側の半導体チップがデータ受信側LSI2とされる。データバスは、2つの半導体チップAとBとを実装基板上の同じ箇所にワイヤボンディングを行うことにより構成される。

この構成では、外部からは1つの半導体集積回路装置と同等に扱うことができるが、内部では前記のように2つの半導体チップが設けられており、両者の間でデータ伝送を行う場合に本願発明が適用されるものである。

以上の実施例から得られる作用効果は、下記の通りである。

(1) クロック信号に同期して伝送される複数ビットからなる信号を取り込む入力回路の入力端子に、上記信号の信号伝送時に上記信号を出力する出力回路での電源供給線に発生するノイズの周期が上記クロック信号の周期又はその整数倍に対応したものとなるように調整可能とされた時定数回路を設けることにより、データ伝送におけるノイズの影響を

大幅に軽減でき、同じパッケージ、同じ実装基板においてより高速で信頼性の高いデータ伝送が可能になるという効果が得られる。

05 (2) 上記に加えて、上記時定数回路を複数の調整信号によりスイッチ制御される複数のスイッチ素子と、上記スイッチ素子を介して上記入力回路の入力端子に対して並列形態に相互に接続される複数の容量素子とで構成することにより、半導体集積回路に適合した簡単な構成により、データ伝送におけるノイズの影響を大幅に軽減できるという効果が得られる。

10 (3) 上記に加えて、上記並列形態に相互に接続される容量素子の少なくとも一部を静電破壊防止機能も合わせ持つようにすることにより、実質的な回路面積を小さくすることができるという効果が得られる。

15 (4) 上記に加えて、上記複数の調整信号を伝送される複数ビットを用いて形成されたテスト信号を用いて発生させた上記ノイズをモニタすることにより、簡単に精度の高いノイズの判別を行うようにすることができるという効果が得られる。

(5) 上記に加えて、上記テスト信号として、複数ビットのうちレベルが変化しない1つの信号と、レベルが変化させられる残りの信号とすることにより、上記レベルが変化しない1つの信号に対応した入力信号を上記モニタすべきノイズとして利用できるという効果が得られる。

20 (6) 第1回路においてクロック信号に同期して伝送される複数ビットからなる信号を出力し、第2回路において上記クロック信号に同期して伝送される複数ビットからなる信号を取り込み、上記信号の信号伝送時に上記第1回路の電源供給線に発生するノイズの周期が上記クロック信号の周期又はその整数倍に対応したものとなるように調整可能とされた時定数回路を設けることにより、データ伝送におけるノイズの影響を
25 大幅に軽減でき、同じパッケージ、同じ実装基板においてより高速で信

頼性の高いデータ伝送が可能になるという効果が得られる。

(7) 上記に加えて、上記時定数回路を上記第2回路に設けることにより、簡単な構成でノイズ周期の調整が可能になるという効果が得られる。

05 (8) 上記に加えて、上記時定数回路を複数の調整信号によりスイッチ制御される複数のスイッチ素子と、上記スイッチ素子を介して上記入力回路の入力端子に対して並列形態に相互に接続される複数の容量素子で構成することにより、半導体集積回路に適合した簡単な構成により、データ伝送におけるノイズの影響を大幅に軽減できるという効果が得ら
10 れる。

(9) 上記に加えて、上記並列形態に相互に接続される容量素子の少なくとも一部を、静電破壊防止機能も合わせ持つようにすることにより、第2回路の実質的な回路面積を小さくすることができるという効果が得られる。

15 (10) 上記に加えて、上記複数の調整信号を、伝送される複数ビットを用いて形成されたテスト信号を用いて発生させた上記ノイズをモニタして上記クロック信号との周期との判定を行う調整回路により形成することにより、簡単に精度の高いノイズの判別を行うようにすることができるという効果が得られる。

20 (11) 上記に加えて、上記テスト信号として、複数ビットのうちレベルが変化しない1つの信号と、レベルが変化させられる残りの信号ととすることにより、上記レベルが変化しない1つの信号に対応した入力信号を上記モニタすべきノイズとして利用できるという効果が得られる。
。

25 (12) 上記に加えて、上記第1回路を第1半導体チップに形成し、上記第2回路を第2半導体チップに形成し、上記複数ビットからなる信号

を伝送する信号伝送線を実装基板に形成することにより、複数のLSIで構成されるシステムでの伝送周波数の高速化とインタフェース電圧の低電圧化を促進できるという効果が得られる。

05 (13) 上記に加えて、上記第1半導体チップ、第2半導体チップ及び実装基板を1つの半導体集積回路装置を構成するように1つの封止体によって封止することにより、システムの小型化を実現できるという効果が得られる。

10 (14) 上記に加えて、上記実装基板上には第1又は第2半導体チップを搭載し、上記第1又は第2半導体チップ上には第2又は第1半導体チップを積層構造に搭載し、上記複数ビットからなる信号を伝送する信号伝送線を、実装基板と第1半導体チップ及び第2半導体チップとを電氣的に接続するボンディングワイヤにより構成することにより、いっそうのシステムの小型化を実現できるという効果が得られる。

15 (15) 上記に加えて、上記第1回路を第1半導体集積回路装置に形成し、上記第2回路を第2半導体集積回路装置に形成し、上記複数ビットからなる信号を伝送する信号伝送線を実装基板に形成することにより、適用範囲の広い多様で柔軟なシステム構成を実現できるという効果が得られる。

20 (16) 上記に加えて、上記第1回路を半導体基板上に形成されて所定の第1信号処理を行う第1機能ブロックとし、上記第2回路を上記半導体基板上に形成されて所定の第2信号処理を行う第2機能ブロックとし、上記複数ビットからなる信号を伝送する信号伝送線を上記半導体基板上に形成することにより、いっそうのシステムの小型化を実現できるという効果が得られる。

25 (17) 第1回路によりクロック信号に同期して伝送される複数ビットからなる信号を出力し、第2回路により上記クロック信号に同期して伝

送される複数ビットからなる信号を取り込み、上記信号の信号伝送時に
上記第1回路の電源供給線に発生するノイズの周期が上記クロック信号
の周期又はその整数倍に対応したものとなるようにクロック信号の周期
を調整可能としたクロック供給回路を設けることにより、データ伝送に
05 おけるノイズの影響を大幅に軽減でき、同じパッケージ、同じ実装基板
においてより高速で信頼性の高いデータ伝送が可能になるという効果が
得られる。

(18) 上記に加えて、上記第1回路及び上記第2回路のそれぞれが上
記クロック信号とは異なるシステムクロック信号により信号処理を行う
10 第1及び第2内部回路を備えるようにすることにより、内部動作とデー
タ伝送の動作周波数をそれぞれの回路条件に適合させて設定でき、合理
的で高速なデータ処理が可能になるという効果が得られる。

(19) 第1回路と第2回路との間でクロック信号に同期して複数ビッ
トからなる信号を伝送する信号伝送方法として、上記複数ビットの信号
15 の信号伝送時に上記電源供給線に発生するノイズの周期と上記クロック
信号の周期又はその整数倍の周期とが対応したものとなるように上記第
2回路の入力容量を調整することにより、データ伝送におけるノイズの
影響を大幅に軽減でき、高速で高い信頼性のデータ伝送を行うようにす
ることができるという効果が得られる。

20 (20) 上記に加えて、上記入力容量の調整を伝送される複数ビットを
用いて形成されたテスト信号を用いて発生させた上記ノイズをモニタし
て上記クロック信号との周期との判定結果により行うようにすること
により、簡単に精度の高いノイズの判別を行うようにすることができると
いう効果が得られる。

25 (21) 上記に加えて、上記テスト信号として、複数ビットのうちレベ
ルが変化しない1つの信号と、レベルが変化させられる残りの信号とす

ることにより、上記レベルが変化しない1つの信号に対応した入力信号を上記モニタすべきノイズとして利用できるという効果が得られる。

以上本発明者よりなされた発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、伝送信号に出力回路に動作電圧を与える電源線に発生するノイズが乗るので、出力回路の出力端子に、そのノイズ周波数を調整可能にする時定数回路を付加するものであってもよい。あるいは、送信側の出力回路の出力端子に設けられた時定数回路と受信側の入力回路の入力端子に設けられた時定数回路の両方により上記ノイズの周波数を調整するものであってもよい。上記ノイズの周波数を判別する回路、あるいはその判別結果により伝送線路の負荷を調整してノイズ周波数と伝送クロックとを対応したものとするための具体的回路は、種々の実施形態を採ることができる。

この発明は、マイクロプロセッサや組み込みマイクロコンピュータ（MPU）を用いるシステムのように、MPUとDRAM・ASICチップ間の高速なデータ転送と、低ノイズ性の両立が必要であり、特に、伝送周波数の高速化とインタフェース電圧の低電圧化がすすむLSI間のインタフェースにおいて好適なものとなる。

この発明は、マルチチップモジュール（MCM）やプリント基板、またはLSI内部のIPモジュール間の高速データ伝送において、耐ノイズ性が高く、システムに見合った高速なデータ伝送を可能とするインタフェースに好適である。

産業上の利用可能性

この発明は、半導体集積回路装置とシステム及び信号伝送方法に関し、例えばシンクロナスDRAMのような高速メモリ回路とそれをアクセ

スするマイクロプロセッサ等の信号処理回路とを備えたシステム、それを構成する半導体集積回路装置及びその信号伝送方法として広く利用することができる。

請 求 の 範 囲

1. クロック信号に同期して伝送される複数ビットからなる信号を取り込む入力回路と、

05 上記入力回路の入力端子に接続され、上記信号の伝送時の出力回路での電源供給線に発生するノイズの周期が上記クロック信号の周期又はその整数倍に対応したものとなるように調整可能とされた時定数回路とを備えてなることを特徴とする半導体集積回路装置。

2. 請求の範囲第1項において、

10 上記時定数回路は、複数の調整信号によりスイッチ制御される複数のスイッチ素子と、上記スイッチ素子を介して上記入力回路の入力端子に対して並列形態に相互に接続される複数の容量素子とを含むことを特徴とする半導体集積回路装置。

3. 請求の範囲第2項において、

15 上記並列形態に相互に接続される容量素子の少なくとも一部は、静電破壊防止機能も合わせ持つように形成されるものであることを特徴とする半導体集積回路装置。

4. 請求の範囲第3項において、

20 上記複数の調整信号は、伝送される複数ビットを用いて形成されたテスト信号を用いて発生させた上記ノイズをモニタして上記クロック信号との周期との判定を行う調整回路により形成されるものであることを特徴とする半導体集積回路装置。

5. 請求の範囲第4項において、

25 上記テスト信号は、複数ビットのうちレベルが変化しない1つの信号と、レベルが変化させられる残りの信号からなり、上記レベルが変化しない1つの信号に対応した入力信号を上記モニタすべきノイズとして調整回路に供給されることを特徴とする半導体集積回路装置。

6. クロック信号に同期して伝送される複数ビットからなる信号を出力する出力回路を備えた第1回路と、

上記クロック信号に同期して伝送される複数ビットからなる信号を取り込む入力回路を備えた第2回路と、

05 上記信号の信号伝送時に上記第1回路の電源供給線に発生するノイズの周期が上記クロック信号の周期又はその整数倍に対応したものとなるように調整可能とされた時定数回路とを備えてなることを特徴とするシステム。

7. 請求の範囲第6項において、

10 上記時定数回路は、上記第2回路に含まれるものであることを特徴とするシステム。

8. 請求の範囲第7項において、

15 上記時定数回路は、複数の調整信号によりスイッチ制御される複数のスイッチ素子と、上記スイッチ素子を介して上記入力回路の入力端子に対して並列形態に相互に接続される複数の容量素子とを含むことを特徴とするシステム。

9. 請求の範囲第8項において、

20 上記並列形態に相互に接続される容量素子の少なくとも一部は、静電破壊防止機能も合わせ持つように形成されるものであることを特徴とするシステム。

10. 請求の範囲第8項において、

25 上記複数の調整信号は、伝送される複数ビットを用いて形成されたテスト信号を用いて発生させた上記ノイズをモニタして上記クロック信号との周期との判定を行う調整回路により形成されるものであることを特徴とするシステム。

11. 請求の範囲第10項において、

上記テスト信号は、複数ビットのうちレベルが変化しない1つの信号と、レベルが変化させられる残りの信号からなり、上記レベルが変化しない1つの信号に対応した入力信号を上記モニタすべきノイズとして調整回路に供給されることを特徴とするシステム。

05 12. 請求の範囲第9項において、

上記第1回路は、第1半導体チップに形成され、

上記第2回路は、第2半導体チップに形成され、

上記複数ビットからなる信号を伝送する信号伝送線は、実装基板に形成されるものであることを特徴とするシステム。

10 13. 請求の範囲第12項において、

上記第1半導体チップ、第2半導体チップ及び実装基板は、1つの半導体集積回路装置を構成するように1つの封止体によって封止されるものであることを特徴とするシステム。

14. 請求の範囲第12項において、

15 上記実装基板上には第1又は第2半導体チップが搭載され、

上記第1又は第2半導体チップ上には第2又は第1半導体チップが積層構造に搭載され、

20 上記複数ビットからなる信号を伝送する信号伝送線は、実装基板と第1半導体チップ及び第2半導体チップとを電気的に接続するボンディングワイヤにより構成されることを特徴とするシステム。

15. 請求の範囲第9項において、

上記第1回路は、第1半導体集積回路装置に形成され、

上記第2回路は、第2半導体集積回路装置に形成され、

25 上記複数ビットからなる信号を伝送する信号伝送線は、実装基板に形成されるものであることを特徴とするシステム。

16. 請求の範囲第9項において、

上記第 1 回路は、半導体基板上に形成されて所定の第 1 信号処理を行う第 1 機能ブロックを構成し、

上記第 2 回路は、上記半導体基板上に形成されて所定の第 2 信号処理を行う第 2 機能ブロックを構成し、

05 上記複数ビットからなる信号を伝送する信号伝送線は、上記半導体基板上に形成されるものであることを特徴とするシステム。

17. クロック信号に同期して伝送される複数ビットからなる信号を出力する出力回路を備えた第 1 回路と、

10 上記クロック信号に同期して伝送される複数ビットからなる信号を取り込む入力回路を備えた第 2 回路と、

上記信号の信号伝送時に上記第 1 回路の電源供給線に発生するノイズの周期が上記クロック信号の周期又はその整数倍に対応したものとなるようにクロック信号の周期を調整可能としたクロック供給回路とを備えてなることを特徴とするシステム。

15 18. 請求の範囲第 17 項において、

上記第 1 回路及び上記第 2 回路のそれぞれは、上記クロック信号とは異なるシステムクロック信号により信号処理を行う第 1 及び第 2 内部回路を備えてなることを特徴とするシステム。

20 19. 第 1 回路と第 2 回路との間でクロック信号に同期して複数ビットからなる信号を伝送する信号伝送方法であって、

上記複数ビットの信号の信号伝送時に上記第 1 回路の電源供給線に発生するノイズの周期と上記クロック信号の周期又はその整数倍の周期とが対応したものとなるように上記第 2 回路の入力容量を調整してなることを特徴とする信号伝送方法。

25 20. 請求の範囲第 19 項において、

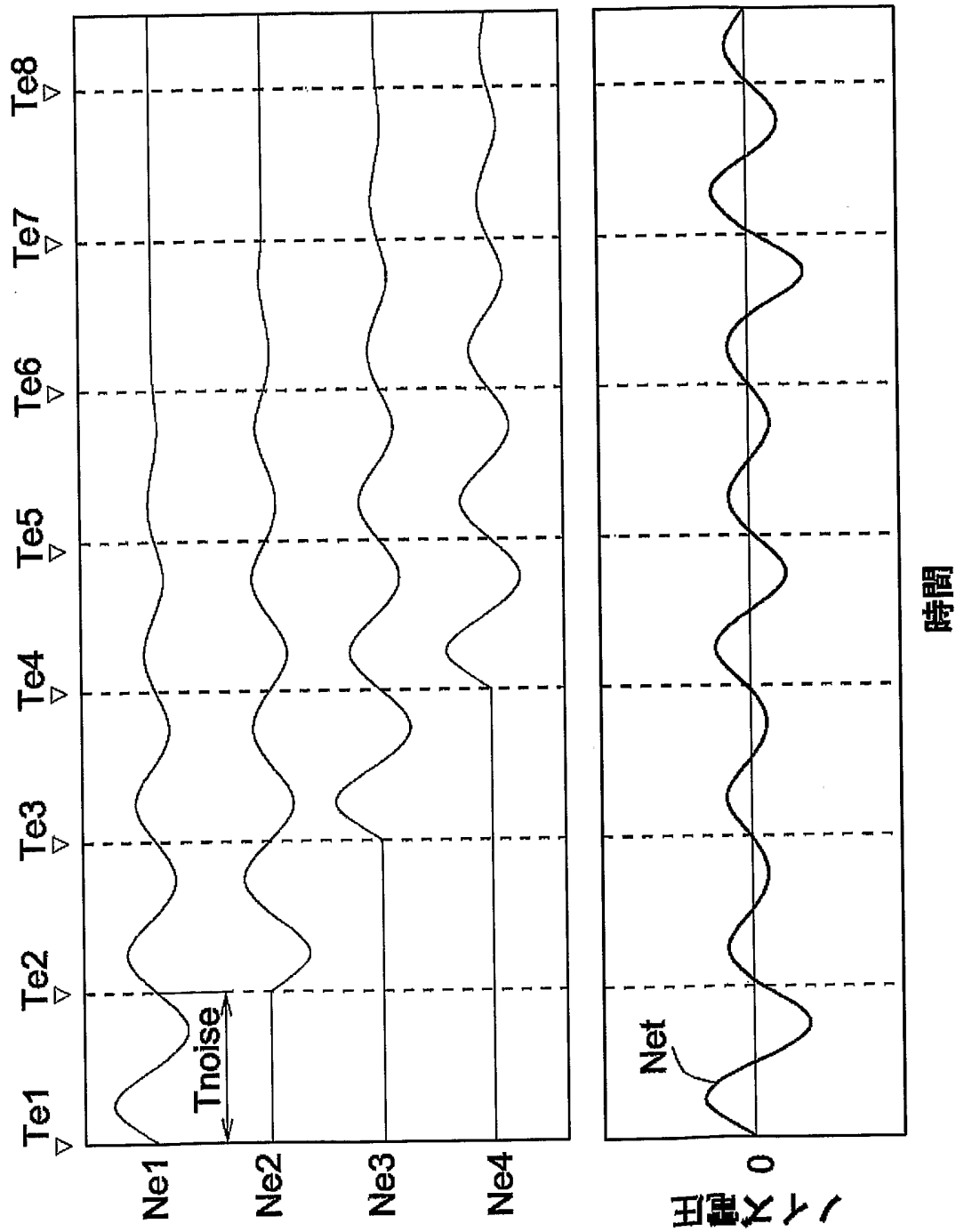
上記入力容量の調整は、伝送される複数ビットを用いて形成されたテ

スト信号を用いて発生させた上記ノイズをモニタして上記クロック信号との周期との判定結果により行われることを特徴とする信号伝送方法。

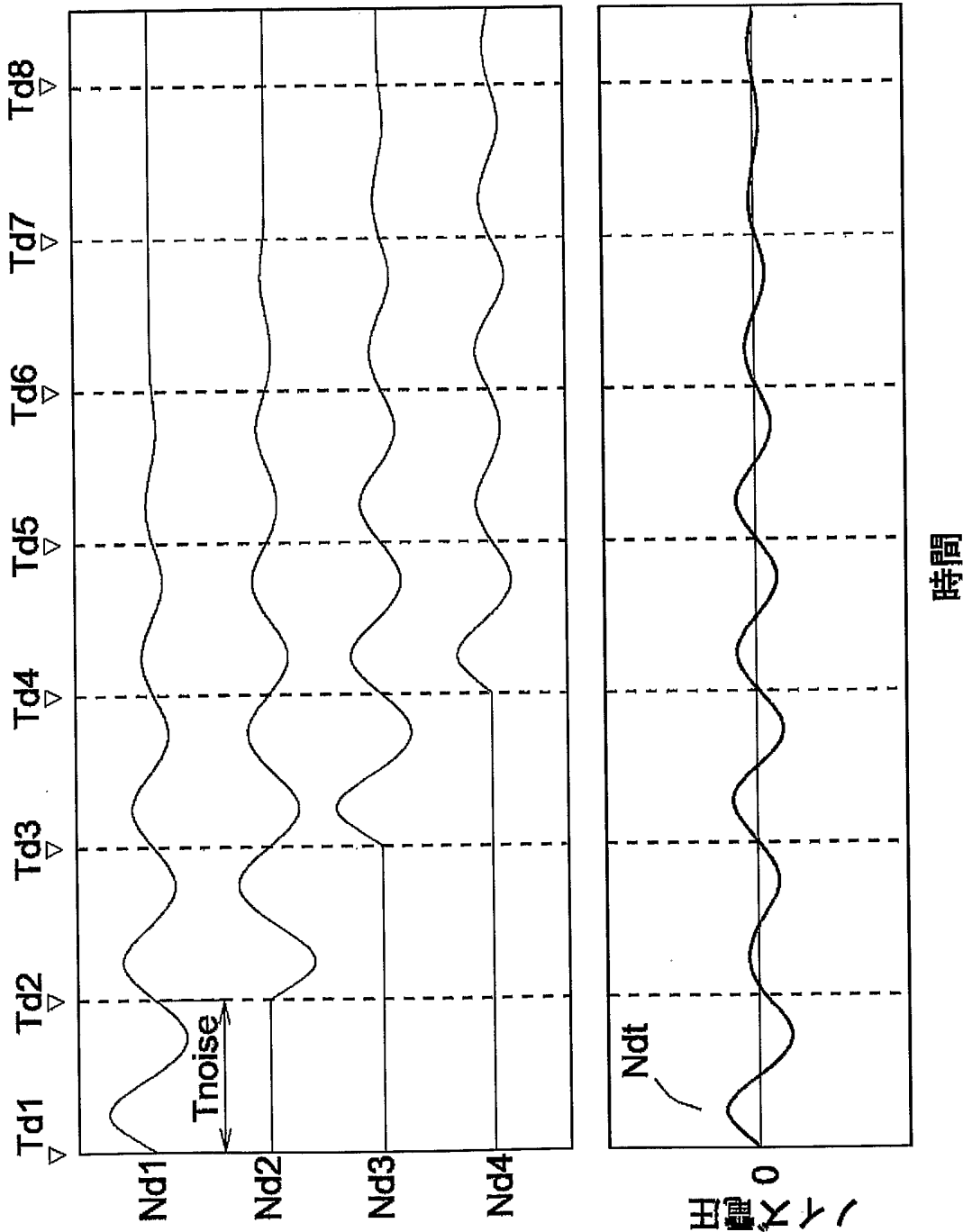
21. 請求の範囲第20項において、

- 05 上記テスト信号は、複数ビットのうちレベルが変化しない1つの信号と、レベルが変化させられる残りの信号からなり、上記レベルが変化しない1つの信号に対応した入力信号が上記モニタすべきノイズとされることを特徴とする信号伝送方法。

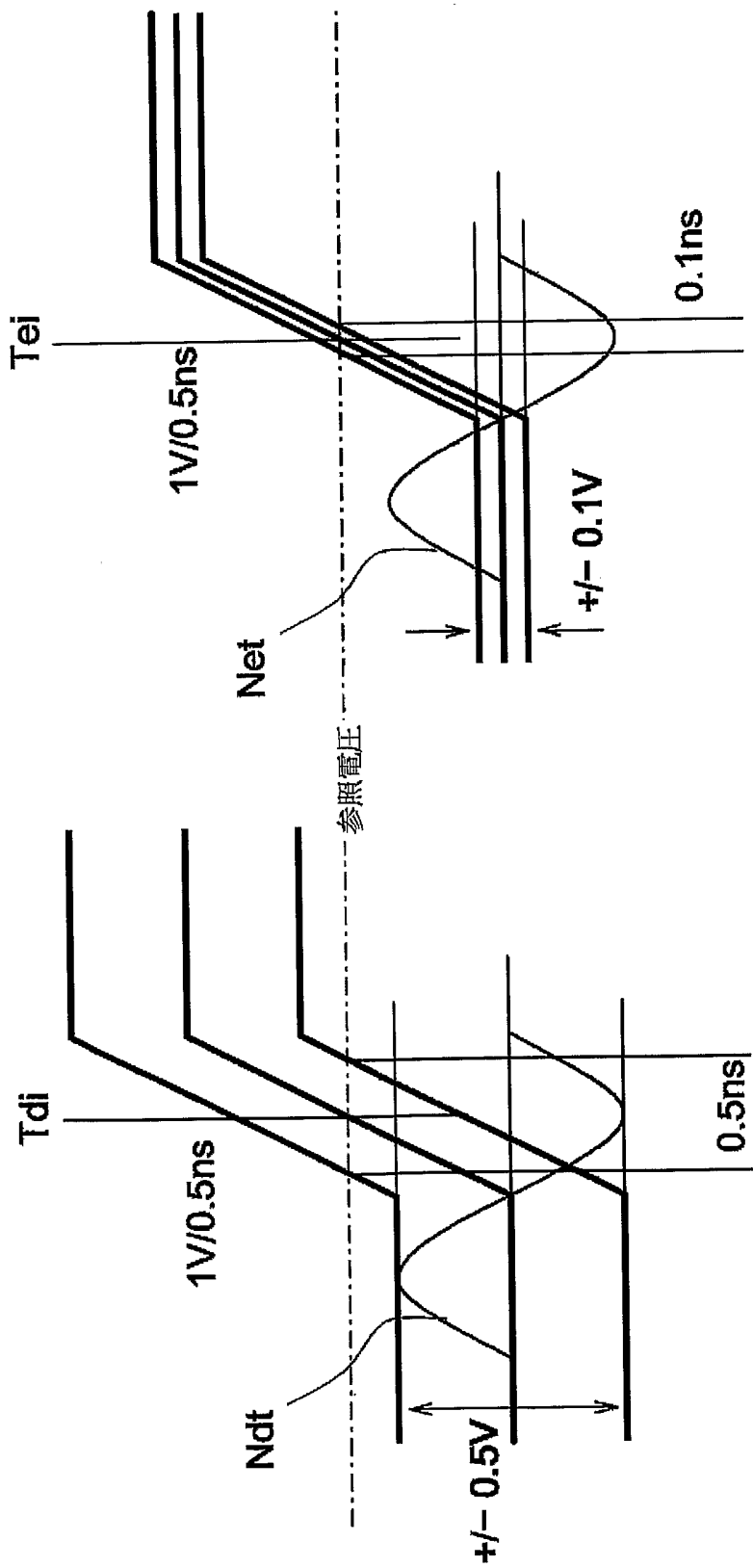
第 1 図



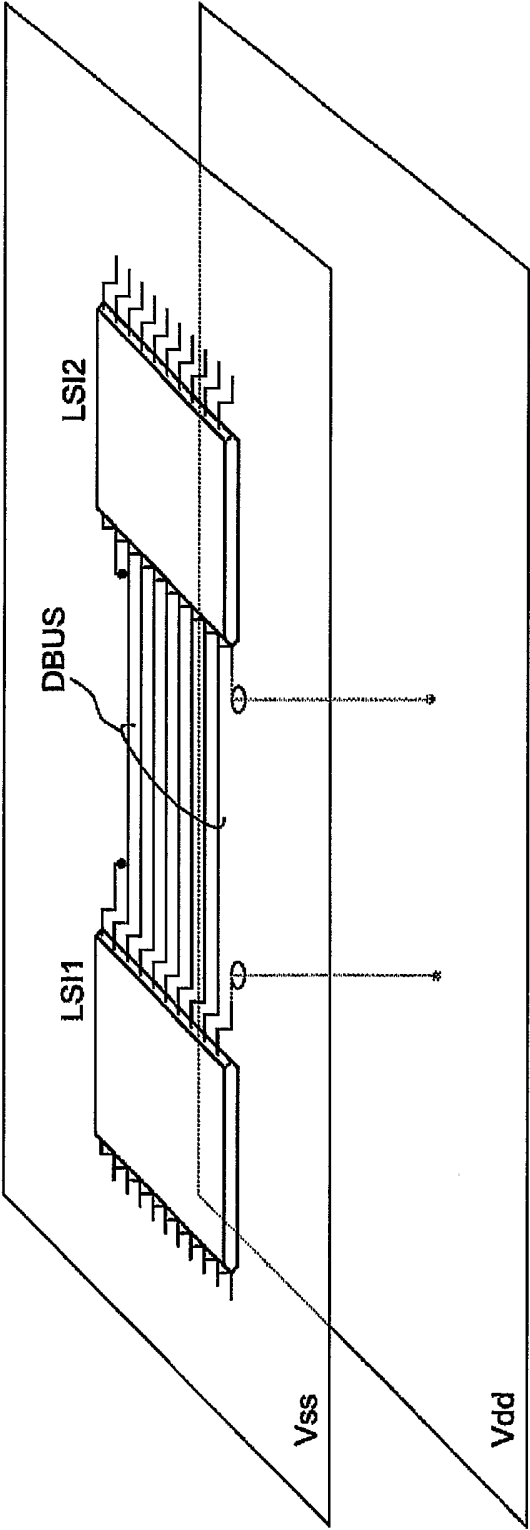
第 2 図



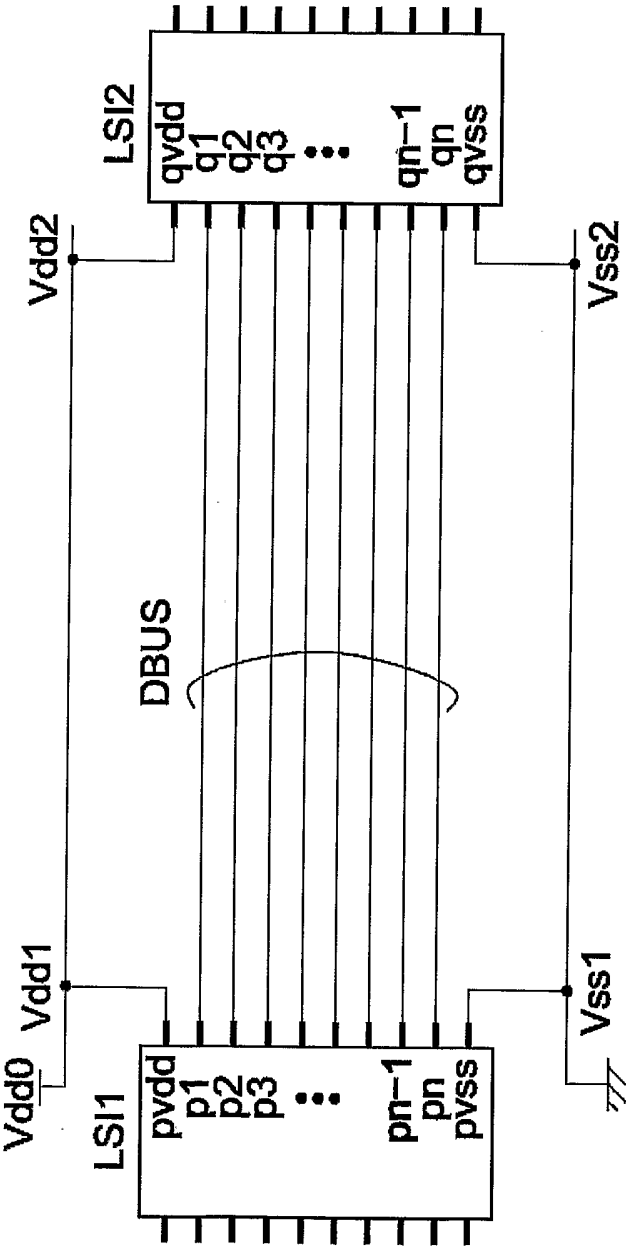
第 3 図



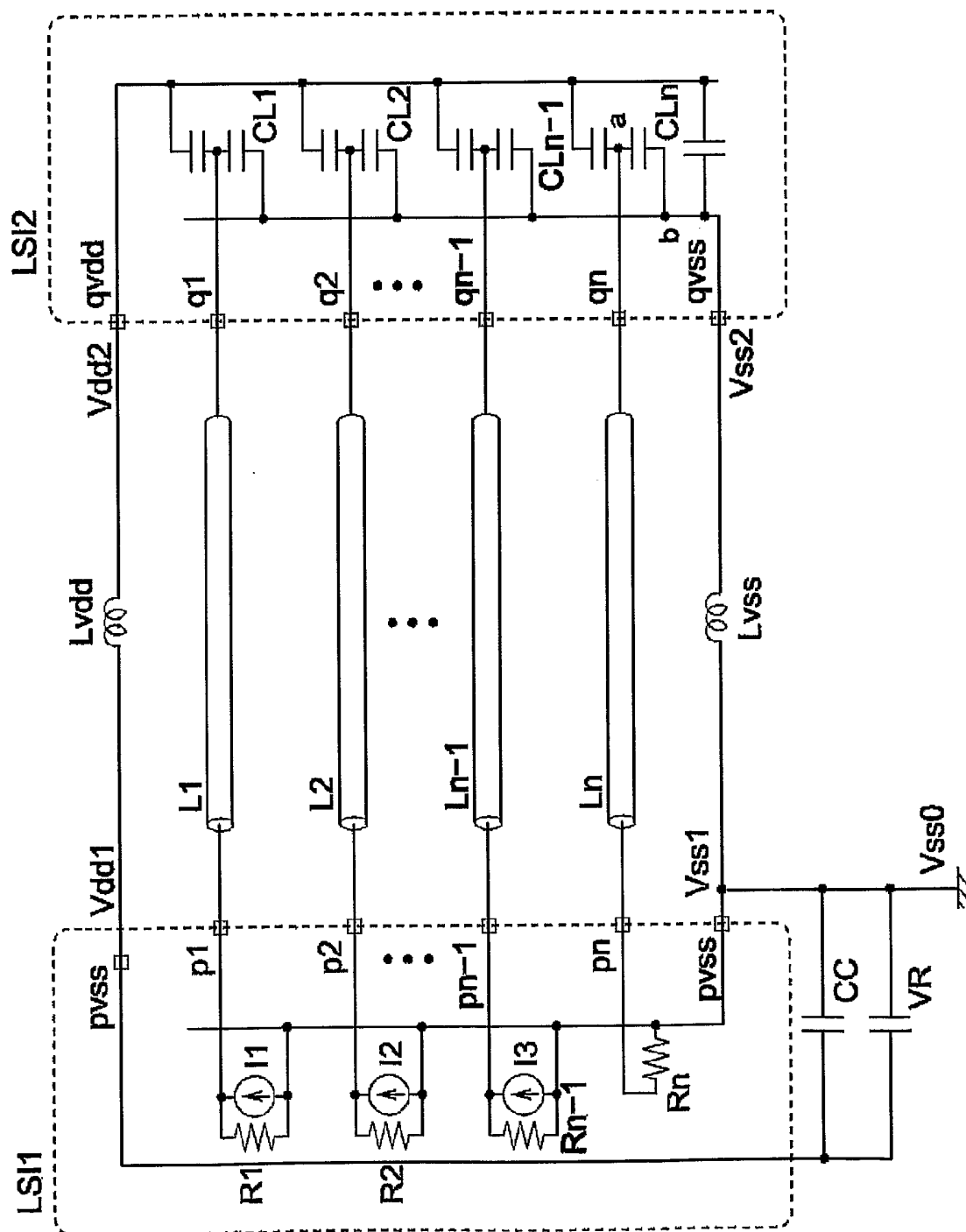
第 4 図



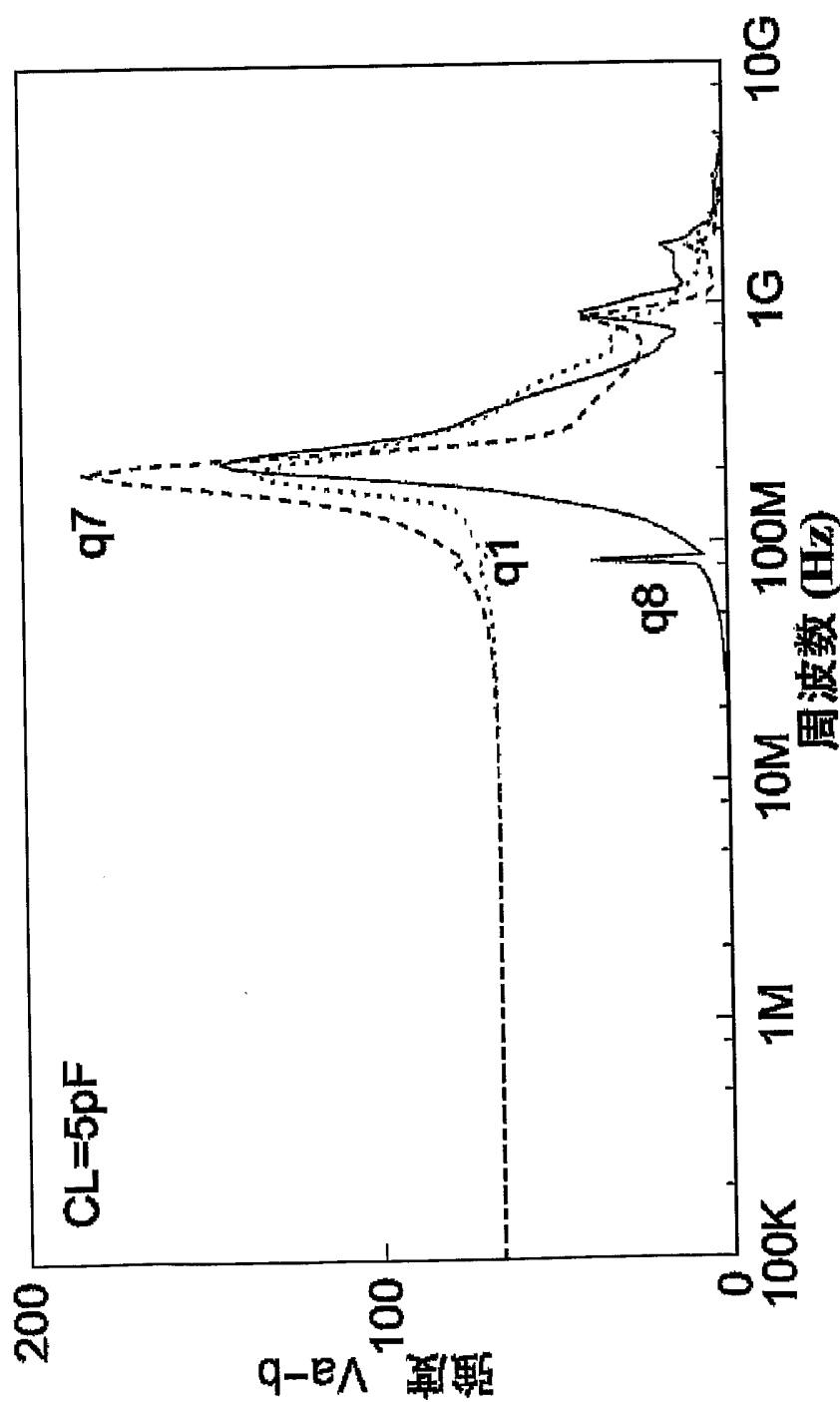
第 5 図



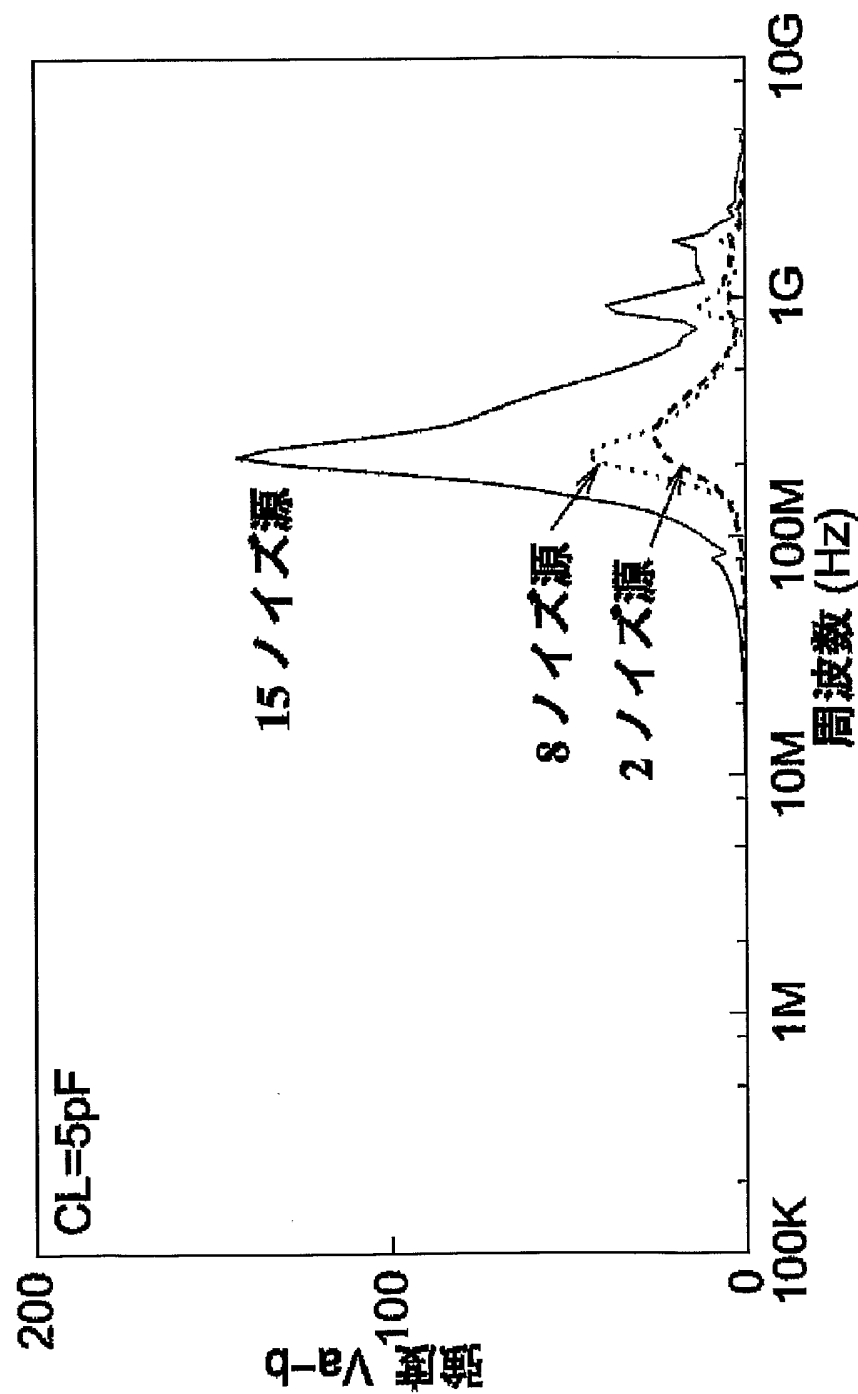
第 6 図



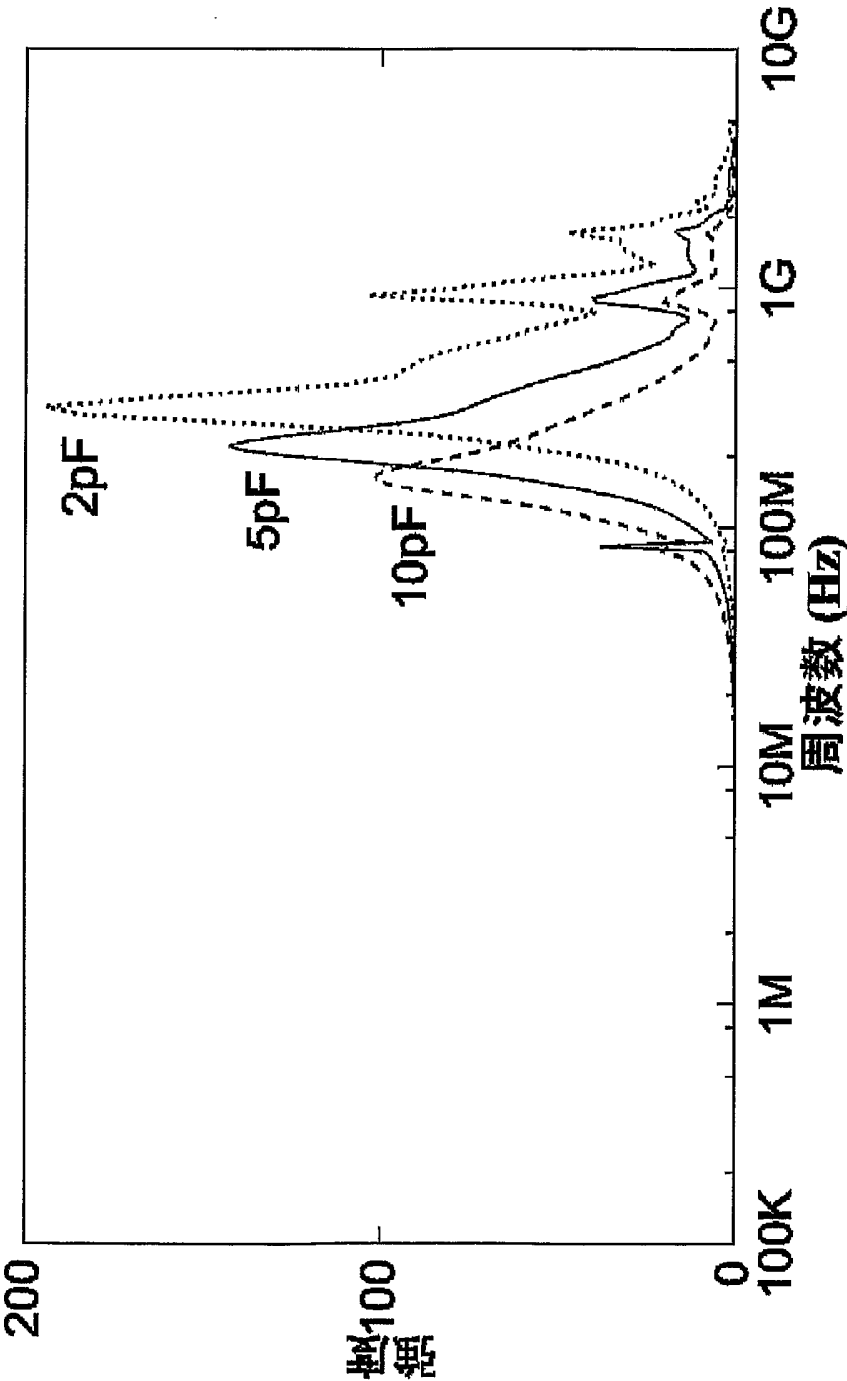
第 7 図



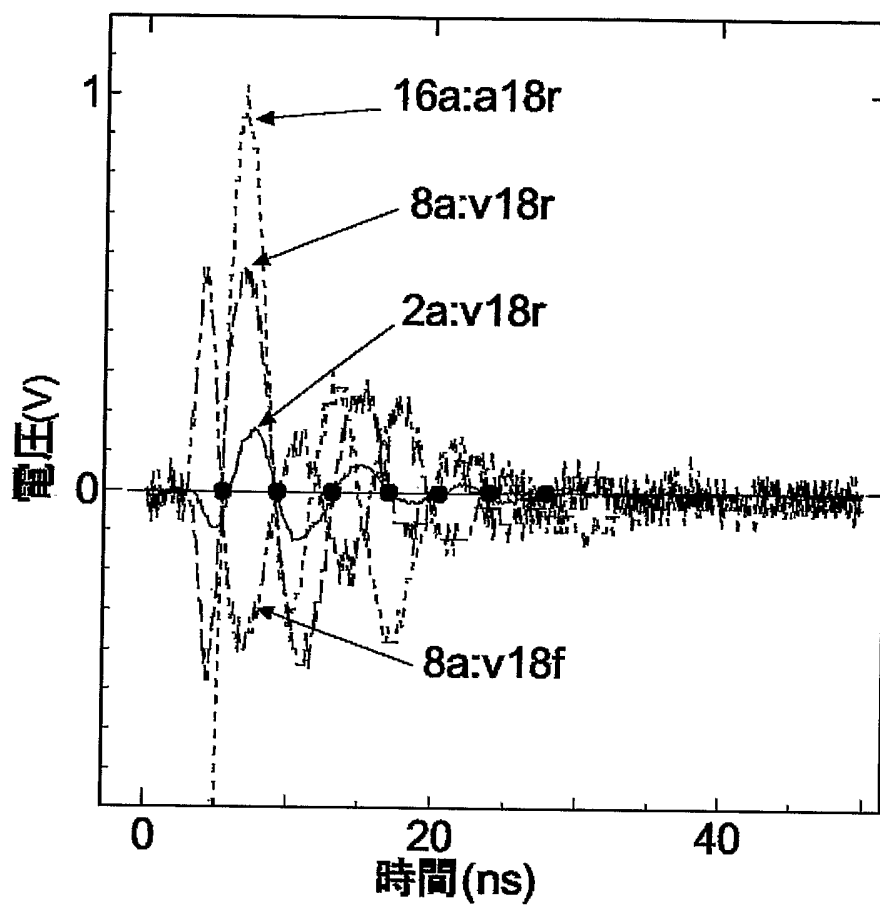
第 8 図



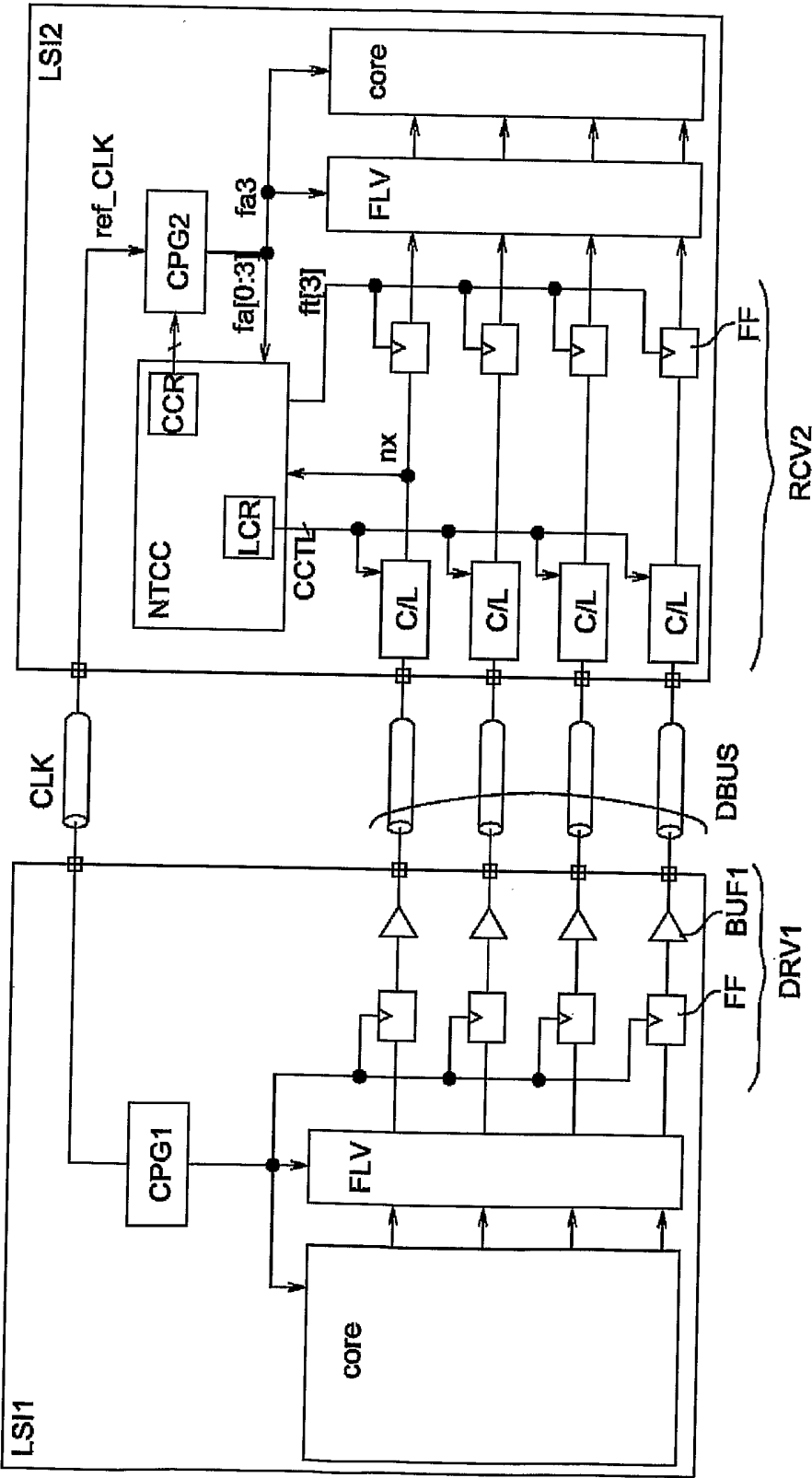
第 9 図



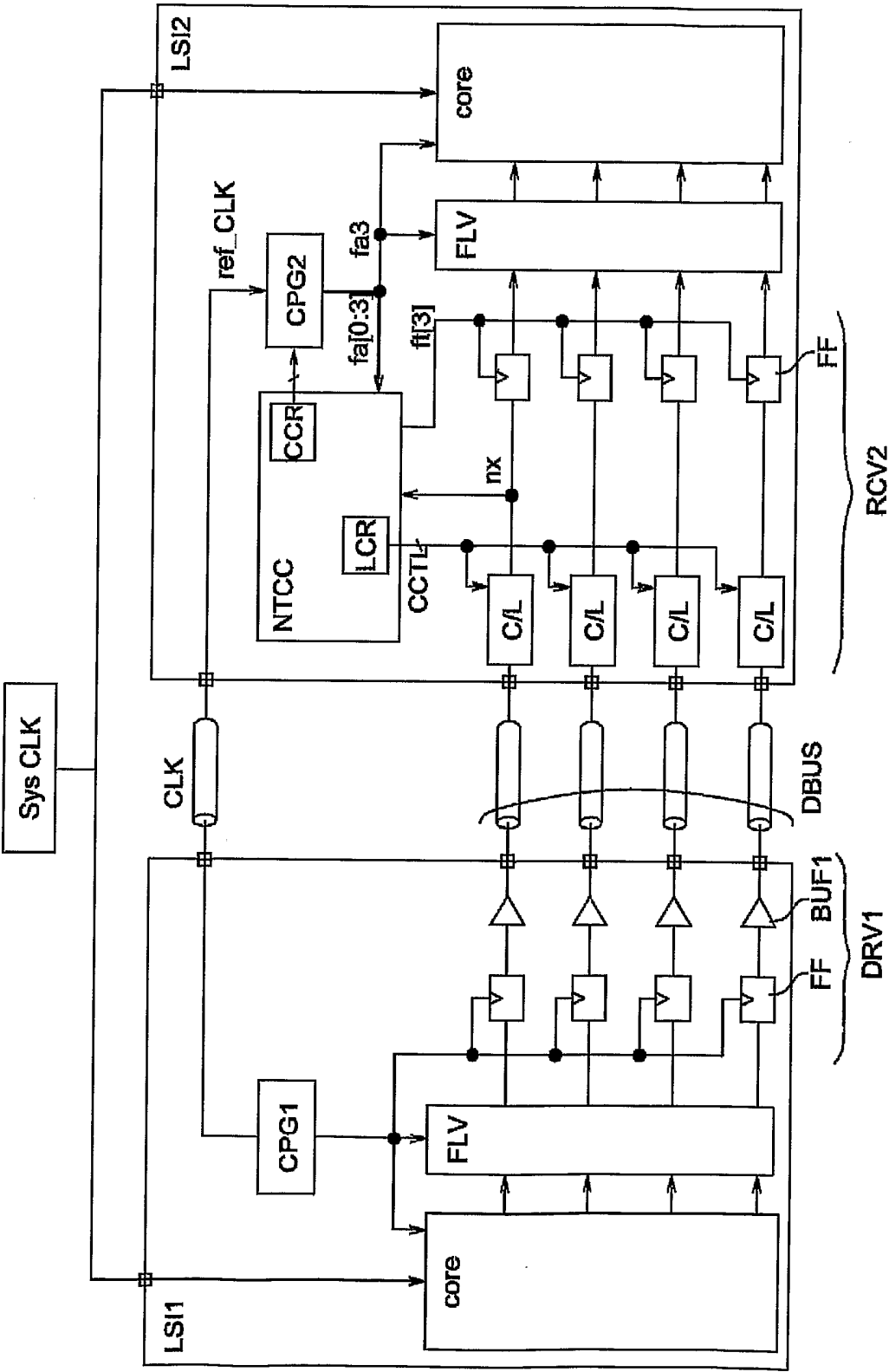
第 1 0 図



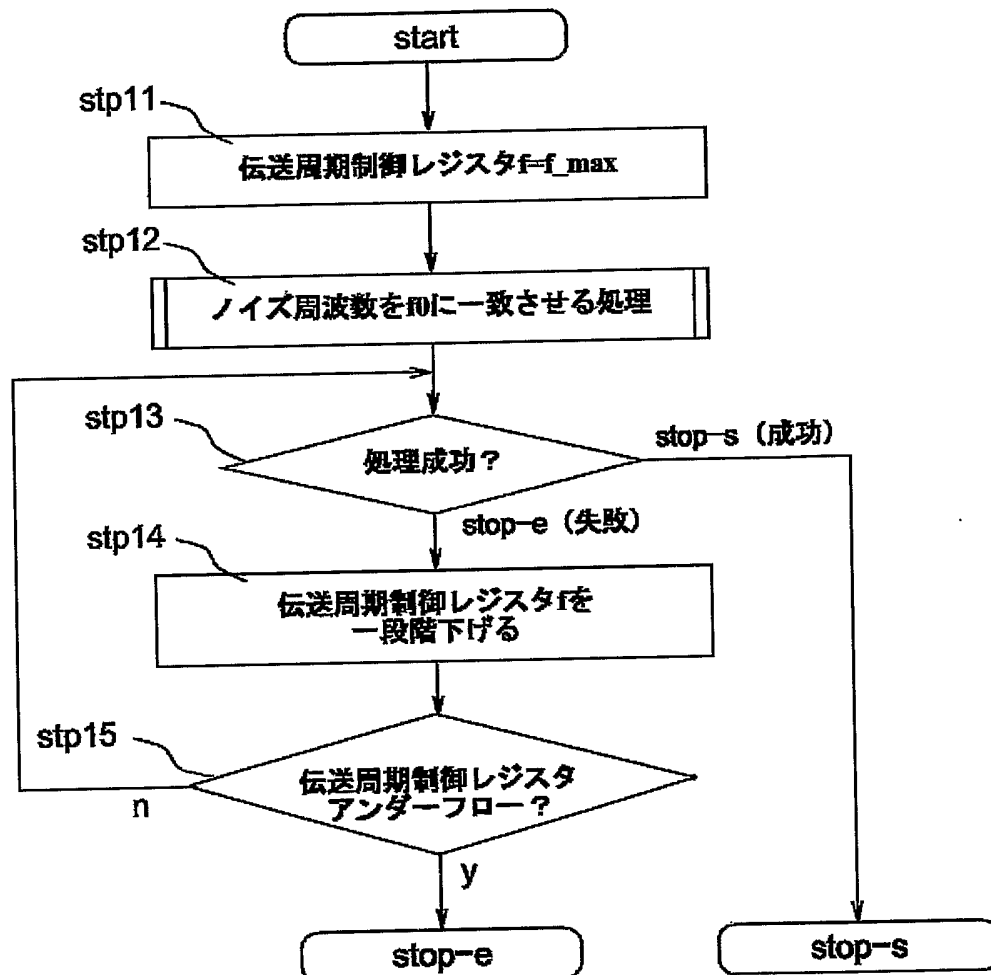
第 1 1 図



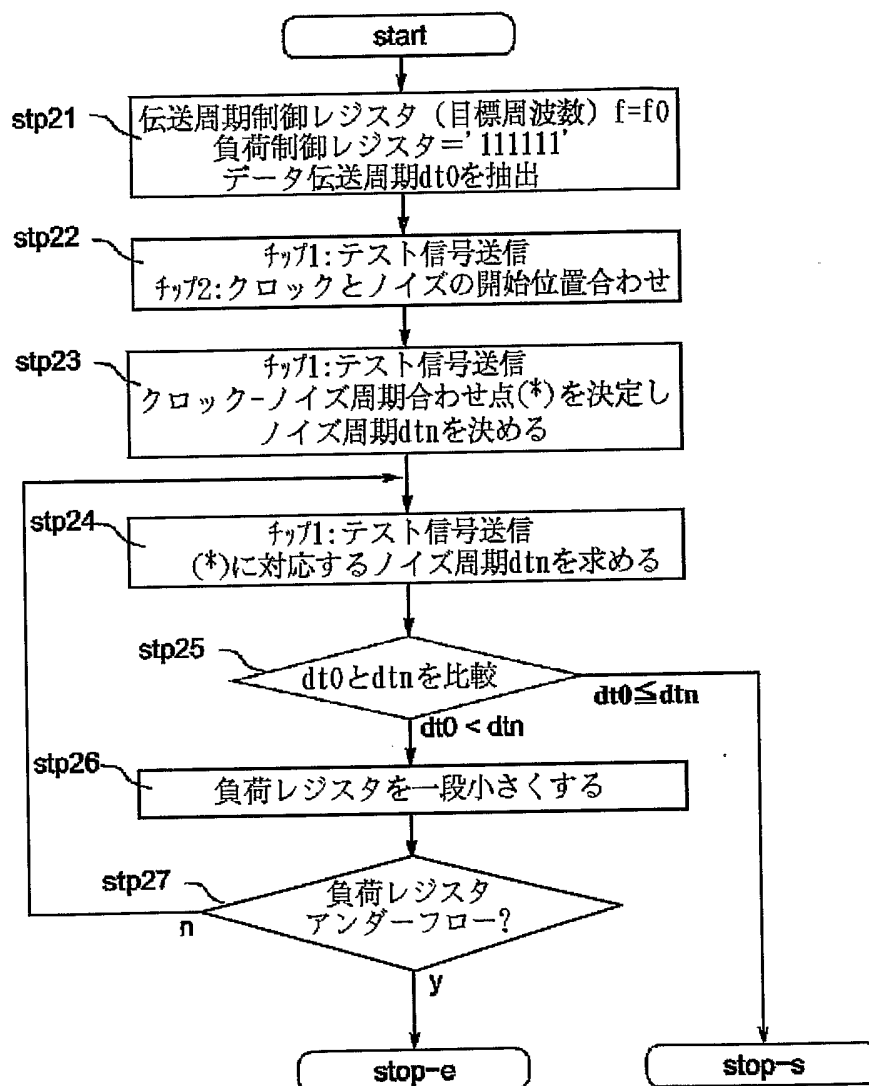
第 1 2 図



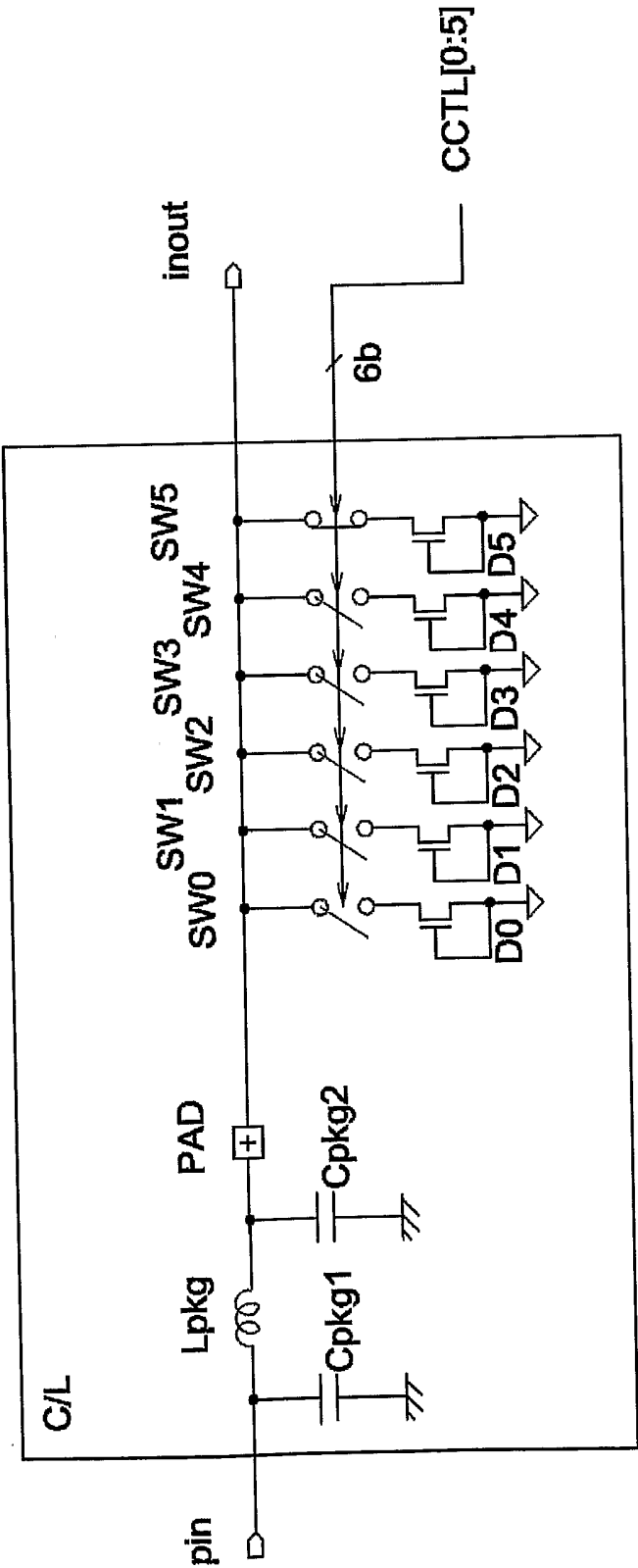
第 1 3 図



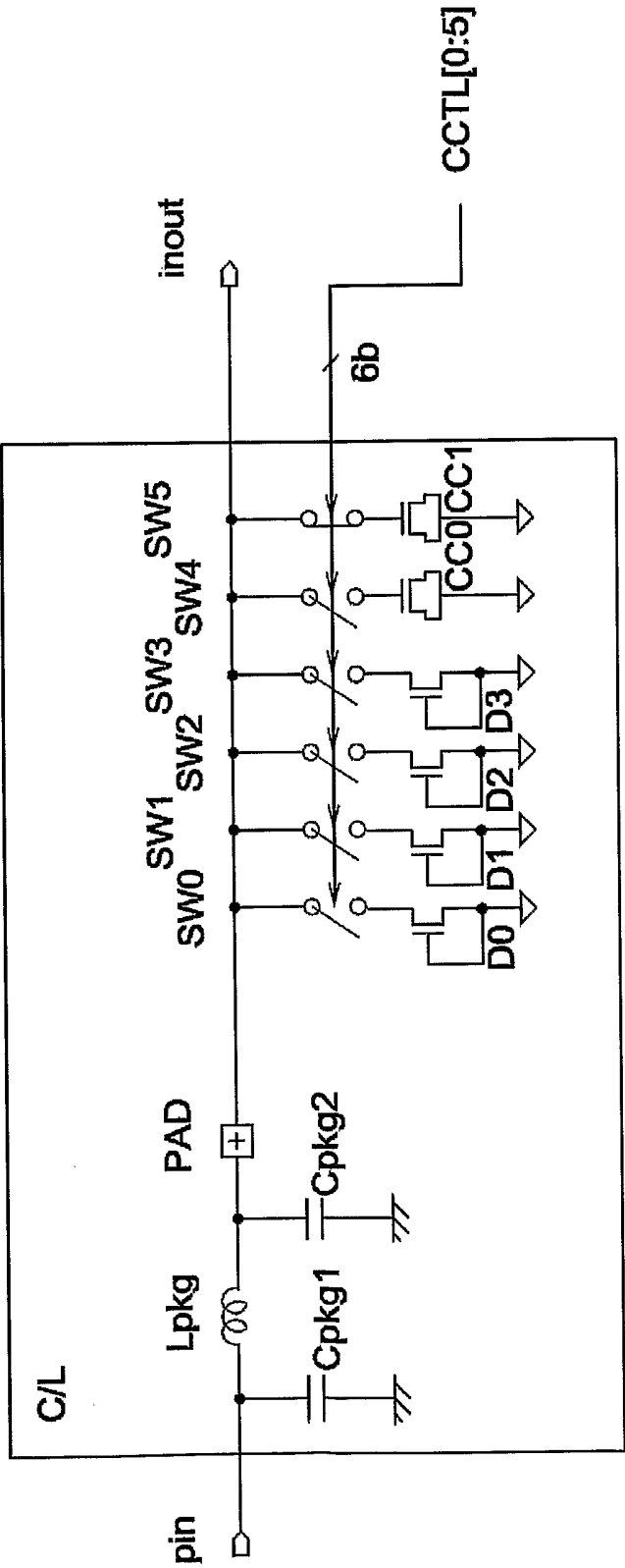
第 1 4 図



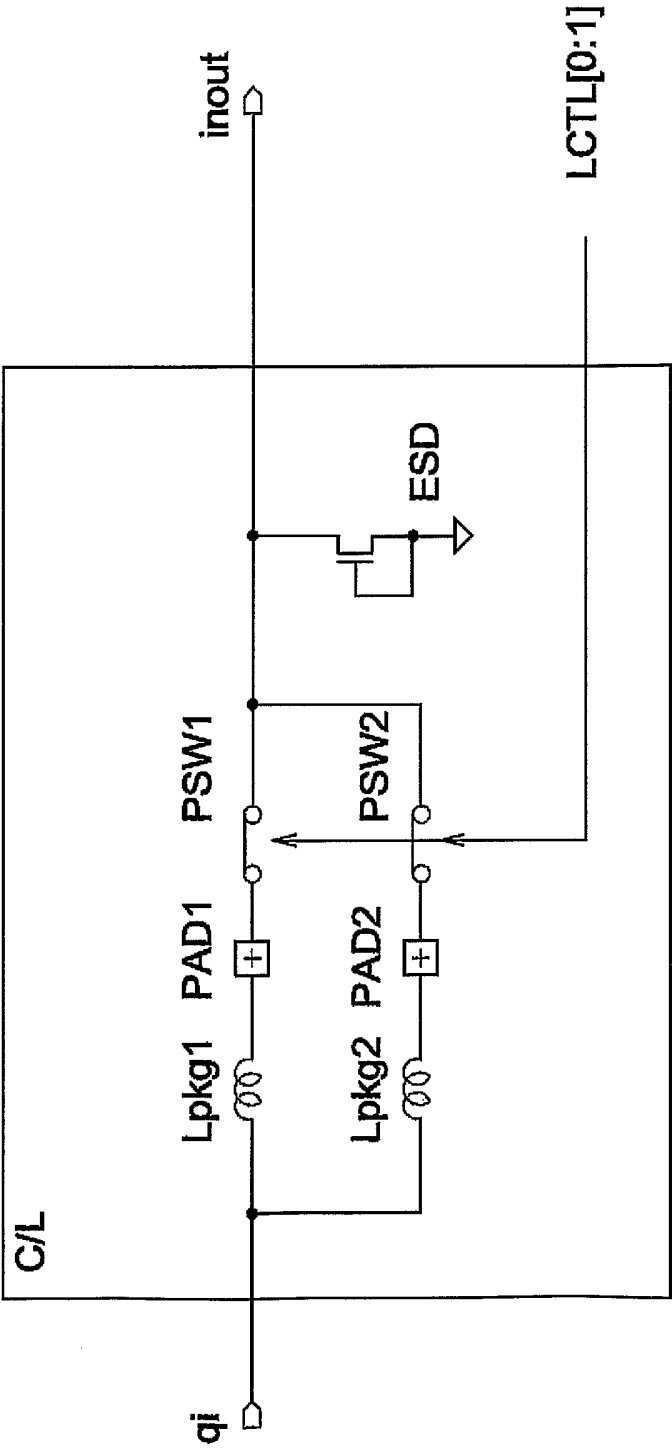
第 1 5 図



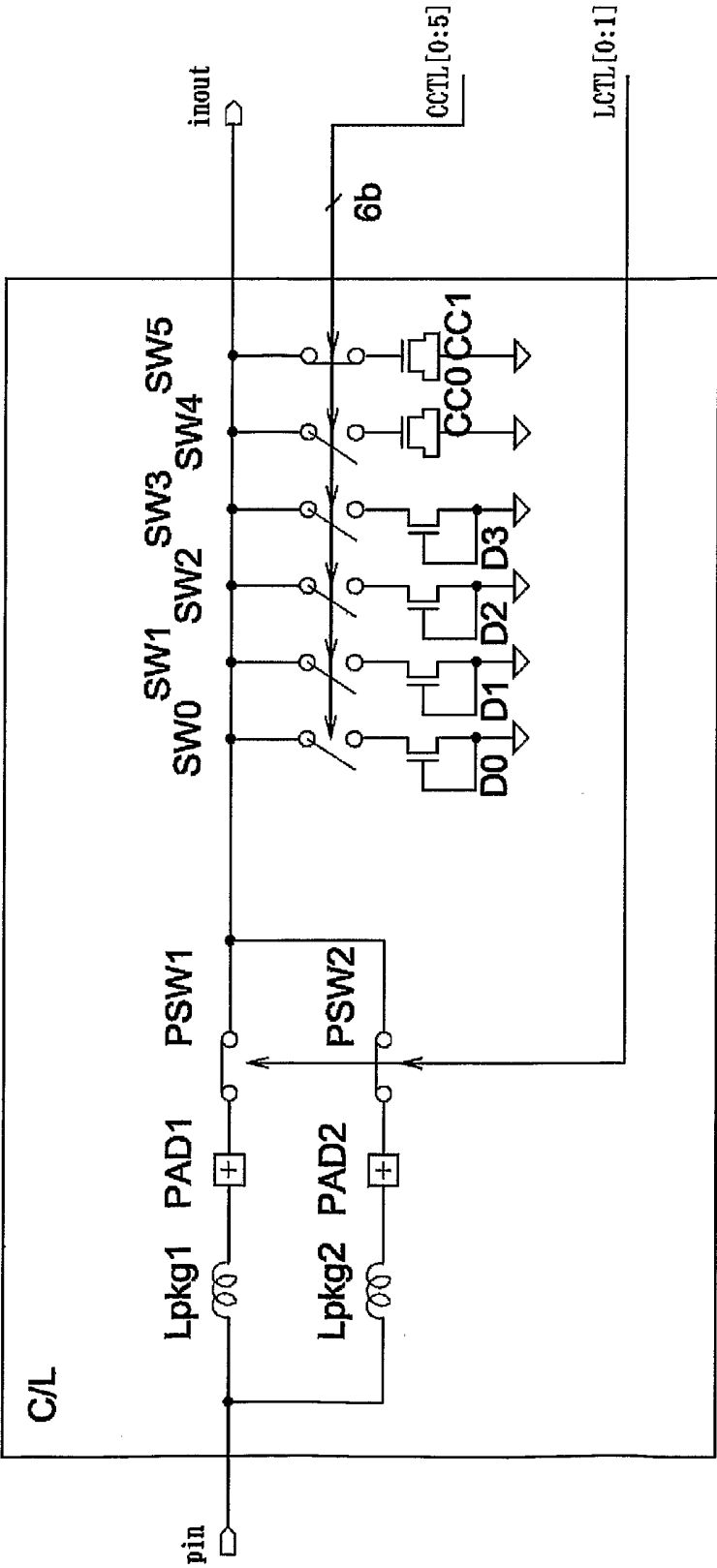
第 1 6 図



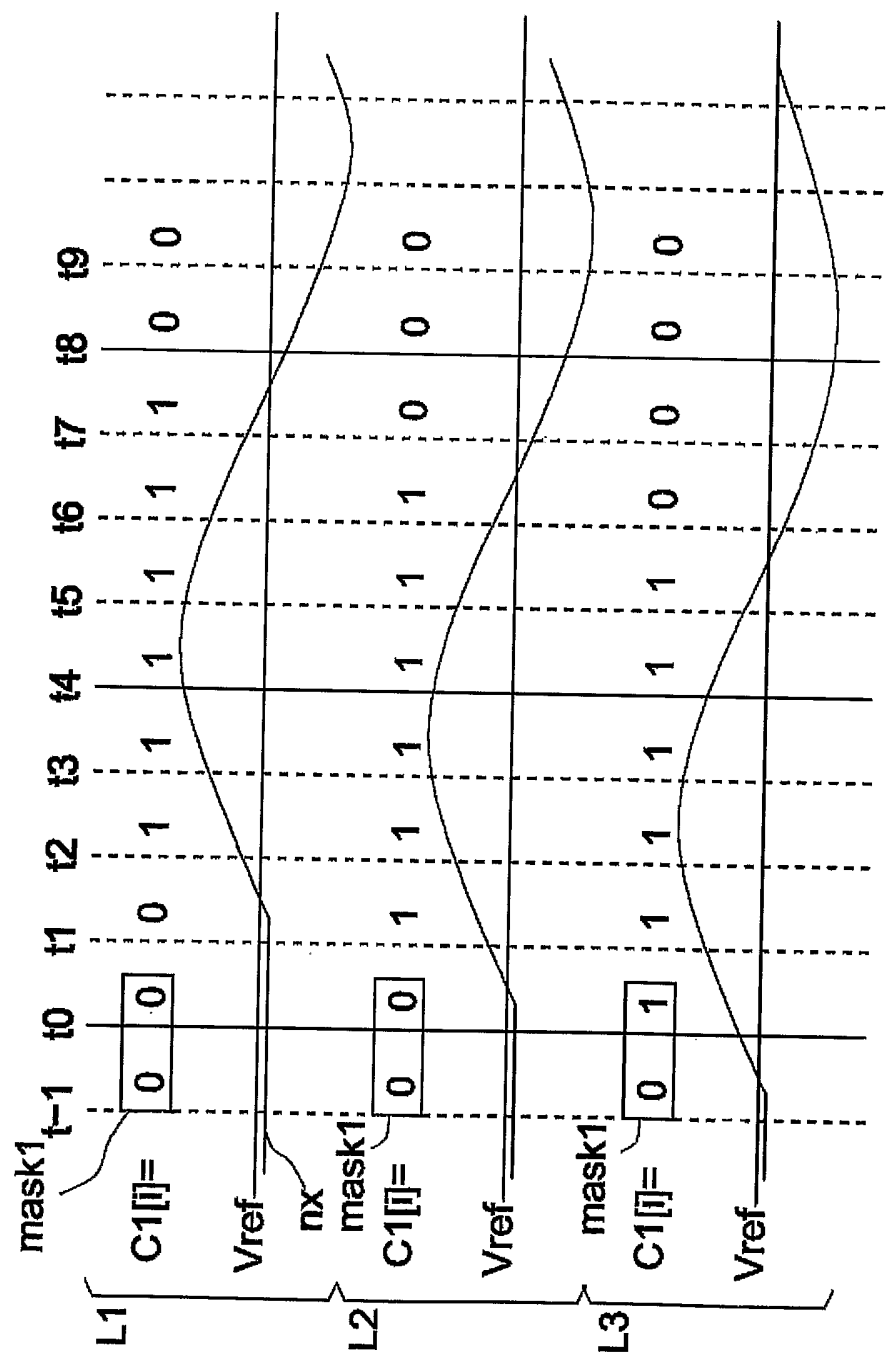
第 1 7 図



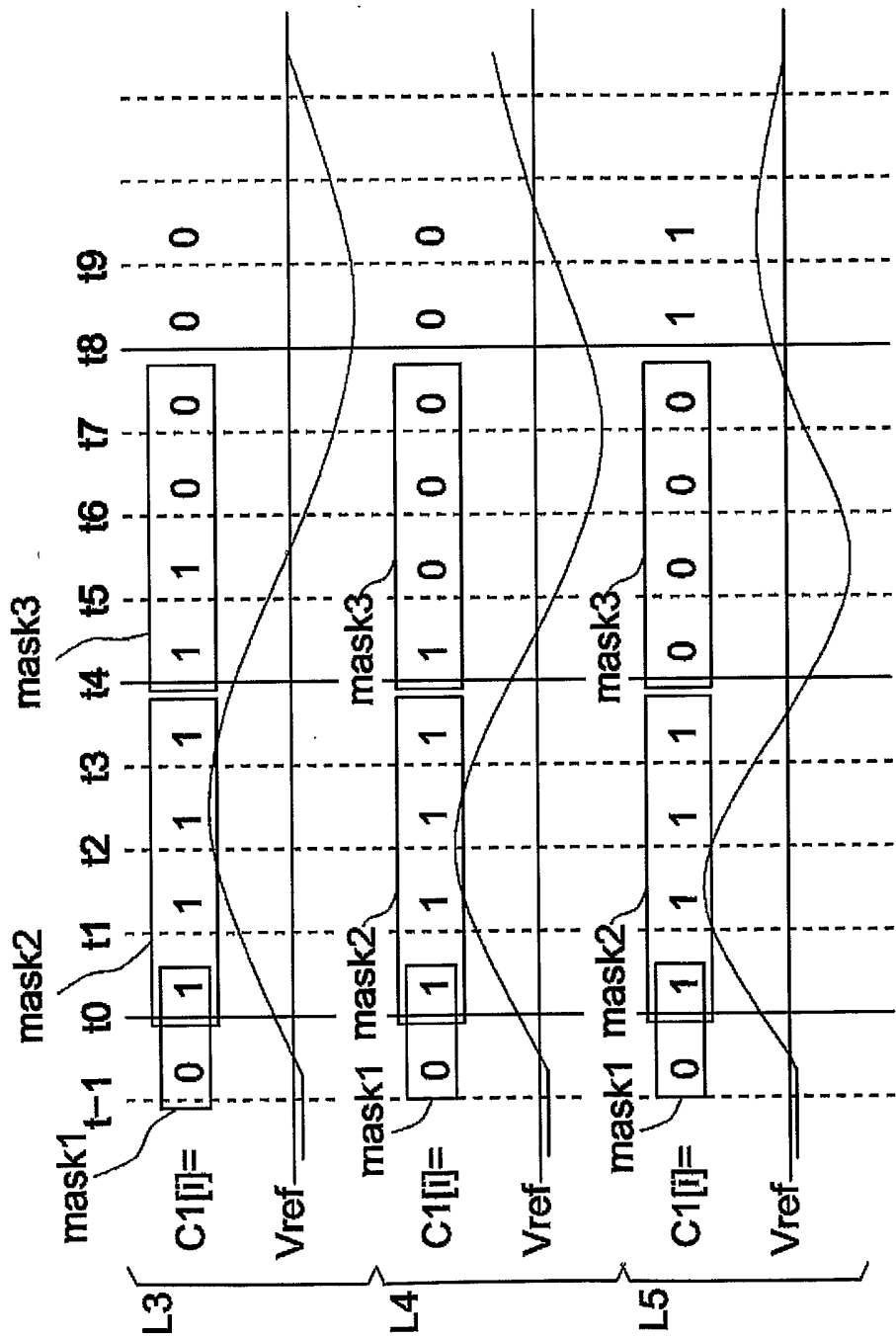
第 1 8 図



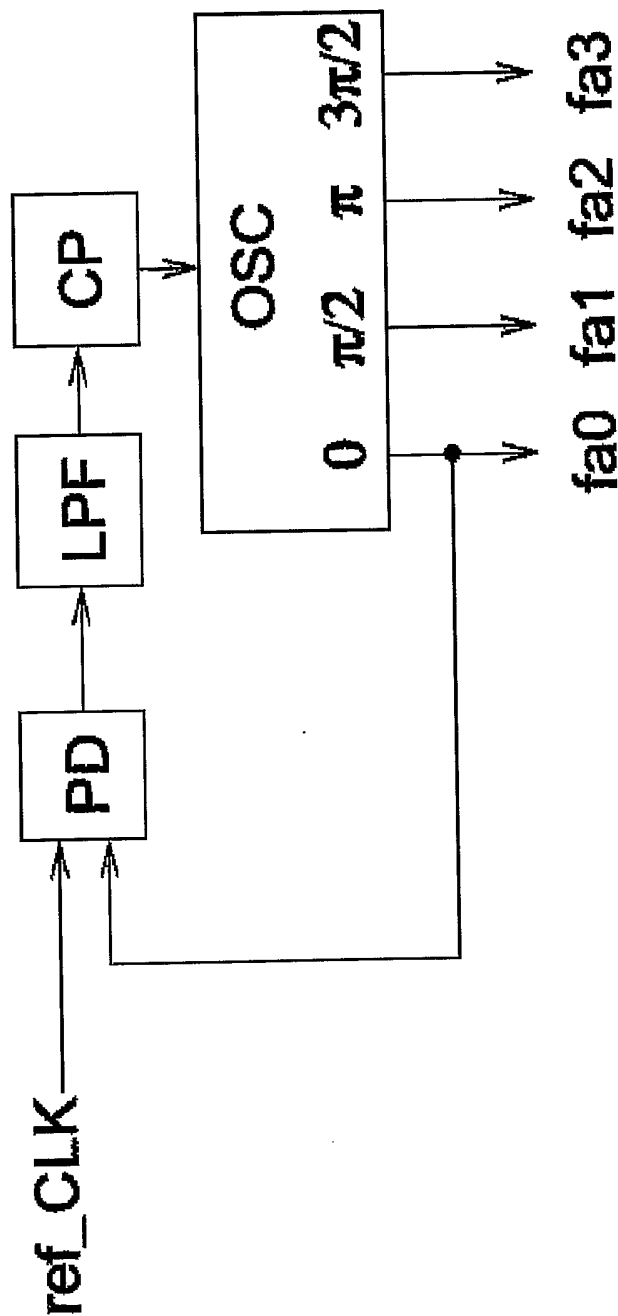
第 2 1 図



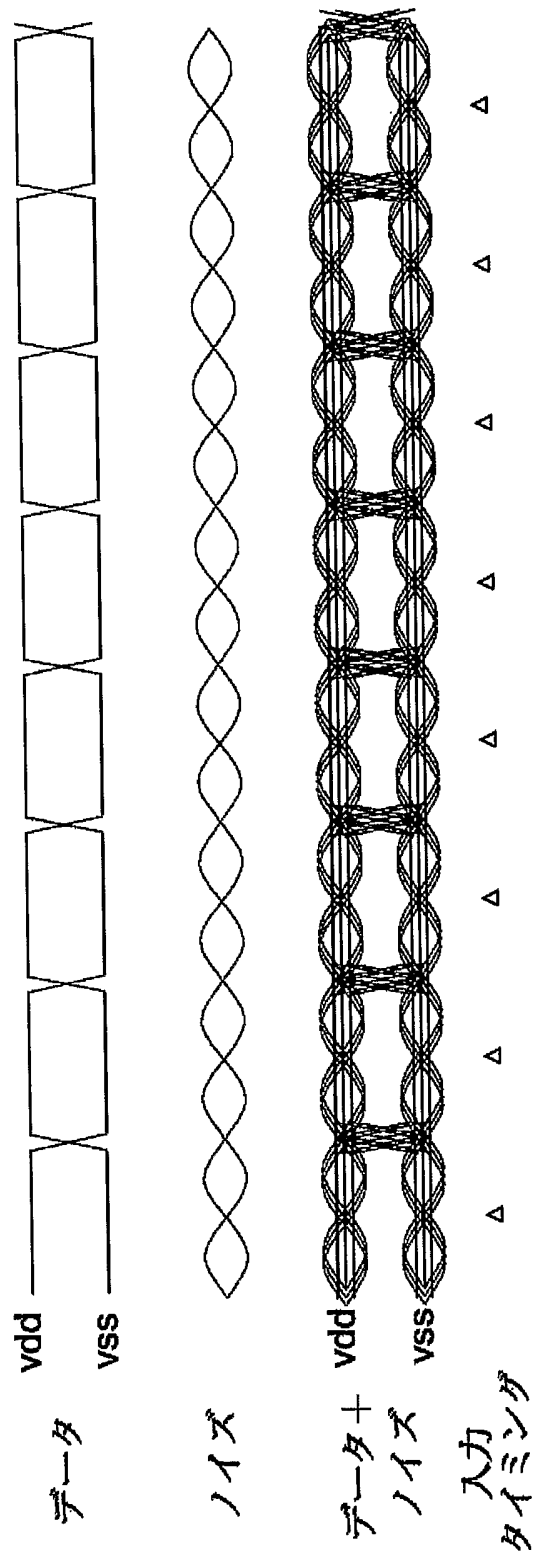
第 2 2 図



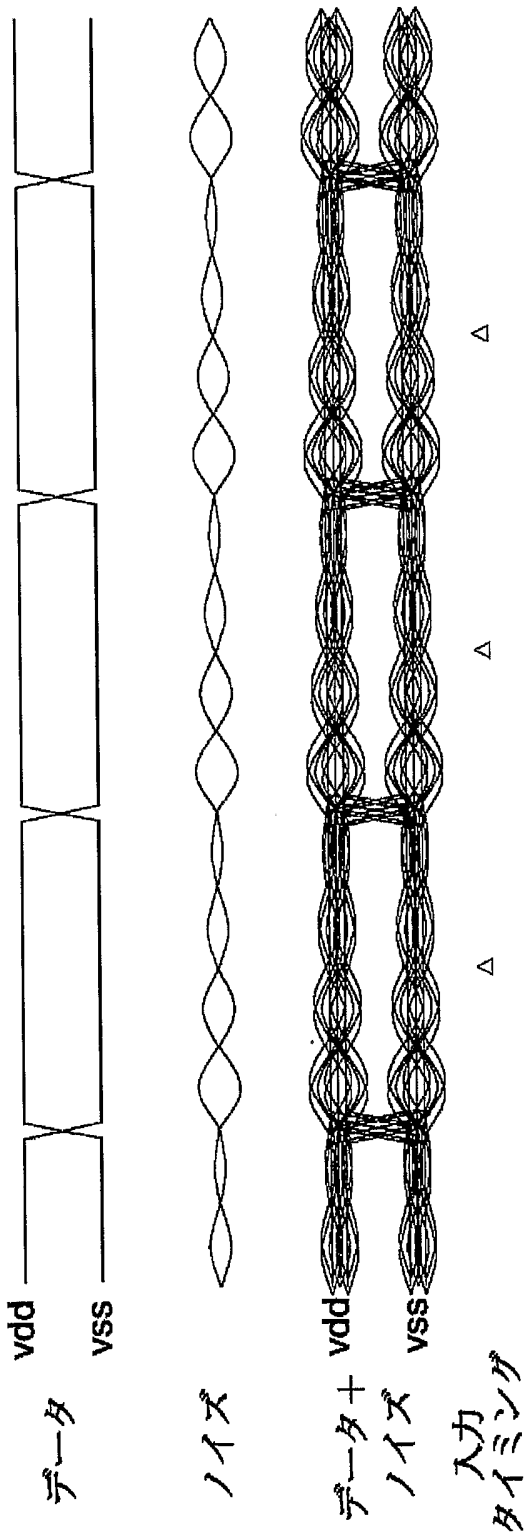
第 2 3 図



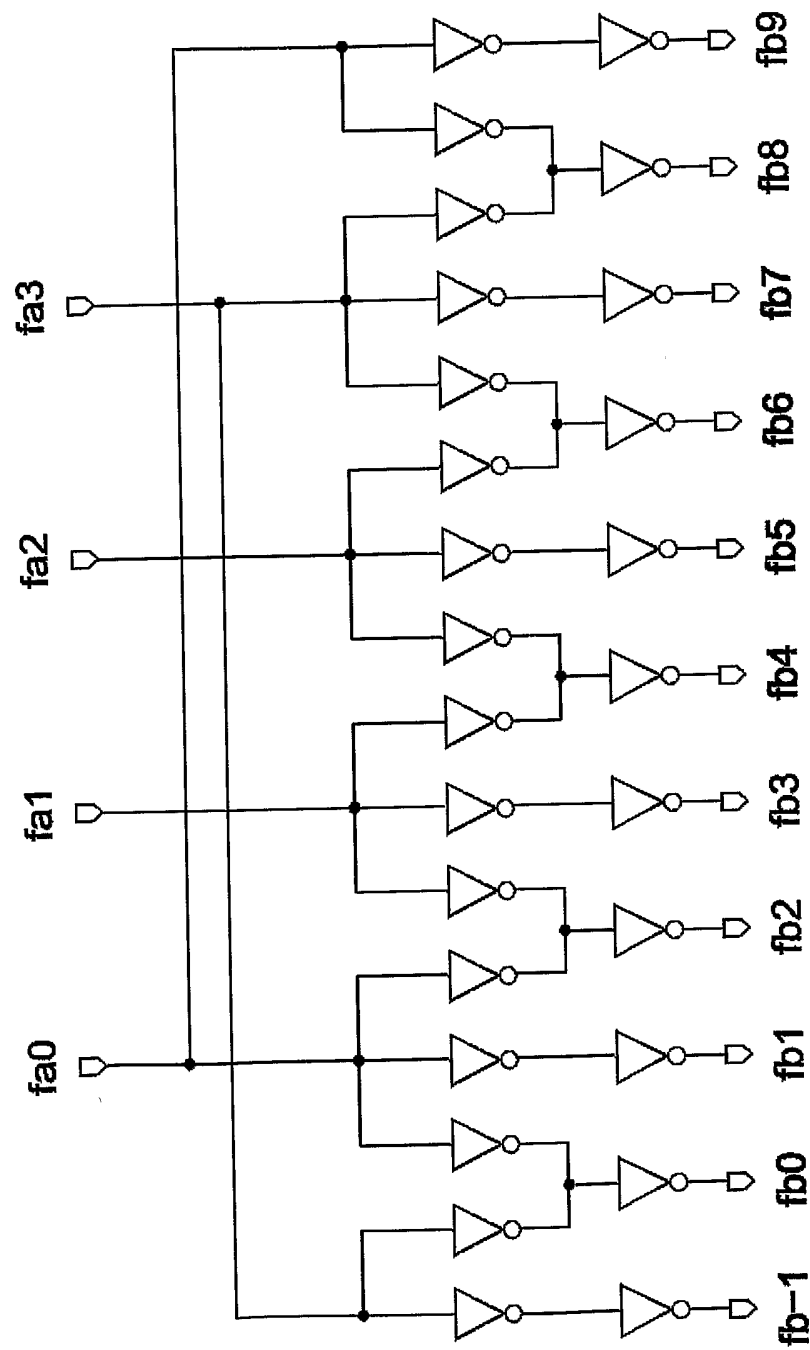
第 2 4 図



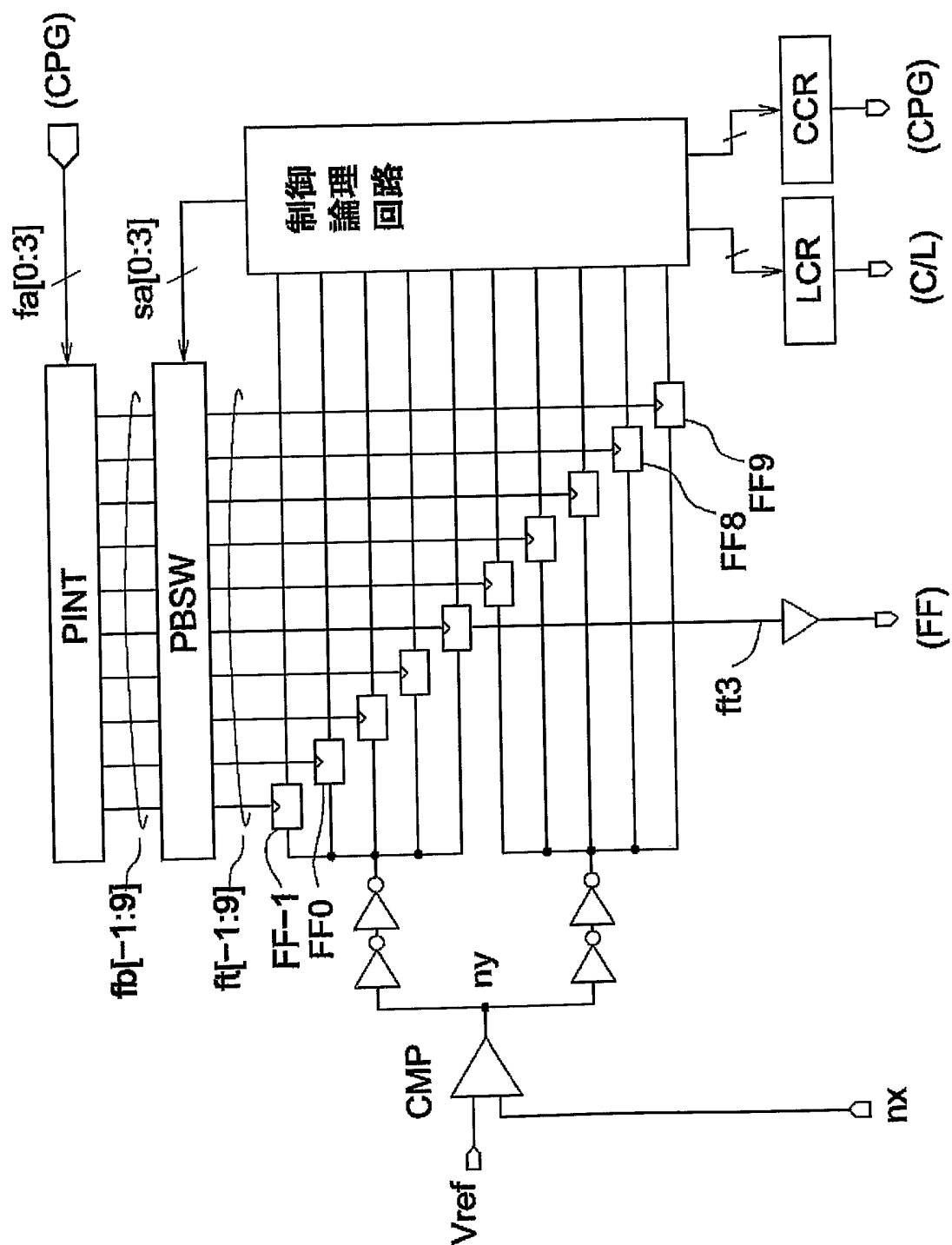
第 2 5 図



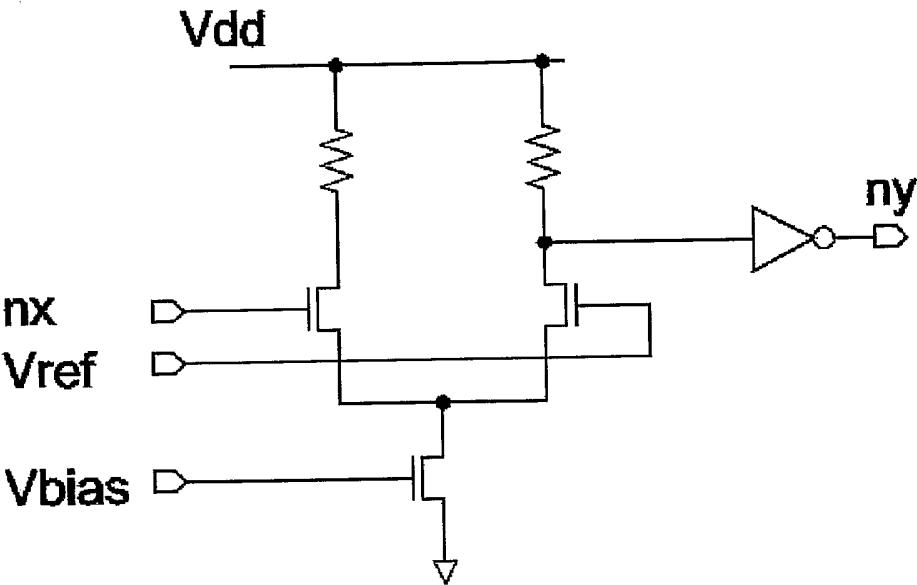
第 2 6 図



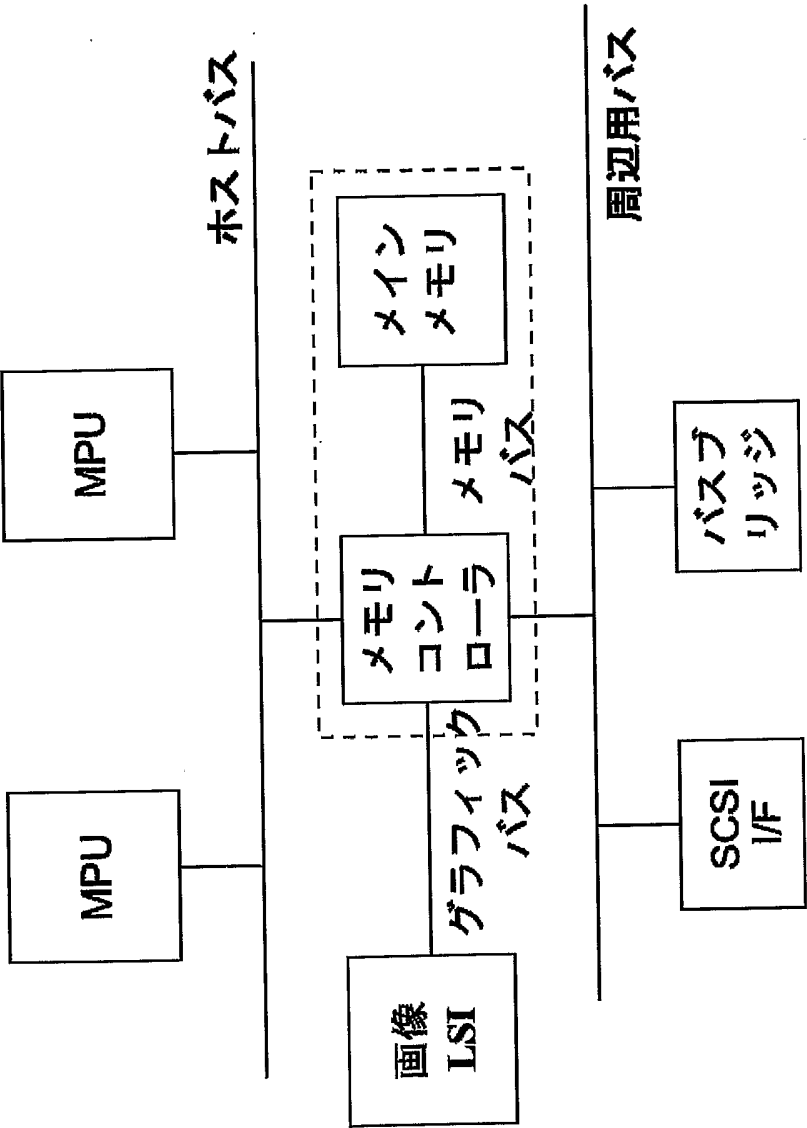
第 27 図



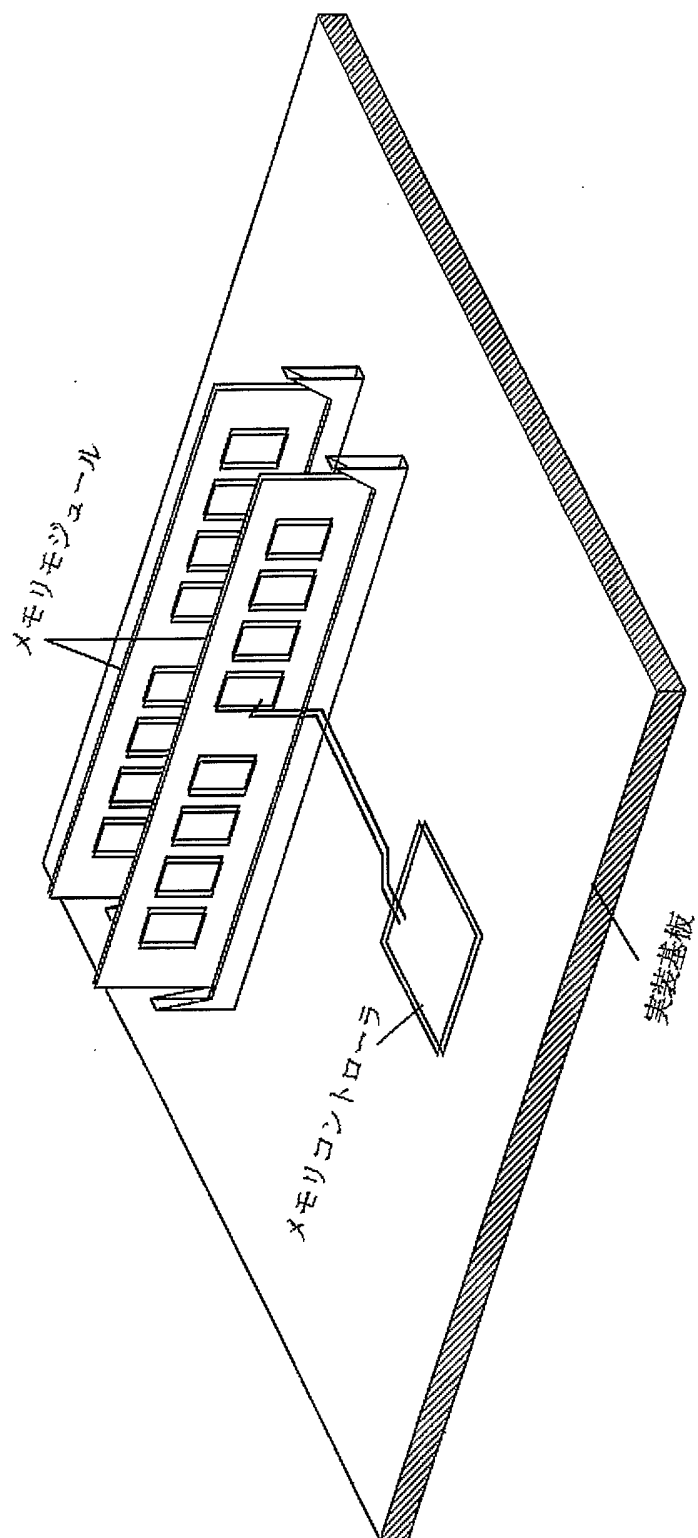
第 2 8 図



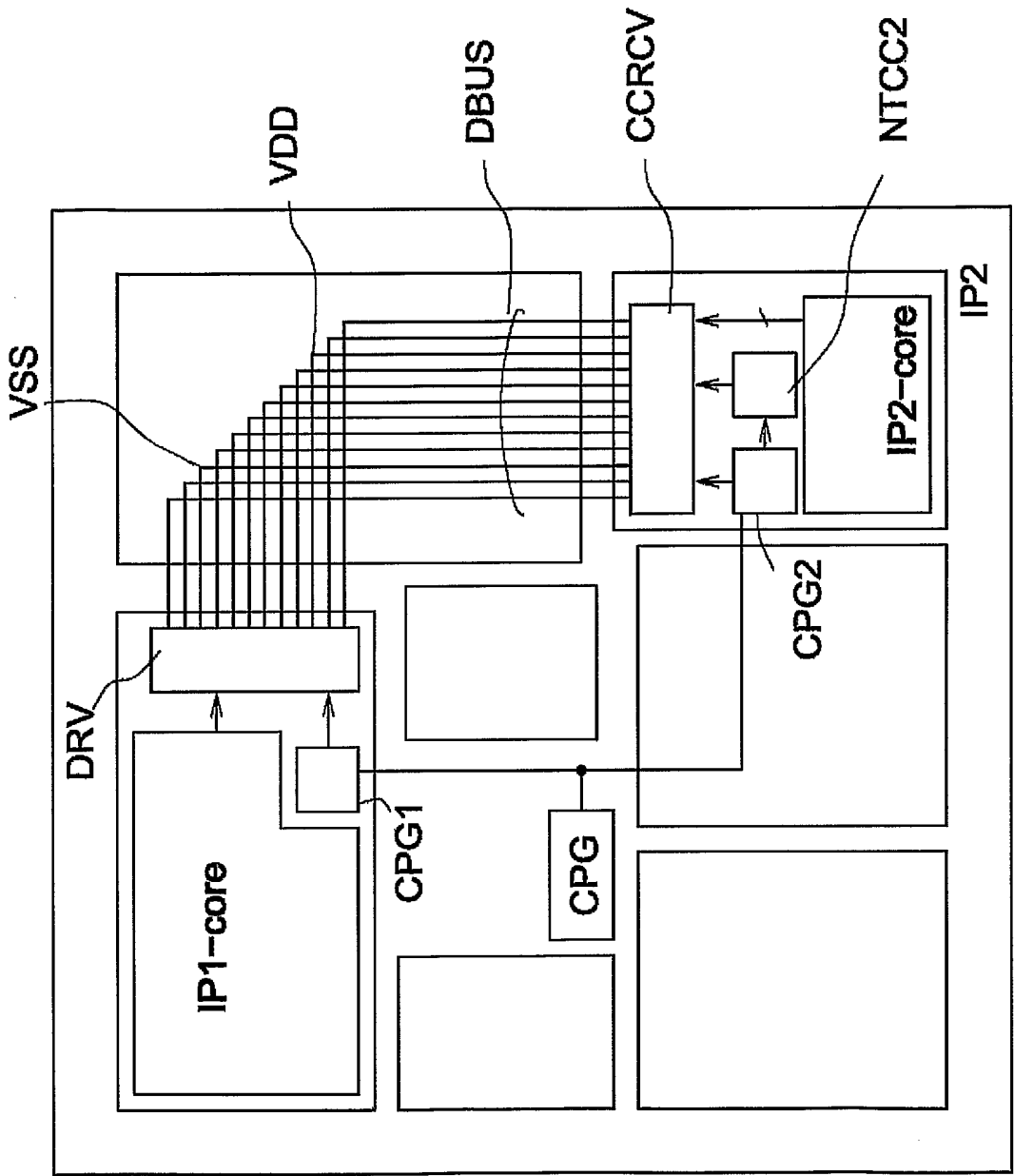
第 2 9 図



第 30 図

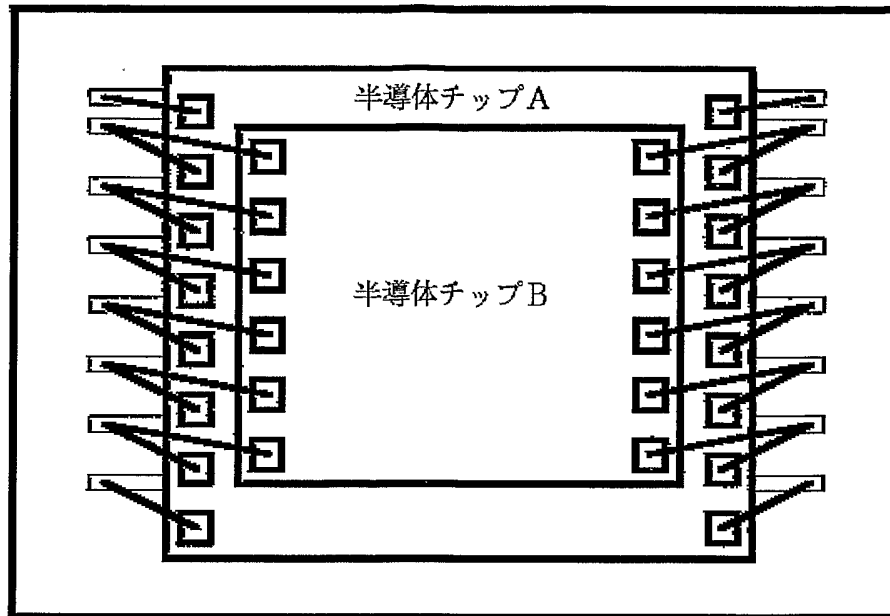


第 3 1 図

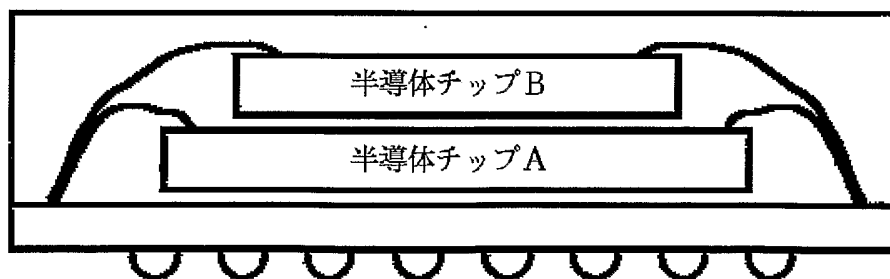


第 3 2 図

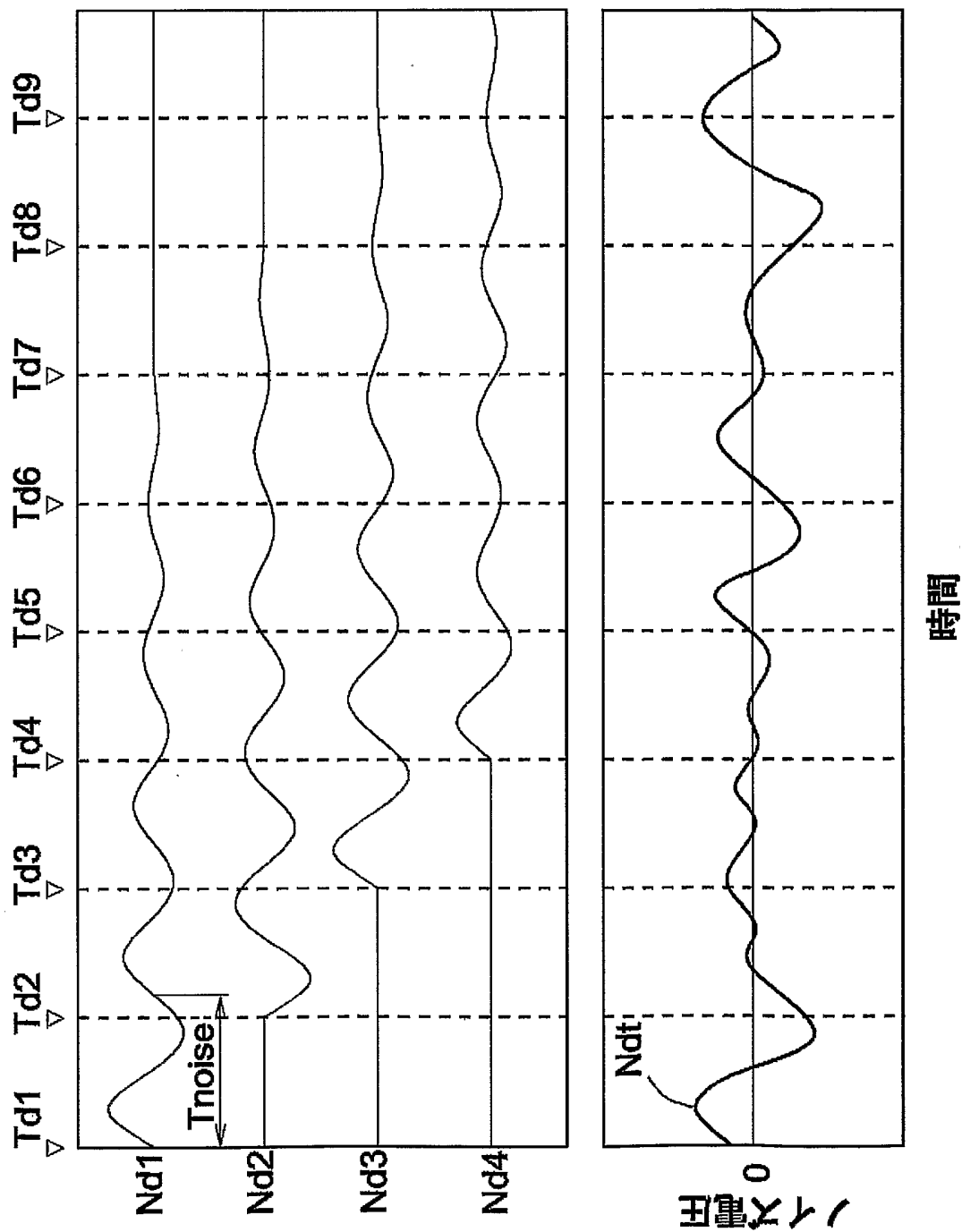
上面



側面



第 3 3 図



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/09731

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G06F 3/00, H03K 19/00, H04L 7/04

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G06F 3/00, H03K 19/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2001
Kokai Jitsuyo Shinan Koho	1971-2001	Jitsuyo Shinan Toroku Koho	1996-2001

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 10-126453 A (Hitachi, Ltd.), 15 May, 1998 (15.05.98), page 4, left column, line 13 to page 5, left column, line 46 (Family: none)	1, 6, 7, 17~21
A	JP 04-43711 A (NEC Corporation), 13 February, 1992 (13.02.92), Fig. 1 (Family: none)	1, 6, 17~19

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
13 December, 2001 (13.12.01)Date of mailing of the international search report
25 December, 2001 (25.12.01)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ G06F 3/00 , H03K 19/00 , H04L 7/04

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ G06F 3/00 , H03K 19/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2001年

日本国登録実用新案公報 1994-2001年

日本国実用新案登録公報 1996-2001年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 10-126453 A(株式会社日立製作所) 15.5月.1998(15.05.98)第4頁左欄第13行~第5頁左欄第46行(ファミリーなし)	1,6,7,17~21
A	JP 04-043711 A(日本電気株式会社) 13.2月.1992(13.02.92)第1図(ファミリーなし)	1,6,17~19

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

13.12.01

国際調査報告の発送日

25.12.01

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

鈴木 匡明



5E

8221

電話番号 03-3581-1101 内線 3520