

【公報種別】 特許法第 17 条の 2 の規定による補正の掲載

【部門区分】 第 6 部門第 4 区分

【発行日】 令和 6 年 7 月 19 日 (2024.7.19)

【国際公開番号】 WO2023/079863

【出願番号】 特願 2023-557891 (P2023-557891)

【国際特許分類】

G 1 1 C 17/18 (2006.01)

G 1 1 C 17/16 (2006.01)

G 1 1 C 7/14 (2006.01)

【F I】

G 1 1 C 17/18

G 1 1 C 17/16

G 1 1 C 7/14

【手続補正書】

【提出日】 令和 5 年 1 月 13 日 (2023.1.13)

【手続補正 1】

【補正対象書類名】 特許請求の範囲

【補正対象項目名】 全文

【補正方法】 変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 1 電圧を供給する第 1 電圧供給線と、前記第 1 電圧とは異なる第 2 電圧を供給する第 2 電圧供給線と、の間に並列に接続される 1 つ以上の第 1 メモリセルと、

前記第 2 電圧供給線と、前記第 1 電圧を供給する第 3 電圧供給線と、の間に並列に接続される 1 つ以上の第 2 メモリセルと、

を備え、

前記第 1 メモリセルのそれぞれは、

第 1 状態又は第 2 状態に応じた抵抗値を有する第 1 記憶素子と、

前記第 1 記憶素子と前記第 1 電圧供給線との間に接続される第 1 セルトランジスタと、を有し、

前記第 2 メモリセルのそれぞれは、

第 1 状態又は第 2 状態に応じた抵抗値を有する第 2 記憶素子と、

前記第 2 記憶素子と前記第 3 電圧供給線との間に接続される第 2 セルトランジスタと、を有し、

第 1 状態に応じた抵抗値を有する前記第 1 記憶素子及び前記第 2 記憶素子が、前記第 1 電圧及び前記第 2 電圧に基づいてバイアスされて生成される電圧と、第 2 状態に応じた抵抗値を有する前記第 1 記憶素子及び前記第 2 記憶素子が、前記第 1 電圧及び前記第 2 電圧に基づいてバイアスされて生成される電圧と、の間の電圧レベルを有する参照電圧を生成する参照電圧生成部と、

前記参照電圧と、前記第 1 記憶素子又は前記第 2 記憶素子が前記第 1 電圧及び前記第 2 電圧に基づいてバイアスされて生成される電圧と、を比較する比較部と、

をさらに備え、

前記参照電圧生成部は、

前記第 1 電圧供給線と前記第 2 電圧供給線との間に接続され、前記第 2 メモリセルの読み出し動作が行われる場合に前記参照電圧を生成する第 1 参照電圧生成部と、

前記第 2 電圧供給線と前記第 3 電圧供給線との間に接続され、前記第 1 メモリセルの読み出し動作が行われる場合に前記参照電圧を生成する第 2 参照電圧生成部と、

10

20

30

40

50

を有し、

前記第 1 参照電圧生成部及び前記第 2 参照電圧生成部は、前記第 2 電圧供給線を挟んで、略対称に配置される、半導体記憶装置。

【請求項 2】

前記第 1 メモリセルの数、及び、前記第 2 メモリセルの数は、同じである、請求項 1 に記載の半導体記憶装置。

【請求項 3】

前記第 1 メモリセル及び前記第 2 メモリセルは、前記第 2 電圧供給線を挟んで、略対称に配置される、請求項 1 に記載の半導体記憶装置。

【請求項 4】

前記第 1 メモリセル又は前記第 2 メモリセルの読み出し動作において、前記第 1 電圧供給線及び前記第 3 電圧供給線に前記第 1 電圧を供給させるとともに、前記第 2 電圧供給線に前記第 2 電圧を供給させ、前記第 1 電圧の供給を停止させる電圧供給部と、

前記第 1 電圧の供給停止中に、読み出し対象である前記第 1 メモリセルが有する前記第 1 セルトランジスタ、又は、読み出し対象である前記第 2 メモリセルが有する前記第 2 セルトランジスタをオンするセルトランジスタ制御部と、

をさらに備える、請求項 1 に記載の半導体記憶装置。

【請求項 5】

前記第 1 電圧と前記第 2 電圧との電位差は、前記セルトランジスタ制御部が前記第 1 セルトランジスタ又は前記第 2 セルトランジスタがオンした後における、前記第 1 電圧供給線と前記第 3 電圧供給線との間の電圧変化速度の差に応じた電位差である、請求項 4 に記載の半導体記憶装置。

【請求項 6】

前記第 2 電圧供給線は、前記第 2 電圧に固定される、請求項 4 に記載の半導体記憶装置。

【請求項 7】

(削除)

【請求項 8】

(削除)

【請求項 9】

(削除)

【請求項 10】

前記第 1 参照電圧生成部は、

第 1 参照抵抗素子と、

前記第 1 参照抵抗素子と前記第 1 電圧供給線との間に接続される第 1 参照トランジスタと、

を有し、

前記第 2 参照電圧生成部は、

第 2 参照抵抗素子と、

前記第 2 参照抵抗素子と前記第 3 電圧供給線との間に接続される第 2 参照トランジスタと、

を有する、請求項 1 に記載の半導体記憶装置。

【請求項 11】

前記比較部は、前記第 1 電圧供給線の電圧と、前記第 3 電圧供給線の電圧と、を比較することにより、前記参照電圧と、前記第 1 記憶素子又は前記第 2 記憶素子が前記第 1 電圧及び前記第 2 電圧に基づいてバイアスされて生成される電圧と、を比較し、

前記第 1 電圧供給線及び前記第 3 電圧供給線の電圧に応じたタイミングで、前記比較部に比較を開始させる比較制御部をさらに備える、請求項 1 に記載の半導体記憶装置。

【請求項 12】

前記比較制御部は、

10

20

30

40

50

前記第 1 電圧が前記第 2 電圧よりも高い場合、前記第 1 電圧供給線及び前記第 3 電圧供給線の少なくとも一方の電圧が第 1 所定値よりも低くなるタイミングで、前記比較部に比較を開始させ、

前記第 1 電圧が前記第 2 電圧よりも低い場合、前記第 1 電圧供給線及び前記第 3 電圧供給線の少なくとも一方の電圧が第 2 所定値よりも高くなるタイミングで、前記比較部に比較を開始させる、請求項 1 1 に記載の半導体記憶装置。

【請求項 1 3】

読み出し動作において、前記第 1 電圧は、前記第 2 電圧よりも高い、請求項 1 に記載の半導体記憶装置。

【請求項 1 4】

書き込み動作において、前記第 1 電圧は、前記第 2 電圧よりも低く、
書き込み動作における前記第 2 電圧は、読み出し動作における前記第 1 電圧よりも高い、請求項 1 3 に記載の半導体記憶装置。

【請求項 1 5】

書き込み動作において、前記第 1 電圧は、前記第 2 電圧よりも高く、
書き込み動作における前記第 1 電圧は、読み出し動作における前記第 1 電圧よりも高い、請求項 1 3 に記載の半導体記憶装置。

【請求項 1 6】

読み出し動作において、前記第 1 電圧は、前記第 2 電圧よりも低い、請求項 1 に記載の半導体記憶装置。

【請求項 1 7】

書き込み動作において、前記第 1 電圧は、前記第 2 電圧よりも低く、
書き込み動作における前記第 2 電圧は、読み出し動作における前記第 2 電圧よりも高い、請求項 1 6 に記載の半導体記憶装置。

10

20

30

40

50