

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4546415号
(P4546415)

(45) 発行日 平成22年9月15日(2010.9.15)

(24) 登録日 平成22年7月9日(2010.7.9)

(51) Int.Cl.		F I			
HO 1 L	23/12	(2006.01)	HO 1 L	23/12	B
HO 5 K	3/46	(2006.01)	HO 5 K	3/46	Q
HO 1 G	4/12	(2006.01)	HO 1 G	4/12	3 4 6
HO 1 G	4/30	(2006.01)	HO 1 G	4/30	3 O 1 A
HO 1 G	4/38	(2006.01)	HO 1 G	4/38	A

請求項の数 14 (全 26 頁)

(21) 出願番号 特願2006-112261 (P2006-112261)
 (22) 出願日 平成18年4月14日(2006.4.14)
 (65) 公開番号 特開2007-96258 (P2007-96258A)
 (43) 公開日 平成19年4月12日(2007.4.12)
 審査請求日 平成19年5月17日(2007.5.17)
 (31) 優先権主張番号 特願2005-254030 (P2005-254030)
 (32) 優先日 平成17年9月1日(2005.9.1)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000004547
 日本特殊陶業株式会社
 愛知県名古屋市瑞穂区高辻町14番18号
 (74) 代理人 100114605
 弁理士 渥美 久彦
 (72) 発明者 杉本 康宏
 名古屋市瑞穂区高辻町14番18号 日本
 特殊陶業株式会社 内
 (72) 発明者 佐藤 学
 名古屋市瑞穂区高辻町14番18号 日本
 特殊陶業株式会社 内
 (72) 発明者 浦島 和浩
 名古屋市瑞穂区高辻町14番18号 日本
 特殊陶業株式会社 内

最終頁に続く

(54) 【発明の名称】 配線基板、セラミックキャパシタ

(57) 【特許請求の範囲】

【請求項1】

コア主面及びコア裏面を有する基板コアと、
 キャパシタ主面及びキャパシタ裏面を有するとともに、セラミック誘電体層を介して第1内部電極層と第2内部電極層とが交互に積層配置された構造を持ち、互いに電氣的に独立した複数のキャパシタ機能部を有し、前記コア主面と前記キャパシタ主面とを同じ側に向けた状態で前記基板コア内に埋設されたセラミックキャパシタと、
 層間絶縁層及び導体層を前記コア主面及び前記キャパシタ主面の上にて交互に積層した構造を有し、その表面に複数のプロセッサコアを有する半導体集積回路素子を搭載可能な半導体集積回路素子搭載領域が設定されたビルドアップ層と
 を備え、

前記複数のキャパシタ機能部は、前記複数のプロセッサコアにそれぞれ電氣的に接続可能であり、前記複数のキャパシタ機能部の間にはダミー導体が配置されていることを特徴とする配線基板。

【請求項2】

コア主面及びコア裏面を有する基板コアと、
 キャパシタ主面及びキャパシタ裏面を有するとともに、セラミック誘電体層を介して第1内部電極層と第2内部電極層とが交互に積層配置された構造を持ち、互いに電氣的に独立した複数のキャパシタ機能部を有し、前記コア主面と前記キャパシタ主面とを同じ側に向けた状態で前記基板コア内に埋設されたセラミックキャパシタと、

層間絶縁層及び導体層を前記コア主面及び前記キャパシタ主面の上にて交互に積層した構造を有し、その表面に複数のプロセッサコアを有する半導体集積回路素子を搭載可能な半導体集積回路素子搭載領域が設定されたビルドアップ層とを備え、

前記複数のキャパシタ機能部は、前記複数のプロセッサコアにそれぞれ電氣的に接続可能であり、前記複数のキャパシタ機能部を囲むようにダミー導体が配置されていることを特徴とする配線基板。

【請求項 3】

コア主面及びコア裏面を有する基板コアと、

キャパシタ主面及びキャパシタ裏面を有するとともに、セラミック誘電体層を介して第 1 内部電極層と第 2 内部電極層とが交互に積層配置された構造を持ち、互いに電氣的に独立した複数のキャパシタ機能部を有し、前記コア主面と前記キャパシタ主面とを同じ側に向けた状態で前記基板コア内に埋設されたセラミックキャパシタと、

層間絶縁層及び導体層を前記コア主面及び前記キャパシタ主面の上にて交互に積層した構造を有し、その表面における異なる箇所に複数の半導体集積回路素子搭載領域が設定されたビルドアップ層と

を備え、

前記複数のキャパシタ機能部は、前記複数の半導体集積回路素子搭載領域にそれぞれ電氣的に接続可能であり、前記複数のキャパシタ機能部の間にはダミー導体が配置されていることを特徴とする配線基板。

【請求項 4】

コア主面及びコア裏面を有する基板コアと、

キャパシタ主面及びキャパシタ裏面を有するとともに、セラミック誘電体層を介して第 1 内部電極層と第 2 内部電極層とが交互に積層配置された構造を持ち、互いに電氣的に独立した複数のキャパシタ機能部を有し、前記コア主面と前記キャパシタ主面とを同じ側に向けた状態で前記基板コア内に埋設されたセラミックキャパシタと、

層間絶縁層及び導体層を前記コア主面及び前記キャパシタ主面の上にて交互に積層した構造を有し、その表面における異なる箇所に複数の半導体集積回路素子搭載領域が設定されたビルドアップ層と

を備え、

前記複数のキャパシタ機能部は、前記複数の半導体集積回路素子搭載領域にそれぞれ電氣的に接続可能であり、前記複数のキャパシタ機能部を囲むようにダミー導体が配置されていることを特徴とする配線基板。

【請求項 5】

前記ダミー導体は、前記キャパシタ主面と前記キャパシタ裏面との間を貫通する複数のダミービア導体であることを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の配線基板。

【請求項 6】

前記ダミー導体は、前記キャパシタ主面上、前記キャパシタ裏面上及びキャパシタ内部のうち少なくともいずれかに配置されたダミープレーン導体であることを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の配線基板。

【請求項 7】

前記ダミー導体は、前記キャパシタ主面と前記キャパシタ裏面との間を貫通する複数のダミービア導体、前記キャパシタ主面上に配置され、前記複数のダミービア導体に接続された主面側ダミープレーン導体、前記キャパシタ裏面上に配置され、前記複数のダミービア導体に接続された裏面側ダミープレーン導体、及び、前記キャパシタ内部に配置され、前記複数のダミービア導体に接続された内層ダミープレーン導体を組合せてなることを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の配線基板。

【請求項 8】

前記複数のキャパシタ機能部は、第 1 の容量を有する第 1 キャパシタ機能部と、前記第

10

20

30

40

50

1の容量よりも小さい第2の容量を有する第2キャパシタ機能部とを含むことを特徴とする請求項1乃至7のいずれか1項に記載の配線基板。

【請求項9】

キャパシタ主面及び前記キャパシタ裏面を有するとともに、セラミック誘電体層を介して第1内部電極層と第2内部電極層とが交互に積層配置された構造を持ち、互いに電氣的に独立した複数のキャパシタ機能部を有し、前記複数のキャパシタ機能部の間にはダミー導体が配置されていることを特徴とするセラミックキャパシタ。

【請求項10】

キャパシタ主面及び前記キャパシタ裏面を有するとともに、セラミック誘電体層を介して第1内部電極層と第2内部電極層とが交互に積層配置された構造を持ち、互いに電氣的に独立した複数のキャパシタ機能部を有し、前記複数のキャパシタ機能部を囲むようにダミー導体が配置されていることを特徴とするセラミックキャパシタ。

10

【請求項11】

前記ダミー導体は、前記キャパシタ主面と前記キャパシタ裏面との間を貫通する複数のダミービア導体であることを特徴とする請求項9または10に記載のセラミックキャパシタ。

【請求項12】

前記ダミー導体は、前記キャパシタ主面上、前記キャパシタ裏面上及びキャパシタ内部のうちの少なくともいずれかに配置されたダミープレーン導体であることを特徴とする請求項9乃至11のいずれか1項に記載のセラミックキャパシタ。

20

【請求項13】

前記ダミー導体は、前記キャパシタ主面と前記キャパシタ裏面との間を貫通する複数のダミービア導体、前記キャパシタ主面上に配置され、前記複数のダミービア導体に接続された主面側ダミープレーン導体、前記キャパシタ裏面上に配置され、前記複数のダミービア導体に接続された裏面側ダミープレーン導体、及び、前記キャパシタ内部に配置され、前記複数のダミービア導体に接続された内層ダミープレーン導体を組合せてなることを特徴とする請求項9乃至12のいずれか1項に記載のセラミックキャパシタ。

【請求項14】

前記複数のキャパシタ機能部は、第1の容量を有する第1キャパシタ機能部と、前記第1の容量よりも小さい第2の容量を有する第2キャパシタ機能部とを含むことを特徴とする請求項9乃至13のいずれか1項に記載のセラミックキャパシタ。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、基板コアにセラミックキャパシタを埋め込み、さらにその表面にビルドアップ層を積層形成した構造であって、その上に半導体集積回路素子が搭載される配線基板、及び、その配線基板に用いられるセラミックキャパシタに関するものである。

【背景技術】

【0002】

コンピュータのマイクロプロセッサなどに使用される半導体集積回路素子（ICチップ）は、近年ますます高速化、高機能化しており、これに付随して端子数が増え、端子間ピッチも狭くなる傾向にある。一般的にICチップの底面には多数の端子が密集してアレイ状に配置されており、このような端子群はマザーボード側の端子群に対してフリップチップの形態で接続される。ただし、ICチップ側の端子群とマザーボード側の端子群とでは端子間ピッチに大きな差があることから、ICチップをマザーボード上に直接的に接続することは困難である。そのため、通常はICチップをICチップ搭載用配線基板上に搭載してなるパッケージを作製し、そのパッケージをマザーボード上に搭載するという手法が採用される。この種のパッケージを構成するICチップ搭載用配線基板としては、例えば、高分子材料製のコア基板内にチップ状のセラミックキャパシタを埋め込んでコア部を構成し、そのコア部の表面及び裏面にビルドアップ層を形成したものが従来提案されている

40

50

(例えば、特許文献1参照)。

【0003】

ところで、最近ではマイクロプロセッサを1つのみ搭載した構造のパッケージよりも高いパフォーマンスを実現可能なシステムに対する要望が強く、その一例として「マルチコア・マイクロプロセッサ」を搭載したパッケージが提案されている。従来型のマイクロプロセッサが1つのチップにプロセッサコア(演算処理部)を1つのみ有するのに対し、次世代のプロセッサであるマルチコア・マイクロプロセッサは、1つのチップに複数個のプロセッサコアを集積させた点で異なっている。そのため、マルチコア・マイクロプロセッサ構造のパッケージでは、シングルコア・マイクロプロセッサ構造では達成できなかった複数のスレッド(タスク)の並行処理などが可能になり、システム全体の処理能力が向上する。また、シングルコア・マイクロプロセッサ構造に比べて耐障害性も向上する。よって、サーバ・コンピュータなどの用途に適した高性能システムが実現可能となる。

10

【特許文献1】特開2005-39243号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

ところで、特許文献1に記載のICチップ搭載用配線基板上にマルチコア・マイクロプロセッサ構造のICチップを搭載しようとした場合には、以下のような問題が生じる。例えば、仮に複数のプロセッサコアの電源系統を共通化できるような場合であれば、当該ICチップ搭載用配線基板は、一応マルチコア・マイクロプロセッサ構造のパッケージの構成部品として流用できる余地がある。しかし、通常は、電源系統の共通化ができず、マイクロプロセッサごとに異なる電源系統を設定すべき場合が主流になることも十分に予測される。よって、この場合には、当該ICチップ搭載用配線基板を流用したとしても、個々のプロセッサコアを十分に動作させることができなくなる。それゆえ、マルチコア・マイクロプロセッサ構造のメリットを最大限引き出すことができないと考えられる。

20

【0005】

また、この種のパッケージにおいては、マルチコア・マイクロプロセッサの発熱量も増大するため、マルチコア・マイクロプロセッサと配線基板との間で熱膨張係数のマッチングをとっておくことが非常に重要になってくる。即ち、マルチコア・マイクロプロセッサと配線基板との間で熱膨張係数のマッチングがとれていないと、マルチコア・マイクロプロセッサに大きな熱応力が働き、マルチコア・マイクロプロセッサにクラックや接続不良が起こりやすくなる。よって、このような熱応力の影響を軽減しうる構造を採用する必要性がある。

30

【0006】

本発明は上記の課題に鑑みてなされたものであり、その目的は、複数のプロセッサコアを有する半導体集積回路素子を搭載する構造を採用するような場合にそのメリットを最大限引き出すことができるとともに、製造が容易でコスト性や信頼性に優れた配線基板を提供することにある。また、本発明の別の目的は、配線基板に使用するのに好適なセラミックキャパシタを提供することにある。

【課題を解決するための手段】

40

【0007】

そして上記課題を解決するための手段(手段1)としては、コア主面及びコア裏面を有する基板コアと、キャパシタ主面及びキャパシタ裏面を有するとともに、セラミック誘電体層を介して第1内部電極層と第2内部電極層とが交互に積層配置された構造を持ち、互いに電氣的に独立した複数のキャパシタ機能部を有し、前記コア主面と前記キャパシタ主面とを同じ側に向けた状態で前記基板コア内に埋設されたセラミックキャパシタと、層間絶縁層及び導体層を前記コア主面及び前記キャパシタ主面の上にて交互に積層した構造を有し、その表面に複数のプロセッサコアを有する半導体集積回路素子を搭載可能な半導体集積回路素子搭載領域が設定されたビルドアップ層とを備え、前記複数のキャパシタ機能部は、前記複数のプロセッサコアにそれぞれ電氣的に接続可能であることを特徴とする配

50

線基板がある。

【 0 0 0 8 】

従って、手段 1 の配線基板によると、複数のプロセッサコアの電源系統の共通化ができず、プロセッサコアごとに異なる電源系統を設定すべき場合であっても、複数のキャパシタ機能部を複数のプロセッサコアにそれぞれ電氣的に接続できるため、個々のプロセッサコアを十分に動作させることができる。従って、複数のプロセッサコアを有する半導体集積回路素子を搭載する構造を採用するような場合にそのメリットを最大限引き出すことができる。

【 0 0 0 9 】

しかも、この構成によると、1つのセラミックキャパシタ上にて半導体集積回路素子が支持された状態となるため、半導体集積回路素子との熱膨張係数のマッチングがとりやすくなり、熱応力の影響が軽減される。よって、大きな熱応力に起因する半導体集積回路素子のクラックや接続不良を防止することができる。さらに、基板コアに埋設されるセラミックキャパシタが少なく済むため、セラミックキャパシタの組み込み時の工程が簡略化される。よって、配線基板を容易に製造でき、低コスト化も図ることが可能となる。

【 0 0 1 0 】

ここで、手段 1 における「半導体集積回路素子」とは、主としてコンピュータのマイクロプロセッサ等として使用され、複数のプロセッサコアを有する半導体集積回路素子をいう。この半導体集積回路素子は、半導体集積回路素子搭載領域に例えばフリップチップ実装される。なお、プロセッサコアの数は、2でもよいし、3以上でもよい。また、「半導体集積回路素子搭載領域」とは、ビルドアップ層の表面上において端子パッド群が配置されている領域をいう。

【 0 0 1 1 】

上記配線基板を構成する基板コアは、配線基板におけるコア部の一部分をなすものであって、例えばコア主面及びその反対側に位置するコア裏面を有する板状に形成される。かかる基板コアは、セラミックキャパシタを収容するための収容穴部を有していてもよい。この収容穴部は、コア主面のみにて開口する非貫通穴であってもよく、あるいはコア主面及びコア裏面の両方にて開口する貫通穴であってもよい。

【 0 0 1 2 】

基板コアを形成する材料は特に限定されないが、好ましい基板コアは高分子材料を主体として形成される。基板コアを形成するための高分子材料の具体例としては、例えば、EP樹脂（エポキシ樹脂）、PI樹脂（ポリイミド樹脂）、BT樹脂（ビスマレイミド・トリアジン樹脂）、PPE樹脂（ポリフェニレンエーテル樹脂）などがある。そのほか、これらの樹脂とガラス繊維（ガラス織布やガラス不織布）やポリアミド繊維等の有機繊維との複合材料を使用してもよい。

【 0 0 1 3 】

上記配線基板を構成するセラミックキャパシタは、キャパシタ主面及びキャパシタ裏面を有するとともに、セラミック誘電体層を介して第 1 内部電極層と第 2 内部電極層とが交互に積層配置された構造を持ち、互いに電氣的に独立したキャパシタ機能部を有している。ここでいうセラミックキャパシタには、基板（セラミックに限らない基板）上にセラミック材料により薄膜を形成したキャパシタも含まれる。セラミックキャパシタは、コア主面とキャパシタ主面とを同じ側に向けた状態で基板コア内に埋設されている。即ち、セラミックキャパシタは、基板コア内に埋設された状態で使用される。「埋設された状態」とは、セラミックキャパシタの少なくとも一部が収容されている状態であればよく、完全にコア基板の収容穴部に収まっている状態でもよい。なお、前記セラミックキャパシタは、前記コア基板において前記半導体集積回路素子搭載領域に対応した領域に配置されている。また、セラミックキャパシタは、基板コア内に埋設された状態で、例えば高分子材料製の充填剤により固定される。

【 0 0 1 4 】

また、好適なセラミックキャパシタの例としては、ビアアレイタイプのセラミックキャ

パシタを挙げることができる。即ち、セラミックキャパシタは、前記第1内部電極層同士を導通させる複数の電源用ビア導体と、前記第2内部電極層同士を導通させる複数のグラウンド用ビア導体とを有し、前記複数の電源用ビア導体及び前記複数のグラウンド用ビア導体は、全体としてアレイ状に配置されていることが好ましい。このように構成すれば、キャパシタ全体の小型化が図りやすくなり、ひいては配線基板全体の小型化も図りやすくなる。しかも、小さいわりに高静電容量が達成しやすく、より安定した電源供給が可能となる。

【0015】

また、キャパシタ機能部は、2個あってもよいし、3個以上あってもよいが、プロセッサコアと同数存在することが好ましい。このように構成することで、全てのキャパシタ機能部を全てのプロセッサコアに電氣的にそれぞれ接続することができる。

10

【0016】

前記セラミック誘電体層としては、アルミナ、窒化アルミニウム、窒化ほう素、炭化珪素、窒化珪素などといった高温焼成セラミックの焼結体が好適に使用されるほか、ホウケイ酸系ガラスやホウケイ酸鉛系ガラスにアルミナ等の無機セラミックフィラーを添加したガラスセラミックのような低温焼成セラミックの焼結体が好適に使用される。この場合、用途に応じて、チタン酸バリウム、チタン酸鉛、チタン酸ストロンチウムなどの誘電体セラミックの焼結体を使用することも好ましい。誘電体セラミックの焼結体を使用した場合、静電容量の大きなセラミックキャパシタを実現しやすくなる。

【0017】

20

第1内部電極層及び第2内部電極層を形成する材料としては特に限定されないが、セラミックと同時に焼結しうる金属、例えば、ニッケル、モリブデン、タングステン、チタン等の使用が好適である。なお、低温焼成セラミックの焼結体を選択した場合、第1内部電極層及び第2内部電極層を形成する材料として、さらに銅や銀などの使用が可能となる。

【0018】

前記セラミックキャパシタには、前記第1内部電極層及び前記第2内部電極層を構成する材料よりも抵抗値が高い材料からなる抵抗体が形成されていてもよい。このように構成すれば、例えば同一のセラミックキャパシタ内において異なる電位を設定すること等が可能となり、配線基板の高機能化を図ることができる。仮に、セラミックキャパシタに抵抗体を形成しなければ、基板コア内においてセラミックキャパシタとは別の箇所に抵抗体を埋設するか、ビルドアップ層側に抵抗体を設けなければならないため、抵抗体の形成が困難になる可能性がある。なお、抵抗体を形成する材料は、第1内部電極層及び第2内部電極層よりも抵抗値が高い導電性を有する材料であればよく、例えば金属材料やセラミック材料などが挙げられる。

30

【0019】

複数のキャパシタ機能部の間には構造物が何も配置されなくてもよいが、例えばダミー導体を配置することができる。このように構成した場合、ダミー導体をいわゆる遮蔽体として機能させることができるため、複数のキャパシタ機能部同士の干渉によるノイズを低減できるからである。また、概して金属等からなる導体はセラミック誘電体よりも熱伝導性に優れるため、ダミー導体を配置しておくことで放熱性が向上しうるからである。ダミー導体はさらに複数のキャパシタ機能部を囲むように配置されていることが好ましい。このように構成することにより放熱性が向上しうるからである。

40

なお、隣接するキャパシタ機能部間の距離は特に限定されないが、お互いが静電的に干渉しない程度であることが好ましく、具体的には50 μm 以上であることがよい。特に、キャパシタのビアピッチ(グラウンド-電源間ピッチ)以上の距離が確保されていることが好適である。

【0020】

ここで、複数のキャパシタ機能部は容量(静電容量)がそれぞれ同じであってもよく、異なってもよい。例えば、複数のキャパシタ機能部が第1の容量を有する第1キャパシタ機能部と前記第1の容量よりも小さい第2の容量を有する第2キャパシタ機能部とを

50

含む場合を想定する。説明の便宜上、第1キャパシタ機能部を「大容量部」と呼び、第2キャパシタ機能部を「小容量部」と呼ぶことにする。複数のキャパシタ機能部が大容量部と小容量部とを含む場合、とりわけ小容量部が大容量部の干渉を受けやすく、この干渉により小容量部にノイズが発生しやすくなる。しかしながら、上記のように小容量部と大容量部との間にダミー導体を配置しておくことで、このノイズを効果的に低減することができる。つまり、複数のキャパシタ機能部が大容量部と小容量部とを含む場合において、両者間に上記ダミー導体を配置することは、有意義であるといえる。

【0021】

このようなダミー導体は、基本的に複数のキャパシタ機能部のいずれに対しても電氣的に接続されていない導体のことをいい、複数のキャパシタ機能部間に配置可能なものであればその形状や材質等について特に限定されない。ダミー導体は、セラミックキャパシタ内にある他の導体、セラミックキャパシタ外にある導体（例えば基板コア側導体やビルドアップ層の導体層）に対して全く接続されていなくてもよい。ただし、ノイズ低減及び放熱性向上といった作用を確実に得るためには、ダミー導体を基板コア側グランド導体やビルドアップ層側グランド導体に電氣的に接続した構成とすることが好ましい。

10

【0022】

ここでダミー導体を形成する材料としては特に限定されないが、セラミックと同時に焼結しうる金属、例えば、ニッケル、モリブデン、タングステン、チタン等の使用が好適である。なお、低温焼成セラミックの焼結体を選択した場合には、ダミー導体形成用材料として、さらに銅や銀などの使用が可能となる。

20

【0023】

好適なダミー導体の具体例としては、例えば、キャパシタ主面とキャパシタ裏面との間を貫通する複数のダミービア導体を挙げることができる。つまり、個々のダミービア導体がそれほど大きくなくても、これを複数配置することで全体的に遮蔽体として十分機能しうる状態になるからである。なお、複数のダミービア導体を配置する構造は、セラミックキャパシタがピアアレイタイプのセラミックキャパシタである場合に好都合である。即ち、キャパシタ機能部を構成する複数のビア導体の形成時に併せてダミービア導体を形成可能となるため、工数増を未然に防止でき、低コスト化に有利だからである。

【0024】

好適なダミー導体の別の具体例としては、キャパシタ主面上、キャパシタ裏面上及びキャパシタ内部のうちの少なくともいずれかに配置されたダミープレーン導体を挙げることができる。ダミープレーン導体は比較的広い面積を有するため、遮蔽体として機能させやすいからである。この場合において特に好ましくは、ダミープレーン導体をキャパシタ内部に配置することである。即ち、第1内部電極層及び第2内部電極層があるキャパシタ内部においてそれらの間にダミープレーン導体（内層ダミープレーン導体）を配置することが、確実な遮蔽を図るうえで有効だからである。このような内層ダミープレーン導体は1層のみならず、複数層配置されていることがよりよい。

30

【0025】

さらには、前記ダミー導体は、キャパシタ主面とキャパシタ裏面との間を貫通する複数のダミービア導体、キャパシタ主面上に配置され、複数のダミービア導体に接続された主面側ダミープレーン導体、キャパシタ裏面上に配置され、複数のダミービア導体に接続された裏面側ダミープレーン導体、及び、キャパシタ内部に配置され、複数のダミービア導体に接続された内層ダミープレーン導体であることが、好ましい。この構成によると、複数異なる形状の導体の組合せによりいわば三次元的な遮蔽体が形成されるため、複数のキャパシタ機能部間が確実に遮蔽され、効果的にノイズを低減することができる。また、放熱性を確実に向上させることができる。

40

【0026】

上記配線基板を構成するビルドアップ層は、高分子材料を主体とする層間絶縁層及び導体層を交互に接続した構造を有している。前記ビルドアップ層は、互いに電氣的に独立した複数の電源用導体部を有し、前記複数のキャパシタ機能部は、前記複数の電源用導体部

50

を介して前記複数のプロセッサコアにそれぞれ電氣的に接続されていることが好ましい。なお、半導体集積回路素子側の端子群とセラミックキャパシタ側の端子群とでは端子間ピッチに大きな差があるが、ビルドアップ層を設けることで、複数の電源用導体部を介してプロセッサコアとキャパシタ機能部とを個別にかつ容易に接続できる。また、ビルドアップ層（第1ビルドアップ層）はコア主面及び前記キャパシタ主面の上のみ形成されるが、層間絶縁層及び導体層をコア裏面及び前記キャパシタ裏面の上にて交互に積層した構造を有する第2ビルドアップ層がさらに形成されていてもよい。このように構成すれば、第1ビルドアップ層のみではなく、第2ビルドアップ層にも電気回路を形成できるため、配線基板のよりいっそうの高機能化を図ることができる。

【0027】

なお、コア主面及び前記キャパシタ主面の上に形成されたビルドアップ層（第1ビルドアップ層）については、その表面に複数のプロセッサコアを有する半導体集積回路素子を搭載可能な半導体集積回路素子搭載領域が設定される。このような半導体集積回路素子搭載領域に半導体集積回路素子が搭載可能である。なお、前記半導体集積回路素子搭載領域の面積は、前記セラミックキャパシタの前記キャパシタ主面の面積と同等またはそれよりも小さくなるように設定され、前記半導体集積回路素子搭載領域は、前記セラミックキャパシタの厚さ方向から見たときに、前記セラミックキャパシタの前記キャパシタ主面内に位置することが好ましい。このように構成すれば、半導体集積回路素子搭載領域がセラミックキャパシタの真上の領域内に位置するため、半導体集積回路素子搭載領域に搭載される半導体集積回路素子は高剛性で熱膨張率が小さいセラミックキャパシタによって支持される。よって、上記半導体集積回路素子搭載領域においては、ビルドアップ層が変形しにくくなるため、半導体集積回路素子搭載領域に搭載される半導体集積回路素子をより安定的に支持できる。なお、前記半導体集積回路素子搭載領域の面積は、前記セラミックキャパシタの前記キャパシタ主面の面積よりも大きくなるように設定されてもよい。しかし、半導体集積回路素子を安定的に支持するためには、キャパシタ主面の面積は、半導体集積回路素子搭載領域の50%以上に設定されることが好ましい。

【0028】

また、本発明の課題を解決するための別の手段（手段2）としては、コア主面及びコア裏面を有する基板コアと、キャパシタ主面及びキャパシタ裏面を有するとともに、セラミック誘電体層を介して第1内部電極層と第2内部電極層とが交互に積層配置された構造を持ち、互いに電氣的に独立した複数のキャパシタ機能部を有し、前記コア主面と前記キャパシタ主面とを同じ側に向けた状態で前記基板コア内に埋設されたセラミックキャパシタと、層間絶縁層及び導体層を前記コア主面及び前記キャパシタ主面の上にて交互に積層した構造を有し、その表面における異なる箇所に複数の半導体集積回路素子搭載領域が設定されたビルドアップ層とを備え、前記複数のキャパシタ機能部は、前記複数の半導体集積回路素子搭載領域にそれぞれ電氣的に接続可能であることを特徴とする配線基板がある。

【0029】

従って、手段2の配線基板によると、複数の半導体集積回路素子の電源系統の共通化ができず、半導体集積回路素子ごとに異なる電源系統を設定すべき場合であっても、複数のキャパシタ機能部を複数の半導体集積回路素子搭載領域にそれぞれ電氣的に接続できるため、個々の半導体集積回路素子を十分に動作させることができる。従って、半導体集積回路素子を複数搭載する構造を採用するような場合にそのメリットを最大限引き出すことができる。

【0030】

しかも、この構成によると、1つのセラミックキャパシタ上にて各半導体集積回路素子がそれぞれ支持された状態となるため、半導体集積回路素子との熱膨張係数のマッチングがとりやすくなり、熱応力の影響が軽減される。よって、大きな熱応力に起因する半導体集積回路素子のクラックや接続不良を防止することができる。さらに、基板コアには1つのセラミックキャパシタのみが埋設されるため、セラミックキャパシタの組み込み時の工程が簡略化される。よって、配線基板を容易に製造でき、低コスト化も図ることが可能と

10

20

30

40

50

なる。

【 0 0 3 1 】

また、本発明の課題を解決するためのさらに別の手段（手段 3）としては、キャパシタ主面及び前記キャパシタ裏面を有するとともに、セラミック誘電体層を介して第 1 内部電極層と第 2 内部電極層とが交互に積層配置された構造を持ち、互いに電氣的に独立した複数のキャパシタ機能部を有することを特徴とするセラミックキャパシタがある。

【 0 0 3 2 】

従って、手段 3 のセラミックキャパシタによると、例えば複数のプロセッサコアを有する半導体集積回路素子に電氣的に接続する場合であっても、複数のキャパシタ機能部を複数のプロセッサコアにそれぞれ電氣的に接続できるため、個々のプロセッサコアを十分に動作させることができる。従って、複数のプロセッサコアを有する半導体集積回路素子を搭載する構造にセラミックキャパシタを用いるような場合にそのメリットを最大限引き出すことができる。また、1つのプロセッサコアを有する複数の半導体集積回路素子に電氣的に接続する場合であっても、同様の効果を有する。

【 0 0 3 3 】

手段 3 においては、複数のキャパシタ機能部の間にダミー導体が配置されていることがよく、さらには複数のキャパシタ機能部を囲むようにダミー導体が配置されていることがよい。この場合においてダミー導体を、キャパシタ主面とキャパシタ裏面との間を貫通する複数のダミービア導体としてもよく、キャパシタ主面上、キャパシタ裏面上及びキャパシタ内部のうちの少なくともいずれかに配置されたダミープレーン導体としてもよい。その理由はいずれも手段 1 にて述べたとおりであるので割愛する。また、より好適なダミー導体は、キャパシタ主面とキャパシタ裏面との間を貫通する複数のダミービア導体、キャパシタ主面上に配置され、複数のダミービア導体に接続された主面側ダミープレーン導体、キャパシタ裏面上に配置され、複数のダミービア導体に接続された裏面側ダミープレーン導体、及び、キャパシタ内部に配置され、複数のダミービア導体に接続された内層ダミープレーン導体の組合せからなるものである。その理由は上述したので割愛する。

【発明を実施するための最良の形態】

【 0 0 3 4 】

[第 1 実施形態]

【 0 0 3 5 】

以下、本発明の配線基板を具体化した第 1 実施形態を図面に基づき詳細に説明する。

【 0 0 3 6 】

図 1 に示されるように、本実施形態の配線基板 10 は、IC チップ搭載用の配線基板であって、ガラスエポキシからなる略矩形板状の基板コア 11 と、基板コア 11 の上面 12（コア主面）上に形成される第 1 ビルドアップ層 31（ビルドアップ層）と、基板コア 11 の下面 13（コア裏面）上に形成される第 2 ビルドアップ層 32 とからなる。基板コア 11 における複数箇所にはスルーホール導体 16 が形成されている。かかるスルーホール導体 16 は、基板コア 11 の上面 12 側と下面 13 側とを接続導通している。なお、スルーホール導体 16 の内部は、例えばエポキシ樹脂などの閉塞体 17 で埋められている。また、基板コア 11 の上面 12 及び下面 13 には、銅からなる導体層 41 がパターン形成されており、各導体層 41 は、スルーホール導体 16 に電氣的に接続されている。

【 0 0 3 7 】

基板コア 11 の上面 12 上に形成された第 1 ビルドアップ層 31 は、エポキシ樹脂からなる 2 層の樹脂絶縁層 33, 35（いわゆる層間絶縁層）と、銅からなる導体層 42 とを交互に積層した構造を有している。本実施形態において、第 1 ビルドアップ層 31 の熱膨張係数は、30 ~ 40 ppm / 程度であり、具体的には 35 ppm / 程度となっている。なお、第 1 ビルドアップ層 31 の熱膨張係数は、30 ~ ガラス転移温度（Tg）間の測定値の平均値をいう。また、第 1 層の樹脂絶縁層 33 の表面上にある導体層 42 の一部は、スルーホール導体 16 の上端に電氣的に接続されている。第 2 層の樹脂絶縁層 35 の表面上における複数箇所には、端子パッド 44 がアレイ状に形成されている。また、樹

脂絶縁層35の表面は、ソルダーレジスト37によってほぼ全体的に覆われている。ソルダーレジスト37の所定箇所には、端子パッド44を露出させる開口部46が形成されている。端子パッド44の表面上には、複数のはんだバンプ45が配設されている。各はんだバンプ45は、ICチップ21(半導体集積回路素子)の面接続端子22に電氣的に接続されている。ICチップ21は、矩形平板状をなし、2つのプロセッサコア24, 25を有している。本実施形態のICチップ21は、熱膨張係数が3.5ppm/程度程度のシリコンからなっている。なお、各端子パッド44及び各はんだバンプ45は、第1ビルドアップ層31においてセラミックキャパシタ101の真上の領域内に位置しており、この領域がICチップ搭載領域23(半導体集積回路素子搭載領域)となる。ICチップ搭載領域23は、第1ビルドアップ層31の表面39上に設定されている。また、樹脂絶縁層33, 35内には、それぞれビア導体43, 47が設けられている。これらのビア導体43, 47のほとんどは同軸上に配置されるとともに、それらを介して導体層41, 42及び端子パッド44が相互に電氣的に接続されている。

10

【0038】

図1に示されるように、基板コア11の下面13上に形成された第2ビルドアップ層32は、上述した第1ビルドアップ層31とほぼ同じ構造を有している。即ち、第2ビルドアップ層32は、熱膨張係数が30~40ppm/程度であり、エポキシ樹脂からなる2層の樹脂絶縁層34, 36(いわゆる層間絶縁層)と、導体層42とを交互に積層した構造を有している。第1層の樹脂絶縁層34の下面上にある導体層42の一部は、スルーホール導体16の下端に電氣的に接続されている。第2層の樹脂絶縁層36の下面上における複数箇所には、ビア導体43を介して導体層42に電氣的に接続されるBGA用パッド48が格子状に形成されている。また、樹脂絶縁層36の下面は、ソルダーレジスト38によってほぼ全体的に覆われている。ソルダーレジスト38の所定箇所には、BGA用パッド48を露出させる開口部40が形成されている。BGA用パッド48の表面上には、図示しないマザーボードとの電氣的な接続を図るための複数のはんだバンプ49が配設されている。そして、各はんだバンプ49により、図1に示される配線基板10は図示しないマザーボード上に実装される。

20

【0039】

前記基板コア11は、平面方向(XY方向)における熱膨張係数が10~15ppm/程度となっている。なお、基板コア11の熱膨張係数は、0~ガラス転移温度(Tg)間の測定値の平均値をいう。基板コア11は、上面12の中央部及び下面13の中央部にて開口する平面視で矩形の收容穴部90を1つ有している。即ち、收容穴部90は貫通穴部である。收容穴部90内には、図2~図4等に示すセラミックキャパシタ101が、埋め込まれた状態で收容されている。なお、セラミックキャパシタ101は、上面102(キャパシタ主面)を基板コア11の上面12と同じ側に向けた状態で收容されている。本実施形態のセラミックキャパシタ101は、縦6.0mm×横12.0mm×厚さ0.8mmの矩形平板状である。なお、セラミックキャパシタ101の厚さは、0.2mm以上1.0mm以下であることが好ましい。仮に、0.2mm未満であると、ICチップ搭載領域23上にICチップ21を接合する際の応力をセラミックキャパシタ101によって低減することができず、支持体として不十分となる。一方、1.0mmよりも大きいと、配線基板10が肉厚になってしまう。より好ましくは、セラミックキャパシタ101の厚さは、0.4mm以上0.8mm以下であることがよい。セラミックキャパシタ101は、基板コア11において前記ICチップ搭載領域23の真下の領域に配置されている。なお、ICチップ搭載領域23の面積(第1ビルドアップ層31において端子パッド44が形成される領域の面積)は、セラミックキャパシタ101の上面102の面積よりも小さくなるように設定されている。セラミックキャパシタ101の厚さ方向から見た場合、ICチップ搭載領域23は、セラミックキャパシタ101の上面102内に位置している。

30

40

【0040】

図1に示されるように、收容穴部90の内面とセラミックキャパシタ101の側面10

50

6との隙間は、高分子材料（本実施形態ではエポキシ等の熱硬化性樹脂）からなる充填剤92によって埋められている。この充填剤92は、セラミックキャパシタ101を基板コア11に固定するとともに、セラミックキャパシタ101及び基板コア11の面方向や厚さ方向への変形を自身の弾性変形により吸収する機能を有している。なお、セラミックキャパシタ101は、平面視略正形状をなしており、四隅にC0.6のテーパを有している。これにより、温度変化に伴う充填剤92の変形時において、セラミックキャパシタ101の角部への応力集中を緩和できるため、充填剤92のクラックの発生を防止できる。

【0041】

図1～図4に示されるように、本実施形態のセラミックキャパシタ101は、いわゆるピアアレイタイプのセラミックキャパシタである。セラミックキャパシタ101を構成するセラミック焼結体104は、熱膨張係数が、ICチップ21の熱膨張係数とビルドアップ層31, 32の熱膨張係数との中間値であることが好ましく、さらにICチップ21の熱膨張係数に近い値であることが好ましい。本実施形態において、セラミック焼結体104の熱膨張係数は、8～12ppm/程度であり、具体的には9.5ppm/程度となっている。なお、セラミック焼結体104の熱膨張係数は、30～250間の測定値の平均値をいう。また、セラミック焼結体104は、上面102及び下面103（キャパシタ裏面）を有する板状物である。なお、セラミック焼結体104の上面102上には、前記第1ビルドアップ層31を構成する前記樹脂絶縁層33が形成され、セラミック焼結体104の下面103には、前記第2ビルドアップ層32を構成する前記樹脂絶縁層34が形成されている。セラミック焼結体104は、セラミック誘電体層105を介して第1内部電極層141と第2内部電極層142とを交互に積層配置した構造を有している。セラミック誘電体層105は、高誘電率セラミックの一種であるチタン酸バリウムの焼結体からなり、第1内部電極層141及び第2内部電極層142間の誘電体（絶縁体）として機能する。第1内部電極層141及び第2内部電極層142は、いずれもニッケルを主成分として形成された層であって、セラミック焼結体104の内部において一層おきに配置されている。

【0042】

図2～図4に示されるように、セラミックキャパシタ101は、2つのキャパシタ機能部107, 108を有している。なお、キャパシタ機能部107, 108の両方には、共通のセラミック誘電体層105が用いられている。また、セラミックキャパシタ101の厚さ方向から見た場合、キャパシタ機能部107の上面内に前記ICチップ21の前記プロセスコア24が位置しており、キャパシタ機能部108の上面内にICチップ21の前記プロセスコア25が位置している。

【0043】

キャパシタ機能部107には、多数のピアホール130が形成されている。これらのピアホール130は、キャパシタ機能部107をその厚さ方向に貫通するとともに、キャパシタ機能部107の全面にわたって格子状（アレイ状）に配置されている。各ピアホール130内には、キャパシタ機能部107におけるセラミック焼結体104の上面102及び下面103間を連通する複数のピア導体131, 132が、ニッケルを主材料として形成されている。各第1電源用ピア導体131は、各第1内部電極層141を貫通しており、それら同士を互いに電氣的に接続している。各第1グランド用ピア導体132は、各第2内部電極層142を貫通しており、それら同士を互いに電氣的に接続している。ここで、図3に示されるように第1内部電極層141には第1グランド用ピア導体132が貫通する領域にクリアランスホール141aが形成されており、第1内部電極層141と第1グランド用ピア導体132とは電氣的に絶縁されている。また、同様に図4に示されるように第2内部電極層142には第1電源用ピア導体131が貫通する領域にクリアランスホール142aが形成されており、第2内部電極層142と第1電源用ピア導体131とは電氣的に絶縁されている。

各第1電源用ピア導体131及び各第1グランド用ピア導体132は、全体としてアレイ状に配置されている。なお、説明の便宜上、ピア導体131, 132を3列×3列（ま

10

20

30

40

50

たは5列×5列)で図示したが、実際にはさらに多くの列が存在している。

【0044】

そして図2～図4に示されるように、キャパシタ機能部107におけるセラミック焼結体104の上面102上には、複数の第1電源用電極端子111及び複数の第1グランド用電極端子112が突設されている。また、キャパシタ機能部107におけるセラミック焼結体104の下面103上には、複数の第1電源用電極端子121及び複数の第1グランド用電極端子122が突設されている。上面102側にある電極端子111, 112は、前記ビア導体47に対して電氣的に接続される。一方、下面103側にある電極端子121, 122は、図示しないマザーボードが有する電極(接触子)に対して、ビア導体47、導体層42、ビア導体43、BGA用パッド48及びはんだバンプ49を介して電氣的に接続される。また、電極端子111, 112の底面略中央部は、ビア導体131, 132における上面102側の端面に対して直接接続されており、電極端子121, 122の底面略中央部は、ビア導体131, 132における下面103側の端面に対して直接接続されている。よって、電源用電極端子111, 121は第1電源用ビア導体131及び第1内部電極層141に導通しており、グランド用電極端子112, 122は第1グランド用ビア導体132及び第2内部電極層142に導通している。

10

【0045】

同様に、図2～図4に示されるキャパシタ機能部108にも、多数のビアホール130が形成されている。各ビアホール130内には、キャパシタ機能部108におけるセラミック焼結体104の上面102及び下面103間を連通する複数のビア導体133, 134が、ニッケルを主材料として形成されている。各第2電源用ビア導体133は、各第1内部電極層141を貫通しており、それら同士を互いに電氣的に接続している。各第2グランド用ビア導体134は、各第2内部電極層142を貫通しており、それら同士を互いに電氣的に接続している。各第2電源用ビア導体133及び各第2グランド用ビア導体134は、全体としてアレイ状に配置されている。なお、説明の便宜上、ビア導体133, 134を3列×3列(または5列×5列)で図示したが、実際にはさらに多くの列が存在している。

20

【0046】

そして、キャパシタ機能部108におけるセラミック焼結体104の上面102上には、複数の第2電源用電極端子113及び複数の第2グランド用電極端子114が突設されている。また、キャパシタ機能部108におけるセラミック焼結体104の下面103上には、複数の第2電源用電極端子123及び複数の第2グランド用電極端子124が突設されている。上面102側にある電極端子113, 114は、前記ビア導体47に対して電氣的に接続される。一方、下面103側にある電極端子123, 124は、図示しないマザーボードが有する電極(接触子)に対して、ビア導体47、導体層42、ビア導体43、BGA用パッド48及びはんだバンプ49を介して電氣的に接続される。また、電極端子113, 114の底面略中央部は、ビア導体133, 134における上面102側の端面に対して直接接続されており、電極端子123, 124の底面略中央部は、ビア導体133, 134における下面103側の端面に対して直接接続されている。よって、電源用電極端子113, 123は第2電源用ビア導体133及び第1内部電極層141に導通しており、グランド用電極端子114, 124は第2グランド用ビア導体134及び第2内部電極層142に導通している。

30

40

【0047】

図2に示されるように、電極端子111, 112, 113, 114は、ニッケルを主材料として形成され、表面が図示しない銅めっき層によって全体的に被覆されている。同様に、電極端子121, 122, 123, 124も、ニッケルを主材料として形成され、表面が図示しない銅めっき層によって被覆されている。なお本実施形態では、電極端子111～114, 121～124の直径が約500μmに設定され、ピッチの最小長さが約580μmに設定されている。

【0048】

50

マザーボード側から電極端子 1 2 1 , 1 2 2 (または電極端子 1 2 3 , 1 2 4) を介して通電を行い、第 1 内部電極層 1 4 1 - 第 2 内部電極層 1 4 2 間に電圧を加えると、第 1 内部電極層 1 4 1 に例えばプラスの電荷が蓄積し、第 2 内部電極層 1 4 2 に例えばマイナスの電荷が蓄積する。その結果、セラミックキャパシタ 1 0 1 がキャパシタとして機能する。また、キャパシタ機能部 1 0 7 では、第 1 電源用ビア導体 1 3 1 及び第 1 グランド用ビア導体 1 3 2 がそれぞれ交互に隣接して配置され、かつ、第 1 電源用ビア導体 1 3 1 及び第 1 グランド用ビア導体 1 3 2 を流れる電流の方向が互いに逆向きになるように設定されている。同様に、キャパシタ機能部 1 0 8 では、第 2 電源用ビア導体 1 3 3 及び第 2 グランド用ビア導体 1 3 4 がそれぞれ交互に隣接して配置され、かつ、第 2 電源用ビア導体 1 3 3 及び第 2 グランド用ビア導体 1 3 4 を流れる電流の方向が互いに逆向きになるように設定されている。これにより、インダクタンス成分の低減化が図られている。

10

【 0 0 4 9 】

図 1 に示されるように、各第 1 電源用ビア導体 1 3 1 の一部は、第 1 電源用電極端子 1 1 1 と、第 1 ビルドアップ層 3 1 が有する第 1 電源用導体部 1 7 1 (電源用導体部) と、IC チップ 2 1 の面接続端子 2 2 とを介して、IC チップ 2 1 のプロセッサコア 2 4 に電氣的に接続されている。各第 1 グランド用ビア導体 1 3 2 の一部は、第 1 グランド用電極端子 1 1 2 と、第 1 ビルドアップ層 3 1 が有する第 1 グランド用導体部 1 7 2 と、面接続端子 2 2 とを介して、プロセッサコア 2 4 に電氣的に接続されている。これにより、キャパシタ機能部 1 0 7 からプロセッサコア 2 4 への電源供給が可能となる。なお、第 1 電源用導体部 1 7 1 及び第 1 グランド用導体部 1 7 2 は、ビア導体 4 7、導体層 4 2、ビア導体 4 3、端子パッド 4 4 及びはんだパンプ 4 5 からなる導体部である。

20

【 0 0 5 0 】

同様に、各第 2 電源用ビア導体 1 3 3 の一部は、第 2 電源用電極端子 1 1 3 と、第 1 ビルドアップ層 3 1 が有する第 2 電源用導体部 1 7 3 (電源用導体部) と、IC チップ 2 1 の面接続端子 2 2 とを介して、IC チップ 2 1 のプロセッサコア 2 5 に電氣的に接続されている。各第 2 グランド用ビア導体 1 3 4 の一部は、第 2 グランド用電極端子 1 1 4 と、第 1 ビルドアップ層 3 1 が有する第 2 グランド用導体部 1 7 4 と、面接続端子 2 2 とを介して、プロセッサコア 2 5 に電氣的に接続されている。これにより、キャパシタ機能部 1 0 8 からプロセッサコア 2 5 への電源供給が可能となる。なお、第 2 電源用導体部 1 7 3 及び第 2 グランド用導体部 1 7 4 は、ビア導体 4 7、導体層 4 2、ビア導体 4 3、端子パッド 4 4 及びはんだパンプ 4 5 からなる導体部である。第 2 電源用導体部 1 7 3 は第 1 電源用導体部 1 7 1 とは電氣的に独立しており、第 2 グランド用導体部 1 7 4 は第 1 グランド用導体部 1 7 2 とは電氣的に独立している。

30

【 0 0 5 1 】

従って、本実施形態の配線基板 1 0 では、プロセッサコア 2 4 , 2 5 ごとに独立した電源系統が設定されている。ゆえに、各キャパシタ機能部 1 0 7 , 1 0 8 は、互いに電氣的に独立している。よって、セラミックキャパシタ 1 0 1 内の電気経路は、キャパシタ機能部 1 0 7 - プロセッサコア 2 4 間をつなぐ第 1 電気経路と、キャパシタ機能部 1 0 8 - プロセッサコア 2 5 間をつなぐ第 2 電気経路とに分離されている。また、各キャパシタ機能部 1 0 7 , 1 0 8 の絶縁部分 (セラミック誘電体層 1 0 5) は互いに物理的に一体となっているが、各キャパシタ機能部 1 0 7 , 1 0 8 の導体部分は互いの設置領域が分けられていて物理的に独立している。

40

【 0 0 5 2 】

次に、本実施形態の配線基板 1 0 の製造方法について述べる。

【 0 0 5 3 】

準備工程では、基板コア 1 1 とセラミックキャパシタ 1 0 1 とを、それぞれ従来周知の手法により作製し、あらかじめ準備しておく。

【 0 0 5 4 】

基板コア 1 1 は以下のように作製される。まず、縦 4 0 0 m m × 横 4 0 0 m m × 厚み 0 . 8 m m の基材の両面に、厚み 3 5 μ m の銅箔が貼付された銅張積層板を準備する。なお

50

、基材の厚みは、0.2 mm以上1.0 mm以下であることが好ましい。次に、銅張積層板に対してルータを用いて孔あけ加工を行い、收容穴部90となる貫通孔を所定位置にあらかじめ形成しておく(図5参照)。なお、收容穴部90となる貫通孔は、縦14.0 mm×横30.0 mmで、四隅に半径1.5 mmのアルを有する断面略正方形の孔である。そして、銅張積層板の両面の銅箔のエッチングを行って導体層41を例えばサブトラックタイプ法によってパターンニングする。具体的には、無電解銅めっきの後、この無電解銅めっき層を共通電極として電解銅めっきを施す。さらにドライフィルムをラミネートし、同ドライフィルムに対して露光及び現像を行うことにより、ドライフィルムを所定パターンに形成する。この状態で、不要な電解銅めっき層、無電解銅めっき層及び銅箔をエッチングで除去する。その後、ドライフィルムを剥離することにより基板コア11を得る。

10

【0055】

また、セラミックキャパシタ101は以下のように作製される。即ち、セラミックのグリーンシートを形成し、このグリーンシートに内部電極層用ニッケルペーストをスクリーン印刷して乾燥させる。これにより、後に第1内部電極層141となる第1内部電極部と、第2内部電極層142となる第2内部電極部とが形成される。次に、第1内部電極部が形成されたグリーンシートと第2内部電極部が形成されたグリーンシートとを交互に積層し、シート積層方向に押圧力を付与することにより、各グリーンシートを一体化してグリーンシート積層体を形成する。

【0056】

さらに、レーザー加工機を用いてグリーンシート積層体にピアホール130を多数個貫通形成し、図示しないペースト圧入充填装置を用いて、ピア導体用ニッケルペーストを各ピアホール130内に充填する。次に、グリーンシート積層体の上面上にペーストを印刷し、グリーンシート積層体の上面側にて各導体部の上端面を覆うように第1電源用電極端子111、第1グラウンド用電極端子112、第2電源用電極端子113及び第2グラウンド用電極端子114を形成する。また、グリーンシート積層体の下面上にペーストを印刷し、グリーンシート積層体の下面側にて各導体部の下端面を覆うように第1電源用電極端子121、第1グラウンド用電極端子122、第2電源用電極端子123及び第2グラウンド用電極端子124を形成する。

20

【0057】

この後、グリーンシート積層体の乾燥を行い、表面端子部をある程度固化させる。次に、グリーンシート積層体を脱脂し、さらに所定温度で所定時間焼成を行う。その結果、チタン酸バリウム及びペースト中のニッケルが同時焼結し、セラミック焼結体104となる。

30

【0058】

次に、得られたセラミック焼結体104が有する各電極端子111~114, 121~124に対して無電解銅めっき(厚さ10 μm程度)を行う。その結果、各電極端子111~114, 121~124の上に銅めっき層が形成され、セラミックキャパシタ101が完成する。

【0059】

続く固定工程では、マウント装置(ヤマハ発動機株式会社製)を用いて、收容穴部90内にセラミックキャパシタ101を收容する(図6参照)。このとき、收容穴部90の下面13側開口は、剥離可能な粘着テープ152でシールされている。この粘着テープ152は、支持台151によって支持されている。かかる粘着テープ152の粘着面153には、各セラミックキャパシタ101が貼り付けられて仮固定されている。

40

【0060】

そして、この状態において、收容穴部90の内面とセラミックキャパシタ101の側面106との隙間に、ディスペンサ装置(Asymtek社製)を用いて、熱硬化性樹脂製の充填剤92(株式会社ナミックス製 アンダフィル材)を充填する。その後、加熱処理を行うと、充填剤92が硬化して、セラミックキャパシタ101が收容穴部90内に固定される。そして、この時点で、粘着テープ152を剥離する。

50

【 0 0 6 1 】

その後、ビルドアップ層形成工程を実施する。ビルドアップ層形成工程では、従来周知の手法に基づいて上面 1 2 及び上面 1 0 2 の上に第 1 ビルドアップ層 3 1 を形成するとともに、下面 1 3 及び下面 1 0 3 の上に第 2 ビルドアップ層 3 2 を形成する。具体的には、上面 1 2 及び上面 1 0 2 に感光性エポキシ樹脂を被着するとともに、下面 1 3 及び下面 1 0 3 に感光性エポキシ樹脂を被着し、露光及び現像を行うことにより、ビア導体 4 7 が形成されるべき位置に盲孔を有する第 1 層の樹脂絶縁層 3 3 , 3 4 を形成する。さらに、YAG レーザーまたは炭酸ガスレーザーを用いてレーザー孔あけ加工を行い、基板コア 1 1 及び樹脂絶縁層 3 3 , 3 4 を貫通する貫通孔を所定位置にあらかじめ形成しておく。そして、従来公知の手法に従って無電解銅めっき及び電解銅めっきを行うことでスルーホール導体 1 6 を形成した後、そのスルーホール導体 1 6 内に閉塞体 1 7 を充填形成する。次に、従来公知の手法（例えばセミアディティブ法）に従って電解銅めっきを行い、前記盲孔の内部にビア導体 4 7 を形成するとともに、第 1 層の樹脂絶縁層 3 3 , 3 4 上に第 2 層の導体層 4 2 を形成する。

10

【 0 0 6 2 】

次に、第 1 層の樹脂絶縁層 3 3 , 3 4 上に感光性エポキシ樹脂を被着し、露光及び現像を行うことにより、ビア導体 4 3 が形成されるべき位置に盲孔を有する第 2 層の樹脂絶縁層 3 5 , 3 6 を形成する。次に、従来公知の手法に従って電解銅めっきを行い、前記盲孔の内部にビア導体 4 3 を形成するとともに、第 2 層の樹脂絶縁層 3 5 上に端子パッド 4 4 を形成し、第 2 層の樹脂絶縁層 3 6 上に BGA 用パッド 4 8 を形成する。

20

【 0 0 6 3 】

次に、第 2 層の樹脂絶縁層 3 5 , 3 6 上に感光性エポキシ樹脂を塗布して硬化させることにより、ソルダーレジスト 3 7 , 3 8 を形成する。次に、所定のマスクを配置した状態で露光及び現像を行い、ソルダーレジスト 3 7 , 3 8 に開口部 4 0 , 4 6 をパターンニングする。さらに、端子パッド 4 4 上にはんだバンプ 4 5 を形成し、かつ、BGA 用パッド 4 8 上にはんだバンプ 4 9 を形成する。その結果、基板コア 1 1 及びビルドアップ層 3 1 , 3 2 からなる配線基板 1 0 が完成する。

【 0 0 6 4 】

従って、本実施形態によれば以下の効果を得ることができる。

【 0 0 6 5 】

(1) 本実施形態の配線基板 1 0 によれば、2つのプロセッサコア 2 4 , 2 5 の電源系統の共通化ができず、プロセッサコア 2 4 , 2 5 ごとに異なる電源系統を設定すべき場合であっても、2つのキャパシタ機能部 1 0 7 , 1 0 8 を2つのプロセッサコア 2 4 , 2 5 にそれぞれ電氣的に接続できるため、個々のプロセッサコア 2 4 , 2 5 を十分に動作させることができる。従って、本実施形態のようなマルチコア・マイクロプロセッサ構造を採用するような場合に、そのメリットを最大限引き出すことができる。

30

【 0 0 6 6 】

(2) 本実施形態では、ICチップ 2 1 のICチップ搭載領域 2 3 がセラミックキャパシタ 1 0 1 の真上の領域内に位置しているため、ICチップ搭載領域 2 3 に搭載されるICチップ 2 1 は高剛性で熱膨張率が小さいセラミックキャパシタ 1 0 1 によって支持される。よって、上記ICチップ搭載領域 2 3 においては、第 1 ビルドアップ層 3 1 が変形しにくくなるため、ICチップ搭載領域 2 3 に搭載されるICチップ 2 1 をより安定的に支持できる。従って、大きな熱応力に起因するICチップ 2 1 のクラックや接続不良を防止することができる。ゆえに、ICチップ 2 1 として、熱膨張差による応力（歪）が大きくなり熱応力の影響が大きく、かつ発熱量が大きく使用時の熱衝撃が厳しい 1 0 mm 角以上の大型のICチップや、脆いとされる Low - k（低誘電率）のICチップを用いることができる。

40

【 0 0 6 7 】

さらに、本実施形態のセラミックキャパシタ 1 0 1 は2つのキャパシタ機能部 1 0 7 , 1 0 8 を有するため、各キャパシタ機能部 1 0 7 , 1 0 8 にてノイズを除去することで各

50

プロセッサコア 24, 25 へ良好な電源供給を行うことができる。しかも、各プロセッサコア 24, 25 は各キャパシタ機能部 107, 108 の真上にそれぞれ配置される。これにより、各プロセッサコア 24, 25 と各キャパシタ機能部 107, 108 とを電氣的に接続する導通経路（コンデンサ接続配線）が最短となる。ゆえに、各プロセッサコア 24, 25 に対する電源供給をスムーズに行うことができる。また、ICチップ 21 とセラミックキャパシタ 101 との間で侵入するノイズを極めて小さく抑えることができるため、誤動作等の不具合を生じることなく高い信頼性を得ることができる。

【0068】

(3) ところで、特開 2002-43754 号公報の [0063] 段落には、基板コア内に複数のチップコンデンサを埋設する技術が開示されている。しかし、複数のチップコンデンサを埋設するためには、基板コア 11 にチップコンデンサと同数の収容穴部 90 を設けなければならないため、基板コア 11 の製作、ひいては配線基板 10 の製造が困難である。また、チップコンデンサでは、たとえ複数存在しているとしても、電源の安定化等による高機能化を図ることが困難である。さらに、チップコンデンサの上面の面積は IC チップ搭載領域 23 よりもかなり小さいため、チップコンデンサを IC チップ 21 の支持体として機能させることができない。その結果、IC チップ 21 と配線基板 10 との間で熱膨張係数のマッチングがとれないため、IC チップ 21 に大きな熱応力が働き、IC チップ 21 にクラックや接続不良が起こりやすくなる。

【0069】

一方、本実施形態では、複数のチップコンデンサではなく、1つのセラミックキャパシタ 101 を用いているため、基板コア 11 に1つの収容穴部 90 を設ければ済む。よって、セラミックキャパシタ 101 の組み込み時の工程が簡略化されるため、配線基板 10 を容易に製造でき、低コスト化も図ることが可能となる。また、単なるチップコンデンサではなく、静電容量の大きいビアアレイタイプのセラミックキャパシタ 101 を用いているため、高機能化を図ることが容易である。さらに、本実施形態では、IC チップ搭載領域 23 の面積が、セラミックキャパシタ 101 の上面 102 の面積よりも小さくなるように設定されている。言い換えると、IC チップ搭載領域 23 よりも広面積のセラミックキャパシタ 101 が用いられている。しかも、厚さ方向から見たときに、IC チップ搭載領域 23 が、セラミックキャパシタ 101 の上面 102 内に位置している。従って、1つのセラミックキャパシタ 101 を IC チップ 21 の支持体として機能させることができる。ゆえに、大きな熱応力に起因する IC チップ 21 のクラックや接続不良を防止することができる。

【0070】

(4) 例えば、セラミックキャパシタ 101 の代わりにチップコンデンサを用い、そのチップコンデンサを、配線基板 10 における IC チップ 21 の裏側（第 2 ビルドアップ層 32 の表面側）に配置することが考えられる。この場合、チップコンデンサのインダクタンスが 7.2 p H となり、チップコンデンサと IC チップ 21 とをつなぐ電気経路のインダクタンスが 2.8 p H となるため、合計のインダクタンスは 10.0 p H となり、比較的大きくなってしまふ。

【0071】

一方、本実施形態では、チップコンデンサよりも低インダクタンス（1.2 p H）のセラミックキャパシタ 101 が用いられている。しかも、セラミックキャパシタ 101 は基板コア 11 内に埋設されるため、セラミックキャパシタ 101 と IC チップ 21 とをつなぐ電気経路は、チップコンデンサと IC チップ 21 とをつなぐ電気経路よりも短くなる。このため、電気経路のインダクタンスも低くなり、0.6 p H となる。その結果、合計のインダクタンスは 1.8 p H となるため、チップコンデンサを用いる場合よりもインダクタンス成分を低減させることができる。これにより、電源供給をスムーズに行うことが可能となり、ノイズ発生を抑えることができる。

【0072】

(5) 本実施形態のキャパシタ機能部 107 では、複数の第 1 電源用ビア導体 131 及

10

20

30

40

50

び複数の第1グラウンド用ビア導体132が、全体としてアレイ状に配置されている。同様に、本実施形態のキャパシタ機能部108では、複数の第2電源用ビア導体133及び複数の第2グラウンド用ビア導体134が、全体としてアレイ状に配置されている。即ち、キャパシタ機能部107、108からなるセラミックキャパシタ101は、ビアアレイタイプのキャパシタである。このため、セラミックキャパシタ101自体の小型化が図りやすくなり、ひいては配線基板10全体の小型化も図りやすくなる。しかも、小さいわりに高静電容量が達成しやすく、より安定した電源供給が可能となる。

〔第2実施形態〕

【0073】

以下、本発明の配線基板を具体化した第2実施形態を図面に基づき詳細に説明する。

10

【0074】

図8に示されるように、本実施形態の配線基板10は、第1ビルドアップ層31の表面39に2箇所のICチップ搭載領域51、52（半導体集積回路素子搭載領域）を有している。また、ICチップ搭載領域51、52には、前記第1実施形態のICチップ21の代わりに、プロセッサコアを1つのみ有する2つのICチップ53、54がそれぞれ搭載されている。

【0075】

キャパシタ機能部107を構成する各第1電源用ビア導体131の一部は、第1電源用電極端子111と第1電源用導体部171とを介して、ICチップ53の面接続端子22に電氣的に接続されている。キャパシタ機能部107を構成する各第1グラウンド用ビア導体132の一部は、第1グラウンド用電極端子112と第1グラウンド用導体部172とを介して、ICチップ53の面接続端子22に電氣的に接続されている。

20

【0076】

同様に、キャパシタ機能部108を構成する各第2電源用ビア導体133の一部は、第2電源用電極端子113と第2電源用導体部173とを介して、ICチップ54の面接続端子22に電氣的に接続されている。キャパシタ機能部108を構成する各第2グラウンド用ビア導体134の一部は、第2グラウンド用電極端子114と第2グラウンド用導体部174とを介して、ICチップ54の面接続端子22に電氣的に接続されている。

【0077】

従って、本実施形態においては、2つのICチップ53、54の電源系統の共通化ができず、ICチップ53、54ごとに異なる電源系統を設定すべき場合であっても、2つのキャパシタ機能部107、108を2つのICチップ搭載領域51、52にそれぞれ電氣的に接続できるため、個々のICチップ53、54を十分に動作させることができる。従って、ICチップ53、54を複数搭載する構造を採用するような場合にそのメリットを最大限引き出すことができる。

30

【0078】

しかも、この構成によると、1つのセラミックキャパシタ101上にて各ICチップ53、54がそれぞれ支持された状態となるため、ICチップ53、54との熱膨張係数のマッチングがとりやすくなり、熱応力の影響が軽減される。よって、大きな熱応力に起因するICチップ53、54のクラックや接続不良を防止することができる。

40

【0079】

なお、本発明の各実施形態は以下のように変更してもよい。

【0080】

・上記各実施形態の收容穴部90は、上面12及び下面13にて開口する貫通穴部であった。しかし、收容穴部90は、基板コア11の上面12のみにて開口する有底の凹部（非貫通穴部）であってもよい。

【0081】

・上記各実施形態の基板コア11内に配線パターン（内層パターン）が形成されていてもよい。このように構成すれば、配線基板10内により複雑な電気回路を形成できるため、配線基板10のよりいっそうの高機能化を図ることができる。また、基板コア11は、

50

コアに対して薄い絶縁層を積層することで形成されていてもよい。

【0082】

・上記実施形態ではキャパシタ機能部107, 108間のスペースには特に何も構造物が配置されていなかったが、図9～図11に示す別の実施形態では、キャパシタ機能部107, 108間のノイズ低減及び放熱性向上を図るために当該スペースにダミー導体が配置されている。具体的にいうと、ここではダミー導体である複数のダミービア導体211が、キャパシタ機能部107, 108の外縁に対して平行にかつ直線状に配列されている。この実施形態におけるダミービア導体211は、キャパシタ機能部107, 108を構成する複数のビア導体131, 132, 133, 134の形成時に併せて形成されたものである。従って、ダミービア導体211は、複数のビア導体131, 132, 133, 134と基本的に等しい構造を有しており、ニッケルを主材料として形成されている。しかしながら、これらのダミービア導体211は、セラミックキャパシタ101内にある他の導体、セラミックキャパシタ101外にある導体のいずれも対しても全く接続されておらず、電氣的にフローティングの状態となっている(図9参照)。

10

【0083】

・図12に示す別の実施形態では、ダミー導体であるダミービア導体211が、キャパシタ機能部107, 108間のスペースに配置されるばかりでなく、2つのキャパシタ機能部107, 108を囲むようにして配置されている。従って、この構成によると、ノイズ低減及び放熱性向上をより確実に達成することができる。

【0084】

・図13, 図14に示す別の実施形態では、キャパシタ機能部107, 108間のスペースに上記のものとは異なるタイプのダミー導体が配置されている。具体的にいうと、ここではダミー導体である複数の略長形状のダミープレーン導体221, 222, 223が配置されている。キャパシタ主面102上における前記スペースに配置された主面側ダミープレーン導体221は、電極端子111～114と基本的に等しい構造を有しており、ニッケルを主材料としそれに銅めっき層を被覆してなる。キャパシタ裏面103上における前記スペースに配置された裏面側ダミープレーン導体222は、電極端子121～124と基本的に等しい構造を有しており、ニッケルを主材料としそれに銅めっき層を被覆してなる。キャパシタ内部における前記スペースに配置された内層ダミープレーン導体223は、内部電極層141, 142と基本的に等しい構造を有しており、ニッケルを主材料として形成されている。そして、このような構成によると、比較的広い面積のダミープレーン導体221, 222, 223が複数層にわたり配置された状態となるため、好適な遮蔽効果を得ることができ、ノイズを確実に低減することができる。勿論、これによれば放熱性も向上する。なお、内層ダミープレーン導体223を省略した構成や、表面側ダミープレーン導体221及び裏面側ダミープレーン導体222を省略した構成を採用してもよい。また、ここでは各ダミープレーン導体221, 222, 223の大きさ及び形状を等しく揃えているが、異なっても構わない。

20

30

【0085】

・図15, 図16, 図17に示す別の実施形態は、図9～図11に示したものの構成的特徴と、図13及び図14に示したものの構成的特徴とを兼ね備えている。つまり、この実施形態では、キャパシタ機能部107, 108間のスペースに、複数のダミービア導体211と、複数のダミービア導体211にそれぞれ接続された主面側ダミープレーン導体221、裏面側ダミープレーン導体222及び内層ダミープレーン導体223とが形成されている。そして、裏面側ダミープレーン導体222は、セラミックキャパシタ101外にある導体、具体的には樹脂絶縁層34のビア導体251を介してビルドアップ層32におけるグラウンド層に電氣的に接続されている。従って、この構成によると、複数異なる形状の導体の組合せによりいわば三次元的な遮蔽体が形成されるため、複数のキャパシタ機能部107, 108間が確実に遮蔽され、効果的にノイズを低減することができる。また、ダミー導体をセラミックキャパシタ101外のグラウンド層に接続したことにより、放熱性をより確実に向上させることができる。

40

50

【 0 0 8 6 】

・上記実施形態はいずれも、キャパシタ機能部 1 0 7 , 1 0 8 間の平面視での寸法が等しく、それゆえ両者の静電容量もほぼ等しいものとなっていた。これに対し、図 1 8 に示す別の実施形態では、キャパシタ機能部 1 0 7 , 1 0 8 間の平面視での寸法が異なり、図中左側に位置するキャパシタ機能部 1 0 7 が大容量部、図中右側に位置するキャパシタ機能部 1 0 8 が小容量部となっている。この場合、小容量部が大容量部の干渉を受けやすく、この干渉により小容量部にノイズが発生しやすくなるが、本実施形態では小容量部と大容量部との間にダミー導体が配置されている。その結果、小容量部におけるノイズを効果的に低減することができる。

【 0 0 8 7 】

・図 9 ~ 図 1 1 に示されるように、セラミックキャパシタ 1 0 1 の上面 1 0 2 上などに、抵抗体 1 6 1 を形成してもよい。例えば、抵抗体 1 6 1 は、第 1 電源用電極端子 1 1 1 (第 2 電源用電極端子 1 1 3) と他の第 1 電源用電極端子 1 1 1 (第 2 電源用電極端子 1 1 3) とを電気的に接続している。なお、抵抗体 1 6 1 は、電源用電極端子 1 1 1 , 1 1 3 、第 1 内部電極層 1 4 1 及び第 2 内部電極層 1 4 2 などを構成する材料よりも抵抗値が高いセラミックなどからなっている。なお、好適な抵抗体 1 6 1 は、例えばセラミックキャパシタ 1 0 1 の完成後に、セラミックペーストを上面 1 0 2 側に塗布して所定時間焼成し、不要部分を除去して抵抗値を調整することなどにより形成される。

【 0 0 8 8 】

このように構成すれば、例えばセラミックキャパシタ 1 0 1 内において異なる電位を設定すること等が可能となり、配線基板 1 0 の高機能化を図ることが容易になる。仮に、セラミックキャパシタ 1 0 1 に抵抗体 1 6 1 を形成しなければ、基板コア 1 1 内においてセラミックキャパシタ 1 0 1 とは別の箇所に抵抗体 1 6 1 を埋設するか、ビルドアップ層 3 1 , 3 2 側に抵抗体 1 6 1 を設けなければならない。

【 0 0 8 9 】

・キャパシタ機能部 1 0 7 , 1 0 8 の間に、ダミービア電極 (グランドビア電極) を複数配置してもよい。このように構成すれば、キャパシタ機能部 1 0 7 とキャパシタ機能部 1 0 8 との干渉によるノイズを低減できる。特に、キャパシタ機能部 1 0 7 , 1 0 8 が大容量部とそれよりも小容量の小容量部とを含む場合、大容量部と小容量部との間に、ダミービア電極 (グランドビア電極) を複数配置するとよい。これにより、大容量部の干渉を受けやすい小容量部のノイズを低減することができる。さらに、放熱性を考慮して、キャパシタ機能部 1 0 7 , 1 0 8 を囲む位置にダミービア電極 (グランドビア電極) を複数配置してもよい。

【 0 0 9 0 】

・図 1 2 に示されるように、セラミックキャパシタ 1 0 1 の一部に、IC チップ 2 1 用とは別系統の (I / O 等への電源供給のための) キャパシタ部 1 6 2 (別系統用の機能部) を設けてもよい。このようにすれば、配線基板 1 0 のよりいっそうの高機能化を図ることができる。なお、本変更例では、I / O 等への電源供給のためのキャパシタ部 1 6 2 は、CPU (IC チップ 2 1) への電源供給のためのキャパシタ部よりも小容量となっている。

【 0 0 9 1 】

次に、前述した実施形態によって把握される技術的思想を以下に列挙する。

【 0 0 9 2 】

(1) コア主面及びコア裏面を有する基板コアと、キャパシタ主面及びキャパシタ裏面を有するとともに、セラミック誘電体層を介して第 1 内部電極層と第 2 内部電極層とが交互に積層配置された構造を持ち、互いに電気的に独立した複数のキャパシタ機能部を有し、前記コア主面と前記キャパシタ主面とを同じ側に向けた状態で前記基板コア内に埋設されたセラミックキャパシタと、層間絶縁層及び導体層を前記コア主面及び前記キャパシタ主面の上にて交互に積層した構造を有し、その表面に複数のプロセッサコアを有する半導体集積回路素子を搭載可能な半導体集積回路素子搭載領域が設定されたビルドアップ層と

10

20

30

40

50

を備え、前記セラミックキャパシタは、前記コア基板において前記半導体集積回路素子搭載領域に対応した領域に配置されており、前記複数のキャパシタ機能部は、前記複数のプロセッサコアにそれぞれ電氣的に接続可能であることを特徴とする配線基板。

【0093】

(2) コア主面及びコア裏面を有する基板コアと、キャパシタ主面及びキャパシタ裏面を有するとともに、セラミック誘電体層を介して第1内部電極層と第2内部電極層とが交互に積層配置された構造を持ち、互いに電氣的に独立した複数のキャパシタ機能部を有し、前記コア主面と前記キャパシタ主面とを同じ側に向けた状態で前記基板コア内に埋設されたセラミックキャパシタと、層間絶縁層及び導体層を前記コア主面及び前記キャパシタ主面の上にて交互に積層した構造を有し、その表面に複数のプロセッサコアを有する半導体集積回路素子を搭載可能な半導体集積回路素子搭載領域が設定された第1ビルドアップ層と、層間絶縁層及び導体層を前記コア裏面及び前記キャパシタ裏面の上にて交互に積層した構造を有する第2ビルドアップ層とを備え、前記セラミックキャパシタは、前記コア基板において前記半導体集積回路素子搭載領域に対応した領域に配置されており、前記複数のキャパシタ機能部は、前記複数のプロセッサコアにそれぞれ電氣的に接続可能であることを特徴とする配線基板。

10

【0094】

(3) コア主面及びコア裏面を有する基板コアと、キャパシタ主面及びキャパシタ裏面を有するとともに、セラミック誘電体層を介して第1内部電極層と第2内部電極層とが交互に積層配置された構造を持ち、別系統用の機能部を備えたキャパシタ機能部を有し、前記コア主面と前記キャパシタ主面とを同じ側に向けた状態で前記基板コア内に埋設されたセラミックキャパシタと、層間絶縁層及び導体層を前記コア主面及び前記キャパシタ主面の上にて交互に積層した構造を有し、その表面にプロセッサコアを有する半導体集積回路素子を搭載可能な半導体集積回路素子搭載領域が設定されたビルドアップ層とを備え、前記キャパシタ機能部は、前記プロセッサコアに電氣的に接続可能であることを特徴とする配線基板。

20

【0095】

(4) コア主面及びコア裏面を有する基板コアと、キャパシタ主面及びキャパシタ裏面を有するとともに、セラミック誘電体層を介して第1内部電極層と第2内部電極層とが交互に積層配置された構造を持ち、互いに電氣的に独立した複数のキャパシタ機能部を有し、前記第1内部電極層同士を導通させる複数の電源用ビア導体と、前記第2内部電極層同士を導通させる複数のグランド用ビア導体とを有し、前記複数の電源用ビア導体及び前記複数のグランド用ビア導体が、全体としてアレイ状に配置され、前記コア主面と前記キャパシタ主面とを同じ側に向けた状態で前記基板コア内に埋設されたセラミックキャパシタと、層間絶縁層及び導体層を前記コア主面及び前記キャパシタ主面の上にて交互に積層した構造を有し、その表面における異なる箇所に複数の半導体集積回路素子搭載領域が設定されたビルドアップ層とを備え、前記複数のキャパシタ機能部は、前記複数のプロセッサコアにそれぞれ電氣的に接続可能であることを特徴とする配線基板。

30

【0096】

(5) 上記(4)において、前記複数の電源用ビア導体における前記キャパシタ主面側の端部に位置する電源用電極端子と、前記複数のグランド用ビア導体における前記キャパシタ主面側の端部に位置するグランド用電極端子とを有することを特徴とする配線基板。

40

【0097】

(6) 上記(4)または(5)において、前記複数の電源用ビア導体及び前記複数のグランド用ビア導体は、前記キャパシタ主面と前記キャパシタ裏面とを連通させていることを特徴とする配線基板。よって、技術的思想(6)によれば、セラミックキャパシタ自体の小型化が図りやすくなり、ひいては配線基板全体の小型化も図りやすくなる。

【0098】

(7) コア主面及びコア裏面を有する基板コアと、キャパシタ主面及びキャパシタ裏面を有するとともに、セラミック誘電体層を介して第1内部電極層と第2内部電極層とが交

50

互に積層配置された構造を持ち、互いに電氣的に独立した複数のキャパシタ機能部を有し、前記コア主面と前記キャパシタ主面とを同じ側に向けた状態で前記基板コア内に埋設されたセラミックキャパシタと、層間絶縁層及び導体層を前記コア主面及び前記キャパシタ主面の上にて交互に積層した構造を有し、その表面に複数のプロセッサコアを有する半導体集積回路素子を搭載可能な半導体集積回路素子搭載領域が設定されたビルドアップ層と、前記半導体集積回路素子とを備え、前記複数のプロセッサコア及び前記複数のキャパシタ機能部は、前記ビルドアップ層の導体部を介してそれぞれ個別に電氣的に接続可能であることを特徴とするマルチコア・マイクロプロセッサ構造のパッケージ。

【図面の簡単な説明】

【0099】

10

【図1】本発明を具体化した第1実施形態の配線基板を示す概略断面図。

【図2】同じく、セラミックキャパシタを示す概略断面図。

【図3】同じく、セラミックキャパシタの内層における接続を説明するための概略説明図。

【図4】同じく、セラミックキャパシタの内層における接続を説明するための概略説明図。

【図5】同じく、配線基板の製造方法の説明図。

【図6】同じく、配線基板の製造方法の説明図。

【図7】同じく、配線基板の製造方法の説明図。

【図8】第2実施形態の配線基板を示す概略断面図。

20

【図9】別の実施形態の配線基板を示す概略断面図。

【図10】別の実施形態の配線基板を示す要部概略断面図。

【図11】別の実施形態のセラミックキャパシタを示す概略平面図。

【図12】別の実施形態のセラミックキャパシタを示す概略平面図。

【図13】別の実施形態の配線基板を示す要部概略断面図。

【図14】別の実施形態のセラミックキャパシタを示す概略平面図。

【図15】別の実施形態の配線基板を示す概略断面図。

【図16】別の実施形態の配線基板を示す要部概略断面図。

【図17】別の実施形態のセラミックキャパシタを示す概略平面図。

【図18】別の実施形態のセラミックキャパシタを示す概略平面図。

30

【図19】他の実施形態の抵抗体付近を示すセラミックキャパシタの概略平面図。

【図20】同じく、抵抗体付近を示すセラミックキャパシタの概略断面図。

【図21】同じく、抵抗体付近を示すセラミックキャパシタの概略断面図。

【図22】他の実施形態のキャパシタ部付近を示すセラミックキャパシタの概略平面図。

【符号の説明】

【0100】

10 ... 配線基板

11 ... 基板コア

12 ... コア主面としての上面

13 ... コア裏面としての下面

40

21 ... 半導体集積回路素子としてのICチップ

23 ... 半導体集積回路素子搭載領域としてのICチップ搭載領域

24, 25 ... プロセッサコア

31 ... ビルドアップ層としての第1ビルドアップ層

32 ... 第2ビルドアップ層

33, 34, 35, 36 ... 層間絶縁層としての樹脂絶縁層

39 ... ビルドアップ層の表面

42 ... 導体層

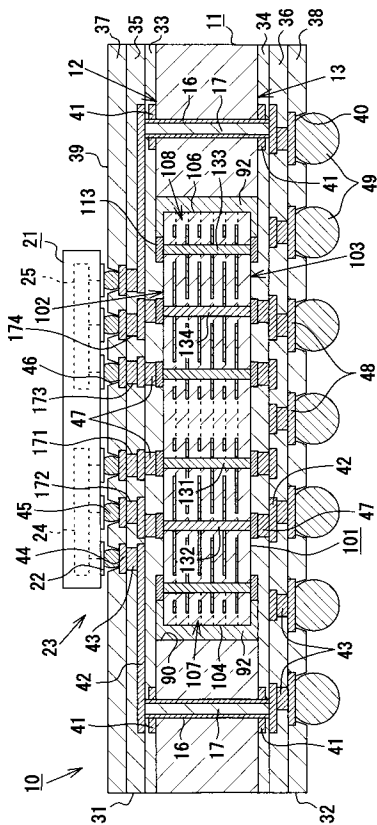
51, 52 ... 半導体集積回路素子搭載領域としてのICチップ搭載領域

101 ... セラミックキャパシタ

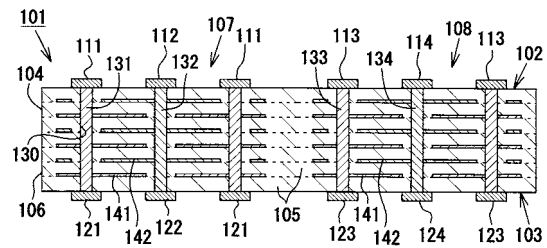
50

- 1 0 2 ... キャパシタ主面としての上面
- 1 0 3 ... キャパシタ裏面としての下面
- 1 0 5 ... セラミック誘電体層
- 1 0 7 ... (第1の) キャパシタ機能部
- 1 0 8 ... (第2の) キャパシタ機能部
- 1 4 1 ... 第1内部電極層
- 1 4 2 ... 第2内部電極層
- 1 6 1 ... 抵抗体
- 1 7 1 ... 電源用導体部としての第1電源用導体部
- 1 7 3 ... 電源用導体部としての第2電源用導体部
- 2 1 1 ... ダミー導体としてのダミービア導体
- 2 2 1 ... ダミー導体としての表面側ダミープレーン導体
- 2 2 2 ... ダミー導体としての裏面側ダミープレーン導体
- 2 2 3 ... ダミー導体としての内層ダミープレーン導体

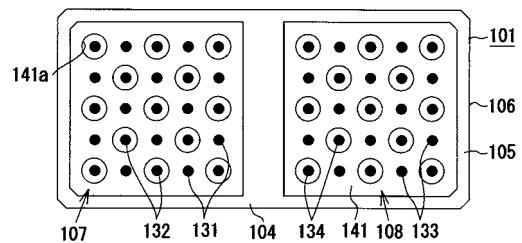
【図1】



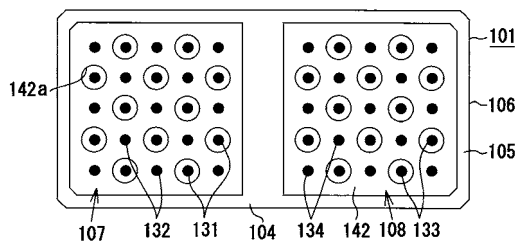
【図2】



【図3】



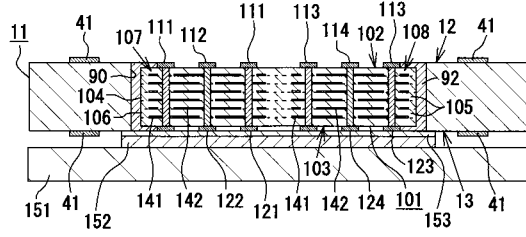
【図4】



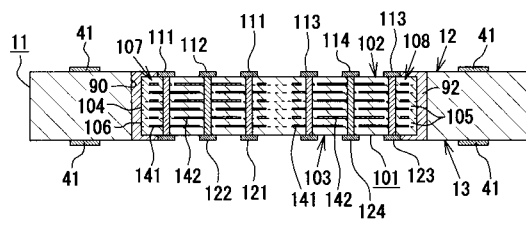
【 図 5 】



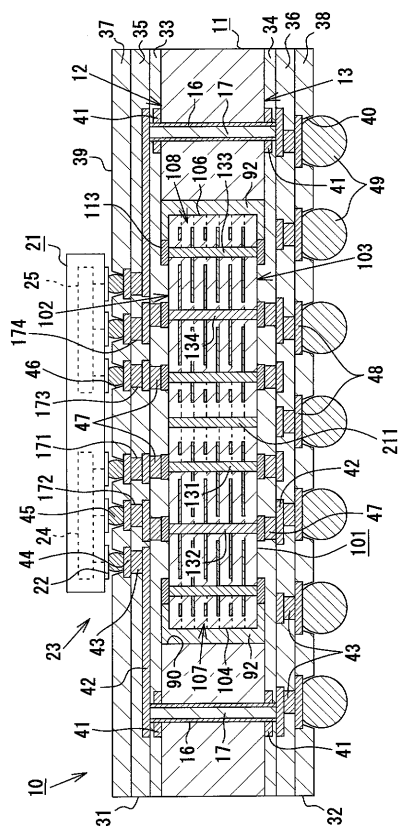
【 図 6 】



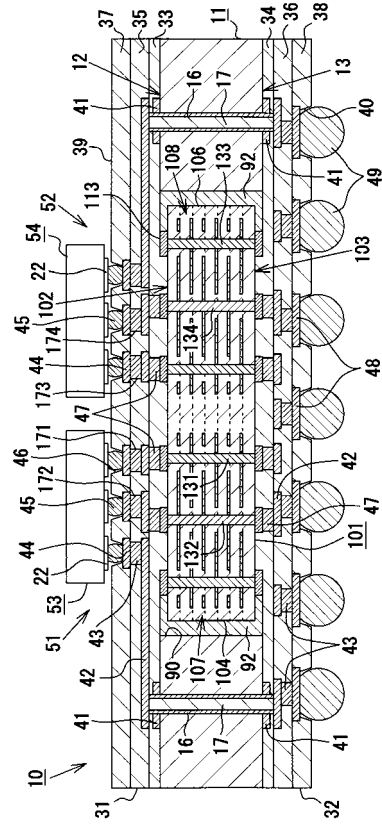
【 図 7 】



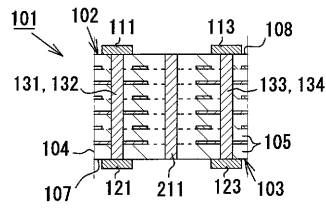
【 図 9 】



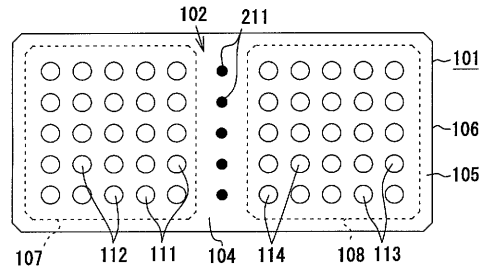
【 図 8 】



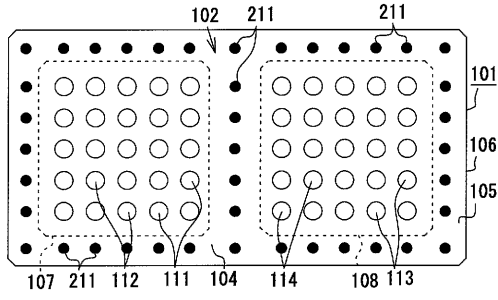
【 図 10 】



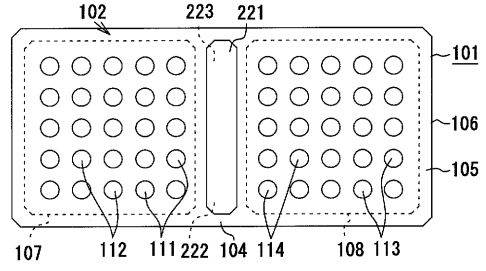
【 図 11 】



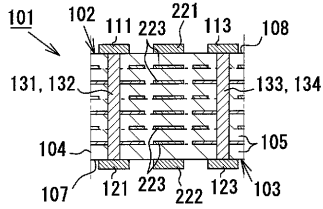
【 1 2 】



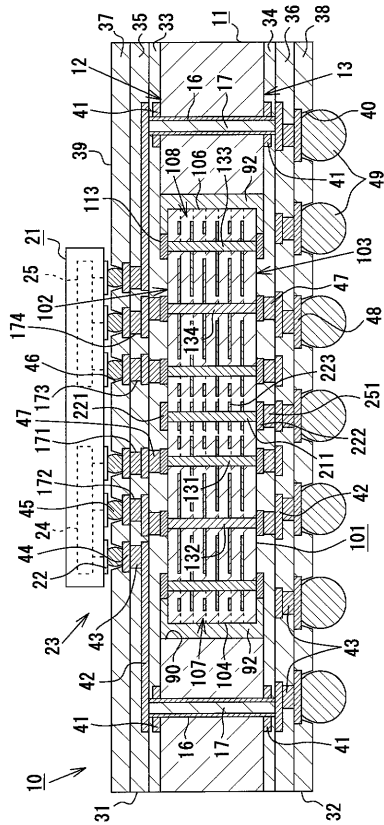
【 1 4 】



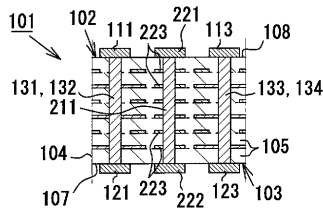
【 1 3 】



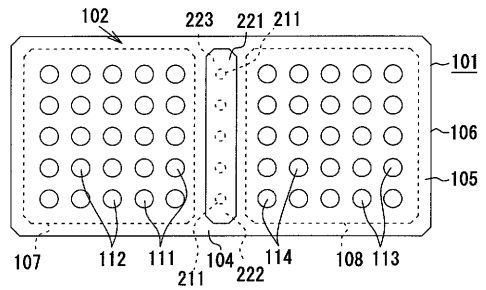
【 1 5 】



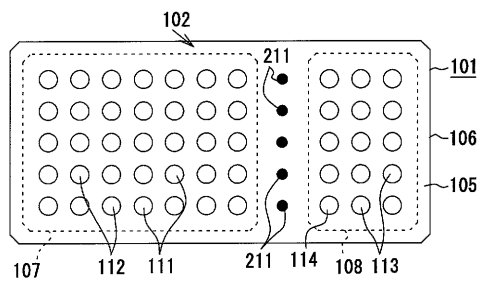
【 1 6 】



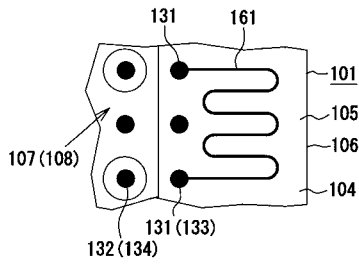
【 1 7 】



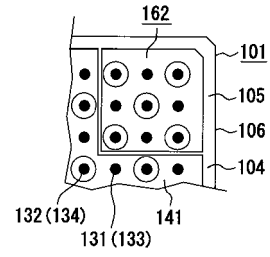
【 1 8 】



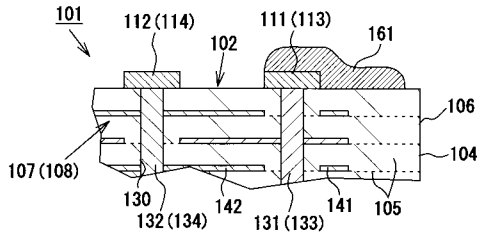
【 図 19 】



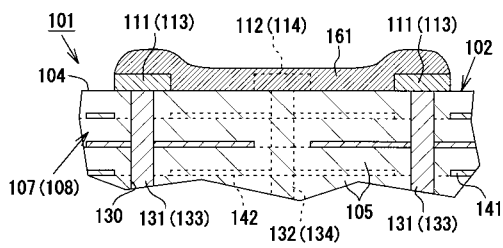
【 図 22 】



【 図 20 】



【 図 21 】



フロントページの続き

(72)発明者 由利 伸治

名古屋市瑞穂区高辻町14番18号 日本特殊陶業株式会社 内

審査官 宮本 靖史

(56)参考文献 特開平05 - 036857 (JP, A)
特開2001 - 352141 (JP, A)
特開2004 - 311990 (JP, A)
特開2003 - 178930 (JP, A)
特開2001 - 313467 (JP, A)
特開2002 - 043718 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L	23/12
H01G	4/12
H01G	4/30
H01G	4/38
H05K	3/46