

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5068367号  
(P5068367)

(45) 発行日 平成24年11月7日(2012.11.7)

(24) 登録日 平成24年8月24日(2012.8.24)

(51) Int. Cl. F I  
**G06F 12/00 (2006.01)** G O 6 F 12/00 5 5 O E  
**G06F 1/32 (2006.01)** G O 6 F 1/00 3 3 2 Z

請求項の数 15 (全 16 頁)

(21) 出願番号	特願2010-519458 (P2010-519458)	(73) 特許権者	390009531
(86) (22) 出願日	平成20年8月6日(2008.8.6)		インターナショナル・ビジネス・マシーンズ・コーポレーション
(65) 公表番号	特表2010-536080 (P2010-536080A)		INTERNATIONAL BUSINESS MACHINES CORPORATION
(43) 公表日	平成22年11月25日(2010.11.25)		アメリカ合衆国10504 ニューヨーク州 アーモンク ニュー オーチャードロード
(86) 国際出願番号	PCT/EP2008/060330	(74) 代理人	100108501
(87) 国際公開番号	W02009/019284		弁理士 上野 剛史
(87) 国際公開日	平成21年2月12日(2009.2.12)	(74) 代理人	100112690
審査請求日	平成23年7月5日(2011.7.5)		弁理士 太佐 種一
(31) 優先権主張番号	11/836, 210	(74) 代理人	100091568
(32) 優先日	平成19年8月9日(2007.8.9)		弁理士 市位 嘉宏
(33) 優先権主張国	米国 (US)		
早期審査対象出願			

最終頁に続く

(54) 【発明の名称】 データをメモリに格納するときのエネルギー削減の方法

(57) 【特許請求の範囲】

【請求項 1】

メモリ・デバイス进行操作する方法であって、

メモリ・デバイス内のある位置における第1のデータ単位を第2のデータ単位で上書きする前に、前記第2のデータ単位を書き込むことが、反転されたビットを有する少なくとも1つのサブ単位を有する前記第2のデータ単位を書き込むことより多くのエネルギーを必要とするかどうかを判断することと、

前記反転されたビットを有する少なくとも1つのサブ単位を有する前記第2のデータ単位を書き込むことがより少ないエネルギーを必要とすると判断された場合、前記第1のデータ単位を、前記反転されたビットを有する少なくとも1つのサブ単位を有する変更された第2のデータ単位で上書きすると共に、前記変更されたデータ単位内の、前記反転されたビットを有するデータの前のサブ単位の位置を示す少なくとも1つのビットを書き込むことと

を含み、

より多くのエネルギーを必要とするかどうかを前記判断するステップは、

あるメモリ位置に格納された現行データを読み取るステップと、

書き込まれる入力データを前記現行データと比較し、前記現行データと前記入力データとの間の排他的ORを実施して該排他的ORの結果における「1」の数の和を取り、前記入力データで前記現行データを上書きした場合に生じるビット遷移の数を表す和sum1を取得することにより、前記入力データで前記現行データを上書きする場合に生じるビット

遷移の数を算出するステップと、

$sum1$  を所定の閾値と比較し、 $sum1$  が該閾値に等しいか又はそれを越える場合、前記入力データの全て又は一部分をネグートし、現行データとの排他的ORを実施して第2の $sum2$ を算出するステップと

を含み、

前記ネグートされた入力データの $sum2 + 1$ の値が $sum1$ より小さい場合、前記ネグートされた入力データが前記メモリ位置に書き込まれる場合に前記ビット遷移の数が減少することになる、

方法。

【請求項2】

後に、前記変更されたデータ単位及び前記少なくとも1つのビットを読み取り、反転されたビットを有することを示された任意のサブ単位のビットを反転させて出力データを供給することをさらに含む、請求項1に記載の方法。

10

【請求項3】

前記少なくとも1つのビットは、ある値を示すためのグループとして符号化される複数のビットを含む、請求項1に記載の方法。

【請求項4】

前記少なくとも1つのビットは複数のビットを含み、前記複数のビットの個々の1つは複数のサブ単位の対応する個々の1つを指定する、請求項1に記載の方法。

【請求項5】

前記少なくとも1つのビットは、前記変更されたデータ単位が書き込まれるのと同じメモリ・デバイスに書き込まれる、請求項1に記載の方法。

20

【請求項6】

前記少なくとも1つのビットは、前記変更されたデータ単位が書き込まれるメモリ・デバイスとは異なるメモリ・デバイスに書き込まれる、請求項1に記載の方法。

【請求項7】

前記第2のデータ単位を前記メモリ・デバイスに書き込む前にバッファリングすることと、前記第2のデータ単位を、続いて前記バッファに格納される第3のデータ単位と比較して前記第2のデータ単位又は前記第3のデータ単位を前記メモリ・デバイスに書き込むかどうかを判断することとをさらに含む、請求項1に記載の方法。

30

【請求項8】

メモリ・デバイスを操作するための装置であって、

メモリ・デバイス内のある位置における第1のデータ単位を第2のデータ単位で上書きする前に、前記第2のデータ単位を書き込むことが、反転されたビットを有する少なくとも1つのサブ単位を有する前記第2のデータ単位を書き込むことより多くのエネルギーを必要とするかどうかを判断するように構成されたメモリ制御ユニットを備え、

前記メモリ制御ユニットは、前記反転されたビットを有する前記少なくとも1つのサブ単位を有する前記第2のデータ単位を書き込むことがより少ないエネルギーを必要とするとの判断に応じて、前記反転されたビットを有する前記少なくとも1つのサブ単位を有する変更された第2のデータ単位を、前記変更されたデータ単位内の、前記反転されたビットを有するデータの前記サブ単位の位置を示す少なくとも1つのビットを含む標識フィールドと共に、前記メモリ・デバイスに送るようさらに構成され、

40

前記メモリ制御ユニットは、少ないエネルギーが必要とされるかどうかを、

書き込まれる入力データを前記現行データと比較し、前記現行データと前記入力データとの排他的ORを実施して該排他的ORの結果中の「1」の数を加え合わせて前記入力データで前記現行データを上書きする場合に生じるビット反転の数を表す和 $sum1$ を取得することにより、前記入力データで現行データを上書きする場合に生じるビット遷移の数を算出するための手段と、

$sum1$  を所定の閾値と比較し、 $sum1$  が前記閾値に等しいか又はそれを越える場合に前記入力データの全て又は部分をネグートし、前記現行データとの排他的ORを実施し

50

て第2のsum2を取得する手段であって、前記ネゲートされた入力データのsum2 + 1の値がsum1より小さければ、前記ネゲートされた入力データが前記メモリ位置に書き込まれる場合に前記ビット遷移の数が減少することになる、前記手段と

を用いて判断する、  
装置。

【請求項9】

前記メモリ制御ユニットは、前記変更されたデータ単位及び前記対応する標識フィールドを読み取ることに応じて、反転されたビットを有するように示された任意のサブ単位のビットを反転させた後に出力データを供給するようにさらに構成される、請求項8に記載の装置。

10

【請求項10】

前記標識フィールドは、ある値を示すためにグループとして符号化される複数のビットを含む、請求項8に記載の装置。

【請求項11】

前記標識フィールドは複数のビットを含み、前記複数のビットの個々の1つは複数のサブ単位の対応する個々の1つを指定する、請求項8に記載の装置

【請求項12】

前記標識フィールドは、前記変更されたデータ単位が書き込まれるのと同じメモリ・デバイスに書き込まれる、請求項8に記載の装置。

【請求項13】

前記標識フィールドは、前記変更されたデータ単位が書き込まれるメモリ・デバイスとは異なるメモリ・デバイスに書き込まれる、請求項8に記載の装置。

20

【請求項14】

前記第2のデータ単位を前記メモリ・デバイスに書き込む前に、それを待ち行列に入れるためのバッファをさらに備え、

前記メモリ制御ユニットは、前記第2のデータ単位、又は前記第2のデータ単位が前記バッファに格納された後で前記バッファに格納される第3のデータ単位を前記メモリ・デバイスに書き込むのにどちらがより小さなエネルギーを必要とするかを判断するようにさらに構成される、

請求項8に記載の装置。

30

【請求項15】

コンピュータプログラムであって、コンピュータに、前記請求項1乃至7の何れかに記載されたステップを実行させるための、前記コンピュータプログラム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の例示的な実施形態は一般にデータの格納及び引出しに関し、より具体的には、コンピュータ可読媒体にデータを格納するためのエネルギー効率が良い方法に関する。

【背景技術】

【0002】

特許文献1においてSakata他は、MTJ素子の磁化を反転するのに必要な電流を、データ・ラインを通過させる必要があるために大電流を消費する、MRAMの書き込み操作を開示している。この書き込み操作は、入力データをメモリセル配列から読み取られた読取りデータと比較すること、及びデータ・エンコーダを用いて入力データを符号化して書き込みデータを形成することを含む。また、データ・デコーダを用いて読取りデータを復号して出力データを形成することが開示されている。不揮発半導体メモリにおいては、書き込み操作中に書き込まれるビット数が減少し、電流消費もまた減少すると言われる。

40

【0003】

特許文献2においてCohenは、コンピュータ・システム内でダイナミック・ランダム・アクセス・メモリをリフレッシュするのに必要な電力を削減する方法及び装置を開示して

50

いる。一実施形態において、D R A Mに格納されるデータは一度にワードずつ評価される。8ビットのデータ・ワード毎に、1の数が4より多い場合、データ・ワードの各ビットは反転され、データ反転標識ビットが論理1に設定され、データが反転されたことを示す。これは、最少数の1を用いてデータが正確に格納されることを可能にする。D R A Mに格納されたデータのリフレッシュに必要な電力のため、最少数の1の格納は電力消費を減らす。データの読取りにより、そのデータが格納に際して反転されたかどうか判断され、そうである場合には読み取られたデータはもとの形に戻される。

【0004】

特許文献3においてNormanは、ビットのXビット・パケット(Xは整数)を符号化し、符号化されたビットのXビット・パケットを生成し、フラッシュ・メモリ・アレイの消去済セルに書き込む方法及び装置開示し、この場合、第1の値を有するビットを消去済セルに書き込むことの方が、第2の値を有するビットをセルに書き込むことより消費電力が少ない。未処理ビットの各パケットに対して第1(又は第2)の値を有するパケットのビット数を示すカウント信号が生成され、このカウント信号が処理されてパケットの符号化を決定する制御信号が生成され、パケットの未処理ビットは制御信号により決定されるスキームに従って符号化される。各々の消去済セルはバイナリ値「1」を示すことができ、カウント信号は参照値(X/2を示す)と比較されて、パケットを転極させるべきかどうかを決定する制御信号を生成し、パケットは制御信号の値に応じて反転される(又は反転されない)。カウント信号は、あるアレイの消去済セルに書き込まれるビットの各パケットに対して生成することができ(ここでカウント信号はパケット内の特定の値を有するビットの数を示す)、各パケットは対応するカウント信号により決定される様式で符号化され、符号化ビットを消去済セル内に書き込むのに必要な電力が削減される。各パケットの符号化を示すフラッグ・ビットが生成され、このフラッグ・ビット(及び符号化されたパケット)をフラッシュ・メモリ・アレイのセルに格納することができる。

【0005】

メモリ電力消費を制御するための他の技法は、非特許文献1乃至非特許文献3に開示されている。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】米国特許出願公開第2004/0042292A1号明細書

【特許文献2】米国特許第6,633,951号明細書

【特許文献3】米国特許第5,873,112号明細書

【非特許文献】

【0007】

【非特許文献1】IBM Technical Disclosure Bulletin, Vol.30, No. 1, June 1987, "PowerReduction Scheme with Data-Dependent Write", pgs. 304-305.

【非特許文献2】IBM Technical Disclosure Bulletin, 11-89, "Reduced Power for HighPerformance Memory", pgs. 415-416.

【非特許文献3】Marcello Duhalde他、IEEE publication, "A HighPerformance Modular Embedded ROM Architecture" (1995), pgs. 1057-1060.

【発明の概要】

【発明が解決しようとする課題】

【0008】

現在利用可能な及び将来のデータ記憶装置及びシステムにおける電力消費並びに電力消費の結果として生成される熱負荷をさらに削減するために、これらの従来技術に対する改善が必要である。

【課題を解決するための手段】

【0009】

本発明の例示的な実施形態により、前述及び他の問題が克服され、そして他の利点が実

10

20

30

40

50

現される。

【0010】

本発明の例示的な実施形態の第1の態様において、メモリ・デバイス进行操作する方法が提供される。本方法は、メモリ・デバイスのある位置における第1のデータ単位を第2のデータ単位で上書きする前に、第2のデータ単位を書き込むことが、反転されたビットを有する少なくとも1つのサブ単位を有する第2のデータ単位を書き込むことよりも多くのエネルギーを必要とするかどうかを判断することを含む。反転されたビットを有する少なくとも1つのサブ単位を有する第2のデータ単位を書き込むことの方がより少ないエネルギーを必要とすると判断された場合、本方法は、第1のデータ単位を、反転されたビットを有する少なくとも1つのサブ単位を有する変更された第2のデータ単位で上書きすると共に、変更されたデータ単位内の反転されたビットを有するデータのサブ単位の位置を示すための少なくとも1つのビットを書き込むことをさらに含む。

10

【0011】

本発明の例示的な実施形態のさらに別の態様において、メモリ・デバイス进行操作するための装置が提供され、この装置は、メモリ・デバイス内のある位置における第1のデータ単位を第2のデータ単位で上書きする前に、第2のデータ単位を書き込むことが、反転されたビットを有する少なくとも1つのサブ単位を有する第2のデータ単位を書き込むことよりも少ないエネルギーを必要とするかどうかを判断するように構成されたメモリ制御ユニットを含む。このメモリ制御ユニットは、反転されたビットを有する少なくとも1つのサブ単位を有する第2のデータ単位を書き込むことの方がより少ないエネルギーを必要とするとの判断に応じて、反転されたビットを有する少なくとも1つのサブ単位を有する変更された第2のデータ単位を、変更されたデータ単位内の反転されたビットを有するデータのサブ単位の位置を示す少なくとも1つのビットを含む標識フィールドと共に、メモリ・デバイスに送るようにさらに構成される。

20

【0012】

本発明の例示的な実施形態の別の態様において、実行されると下記の操作を生じるコンピュータ・プログラム命令を格納するコンピュータ可読メモリ媒体を提供し、その操作は、メモリ・デバイスのある位置における第1のデータ単位を第2のデータ単位で上書きする前に、第2のデータ単位を書き込むことが、反転されたビットを有する少なくとも1つのサブ単位を有する第2のデータ単位を書き込むことよりも多くのエネルギーを必要とするかどうかを判断することと、反転されたビットを有する少なくとも1つのサブ単位を有する第2のデータ単位を書き込むことの方がより少ないエネルギーを必要とすると判断された場合に、第1のデータ単位を、反転されたビットを有する少なくとも1つのサブ単位を有する変更された第2のデータ単位で上書きすると共に、変更されたデータ単位内の反転されたビットを有するデータのサブ単位の位置を示すための少なくとも1つのビット・メモリを書き込むことを含む。

30

【0013】

本発明の例示的な実施形態のさらに別の態様において、メモリ制御ユニット进行操作する方法を提供する。この方法は、あるメモリ位置に格納された現行データを読み取ることと、書き込まれる入力データを現行データと比較し、現行データと入力データの間の排他的ORを実施して排他的ORの結果中の「1」の数を加え合せ、入力データで現行データを上書きした場合に生じるビット遷移の数を表す和sum1を取得することにより、新データで現行データを上書きする場合に生じるビット遷移の数を算出することと、sum1を所定の閾値と比較して、sum1が閾値に等しいか又はそれを超える場合に入力データの全て又は部分をネグートし、現行データとの排他的ORを実行して第2のsum2を算出することとを含み、ここでネグートされた入力データのsum2+1の値がsum1より小さい場合には、ネグートされた入力データがメモリ位置に書き込まれた場合にビット遷移の数が減少することになり、本方法はさらに、対応する標識フィールド内の少なくとも1つの標識ビットを、メモリ位置に入力データが格納されたかどうか又は入力データの全て又は部分のネグートされた形が格納されたかどうかを示すように設定することを含む。

40

50

## 【 0 0 1 4 】

本発明の例示的な実施形態の別の態様において、電力アドバイザーを操作する方法を提供する。この方法は、第1の命令セットを読み取ることと、データ・バスを読み取ることと、少なくとも1つのデータ・レジスタに格納されたレジスタ値を読み取ることとを含む。この情報はエネルギー使用目的に関して分析される。ある命令セットがより低いエネルギー使用のセットと同じ結果をもたらす得る場合、第1の命令セットは、そのより低い電力使用の命令セットで置き換えられる。

## 【 0 0 1 5 】

本発明の例示的な実施形態のさらに別の態様において、命令レジスタ、データ・バス、及び少なくとも1つのデータ・レジスタに結合された装置を提供する。この装置は、第1の命令セットを読み取り、データ・バスを読み取り、そしてデータ・レジスタに格納されたレジスタ値を読み取る。本装置はこの情報をエネルギー使用目的に関して分析する。ある命令セットがより低いエネルギー使用のセットと同じ結果をもたらす得る場合、第1の命令セットは、そのより低い電力使用の命令セットで置き換えられる

10

## 【 0 0 1 6 】

本発明の例示的な実施形態の別の態様において、実行されると下記の操作を生じるコンピュータ・プログラム命令を格納するコンピュータ可読メモリ媒体を提供し、その操作は、第1の命令セットを読み取ることと、データ・バスを読み取ることと、少なくとも1つのデータ・レジスタに格納されたレジスタ値を読み取ることとを含む。この情報はエネルギー使用目的に関して分析される。ある命令セットがより低いエネルギー使用のセットと同じ結果をもたらす得る場合、第1の命令セットは、そのより低い電力使用の命令セットで置き換えられる。

20

## 【 0 0 1 7 】

本発明の例示的な実施形態のさらに別の態様において、装置を提供する。この装置は、第1の命令セットを読み取り、データ・バスを読み取り、少なくとも1つのデータ・レジスタに格納されたレジスタ値を読み取るための手段を有する。本装置はこの情報をエネルギー使用目的に関して分析する。ある命令セットがより低いエネルギー使用のセットと同じ結果をもたらす得る場合、第1の命令セットは、そのより低い電力使用の命令セットで置き換えられる。

## 【 0 0 1 8 】

これらの教示の前述及び他の態様は、好ましい実施形態に関する以下の詳細な説明を添付の図面と関連して読むことによりさらに明白となる。

30

## 【 図面の簡単な説明 】

## 【 0 0 1 9 】

【 図 1 】 本発明の実施に用いるのに適したデータ処理システムの略ブロック図である。

【 図 2 】 本発明の例示的な実施形態による、図1のメモリ制御ユニットの一部分の略ブロック図である。

【 図 3 】 図1のメモリ制御ユニットを操作する方法の非限定的な実施例を示す論理フロー図である。

【 図 4 】 図3の方法の操作を反映する、入力データ及び同じ値を有する現行データの種々の実施例を示す表である。

40

【 図 5 】 本発明による方法の非限定的な実施例を示す論理フロー図である。

【 図 6 】 本発明の例示的な実施形態によって管理されるデータ・バッファを示す。

【 図 7 】 本発明の実施に用いるのに適した、マイクロプロセッサのようなデータ・プロセッサの一部分の略ブロック図である。

【 図 8 】 本発明による方法の非限定的な実施例を示す論理フロー図である。

## 【 発明を実施するための形態 】

## 【 0 0 2 0 】

本発明の例示的な実施形態を用いると、情報をメモリ・デバイスに格納するのに必要なエネルギー量の削減が可能になる。

50

## 【0021】

本発明の例示的な実施形態には、デジタル・データの遷移（1から0へ、又は0から1へ）の数を減らし、その結果、データをメモリ・デバイスに格納するときに消費されるエネルギーを減らす技術が用いられる。本発明の例示的な実施形態の使用は、メモリ状態を変更するためのエネルギーが主要なエネルギー条件となるメモリ・デバイスに対して有利である。第1の例示的な実施形態において、書込みの前に、メモリ・デバイスに以前に格納されたデータ単位が読み取られ、そのデータ単位のある部分、又はそのデータ単位のその部分のネゲートされた形が、より少ない遷移で、従ってより少ないエネルギーで格納することができるかどうか判断される。そのデータ単位のある部分がより少ない遷移で格納できると判断された場合、データ単位のどの1つ又は複数の部分が反転された形で格納されるかを明示するための1つ又は複数の標識が格納される。この1つ又は複数の標識は、後にデータ単位が読み取られるときに引き出されて、データ単位を原形に復元するのに用いられる。

10

## 【0022】

別の例示的な実施形態において、データが、以前に格納されたデータを有するメモリ位置に書き込まれるときに遷移の数が減少するように、格納されるデータ単位内のバイナリ0に対する統計的偏りが生成される。

## 【0023】

導入部として、図1は本発明の実施に用いるのに適したデータ処理システム10の略ブロック図である。システム10は少なくとも1つのメモリ14に結合された少なくとも1つのプロセッサ12を含む。メモリ14にはメモリ制御ユニット16が付随し、このメモリ制御ユニット16は、本発明の例示的な実施形態により構成され操作されて、データが格納されるときに遷移の数を減らす目的でメモリ14に格納されるデータを分析する。簡単のために、これらのコンポーネントを相互接続する種々のバス18A、18B及び18Cの細部（例えば、アドレス、データ及び制御バスの細部）は図示しない。幾つかの実施形態においてプロセッサ12は、メモリ制御ユニットを通してのみメモリ14に接続することができ、この場合にはバス18Aは無くてもよいことに留意されたい。また幾つかの実施形態において、メモリ14の全て又は一部分はプロセッサ12から遠隔に配置することができ、付随するメモリ制御ユニット16も同様にするように留意されたい。この場合、1つ又は複数のバス、18A、18B、18Cは、ローカルな電気バス又は光バスとすることができ、或いは、ローカル・エリア・ネットワーク（LAN）のような、遠隔の有線又は無線バス、或いは、インターネットのような広域ネットワークとすることができる。

20

30

## 【0024】

データ処理システム10は、メインフレーム・コンピュータ、ワークステーション、デスクトップ（例えばパーソナル）コンピュータ、ラップトップ又はノートブック・コンピュータ、又は別の装置に組み込まれたデータ処理システムのような、任意の適切な形態を取ることができる。プロセッサ12は、複数コンポーネントから構成されたもの、又は、マイクロプロセッサのような単一の集積回路内に組み込まれる形態に構成されたものを含む、任意の型のデータ・プロセッサとすることができ、メモリ14は任意の型の適切なメモリとすることができ、1つ又は複数の半導体ベースのメモリ、例えば、スタティック・ランダム・アクセス・メモリ（RAM）又はダイナミックRAMに具体化することができ、或いは、ディスク又はテープのような磁気記憶媒体として具体化することができる。他の実施形態においてメモリ14は、磁気的原理に基づく半導体ベースのテクノロジー（磁気抵抗RAMなど）とすることができ、一般に、本発明の例示的な実施形態は、データ記憶位置の状態を変更するのに、即ち、0のビット格納から1のビット格納へ、及び/又は1のビット格納から0のビット格納へのデータ記憶位置の遷移に、いくらかの無視できない量のエネルギーを必要とする型のデータ記憶メモリに対して、特に有用である。

40

## 【0025】

メモリ制御ユニット16は、メモリ14と一体化することができ、或いは、別々のユニ

50

ットとすることができる。これはまた、D R A M制御ユニットとして又はディスク若しくはテープ・コントローラとして動作することのような、付加的な機能を有することができる。

【 0 0 2 6 】

幾つかの実施形態において、図 1 に示した全てのコンポーネントを同じ集積回路内に組み込むことができることに留意されたい。さらに、幾つかの実施形態において、メモリ 1 4 の少なくともある部分は、プロセッサ 1 2 の R A M、レジスタ及びレジスタ・ファイル（それらに限定されないが）を含むプロセッサ 1 2 の内部メモリの部分とすることができることに留意されたい。

【 0 0 2 7 】

本発明の例示的な実施形態により、また図 2 を参照すると、メモリ制御ユニット 1 6 は、メモリ 1 4 の特定の位置に書き込まれるデータ（入力データ）と、その特定の位置に現在格納されているデータ（現行データ）との比較に基づいて、1 つ又は複数の標識ビット（標識）をデータ・ストリーム中にある特定の間隔で導入するように動作する。

【 0 0 2 8 】

例えば、以下の場合を想定する。

Input Data= 10000111

Current Data = 11111111

【 0 0 2 9 】

例えば、メモリ制御ユニット 1 6 の比較ユニット 1 6 A は、インバータ 1 6 B のバンク中の個々の 1 つを選択的に制御して、メモリ 1 4 に書き込まれる新データ内のある特定のビットを反転させてビット遷移の数を減らし、そして新データを表す標識ビットを生成させる。1 バイト（8 ビット）長のデータ単位を想定するこの非限定的な実施例においては、メモリ 1 4 から読み取られる現行データ（例えば、全て 1）及び入力データを保持するためのレジスタ 2 0 が備えられ、ここで入力データの場合 D 7 は 1、D 6 ~ D 3 は 0、そして D 2 ~ D 0 は 1 である。明らかに、メモリ 1 4 に入力データを直接書き込むことは 4 ビット（D 6 ~ D 3）の遷移を引き起こすことになる。この状況を避けるために、比較ユニット 1 6 A は、遷移に用いられることになるビットの数がある所定の閾値（例えば、2、3 又は 4）に等しいか又はそれを越えることを検知し、それに応じて、インバータ制御信号ライン 1 6 C を、ビット D 7 ~ D 3 の経路内のインバータ 1 6 B を対応するビットに反転させるように、設定する（インバータ制御信号ライン 1 6 C が設定されない場合、対応するインバータ 1 6 B はビットを反転させずに単に通過させるものと仮定し、或いは、スイッチがインバータを単に迂回すると仮定する）。この場合の結果は、メモリ 1 4 に対する新データが以下の形をとり、

New Data= 01111111

これは、8 ビットの内の 1 つだけ（この例においては D 7）に遷移を引き起こした結果である。3 つの標識ビット I 2、I 1、I 0 を用いて新データ内のパリティ反転の開始点を示すことができる。1 つの非限定的な実施例において、シーケンス 0 0 0 は変更がなされていないことを示し、残りのシーケンスは 1 乃至 7 の数を表してどのビットが開始ビットであるかを示すことができる（例えば、0 1 1 は第 3 ビット及びそれ以上が変更されたことを示し、0 0 1 は全てのビットが変更されたことを示す）。この場合 I 2 が 1 に切り替えられ、その結果標識ビットは 1 0 0 と読み取られて第 4 ビット（D 3）及びそれ以上が反転されたことを示す。この付加的なビット切替によっても、切り替えられるビットの総数は最終的に減少する。理解できるように、新データをメモリに書き込むのに必要なエネルギーは、いずれのビットも反転させずにデータを直接書き込むのに必要となるエネルギーより著しく減少する。

【 0 0 3 0 】

後にこのデータをメモリ 1 4 から読み取り、その原形に復元することを可能にするためには、メモリ制御ユニット 1 6 の読み取りユニット 1 6 D に、データが格納されたときのビットが反転されたか（もしあれば）を通知するように標識を設定することが大切であ

10

20

30

40

50

る。標識は多くの異なる形をとることができる。図 2 の例証的な実施例においては、ビット反転が適用されたデータ単位内の最上位ビット位置（例えば、D 7 から数えて）は 3 ビット値として符号化され、標識ビットとして、格納されるデータ単位と共に記憶用のメモリ 1 4 に送られる。上記の非限定的な実施例において、標識値は 4（1 0 0）となる。後に、このデータ単位がメモリ 1 4 から読み戻される時、読み取りユニット 1 6 D は、標識値に至るまでの全てのビット（この実施例においてはビット D 7 ~ D 4）を反転させる相補的な操作を実行してデータを原形に復元させ、それにより出力データをプロセッサ 1 2 又はどれか他のコンポーネントに供給する。

【 0 0 3 1 】

この実施形態において、付加的な標識ビットを追加して、3 つの標識ビットを D 0（データ単位の L S B）からの計数と解釈すべきか、又は D 7（データ単位の M S B）からの計数と解釈すべきかを指定することができる。

【 0 0 3 2 】

これまでに説明した実施例において、反転が適用されるデータ単位内の境界は、比較ユニット 1 6 A により取得される結果に応じて、データ単位毎に変化する可能性がある。別の実施形態においてデータ単位は、所定のサブ単位（例えば、これまでに説明した例示的な場合には 4 ビットのサブ単位）に分割することができ、次いで標識ビットを各サブ単位に加えて、対応するサブ単位が反転されているか反転されていないかを示す。上記の例におけると同様に以下のように想定し、

Input Data= 10000111

Current Data = 1111 1111

ついで比較閾値を各サブ単位に適用すると、最も左側のサブ単位だけが反転され、以下のようになる。

New Data = 0111 0111

【 0 0 3 3 】

この場合の標識フィールドは各サブ単位のパリティを表すのに 2 ビット長だけが必要であり、以下の値を有することができる、

Indicator= 10

これは最も左側のサブ単位が反転されたことを示す。

【 0 0 3 4 】

他の実施形態において各サブ単位は 2 ビット幅とすることができ、それゆえに標識フィールドは、対応する 2 ビットのデータ単位の各々が反転されたか又は反転されなかったかを示すために 4 ビット幅となる。先の実施例、

Input Data= 10 00 0111

Current Data = 11 11 11 11

を続けて、次に各サブユニットに比較閾値（例えば、この場合には 2）を適用すると、第 2 の最も左側のサブユニットだけが反転されて、以下のようになる。

New Data = 10 11 01 11

この場合、標識フィールドは 4 ビット長であり、以下の値を有する。

Indicator=0100

これは第 2 の最も左側のサブ単位が反転されたことを示す。

【 0 0 3 5 】

別の実施形態において標識ビット・フィールドは、データ単位（この実施例においては 8 ビット）と同じ幅にすることができ、その場合、標識フィールド内の個々のビットは、それぞれ、データ単位内のどの対応するビットが反転されたか又は反転されなかったかを示すように設定又は再設定される。

【 0 0 3 6 】

理解できるように、本発明の実施形態を実施することができる多くの可能な方法が存在する。別の実施例として、そして最初に説明した基本の 8 標識表現を再び参照すると、2 つ又はそれ以上の 3 ビット・フィールドを設けてビット反転が選択的に適用された 2 つ又

10

20

30

40

50

はそれ以上の位置を示すことができる。さらにインバータ16Bをある特定の型の論理ゲート、例えば、排他的ORで置き換えることができ、この排他的ORの動作はメモリ14に書き込まれるビットのうちの所望の幾つかの選択的な反転を生じて遷移の数を減少させることになる。

【0037】

さらに、前述の説明は任意の所望の幅（例えば、64ビット、256ビットなど）のデータ単位に適用することができるので、本発明の例示的な実施形態は8ビット幅のデータ単位のみを使用に限定されないことを理解されたい。

【0038】

図3を参照して、ここでメモリ制御ユニット16の動作の非限定的な実施例を与える。 10

ステップA：あるメモリ位置格納された現行データを読み取ること。

ステップB：書き込まれる入力データを現行データと比較し、現行データと入力データの間で排他的ORを実施して排他的ORの結果中の「1」の数を加え合わせ、入力データで現行データを上書きする場合に生じるビット遷移の数を表す和sum1を取得することによって、新データで現行データを上書きする場合に生じるビット遷移の数を算出すること。

ステップC：sum1を所定の閾値と比較し、sum1が閾値に等しいか又はそれを超える場合、入力データの全て又は一部分をネゲートし、現行データとの排他的ORを実施して第2のsum2を算出すること。ここでネゲートされた入力データのsum2+1の値がsum1より小さい場合、ネゲートされた入力データをメモリ位置に書き込む場合に 20

ビット遷移の数が減少することになる。

ステップD：対応する標識フィールド内の少なくとも1つの標識ビットを、メモリ位置に入力データが格納された場合、或いは、入力データの全て又は一部分がネゲートされた形が格納された場合を示すように設定すること。

さらにステップEは、後に、メモリ位置に格納されたデータ及び対応する標識フィールドを読み取り、対応する標識フィールドに設定されたビットに従って読み取りデータのビットを選択的に反転させるか又は反転させないことを含む。

ステップBにおいて、データを書き込むのに必要なエネルギーは、 $E_{Write} * Sum + E_{Read} * 8$  で与えられる。

【0039】 30

上記のものの一例を図4に示すが、この実施例では、現行データは全てゼロであること及び入力データは250乃至255の値の範囲にあると仮定されている。この実施例においては、1つの標識ビットが8ビット・ワードと共に用いられる。パリティ変化を示すための1ビットの追加は和Xor+1によって示され、これはパリティ変化後に切り替えられることになるビットの総数を表す。

【0040】

図5は、本発明の例示的な実施形態によるメモリ・デバイス进行操作する方法を記述する。この方法は、ブロック4Aにおいて、メモリ・デバイスのある位置における第1のデータ単位を第2のデータ単位で上書きする前に、第2のデータ単位を書き込むことが、反転されたビットを有する少なくとも1つのサブ単位を有する第2のデータ単位を書き込むことより多くのエネルギーを必要とするかどうかを判断することを含む。反転されたビットを有する少なくとも1つのサブ単位を有する第2のデータ単位を書き込むことがより少ないエネルギーを必要とする場合には、本方法はさらにブロック4Bにおいて、第1のデータ単位を、反転されたビットを有する少なくとも1つのサブ単位を有する変更された第2のデータ単位で上書きすると共に、変更されたデータ単位内の反転されたビットを有するデータのサブ単位の位置を示す少なくとも1つのビットを書き込む。 40

【0041】

図3及び図5に示した種々のブロックは、方法ステップとして、及び/又はコンピュータ可読媒体内に格納されたコンピュータ・プログラム・コードの実行から生じる操作として、及び/又は関連する機能を実施するように構成された複数の結合した論理回路要素と 50

して考えることができる。さらに、図2に示したメモリ制御ユニット16の機能の幾つか又は全ては、コンピュータ可読媒体に格納されたコンピュータ・プログラム・コードの実行だけで、又はそれとハードウェア回路を組み合わせて実施することができることに留意されたい。

【0042】

標識フィールドは対応するデータ単位と共に同じメモリ14に格納することができ、或いは、(データ)メモリ14のアドレス指定及び読取りに同期してアドレス指定され及び読み取られる、同じ又は異なる型の別のメモリに分離して格納することができることに留意されたい。

【0043】

さらに、本発明のこの実施形態の適用は、標識フィールドに格納された対応する情報なしにデータ(選択的に反転された種々のビットを至る所に有する)を読み出し及び解釈することを困難にするので、メモリ14に格納されたデータに対するあるレベルのセキュリティを与えることに留意されたい。

【0044】

本発明の実施形態は、パターン化媒体を有するハードディスク・ドライブにも適する。

【0045】

本発明の例示的な実施形態は、膨大なデータがセクタに格納されるハードディスク・ドライブに適用可能である。現在のドライブは凡そ512バイトを1つのセクタに格納し、セクタは典型的にはブロック内に書き換えられる。しかし、将来のディスク・ドライブ媒体は、各ビットがパターン化媒体の別々の離散的部分に存在するような様式でパターン化されると予想される。1から0へ又は逆の遷移の数を減少させることにより、書込み電流を減少させることができる。膨大なデータ内には標識ビットを付けることができる。

【0046】

セクタはハードディスク上のデータ記憶の基本単位である。用語「セクタ」は、2つの側が半径で束縛され第3の側が円周で束縛された、円のパイ型角状部分を指す数学用語から派生したものである。本質的にハードディスクは円を形成する所定のセクタの群から構成され、所定のセクタの所与の1つの円は単一トラックと定義される。同心円(トラック)の群はディスクの円盤の単一表面を定める。初期のハードディスクはトラック位置毎に同数のセクタを有し、各トラック内のセクタの数は通常、モデル間でかなり標準化されていた。ハードディスクをデフォルト値で調整する場合、各セクタは512バイトのデータを格納することができる。ハードディスク・ドライブ技術の最近の進歩はトラック当りのセクタの数、即ちSPTを著しく多様にすることを可能にした。

【0047】

本発明の例示的な実施形態は、トラック当りのセクタ数が固定したハードディスク、及びトラック当りのセクタ数が可変のハードディスクの両方の利点と共に用いることができる。本発明の例示的な実施形態はまた、個々のビットを別々に記録できる(書込み動作毎に少なくとも一セクタ全体に記録するのとは反対に)パターン化媒体に基づくハードディスク・ドライブに役立つように用いることができる。

【0048】

データのセクタの標識フィールドはそのセクタの最初又は最後に格納することができる。代替的に、所与のトラックの1つ又は複数のセクタを、トラック内の全てのセクタの標識フィールドを格納するための専用にすることができる。格納されたディスク・データに関する標識情報を格納するための他の配置を用いることもできる。

【0049】

非限定的な実施例として、レイド(redundant array of inexpensive disks (RAID))形態のようなディスク・ドライブのレイドを用いて実施されるデータ記憶実施形態において、8個のディスク・ドライブをデータ格納用に用いることができ、一方9番目のディスク・ドライブは、標識情報を、可能であればエラー検出及び修正情報と共に、格納するのに用いることができる。多くの他のRAID型編成も可能である。

10

20

30

40

50

## 【 0 0 5 0 】

本発明の例示的な実施形態は、メモリに書き込まれるデータを予備処理する他の方法で用いることができる。例えば、幾つかのアプリケーションにおいて、データが頻繁に書き換えられる可能性がある。1つの非限定的な例は、複数のクライアントに関するトランザクション情報が1日の流れの中でアーカイブに入れられるアプリケーションである。図6を参照すると、先入れ先出し（F I F O）バッファのようなデータ・バッファ30を設けて、クライアント情報をメモリ14に送る前に格納することができる。データ・バッファ30に格納された情報を読み取って前処理することにより、多くのトランザクションを圧縮して、メモリ14に実際に書き込まれるデータにすることができる。例えば、以前のデータ・バイト#2が現行データと一致することを認識すると、データ・バイト#2が最初

10

Current Data 00001111  
Data Byre #1 11111111  
Data Byre #2 00001111

## 【 0 0 5 1 】

この場合、現行データがデータ・バイト#2と一致することを検出すると、現行データのみを書き込む必要があり、データ・バイト#2及び#1は書き込む必要がない（又は代替的に、データ・バイト#2のみをメモリ14に送り、データ・バイト#1及び現行データ・バイトは消去することができる）。

20

## 【 0 0 5 2 】

バッファ30は、メモリ32内の同じ位置に書き込まれるデータを格納するように説明したが、他の実施形態においてバッファ30は、プロセッサ12の算術論理ユニット（ALU）に適用される待機コマンドを格納することができる。

## 【 0 0 5 3 】

データ・プロセッサ、例えばマイクロプロセッサ60の一部分の簡略図を図7に示すが、これはALU70、レジスタA72、レジスタB74及びレジスタC68、命令デコーダ62、命令レジスタ66、カウンタ76及びアドレス・ラッチ78を含む。カウンタ76及びアドレス・ラッチ78の両方はアドレス・バス80に接続される。マイクロプロセッサ60は、一組の命令を実行することができ、典型的な命令セットのサブセットを以下に示す。

30

## 【 0 0 5 4 】

LOAD A - あるメモリ・アドレスからの値をレジスタAにロードする  
LOAD B - あるメモリ・アドレスからの値をレジスタBにロードする  
CON A - 定数値をレジスタAにロードする  
CON B - 定数値をレジスタBにロードする  
CON C - 定数値をレジスタCにロードする  
SAVE B - レジスタB内の値をあるメモリ・アドレスに保存する  
SAVE C - レジスタC内の値をあるメモリ・アドレスに保存する  
ADD - レジスタA内の値とレジスタB内の値を加え合せてその結果をレジスタCに格納する  
SUB - レジスタA内の値をレジスタB内の値から差し引いてその結果をレジスタCに格納する  
MUL - レジスタA内の値とレジスタB内の値を掛け合せてその結果をレジスタCに格納する  
DIV - レジスタA内の値をレジスタB内の値で割ってその結果をレジスタCに格納する

40

## 【 0 0 5 5 】

プログラムは一組の順次命令である。マイクロプロセッサ60はALU70の回路内又

50

はレジスタ68、72及び74の中のビットの状態を変更するのにエネルギーを消費する。変更されるビットの数を減らすことができる方法は計算の全体のエネルギーを削減することができる。これを達成するための1つの方法は、命令及びデータ・バス82を検査して遷移の数、従って電力を最小化する電力アドバイザー64をマイクロプロセッサ60に含めることである。

1つの非限定的な実施例において、1と255を加え合わせることは、0000 0000 1111 1111から0000 0001 0000 0000への変化を生じ、9個のビットが0から1へ、又は1から0へ遷移することが必要である。この変更は以下の命令セットにより実行することができる。

LOAD A 200 (この場合メモリ位置200 - 255にある値をレジスタにロードする) 10  
 CON B 1 (数1をレジスタBにロードする)  
 ADD (レジスタA内の値とレジスタB内の値を加え合わせてレジスタCに格納する)

【0056】

電力アドバイザー64は、命令レジスタ66、データ・バス82並びにレジスタ68、72、及び74をモニタし、命令のある特定の命令シーケンスを、例えば、以下の命令を用いて、低減されたエネルギーの命令セットで置き換えることができる。

CON C 256 (数「256」をレジスタCにロードする)

この命令(CON C 256)は、ALU70内に現れる処理及びレジスタA72及びB74におけるビット変化を、削除又は削減してエネルギー節約をもたらす。 20

【0057】

図8は、本発明の例示的な実施形態による電力アドバイザー64を操作する方法の説明である。本方法は、ブロック100で第1の命令セットを読み取ること、ブロック110でデータ・バスを読み取ること、及びブロック120でレジスタ値を読み取って少なくとも1つのデータ・レジスタに格納することを含む。本方法はさらにブロック130において電力アドバイザー64が第1の命令セット、データ・バス、及びレジスタ値をエネルギー使用のために分析することを定める。ブロック140で、第2の命令セットが、より低いエネルギー使用で第1の命令セットと同じ結果を与えると判断された場合、第2の命令セットが第1の命令セットの代りに用いられる。次いで、結果として得られる命令セットがALU70に適用される。 30

【0058】

電力アドバイザー64を操作する方法は、ハードウェアのみにより、或いは、ファームウェアを含むソフトウェアにより、或いは、ハードウェア及びファームウェアを含むソフトウェアの組合せとして実施することができる。

【0059】

本発明の例示的な実施形態はまた、電力階層の使用を通して実施することができる。幾つかの点で前述の実施形態に関連して、格納するデータを保持するのにメモリ14より小さな遷移当り電力を消費することが好ましいメモリ・バッファ30の使用により、電力消費は削減され、又はさらに削減される。

【0060】

2レベル以外の論理を用いることが可能な(例えば、3レベル論理のレベルを用いることが可能な場合)システム/メモリ・アーキテクチャにおいて、標識ビットはデータ・ストリーム内に直接配置し、データがメモリ・デバイスから読み出されるときそれと同様に復号することができる。この場合、例えば、データを論理レベルのうちの2つを用いて格納し、一方標識ビットは第3の論理レベルを用いて格納することができる。この場合標識フィールドは、格納及びリード・バックされるデータ内の至るところに分散すると考えることができる。

【符号の説明】

【0061】

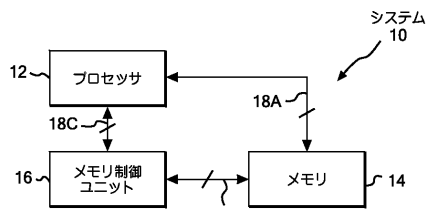
10：システム

- 1 2 : プロセッサ
- 1 4 : メモリ
- 1 6 : メモリ制御ユニット
- 1 6 A : 比較ユニット
- 1 6 B : インバータ
- 1 6 C : インバータ制御信号ライン
- 1 6 D : 読取りユニット
- 1 8 A、1 8 B、1 8 C : バス
- 2 0 : レジスタ
- 3 0 : バッファ
- 3 2 : メモリ
- 6 0 : マイクロプロセッサ
- 6 2 : 命令デコーダ
- 6 4 : 電力アドバイザー
- 6 6 : 命令レジスタ
- 6 8 : レジスタ C
- 7 0 : 算術論理ユニット ( A L U )
- 7 2 : レジスタ A
- 7 4 : レジスタ B
- 7 6 : カウンタ
- 7 8 : アドレス・ラッチ
- 8 0 : アドレス・バス
- 8 2 : データ・バス

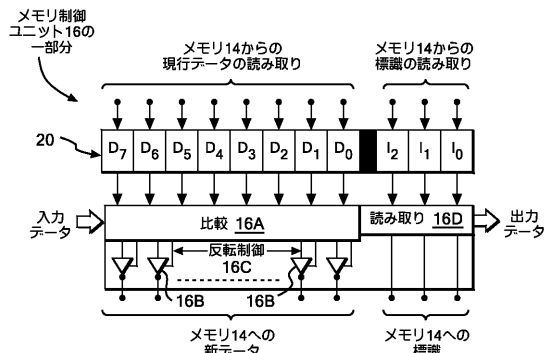
10

20

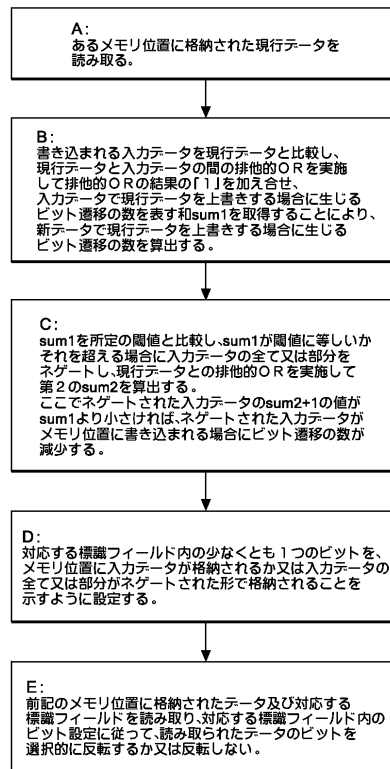
【 図 1 】



【 図 2 】



【 図 3 】



【図4】

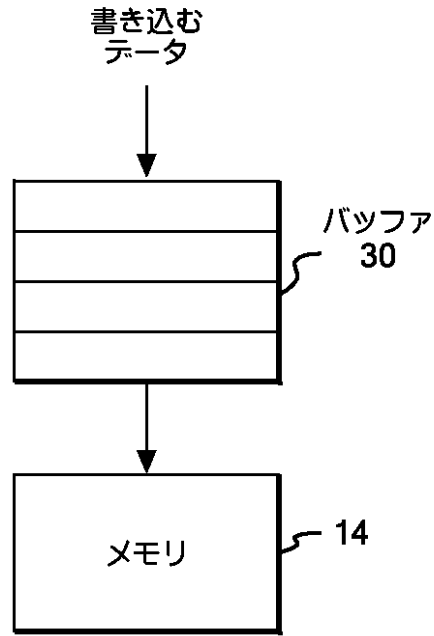
現行データ	入力データ	現行データ / 入力データの Xor	Xorの和	入力データのネゲート	現行データ / ネゲート入力の Xor	和Xor +1	差
0	250	250	6	5	5	3	-3
0	251	251	7	4	4	2	-5
0	252	252	6	3	3	3	-3
0	253	253	7	2	2	2	-5
0	254	254	7	1	1	2	-5
0	255	255	8	0	0	1	-7

【図5】

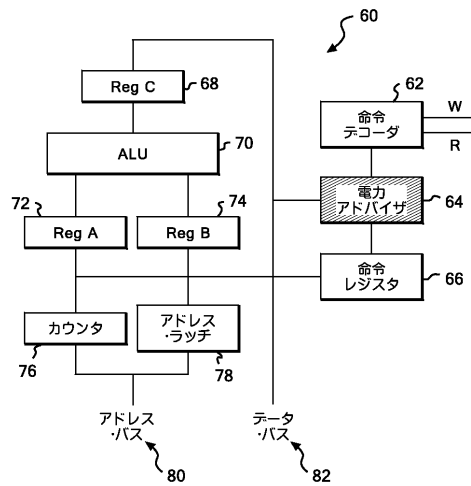
4A:  
メモリデバイス内のある位置における第1のデータ単位を第2のデータ単位で上書きする前に、第2のデータ単位を書き込むことが、反転されたビットを有する少なくとも1つのサブ単位を有する第2のデータ単位を書き込むことより多くのエネルギーを必要とするかどうかを判断する。

4B:  
反転されたビットを有する少なくとも1つのサブ単位を有する第2のデータ単位を書き込むのにより少ないエネルギーを必要とするか判断された場合、第1のデータ単位を、反転されたビットを有する少なくとも1つのサブ単位を有する変更された第2のデータ単位で上書きすると共に、変更されたデータ単位内の、反転されたビットを有するデータのサブ単位の位置を示す少なくとも1つのビットを書き込む。

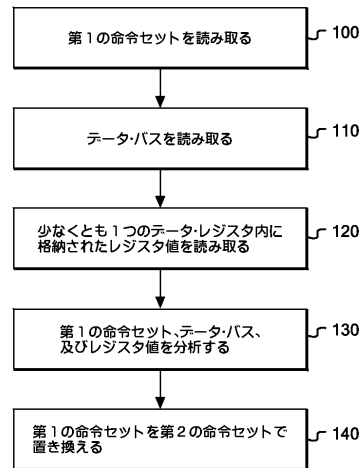
【図6】



【図7】



【図8】



---

フロントページの続き

(72)発明者 チェイナー、ティモシー、ジョセフ  
アメリカ合衆国 10579 ニューヨーク州 パトナム・バレー バーガー・ストリート 29  
5

審査官 岩間 直純

(56)参考文献 欧州特許出願公開第0917154(E P, A 2)  
特開2006-053770(J P, A)  
特開2004-310700(J P, A)

(58)調査した分野(Int.Cl., D B名)  
G06F 12/00  
G06F 1/32