



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2022년09월01일
(11) 등록번호 10-2438552
(24) 등록일자 2022년08월26일

(51) 국제특허분류(Int. Cl.)

G06F 12/08 (2016.01)

(52) CPC특허분류

G06F 12/084 (2013.01)

G06F 12/0802 (2013.01)

(21) 출원번호 10-2015-0017240

(22) 출원일자 2015년02월04일

심사청구일자 2020년01월14일

(65) 공개번호 10-2016-0095815

(43) 공개일자 2016년08월12일

(56) 선행기술조사문헌

US20010025334 A1*

US20050177684 A1*

US20140195701 A1*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

에스케이하이닉스 주식회사

경기도 이천시 부발읍 경충대로 2091

(72) 발명자

유병성

서울특별시 노원구 십발로 134 (공릉동, 풍림아파트) 113동 1004호

(74) 대리인

신성특허법인(유한)

전체 청구항 수 : 총 2 항

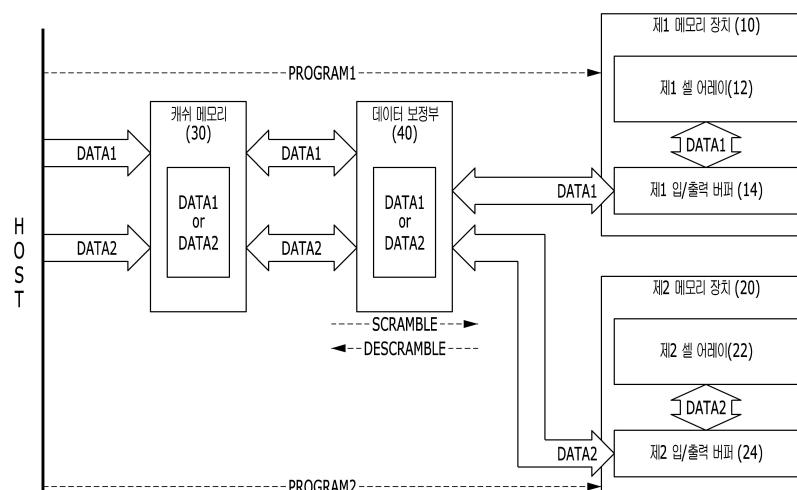
심사관 : 안지현

(54) 발명의 명칭 메모리 시스템 및 그 동작방법

(57) 요약

본 기술은 캐쉬 메모리를 사용하여 프로그램 동작을 수행하는 메모리 시스템에 관한 것으로서, 제1 입/출력 버퍼를 포함하는 제1 메모리 장치와, 제2 입/출력 버퍼를 포함하는 제2 메모리 장치, 및 제1 및 제2 메모리 장치에 각각 프로그램하기 위한 제1 및 제2 데이터를 선택적으로 임시 저장하는 캐쉬 메모리를 포함하고, 제1 메모리 장치에 대응하는 제1 프로그램구간 중 일부의 제1 독점구간에서만 제1 데이터가 캐쉬 메모리에 저장되고, 제2 메모리 장치에 대응하는 제2 프로그램구간 중 일부의 제2 독점구간에서만 제2 데이터가 캐쉬 메모리에 저장되며, 제1 독점구간과 제2 독점구간은 서로 겹치지 않도록 설정된다.

대표도



(52) CPC특허분류

G06F 12/0877 (2013.01)

G11C 7/10 (2018.05)

명세서

청구범위

청구항 1

제1 입/출력 버퍼를 포함하는 제1 메모리 장치;

제2 입/출력 버퍼를 포함하는 제2 메모리 장치; 및

상기 제1 및 제2 메모리 장치에 각각 프로그램하기 위한 제1 및 제2 데이터를 선택적으로 임시 저장하는 캐쉬 메모리를 포함하고,

상기 제1 메모리 장치에 대응하는 제1 프로그램구간 중 일부의 제1 독점구간에서만 호스트로부터 상기 제1 데이터를 입력받아 상기 캐쉬 메모리에 저장하고,

상기 제2 메모리 장치에 대응하는 제2 프로그램구간 중 일부의 제2 독점구간에서만 상기 호스트로부터 상기 제2 데이터를 입력받아 상기 캐쉬 메모리에 저장하며,

상기 제1 독점구간과 상기 제2 독점구간은 서로 겹치지 않도록 설정하고,

상기 제1 독점구간은, 상기 제1 프로그램구간의 동작을 수행하기 위해 상기 제1 데이터가 상기 호스트에서 상기 캐쉬 메모리로 입력되어 저장된 시점부터 상기 제1 입/출력 버퍼로 전달되어 저장되기까지의 제1 입력구간, 및 상기 제1 입력구간 이후 상기 제1 프로그램구간의 동작이 '페일(fail)'로 판정될 경우, 상기 제1 입/출력 버퍼에 저장되어 있던 상기 제1 데이터가 상기 캐쉬 메모리로 출력되어 저장된 시점부터 상기 제1 프로그램구간의 동작을 다시 수행하기 위해 상기 제1 입/출력 버퍼로 전달되어 저장되기까지의 제2 입력구간을 포함하는 메모리 시스템.

청구항 2

◆청구항 2은(는) 설정등록료 납부시 포기되었습니다.◆

제1항에 있어서,

상기 캐쉬 메모리와 상기 제1 및 제2 메모리 장치 사이에서 각각 전달되는 상기 제1 및 제2 데이터에 대해 스램블(scramble) 또는 디스램블(descramble)하는 데이터 보정부를 더 포함하는 메모리 시스템.

청구항 3

삭제

청구항 4

◆청구항 4은(는) 설정등록료 납부시 포기되었습니다.◆

제2항에 있어서,

상기 제2 독점구간은,

상기 제2 프로그램구간의 동작을 수행하기 위해 상기 제2 데이터가 상기 호스트에서 상기 캐쉬 메모리로 입력되어 저장된 시점부터 상기 제2 입/출력 버퍼로 전달되어 저장되기까지의 제3 입력구간, 및

상기 제3 입력구간 이후 상기 제2 프로그램구간의 동작이 '페일(fail)'로 판정될 경우, 상기 제2 입/출력 버퍼에 저장되어 있던 상기 제2 데이터가 상기 캐쉬 메모리로 출력되어 저장된 시점부터 상기 제2 프로그램구간의 동작을 다시 수행하기 위해 상기 제2 입/출력 버퍼로 전달되어 저장되기까지의 제4 입력구간을 포함하는 메모리 시스템.

청구항 5

◆청구항 5은(는) 설정등록료 납부시 포기되었습니다.◆

제4항에 있어서,

상기 제1 프로그램구간과 상기 제2 프로그램구간은 설정된 시간차이를 두고 반복적으로 수행되며,

상기 제1 프로그램구간이 상기 제2 프로그램구간보다 먼저 시작되는 경우, 상기 제1 프로그램구간이 시작된 후 적어도 상기 제1 입력구간에 대응하는 시간만큼이 흐른시점에서 상기 제2 프로그램구간이 시작되어 상기 제3 입력구간은 상기 제1 프로그램구간과 서로 겹쳐지고,

상기 제2 프로그램구간이 상기 제1 프로그램구간보다 먼저 수행되는 경우, 상기 제2 프로그램구간이 시작된 후 적어도 상기 제2 입력구간에 대응하는 시간만큼이 흐른시점에서 상기 제1 프로그램구간이 시작되어 상기 제1 입력구간은 상기 제2 프로그램구간과 서로 겹쳐지는 것을 특징으로 하는 메모리 시스템.

청구항 6

◆청구항 6은(는) 설정등록료 납부시 포기되었습니다.◆

제4항에 있어서,

상기 제1 및 제2 입력구간에서 상기 캐쉬 메모리에 저장된 상기 제1 데이터는 상기 데이터 보정부를 통해 스캔램블(scramble)된 후 상기 제1 입/출력 버퍼에 저장되고,

상기 제3 및 제4 입력구간에서 상기 캐쉬 메모리에 저장된 상기 제2 데이터는 상기 데이터 보정부를 통해 스캔램블(scramble)된 후 상기 제2 입/출력 버퍼에 저장되며,

상기 제2 입력구간에서 상기 제1 입/출력 버퍼에 저장되어 있던 상기 제1 데이터는 디스크램블(descramble)된 후 상기 캐쉬 메모리로 출력되어 저장되고,

상기 제4 입력구간에서 상기 제2 입/출력 버퍼에 저장되어 있던 상기 제2 데이터는 디스크램블(descramble)된 후 상기 캐쉬 메모리로 출력되어 저장되는 것을 특징으로 하는 메모리 시스템.

청구항 7

◆청구항 7은(는) 설정등록료 납부시 포기되었습니다.◆

제6항에 있어서,

상기 제1 입력구간에서 상기 제1 입/출력 버퍼에 저장된 상기 제1 데이터는, 상기 제1 프로그램구간의 동작을 통해 상기 제1 메모리 장치 내부의 설정된 페이지에 저장되고,

상기 제2 입력구간에서 상기 제1 입/출력 버퍼에 저장된 상기 제1 데이터는, 상기 제1 프로그램구간의 동작을 통해 상기 제1 메모리 장치 내부의 상기 설정된 페이지가 아닌 다른 페이지에 저장되며,

상기 제1 입력구간에 대응하는 상기 제1 프로그램구간의 동작이 '페일(fail)'로 판정되는 경우에만 상기 제2 입력구간에 대응하는 상기 제1 프로그램구간의 동작이 수행되는 것을 특징으로 하는 메모리 시스템.

청구항 8

◆청구항 8은(는) 설정등록료 납부시 포기되었습니다.◆

제7항에 있어서,

상기 제2 입력구간에 대응하는 상기 제1 프로그램구간의 동작이 '페일(fail)'로 판정될 때마다 상기 제2 입력구

간에 대응하는 상기 제1 프로그램구간의 동작이 설정된 횟수만큼 반복적으로 수행되며,

상기 설정된 횟수의 상기 제2 입력구간에 대응하는 상기 제1 프로그램구간의 동작이 반복적으로 수행될 때마다 상기 제1 메모리 장치 내부의 각각 서로 다른 페이지에 상기 제1 데이터가 각각 저장되는 것을 특징으로 하는 메모리 시스템.

청구항 9

◆청구항 9은(는) 설정등록료 납부시 포기되었습니다.◆

제6항에 있어서,

상기 제3 입력구간에서 상기 제2 입/출력 버퍼에 저장된 상기 제2 데이터는, 상기 제2 프로그램구간의 동작을 통해 상기 제2 메모리 장치 내부의 설정된 페이지에 저장되고,

상기 제4 입력구간에서 상기 제2 입/출력 버퍼에 저장된 상기 제2 데이터는, 상기 제2 프로그램구간의 동작을 통해 상기 제2 메모리 장치 내부의 상기 설정된 페이지가 아닌 다른 페이지에 저장되며,

상기 제3 입력구간에 대응하는 상기 제2 프로그램구간의 동작이 '페일(fail)'로 판정되는 경우에만 상기 제4 입력구간에 대응하는 상기 제2 프로그램구간의 동작이 수행되는 것을 특징으로 하는 메모리 시스템.

청구항 10

◆청구항 10은(는) 설정등록료 납부시 포기되었습니다.◆

제9항에 있어서,

상기 제4 입력구간에 대응하는 상기 제2 프로그램구간의 동작이 '페일(fail)'로 판정될 때마다 상기 제4 입력구간에 대응하는 상기 제2 프로그램구간의 동작이 설정된 횟수만큼 반복적으로 수행되며,

상기 설정된 횟수의 상기 제4 입력구간에 대응하는 상기 제2 프로그램구간의 동작이 반복적으로 수행될 때마다 상기 제2 메모리 장치 내부의 각각 서로 다른 페이지에 상기 제2 데이터가 각각 저장되는 것을 특징으로 하는 메모리 시스템.

청구항 11

◆청구항 11은(는) 설정등록료 납부시 포기되었습니다.◆

제4항에 있어서,

상기 제1 메모리 장치는, 각각 멀티-비트(multi-bit)의 데이터를 저장할 수 있는 다수의 제1 비휘발성 메모리 셀을 포함하며,

상기 제1 데이터는, 멀티-비트 데이터로서 제1 MSB 데이터 및 제1 LSB 데이터로 구분되고,

상기 캐쉬 메모리 및 상기 제1 입/출력 버퍼는, 상기 제1 MSB 데이터 및 제1 LSB 데이터를 구분하여 동시에 저장하며,

상기 제1 및 제2 입력구간 각각에서 상기 캐쉬 메모리와 상기 제1 입/출력 버퍼 사이에서 상기 제1 데이터가 전송될 때, 상기 제1 MSB 데이터가 먼저 전송된 후 이어서 제1 LSB 데이터가 전송되고,

상기 제1 프로그램구간에서 상기 제1 입/출력 버퍼에 저장되어 있는 상기 제1 MSB 데이터 및 제1 LSB 데이터는, 각각의 상기 제1 비휘발성 메모리 셀에 동시에 프로그램되는 것을 특징으로 하는 메모리 시스템.

청구항 12

◆청구항 12은(는) 설정등록료 납부시 포기되었습니다.◆

제11항에 있어서,

상기 제2 메모리 장치는, 각각 멀티-비트(multi-bit)의 데이터를 저장할 수 있는 다수의 제2 비휘발성 메모리 셀을 포함하며,

상기 제2 데이터는, 멀티-비트(multi-bit) 데이터로서 제2 MSB 데이터 및 제2 LSB 데이터로 구분되고,

상기 캐쉬 메모리 및 상기 제2 입/출력 버퍼는, 상기 제2 MSB 데이터 및 제2 LSB 데이터를 구분하여 동시에 저장하며,

상기 제3 및 제4 입력구간 각각에서 상기 캐쉬 메모리와 상기 제2 입/출력 버퍼 사이에서 상기 제2 데이터가 전송될 때, 상기 제2 MSB 데이터가 먼저 전송된 후 이어서 제2 LSB 데이터가 전송되고,

상기 제2 프로그램구간에서 상기 제2 입/출력 버퍼에 저장되어 있는 상기 제2 MSB 데이터 및 제2 LSB 데이터는, 각각의 상기 제2 비휘발성 메모리 셀에 동시에 프로그램되는 것을 특징으로 하는 메모리 시스템.

청구항 13

제1 입/출력 버퍼를 포함하는 제1 메모리 장치;

제2 입/출력 버퍼를 포함하는 제2 메모리 장치; 및

상기 제1 및 제2 메모리 장치에 각각 프로그램하기 위한 제1 및 제2 데이터를 선택적으로 임시 저장하는 캐쉬 메모리를 포함하는 메모리 시스템의 동작방법에 있어서,

상기 제1 메모리 장치에 대응하는 제1 프로그램구간 중 일부 제1 독점구간에 진입할 때, 호스트로부터 상기 제1 데이터를 입력받아 상기 캐쉬 메모리에 저장하는 제1 저장단계;

상기 제1 저장단계에서 상기 캐쉬 메모리에 저장된 상기 제1 데이터를 상기 제1 입/출력 버퍼로 전달하여 저장한 뒤, 상기 캐쉬 메모리를 릴리즈(release)시키면서 상기 제1 독점구간에서 탈출하는 제1 릴리즈단계;

상기 제2 메모리 장치에 대응하는 제2 프로그램구간 중 일부 제2 독점구간 - 상기 제1 독점구간에 겹치지 않음 - 에 진입할 때, 상기 호스트로부터 상기 제2 데이터를 입력받아 상기 캐쉬 메모리에 저장하는 제2 저장단계;

상기 제2 저장단계에서 상기 캐쉬 메모리에 저장된 상기 제2 데이터를 상기 제2 입/출력 버퍼로 전달하여 저장한 뒤, 상기 캐쉬 메모리를 릴리즈시키면서 상기 제2 독점구간에서 탈출하는 제2 릴리즈단계;

상기 제1 릴리즈단계 이후 상기 제1 프로그램구간의 동작이 '페일(fail)'로 판정될 경우, 상기 제1 독점구간에 다시 진입하여 상기 제1 릴리즈단계를 통해 상기 제1 입/출력 버퍼에 저장되어 있던 상기 제1 데이터를 상기 캐쉬 메모리에 저장하는 제3 저장단계; 및

상기 제3 저장단계에서 상기 캐쉬 메모리에 저장된 상기 제1 데이터를 상기 제1 입/출력 버퍼로 전달하여 저장한 뒤, 상기 캐쉬 메모리를 릴리즈(release)시키면서 상기 제1 독점구간에서 탈출하는 제3 릴리즈단계를 포함하는 메모리 시스템의 동작방법.

청구항 14

◆청구항 14은(는) 설정등록료 납부시 포기되었습니다.◆

제13항에 있어서,

상기 제2 릴리즈단계 이후 상기 제2 프로그램구간의 동작이 '페일(fail)'로 판정될 경우, 상기 제2 독점구간에 다시 진입하여 상기 제2 릴리즈단계를 통해 상기 제2 입/출력 버퍼에 저장되어 있던 상기 제2 데이터를 상기 캐쉬 메모리에 저장하는 제4 저장단계; 및

상기 제4 저장단계에서 상기 캐쉬 메모리에 저장된 상기 제2 데이터를 상기 제2 입/출력 버퍼로 전달하여 저장한 뒤, 상기 캐쉬 메모리를 릴리즈(release)시키면서 상기 제2 독점구간에서 탈출하는 제4 릴리즈단계를 더 포

함하는 메모리 시스템의 동작방법.

청구항 15

◆청구항 15은(는) 설정등록료 납부시 포기되었습니다.◆

제14항에 있어서,

상기 제1 또는 제3 릴리즈단계는, 상기 제1 또는 제3 저장단계를 통해 상기 캐쉬 메모리에 저장된 상기 제1 데이터를 상기 제1 입/출력 버퍼에 전달하여 저장할 때, 상기 제1 데이터를 스캔램블(scramble)시켜 저장하고,

상기 제2 또는 제4 릴리즈단계는, 상기 제2 또는 제4 저장단계를 통해 상기 캐쉬 메모리에 저장된 상기 제2 데이터를 상기 제2 입/출력 버퍼에 전달하여 저장할 때, 상기 제2 데이터를 스캔램블(scramble)시켜 저장하는 것을 특징으로 하는 메모리 시스템의 동작방법.

청구항 16

◆청구항 16은(는) 설정등록료 납부시 포기되었습니다.◆

제15항에 있어서,

상기 제3 저장단계는, 상기 제1 릴리즈단계를 통해 상기 제1 입/출력 버퍼에 저장되어 있던 상기 제1 데이터를 상기 캐쉬 메모리에 저장할 때, 상기 제1 데이터를 디스캔램블(descamble)시켜 저장하고,

상기 제4 저장단계는, 상기 제2 릴리즈단계를 통해 상기 제2 입/출력 버퍼에 저장되어 있던 상기 제2 데이터를 상기 캐쉬 메모리에 저장할 때, 상기 제2 데이터를 디스캔램블(descamble)시켜 저장하는 것을 특징으로 하는 메모리 시스템의 동작방법.

청구항 17

◆청구항 17은(는) 설정등록료 납부시 포기되었습니다.◆

제16항에 있어서,

상기 제1 릴리즈단계를 통해 상기 제1 입/출력 버퍼에 저장된 상기 제1 데이터는, 상기 제1 프로그램구간의 동작을 통해 상기 제1 메모리 장치 내부의 설정된 페이지에 저장되고,

상기 제3 릴리즈단계를 통해 상기 제1 입/출력 버퍼에 저장된 상기 제1 데이터는, 상기 제1 프로그램구간의 동작을 통해 상기 제1 메모리 장치 내부의 상기 설정된 페이지가 아닌 다른 페이지에 저장되는 것을 특징으로 하는 메모리 시스템의 동작방법.

청구항 18

◆청구항 18은(는) 설정등록료 납부시 포기되었습니다.◆

제17항에 있어서,

상기 제2 릴리즈단계를 통해 상기 제2 입/출력 버퍼에 저장된 상기 제2 데이터는, 상기 제2 프로그램구간의 동작을 통해 상기 제2 메모리 장치 내부의 설정된 페이지에 저장되고,

상기 제4 릴리즈단계를 통해 상기 제2 입/출력 버퍼에 저장된 상기 제2 데이터는, 상기 제2 프로그램구간의 동작을 통해 상기 제2 메모리 장치 내부의 상기 설정된 페이지가 아닌 다른 페이지에 저장되는 것을 특징으로 하는 메모리 시스템의 동작방법.

청구항 19

◆청구항 19은(는) 설정등록료 납부시 포기되었습니다.◆

제18항에 있어서,

상기 제3 릴리즈단계 이후 상기 제1 프로그램구간의 동작이 '페일(fail)'로 판정될 경우, 상기 제3 저장단계 및 상기 제3 릴리즈단계가 설정된 횟수만큼 다시 반복하여 수행하는 제1 반복단계; 및

상기 제4 릴리즈단계 이후 상기 제2 프로그램구간의 동작이 '페일(fail)'로 판정될 경우, 상기 제4 저장단계 및 상기 제4 릴리즈단계가 설정된 횟수만큼 다시 반복하여 수행하는 제2 반복단계를 더 포함하며,

상기 제1 반복단계가 상기 설정된 횟수만큼 반복하여 수행될 때마다 상기 제1 메모리 장치 내부의 각각 서로 다른 페이지에 상기 제1 데이터가 각각 저장되고,

상기 제2 반복단계가 상기 설정된 횟수만큼 반복하여 수행될 때마다 상기 제2 메모리 장치 내부의 각각 서로 다른 페이지에 상기 제2 데이터가 각각 저장되는 것을 특징으로 하는 메모리 시스템의 동작방법.

청구항 20

◆청구항 20은(는) 설정등록료 납부시 포기되었습니다.◆

제14항에 있어서,

상기 제1 데이터는 제1 MSB 데이터 및 제1 LSB 데이터로 구분되며, 상기 캐쉬 메모리와 상기 제1 입/출력 버퍼 사이에서 상기 제1 데이터가 전송될 때 상기 제1 MSB 데이터가 먼저 전송된 후 이어서 제1 LSB 데이터가 전송되고, 상기 제1 입/출력 버퍼에 저장된 상기 제1 데이터가 상기 제1 메모리 장치의 코어영역에 저장될 때 상기 제1 MSB 데이터와 상기 제1 LSB 데이터가 동시에 프로그램되며,

상기 제2 데이터는 제2 MSB 데이터 및 제2 LSB 데이터로 구분되며, 상기 캐쉬 메모리와 상기 제2 입/출력 버퍼 사이에서 상기 제2 데이터가 전송될 때 상기 제2 MSB 데이터가 먼저 전송된 후 이어서 제2 LSB 데이터가 전송되고, 상기 제2 입/출력 버퍼에 저장된 상기 제2 데이터가 상기 제2 메모리 장치의 코어영역에 저장될 때 상기 제2 MSB 데이터와 상기 제2 LSB 데이터가 동시에 프로그램되는 것을 특징으로 하는 메모리 시스템의 동작방법.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 설계 기술에 관한 것으로서, 구체적으로 캐쉬 메모리를 사용하여 프로그램 동작을 수행하는 메모리 시스템에 관한 것이다.

배경 기술

[0002] 최근 컴퓨터 환경에 대한 패러다임(paradigm)이 언제, 어디서나 컴퓨터 시스템을 사용할 수 있도록 하는 유비쿼터스 컴퓨팅(ubiquitous computing)으로 전환되고 있다. 이로 인해 휴대폰, 디지털 카메라, 노트북 컴퓨터 등과 같은 휴대용 전자 장치의 사용이 급증하고 있다. 이와 같은 휴대용 전자 장치는 일반적으로 메모리 장치를 이용하는 메모리 시스템, 다시 말해 데이터 저장 장치를 사용한다. 데이터 저장 장치는 휴대용 전자 장치의 주 기억 장치 또는 보조 기억 장치로 사용된다.

[0003] 메모리 장치를 이용한 데이터 저장 장치는 기계적인 구동부가 없어서 안정성 및 내구성이 뛰어나며, 또한 정보의 액세스 속도가 매우 빠르고 전력 소모가 적다는 장점이 있다. 이러한 장점을 갖는 메모리 시스템의 일 예로 데이터 저장 장치는, USB(Universal Serial Bus) 메모리 장치, 다양한 인터페이스를 갖는 메모리 카드, 솔리드 스테이트 드라이브(SSD: Solid State Drive) 등을 포함한다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 실시예는 프로그램 동작과정에서 캐쉬 메모리를 효율적으로 관리할 수 있는 메모리 시스템을 제공한다.

과제의 해결 수단

[0005] 본 발명의 실시예에 따른 메모리 시스템은, 제1 입/출력 버퍼를 포함하는 제1 메모리 장치; 제2 입/출력 버퍼를 포함하는 제2 메모리 장치; 및 상기 제1 및 제2 메모리 장치에 각각 프로그램하기 위한 제1 및 제2 데이터를 선택적으로 임시 저장하는 캐쉬 메모리를 포함할 수 있으며, 상기 제1 메모리 장치에 대응하는 제1 프로그램구간 중 일부의 제1 독점구간에서만 상기 제1 데이터가 상기 캐쉬 메모리에 저장되고, 상기 제2 메모리 장치에 대응하는 제2 프로그램구간 중 일부의 제2 독점구간에서만 상기 제2 데이터가 상기 캐쉬 메모리에 저장되며, 상기 제1 독점구간과 상기 제2 독점구간은 서로 겹치지 않도록 설정될 수 있다.

[0006] 본 발명의 또 다른 실시예에 따른 메모리 시스템의 동작방법은, 제1 입/출력 버퍼를 포함하는 제1 메모리 장치; 제2 입/출력 버퍼를 포함하는 제2 메모리 장치; 및 상기 제1 및 제2 메모리 장치에 각각 프로그램하기 위한 제1 및 제2 데이터를 선택적으로 임시 저장하는 캐쉬 메모리를 포함하는 메모리 시스템의 동작방법에 있어서, 상기 제1 메모리 장치에 대응하는 제1 프로그램구간 중 일부 제1 독점구간에 진입할 때, 상기 제1 데이터를 상기 캐쉬 메모리에 저장하는 제1 저장단계; 상기 제1 저장단계에서 상기 캐쉬 메모리에 저장된 상기 제1 데이터를 상기 제1 입/출력 버퍼로 전달하여 저장한 뒤, 상기 캐쉬 메모리를 릴리즈(release)시키면서 상기 제1 독점구간에서 탈출하는 제1 릴리즈단계; 상기 제2 메모리 장치에 대응하는 제2 프로그램구간 중 일부 제2 독점구간 - 상기 제1 독점구간에 겹치지 않음 - 에 진입할 때, 상기 제2 데이터를 상기 캐쉬 메모리에 저장하는 제2 저장단계; 및 상기 제2 저장단계에서 상기 캐쉬 메모리에 저장된 상기 제2 데이터를 상기 제2 입/출력 버퍼로 전달하여 저장한 뒤, 상기 캐쉬 메모리를 릴리즈시키면서 상기 제2 독점구간에서 탈출하는 제2 릴리즈단계를 포함할 수 있다.

발명의 효과

[0007] 본 기술은 메모리 장치가 프로그램 동작구간 중 일부 독점구간에서만 캐쉬 메모리를 독점하여 사용하고, 나머지 구간에서는 캐쉬 메모리를 릴리즈(release)할 수 있도록 하는 효과가 있다.

[0008] 이로 인해, 다수의 메모리 장치가 하나의 캐쉬 메모리를 공유하여 사용하는 형태에서도 정상적으로 프로그램 동작이 이루어지도록 하는 효과가 있다.

[0009] 또한, 다수의 메모리 장치가 하나의 캐쉬 메모리를 공유하여 사용하기 때문에, 다수의 메모리 장치를 포함하는 메모리 시스템에서 필요한 캐쉬 메모리의 용량을 크게 줄일 수 있는 효과가 있다.

도면의 간단한 설명

[0010] 도 1은 본 발명의 실시 예에 따른 메모리 시스템을 포함하는 데이터 처리 시스템의 일 예를 개략적으로 도시한 도면.

도 2는 본 발명의 실시 예에 따른 메모리 시스템에서 메모리 장치의 일 예를 개략적으로 도시한 도면.

도 3은 본 발명의 실시 예에 따른 메모리 장치에서 메모리 블록들의 메모리 셀 어레이 회로를 개략적으로 도시한 도면.

도 4 내지 도 11은 본 발명의 실시 예에 따른 메모리 시스템에서 메모리 장치 구조를 개략적으로 도시한 도면.

도 12는 본 발명의 실시예에 따른 메모리 시스템의 일 예를 설명하기 위한 블록 다이어그램이다.

도 13은 도 12에 도시된 본 발명의 실시예에 따른 메모리 시스템에서 데이터 처리 동작 일예를 설명하기 위해 도시한 타이밍 다이어그램이다.

도 14a 내지 도 14d는 도 12에 도시된 본 발명의 실시예에 따른 메모리 시스템의 구성을 바탕으로 데이터 처리 동작의 일예를 설명하기 위해 도시한 블록 다이어그램이다.

발명을 실시하기 위한 구체적인 내용

- [0011] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명하기로 한다. 그러나, 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구성될 수 있으며, 단지 본 실시예는 본 발명의 개시가 완전하도록하며 통상의 지식을 가진자에게 본 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다.
- [0012] 도 1은 본 발명의 실시 예에 따른 메모리 시스템을 포함하는 데이터 처리 시스템의 일 예를 개략적으로 도시한 도면이다.
- [0013] 도 1을 참조하면, 데이터 처리 시스템(100)은, 호스트(Host)(102) 및 메모리 시스템(110)을 포함한다.
- [0014] 그리고, 호스트(102)는, 예컨대, 휴대폰, MP3 플레이어, 랩탑 컴퓨터 등과 같은 휴대용 전자 장치들, 또는 데스크탑 컴퓨터, 게임기, TV, 프로젝터 등과 같은 전자 장치들을 포함한다.
- [0015] 또한, 메모리 시스템(110)은, 호스트(102)의 요청에 응답하여 동작하며, 특히 호스트(102)에 의해서 액세스되는 데이터를 저장한다. 다시 말해, 메모리 시스템(110)은, 호스트(102)의 주 기억 장치 또는 보조 기억 장치로 사용될 수 있다. 여기서, 메모리 시스템(110)은 호스트(102)와 연결되는 호스트 인터페이스 프로토콜에 따라, 다양한 종류의 저장 장치들 중 어느 하나로 구현될 수 있다. 예를 들면, 메모리 시스템(110)은, 솔리드 스테이트 드라이브(SSD: Solid State Drive), MMC, eMMC(embedded MMC), RS-MMC(Reduced Size MMC), micro-MMC 형태의 멀티 미디어 카드(MMC: Multi Media Card), SD, mini-SD, micro-SD 형태의 시큐어 디지털(SD: Secure Digital) 카드, USB(Universal Storage Bus) 저장 장치, UFS(Universal Flash Storage) 장치, CF(Compact Flash) 카드, 스마트 미디어(Smart Media) 카드, 메모리 스틱(Memory Stick) 등과 같은 다양한 종류의 저장 장치들 중 어느 하나로 구현될 수 있다.
- [0016] 아울러, 메모리 시스템(110)을 구현하는 저장 장치들은, DRAM(Dynamic Random Access Memory), SRAM(Static RAM) 등과 같은 휘발성 메모리 장치와 ROM(Read Only Memory), MROM(Mask ROM), PROM(Programmable ROM), EPROM(Erasable ROM), EEPROM(Electrically Erasable ROM), FRAM(Ferromagnetic ROM), PRAM(Phase change RAM), MRAM(Magnetic RAM), RRAM(Resistive RAM), 플래시 메모리 등과 같은 비휘발성 메모리 장치로 구현될 수 있다.
- [0017] 그리고, 메모리 시스템(110)은, 호스트(102)에 의해서 액세스되는 데이터를 저장하는 메모리 장치(150), 및 메모리 장치(150)로의 데이터 저장을 제어하는 컨트롤러(130)를 포함한다.
- [0018] 여기서, 컨트롤러(130) 및 메모리 장치(150)는 하나의 반도체 장치로 집적될 수 있다. 일 예로, 컨트롤러(130) 및 메모리 장치(150)는 하나의 반도체 장치로 집적되어 SSD를 구성할 수 있다. 메모리 시스템(110)이 SSD로 이용되는 경우, 메모리 시스템(110)에 연결되는 호스트(102)의 동작 속도는 획기적으로 개선될 수 있다.
- [0019] 컨트롤러(130) 및 메모리 장치(150)는 하나의 반도체 장치로 집적되어, 메모리 카드를 구성할 수 있다. 예를 들면, 컨트롤러(130) 및 메모리 장치(150)는, 하나의 반도체 장치로 집적되어, PC 카드(PCMCIA: Personal Computer Memory Card International Association), 콤팩트 플래시 카드(CF), 스마트 미디어 카드(SM, SMC), 메모리 스틱, 멀티미디어 카드(MMC, RS-MMC, MMCmicro), SD 카드(SD, miniSD, microSD, SDHC), 유니버설 플래시 기억 장치(UFS) 등과 같은 메모리 카드를 구성할 수 있다.
- [0020] 또 다른 일 예로, 메모리 시스템(110)은, 컴퓨터, UMPC(Ultra Mobile PC), 워크스테이션, 넷북(net-book), PDA(Personal Digital Assistants), 포터블(portable) 컴퓨터, 웹 태블릿(web tablet), 태블릿 컴퓨터(tablet computer), 무선 전화기(wireless phone), 모바일 폰(mobile phone), 스마트폰(smart phone), e-북(e-book), PMP(portable multimedia player), 휴대용 게임기, 네비게이션(navigation) 장치, 블랙박스(black box), 디지털 카메라(digital camera), DMB(Digital Multimedia Broadcasting) 재생기, 3차원 텔레비전(3-dimensional television), 스마트 텔레비전(smart television), 디지털 음성 녹음기(digital audio recorder), 디지털 음성 재생기(digital audio player), 디지털 영상 녹화기(digital picture recorder), 디지털 영상 재생기(digital video picture player), 디지털 동영상 녹화기(digital video recorder), 디지털 동영상 재생기(digital video

player), 데이터 센터를 구성하는 스토리지, 정보를 무선 환경에서 송수신할 수 있는 장치, 홈 네트워크를 구성하는 다양한 전자 장치들 중 하나, 컴퓨터 네트워크를 구성하는 다양한 전자 장치들 중 하나, 텔레매틱스 네트워크를 구성하는 다양한 전자 장치들 중 하나, RFID 장치, 또는 컴퓨팅 시스템을 구성하는 다양한 구성 요소들 중 하나 등을 구성할 수 있다.

[0021] 한편, 메모리 시스템(110)의 메모리 장치(150)는, 전원이 공급되지 않아도 저장된 데이터를 유지할 수 있으며, 특히 라이트(write) 동작을 통해 호스트(102)로부터 제공된 데이터를 저장하고, 리드(read) 동작을 통해 저장된 데이터를 호스트(102)로 제공한다. 그리고, 메모리 장치(150)는, 복수의 메모리 블록(memory block)들(152,154,156)을 포함하며, 각각의 메모리 블록들은, 복수의 페이지들(pages)을 포함하며, 또한 각각의 페이지들은, 복수의 워드라인(WL: Word Line)들이 연결된 복수의 메모리 셀들을 포함한다. 또한, 메모리 장치(150)는, 비휘발성 메모리 장치, 일 예로 플래시 메모리가 될 수 있으며, 이때 플래시 메모리는 3D 입체 스택(stack) 구조가 될 수 있다. 여기서, 메모리 장치(150)의 구조 및 메모리 장치(150)의 3D 입체 스택 구조에 대해서는, 이하 도 2 내지 도 11을 참조하여 보다 구체적으로 설명할 예정임으로, 여기서는 그에 관한 구체적인 설명을 생략하기로 한다.

[0022] 그리고, 메모리 시스템(110)의 컨트롤러(130)는, 호스트(102)로부터의 요청에 응답하여 메모리 장치(150)를 제어한다. 예컨대, 컨트롤러(130)는, 메모리 장치(150)로부터 리드된 데이터를 호스트(102)로 제공하고, 호스트(102)로부터 제공된 데이터를 메모리 장치(150)에 저장하며, 이를 위해 컨트롤러(130)는, 메모리 장치(150)의 리드, 라이트, 프로그램(program), 이레이즈(erase) 등의 동작을 제어한다.

[0023] 보다 구체적으로 설명하면, 컨트롤러(130)는, 호스트 인터페이스(Host I/F) 유닛(132), 프로세서(Processor)(134), 에러 정정 코드(ECC: Error Correction Code) 유닛(138), 파워 관리 유닛(PMU: Power Management Unit)(140), 낸드 플래시 컨트롤러(NFC: NAND Flash Controller)(142), 및 메모리(Memory)(144)를 포함한다.

[0024] 또한, 호스트 인터페이스 유닛(134)은, 호스트(102)의 커맨드(command) 및 데이터를 처리하며, USB(Universal Serial Bus), MMC(Multi-Media Card), PCI-E(Peripheral Component Interconnect-Express), SAS(Serial-attached SCSI), SATA(Serial Advanced Technology Attachment), PATA(Parallel Advanced Technology Attachment), SCSI(Small Computer System Interface), ESDI(Enhanced Small Disk Interface), IDE(Integrated Drive Electronics) 등과 같은 다양한 인터페이스 프로토콜들 중 적어도 하나를 통해 호스트(102)와 통신하도록 구성될 수 있다.

[0025] 아울러, ECC 유닛(138)은, 메모리 장치(150)에 저장된 데이터를 리드할 경우, 메모리 장치(150)로부터 리드된 데이터에 포함되는 에러를 검출 및 정정한다. 다시 말해, ECC 유닛(138)은, 메모리 장치(150)로부터 리드한 데이터에 대하여 에러 정정 디코딩을 수행한 후, 에러 정정 디코딩의 성공 여부를 판단하고 판단 결과에 따라 지시 신호를 출력하며, ECC 인코딩 과정에서 생성된 패리티(parity) 비트를 사용하여 리드된 데이터의 에러 비트를 정정할 수 있다. 이때, ECC 유닛(138)은, 에러 비트 개수가 정정 가능한 에러 비트 한계치 이상 발생하면, 에러 비트를 정정할 수 없으며, 에러 비트를 정정하지 못함에 상응하는 에러 정정 실패(fail) 신호를 출력할 수 있다.

[0026] 여기서, ECC 유닛(138)은, LDPC(low density parity check) code, BCH(Bose, Chaudhri, Hocquenghem) code, turbo code, 리드-솔로몬 코드(Reed-Solomon code), convolution code, RSC(recursive systematic code), TCM(trellis-coded modulation), BCM(Block coded modulation) 등의 코디드 모듈레이션(coded modulation)을 사용하여 에러 정정을 수행할 수 있으며 이에 한정되는 것은 아니다. 또한, ECC 유닛(138)은 오류 정정을 위한 회로, 시스템 또는 장치를 모두 포함할 수 있다.

[0027] 그리고, PMU(140)는, 컨트롤러(130)의 파워, 즉 컨트롤러(130)에 포함된 구성 요소들의 파워를 제공 및 관리한다.

[0028] 또한, NFC(142)는, 컨트롤러(130)가 호스트(102)로부터의 요청에 응답하여 메모리 장치(150)를 제어하기 위해, 컨트롤러(130)와 메모리 장치(142) 간의 인터페이싱을 수행하는 메모리 인터페이스로서, 메모리 장치(142)가 플래시 메모리, 특히 일 예로 메모리 장치(142)가 낸드 플래시 메모리일 경우에, 프로세서(134)의 제어에 따라 메모리 장치(142)의 제어 신호를 생성하고 데이터를 처리한다.

[0029] 아울러, 메모리(144)는, 메모리 시스템(110) 및 컨트롤러(130)의 동작 메모리로, 메모리 시스템(110) 및 컨트롤러(130)의 구동을 위한 데이터를 저장한다. 보다 구체적으로 설명하면, 메모리(144)는, 컨트롤러(130)가 호스트

(102)로부터의 요청에 응답하여 메모리 장치(150)를 제어, 예컨대 컨트롤러(130)가, 메모리 장치(150)로부터 리드된 데이터를 호스트(102)로 제공하고, 호스트(102)로부터 제공된 데이터를 메모리 장치(150)에 저장하며, 이를 위해 컨트롤러(130)가, 메모리 장치(150)의 리드, 라이트, 프로그램, 이레이즈(erase) 등의 동작을 제어할 경우, 이러한 동작을 메모리 시스템(110), 즉 컨트롤러(130)와 메모리 장치(150) 간에 수행하기 위해 필요한 데이터를 저장한다.

[0030] 여기서, 메모리(144)는, 휘발성 메모리로 구현될 수 있으며, 예컨대 정적 랜덤 액세스 메모리(SRAM: Static Random Access Memory), 또는 동적 랜덤 액세스 메모리(DRAM: Dynamic Random Access Memory) 등으로 구현될 수 있다. 또한, 메모리(144)는, 전술한 바와 같이, 호스트(102)와 메모리 장치(150) 간 데이터 라이트 및 리드 등의 동작을 수행하기 위해 필요한 데이터, 및 데이터 라이트 및 리드 등의 동작 수행 시의 데이터를 저장하며, 이러한 데이터 저장을 위해, 프로그램 메모리, 데이터 메모리, 라이트 버퍼, 리드 버퍼, 맵(map) 버퍼 등을 포함한다.

[0031] 그리고, 프로세서(134)는, 메모리 시스템(110)의 제반 동작을 제어하며, 호스트(102)로부터의 라이트 요청 또는 리드 요청에 응답하여, 메모리 장치(150)에 대한 라이트 동작 또는 리드 동작을 제어한다. 여기서, 프로세서(134)는, 메모리 시스템(110)의 제반 동작을 제어하기 위해 플래시 변환 계층(FTL: Flash Translation Layer, 이하 'FTL'이라 칭하기로 함)이라 불리는 펌웨어(firmware)를 구동한다. 또한, 프로세서(134)는, 마이크로프로세서 또는 중앙 처리 장치(CPU) 등으로 구현될 수 있다.

[0032] 아울러, 프로세서(134)에는, 메모리 장치(150)의 배드 관리(bad management), 예컨대 배드 블록 관리(bad block management)를 수행하기 위한 관리 유닛(도시하지 않음)이 포함되며, 관리 유닛은, 메모리 장치(150)에 포함된 복수의 메모리 블록들에서 배드 블록(bad block)을 확인한 후, 확인된 배드 블록을 배드 처리하는 배드 블록 관리를 수행한다. 여기서, 배드 관리, 다시 말해 배드 블록 관리는, 메모리 장치(150)가 플래시 메모리, 예컨대 낸드 플래시 메모리일 경우, 낸드의 특성으로 인해 데이터 라이트, 예컨대 데이터 프로그램(program) 시에 프로그램 실패(program fail)이 발생할 수 있으며, 프로그램 실패가 발생한 메모리 블록을 배드(bad) 처리한 후, 프로그램 실패된 데이터를 새로운 메모리 블록에 라이트, 즉 프로그램하는 것을 의미한다. 또한, 메모리 장치(150)가 3D 입체 스택 구조를 가질 경우에는, 프로그램 실패에 따라 해당 블록을 배드 블록으로 처리할 경우, 메모리 장치(150)의 사용 효율 및 메모리 시스템(100)의 신뢰성이 급격하게 저하되므로, 보다 신뢰성 있는 배드 블록 관리 수행이 필요하다. 그러면 이하에서는, 도 2 내지 도 11을 참조하여 본 발명의 실시 예에 따른 메모리 시스템에서의 메모리 장치에 대해서 보다 구체적으로 설명하기로 한다.

[0033] 도 2는 본 발명의 실시 예에 따른 메모리 시스템에서 메모리 장치의 일 예를 개략적으로 도시한 도면이고, 도 3은 본 발명의 실시 예에 따른 메모리 장치에서 메모리 블록들의 메모리 셀 어레이 회로를 개략적으로 도시한 도면이며, 도 4 내지 도 11은 본 발명의 실시 예에 따른 메모리 시스템에서 메모리 장치 구조를 개략적으로 도시한 도면으로, 메모리 장치가 3차원 비휘발성 메모리 장치로 구현될 경우의 구조를 개략적으로 도시한 도면이다.

[0034] 우선, 도 2를 참조하면, 메모리 장치(150)는, 복수의 메모리 블록들, 예컨대 블록0(Block0)(210), 블록1(Block1)(220), 블록2(Block2)(230), 및 블록N-1(BlockN-1)(240)을 포함하며, 각각의 블록들(210, 220, 230, 240)은, 복수의 페이지들(Pages), 예컨대 2M개의 페이지들(2MPages)을 포함한다. 여기서, 설명의 편의를 위해, 복수의 메모리 블록들이 각각 2M개의 페이지들을 포함하는 것을 일 예로 하여 설명하지만, 복수의 메모리들은, 각각 M개의 페이지들을 포함할 수도 있다. 그리고, 각각의 페이지들은, 복수의 워드라인(WL: Word Line)들이 연결된 복수의 메모리 셀들을 포함한다.

[0035] 또한, 메모리 장치(150)는, 복수의 메모리 블록들을, 하나의 메모리 셀에 저장 또는 표현할 수 있는 비트의 수에 따라, 단일 레벨 셀(SLC: Single Level Cell) 메모리 블록 및 멀티 레벨 셀(MLC: Multi Level Cell) 메모리 블록 등으로 포함할 수 있다. 여기서, SLC 메모리 블록은, 하나의 메모리 셀에 1 비트 데이터를 저장하는 메모리 셀들에 의해 구현된 복수의 페이지들을 포함하며, 데이터 연산 성능이 빠르며 내구성이 높다. 그리고, MLC 메모리 블록은, 하나의 메모리 셀에 멀티 비트 데이터(예를 들면, 2 비트 이상)를 저장하는 메모리 셀들에 의해 구현된 복수의 페이지들을 포함하며, SLC 메모리 블록보다 큰 데이터 저장 공간을 가질 수, 다시 말해 고집적화할 수 있다. 여기서, 하나의 메모리 셀에 3 비트 데이터를 저장할 수 있는 메모리 셀들에 의해 구현된 복수의 페이지들을 포함하는 MLC 메모리 블록을, 트리플 레벨 셀(TLC: Triple Level Cell) 메모리 블록으로 구분할 수도 있다.

[0036] 그리고, 각각의 블록들(210, 220, 230, 240)은, 라이트 동작을 통해 호스트 장치로부터 제공된 데이터를 저장하고, 리드 동작을 통해 저장된 데이터를 호스트(102)로 제공한다.

- [0037] 다음으로, 도 3을 참조하면, 메모리 시스템(110)에서 메모리 장치(300)의 메모리 블록(330)은, 비트라인들(BL0 to BLm-1)에 각각 연결된 복수의 셀 스트링들(340)을 포함할 수 있다. 각 열(column)의 셀 스트링(340)은, 적어도 하나의 드레인 선택 트랜지스터(DST)와, 적어도 하나의 소스 선택 트랜지스터(SST)를 포함할 수 있다. 선택 트랜지스터들(DST, SST) 사이에는, 복수 개의 메모리 셀들, 또는, 메모리 셀 트랜지스터들(MC0 to MCn-1)이 직렬로 연결될 수 있다. 각각의 메모리 셀(MC0 to MCn-1)은, 셀 당 복수의 비트의 데이터 정보를 저장하는 멀티 레벨 셀(MLC: Multi-Level Cell)로 구성될 수 있다. 셀 스트링들(340)은 대응하는 비트라인들(BL0 to BLm-1)에 각각 전기적으로 연결될 수 있다.
- [0038] 여기서, 도 3은 낸드 플래시 메모리 셀로 구성된 메모리 블록(330)을 일 예로 도시하고 있으나, 본 발명의 실시 예에 따른 메모리 장치(300)의 메모리 블록(330)은, 낸드 플래시 메모리에만 국한되는 것은 아니라 노어 플래시 메모리(NOR-type Flash memory), 적어도 두 종류 이상의 메모리 셀들이 혼합된 하이브리드 플래시 메모리, 및 메모리 칩 내에 컨트롤러가 내장된 One-NAND 플래시 메모리 등으로도 구현될 수 있다. 반도체 장치의 동작 특성은 전하 저장층이 전도성 부유 게이트로 구성된 플래시 메모리 장치는 물론, 전하 저장층이 절연막으로 구성된 차지 트랩형 플래시(Charge Trap Flash; CTF)에도 적용될 수 있다.
- [0039] 그리고, 메모리 장치(300)의 전압 공급부(310)는, 동작 모드에 따라서 각각의 워드라인들로 공급될 워드라인 전압들(예를 들면, 프로그램 전압, 리드 전압, 패스 전압 등)과, 메모리 셀들이 형성된 벌크(예를 들면, 웰 영역)로 공급될 전압을 제공할 수 있으며, 이때 전압 공급 회로(310)의 전압 발생 동작은 제어 회로(도시하지 않음)의 제어에 의해 수행될 수 있다. 또한, 전압 공급부(310)는, 다수의 리드 데이터를 생성하기 위해 복수의 가변 리드 전압들을 생성할 수 있으며, 제어 회로의 제어에 응답하여 메모리 셀 어레이의 메모리 블록들(또는 섹터들) 중 하나를 선택하고, 선택된 메모리 블록의 워드라인들 중 하나를 선택할 수 있으며, 워드라인 전압을 선택된 워드라인 및 비선택된 워드라인들로 각각 제공할 수 있다.
- [0040] 아울러, 메모리 장치(300)의 리드/라이트(read/write) 회로(320)는, 제어 회로에 의해서 제어되며, 동작 모드에 따라 감지 증폭기(sense amplifier)로서 또는 라이트 드라이버(write driver)로서 동작할 수 있다. 예를 들면, 감중/정상 리드 동작의 경우 리드/라이트 회로(320)는, 메모리 셀 어레이로부터 데이터를 리드하기 위한 감지 증폭기로서 동작할 수 있다. 또한, 프로그램 동작의 경우 리드/라이트 회로(320)는, 메모리 셀 어레이에 저장될 데이터에 따라 비트라인들을 구동하는 라이트 드라이버로서 동작할 수 있다. 리드/라이트 회로(320)는, 프로그램 동작 시 셀 어레이에 라이트될 데이터를 버퍼(미도시)로부터 수신하고, 입력된 데이터에 따라 비트라인들을 구동할 수 있다. 이를 위해, 리드/라이트 회로(320)는, 열(column)들(또는 비트라인들) 또는 열쌍(column pair)(또는 비트라인 쌍들)에 각각 대응되는 복수 개의 페이지 버퍼들(PB)(322, 324, 326)을 포함할 수 있으며, 각각의 페이지 버퍼(page buffer)(322, 324, 326)에는 복수의 래치들(도시하지 않음)이 포함될 수 있다. 그러면 여기서, 도 4 내지 도 11을 참조하여 본 발명의 실시 예에 따른 메모리 시스템에서 메모리 장치가 3차원 비휘발성 메모리 장치로 구현될 경우의 메모리 장치에 대해서 보다 구체적으로 설명하기로 한다.
- [0041] 도 4를 참조하면, 메모리 장치(150)는, 전술한 바와 같이, 복수의 메모리 블록들(BLK 1 to BLK_h)을 포함할 수 있다. 여기서, 도 4는, 도 3에 도시한 메모리 장치의 메모리 블록을 보여주는 블록도로서, 각 메모리 블록(BLK)은, 3차원 구조(또는 수직 구조)로 구현될 수 있다. 예를 들면, 각 메모리 블록(BLK)은 제1방향 내지 제3방향들, 예컨대 x-축 방향, y-축 방향, 및 z-축 방향을 따라 신장된 구조물들을 포함할 수 있다.
- [0042] 각 메모리 블록(BLK)은 제2방향을 따라 신장된 복수의 낸드 스트링들(NS)을 포함할 수 있다. 제1방향 및 제3방향들을 따라 복수의 낸드 스트링들(NS)이 제공될 수 있다. 각 낸드 스트링(NS)은 비트라인(BL), 적어도 하나의 스트링 선택라인(SSL), 적어도 하나의 접지 선택라인(GSL), 복수의 워드라인들(WL), 적어도 하나의 더미 워드라인(DWL), 그리고 공통 소스라인(CSL)에 연결될 수 있다. 즉, 각 메모리 블록은 복수의 비트라인들(BL), 복수의 스트링 선택라인들(SSL), 복수의 접지 선택라인들(GSL), 복수의 워드라인들(WL), 복수의 더미 워드라인들(DWL), 그리고 복수의 공통 소스라인(CSL)에 연결될 수 있다.
- [0043] 그리고, 도 5 및 도 6을 참조하면, 메모리 장치(150)의 복수의 메모리 블록들에서 임의의 메모리 블록(BLK_i)은, 제1방향 내지 제3방향들을 따라 신장된 구조물들을 포함할 수 있다. 여기서, 도 5는, 본 발명의 실시 예에 따른 메모리 장치가 제1구조의 3차원 비휘발성 메모리 장치로 구현될 경우의 구조를 개략적으로 도시한 도면이며, 도 4의 복수의 메모리 블록에서 제1구조로 구현된 임의의 메모리 블록(BLK_i)을 도시한 사시도이고, 도 6은, 도 5의 메모리 블록(BLK_i)을 임의의 제1선(I-I')에 따른 단면도이다.
- [0044] 우선, 기판(5111)이 제공될 수 있다. 예컨대, 기판(5111)은 제1타입 불순물로 도핑된 실리콘 물질을 포함할 수 있다. 예를 들면, 기판(5111)은 p-타입 불순물로 도핑된 실리콘 물질을 포함하거나, p-타입 웰(예를 들면, 포켓

p-웰)일 수 있고, p-타입 웰을 둘러싸는 n-타입 웰을 더 포함할 수 있다. 이하에서는 설명의 편의를 위해, 기판(5111)은 p-타입 실리콘인 것으로 가정하지만, 기판(5111)은 p-타입 실리콘으로 한정되지 않는다.

[0045] 그리고, 기판(5111) 상에, 제1방향을 따라 신장된 복수의 도핑 영역들(5311,5312,5313,5314)이 제공될 수 있다. 예를 들면, 복수의 도핑 영역들((5311,5312,5313,5314)은 기판(1111)과 상이한 제2타입을 가질 수 있다. 예를 들면, 복수의 도핑 영역들(5311,5312,5313,5314)은 n-타입을 가질 수 있다. 이하에서는 설명의 편의를 위해, 제1도핑 영역 내지 제4도핑 영역들(5311,5312,5313,5314)은, n-타입인 것으로 가정하지만, 제1도핑 영역 내지 제4도핑 영역들(5311,5312,5313,5314)은 n-타입인 것으로 한정되지 않는다.

[0046] 제1도핑 영역 및 제2도핑 영역들(5311,5312) 사이에 대응하는 기판(5111) 상의 영역에서, 제1방향을 따라 신장되는 복수의 절연 물질들(5112)이 제2방향을 따라 순차적으로 제공될 수 있다. 예를 들면, 복수의 절연 물질들(5112) 및 기판(5111)은 제2방향을 따라 미리 설정된 거리만큼 이격되어 제공될 수 있다. 예를 들면, 복수의 절연 물질들(5112)은 각각 제2방향을 따라 미리 설정된 거리만큼 이격되어 제공될 수 있다. 예컨대, 절연 물질들(5112)은 실리콘 산화물(Silicon Oxide)과 같은 절연 물질을 포함할 수 있다.

[0047] 제1도핑 영역 및 제2도핑 영역들(5311,5312) 사이에 대응하는 기판(5111) 상의 영역에서, 제1방향을 따라 순차적으로 배치되며 제2방향을 따라 절연 물질들(5112)을 관통하는 복수의 필라들(5113)이 제공될 수 있다. 예컨대, 복수의 필라들(5113) 각각은 절연 물질들(5112)을 관통하여 기판(5111)과 연결될 수 있다. 예컨대, 각 필라(5113)는 복수의 물질들로 구성될 수 있다. 예를 들면, 각 필라(1113)의 표면층(1114)은 제1타입으로 도핑된 실리콘 물질을 포함할 수 있다. 예를 들면, 각 필라(5113)의 표면층(5114)은 기판(5111)과 동일한 타입으로 도핑된 실리콘 물질을 포함할 수 있다. 이하에서는 설명의 편의를 위해, 각 필라(5113)의 표면층(5114)은 p-타입 실리콘을 포함하는 것으로 가정하지만, 각 필라(5113)의 표면층(5114)은 p-타입 실리콘을 포함하는 것으로 한정되지 않는다.

[0048] 각 필라(5113)의 내부층(5115)은 절연 물질로 구성될 수 있다. 예를 들면, 각 필라(5113)의 내부층(5115)은 실리콘 산화물(Silicon Oxide)과 같은 절연 물질로 충전될 수 있다.

[0049] 제1도핑 영역 및 제2도핑 영역들(5311,5312) 사이의 영역에서, 절연 물질들(5112), 필라들(5113), 그리고 기판(5111)의 노출된 표면을 따라 절연막(5116)이 제공될 수 있다. 예컨대, 절연막(5116)의 두께는 절연 물질들(5112) 사이의 거리의 1/2 보다 작을 수 있다. 즉, 절연 물질들(5112) 중 제1절연 물질의 하부 면에 제공된 절연막(5116), 그리고, 제1절연 물질 하부의 제2절연 물질의 상부 면에 제공된 절연막(5116) 사이에, 절연 물질들(5112) 및 절연막(5116) 이외의 물질이 배치될 수 있는 영역이 제공될 수 있다.

[0050] 제1도핑 영역 및 제2도핑 영역들(5311,5312) 사이의 영역에서, 절연막(5116)의 노출된 표면 상에 도전 물질들(5211,5221,5231,5241,5251,5261,5271,5281,5291)이 제공될 수 있다. 예를 들면, 기판(5111)에 인접한 절연 물질(5112) 및 기판(5111) 사이에 제1방향을 따라 신장되는 도전 물질(5211)이 제공될 수 있다. 특히, 기판(5111)에 인접한 절연 물질(5112)의 하부 면의 절연막(5116) 및 기판(5111) 사이에, 제1방향으로 신장되는 도전 물질(5211)이 제공될 수 있다.

[0051] 절연 물질들(5112) 중 특정 절연 물질 상부 면의 절연막(5116) 및 특정 절연 물질 상부에 배치된 절연 물질의 하부 면의 절연막(5116) 사이에, 제1방향을 따라 신장되는 도전 물질이 제공될 수 있다. 예컨대, 절연 물질들(5112) 사이에, 제1방향으로 신장되는 복수의 도전 물질들(5221,5231,5241,5251,5261,5271,5281)이 제공될 수 있다. 또한, 절연 물질들(5112) 상의 영역에 제1방향을 따라 신장되는 도전 물질(5291)이 제공될 수 있다. 예컨대, 제1방향으로 신장된 도전 물질들(5211,5221,5231,5241,5251,5261,5271,5281,5291)은 금속 물질일 수 있다. 예컨대, 제1방향으로 신장된 도전 물질들(5211,5221,5231,5241,5251,5261,5271,5281,5291)은 폴리 실리콘 등과 같은 도전 물질일 수 있다.

[0052] 제2도핑 영역 및 제3도핑 영역들(5312,5313) 사이의 영역에서, 제1도핑 영역 및 제2도핑 영역들(5311,5312) 상의 구조물과 동일한 구조물이 제공될 수 있다. 예컨대, 제2도핑 영역 및 제3도핑 영역들(5312,5313) 사이의 영역에서, 제1방향으로 신장되는 복수의 절연 물질들(5112), 제1방향을 따라 순차적으로 배치되며 제3방향을 따라 복수의 절연 물질들(5112)을 관통하는 복수의 필라들(5113), 복수의 절연 물질들(5112) 및 복수의 필라들(5113)의 노출된 표면에 제공되는 절연막(5116), 그리고, 제1방향을 따라 신장되는 복수의 도전 물질들(5212,5222,5232,5242,5252,5262,5272,5282,5292)이 제공될 수 있다.

[0053] 제3도핑 영역 및 제4도핑 영역들(5313,5314) 사이의 영역에서, 제1도핑 영역 및 제2도핑 영역들(5311,5312) 상의 구조물과 동일한 구조물이 제공될 수 있다. 예컨대, 제3도핑 영역 및 제4도핑 영역들(5312,5313) 사이의 영

역에서, 제1방향으로 신장되는 복수의 절연 물질들(5112), 제1방향을 따라 순차적으로 배치되며 제3방향을 따라 복수의 절연 물질들(5112)을 관통하는 복수의 필라들(5113), 복수의 절연 물질들(5112) 및 복수의 필라들(5113)의 노출된 표면에 제공되는 절연막(5116), 그리고 제1방향을 따라 신장되는 복수의 도전 물질들(5213, 5223, 5243, 5253, 5263, 5273, 5283, 5293)이 제공될 수 있다.

[0054] 복수의 필라들(5113) 상에 드레인들(5320)이 각각 제공될 수 있다. 예컨대, 드레인들(5320)은 제2타입으로 도핑된 실리콘 물질들일 수 있다. 예를 들면, 드레인들(5320)은 n-타입으로 도핑된 실리콘 물질들일 수 있다. 이하에서는 설명의 편의를 위해, 드레인들(5320)은 n-타입 실리콘을 포함하는 것으로 가정하지만, 드레인들(5320)은 n-타입 실리콘을 포함하는 것으로 한정되지 않는다. 예컨대, 각 드레인(5320)의 폭은 대응하는 필라(5113)의 폭보다 클 수 있다. 예를 들면, 각 드레인(5320)은 대응하는 필라(5113)의 상부면에 패드 형태로 제공될 수 있다.

[0055] 드레인들(5320) 상에, 제3방향으로 신장된 도전 물질들(5331, 5332, 5333)이 제공될 수 있다. 도전 물질들(5331, 5332, 5333)은 제1방향을 따라 순차적으로 배치될 수 있다. 도전 물질들(5331, 5332, 5333) 각각은 대응하는 영역의 드레인들(5320)과 연결될 수 있다. 예컨대, 드레인들(5320) 및 제3방향으로 신장된 도전 물질(5333)은 각각 콘택 플러그들(contact plug)을 통해 연결될 수 있다. 예컨대, 제3방향으로 신장된 도전 물질들(5331, 5332, 5333)은 금속 물질일 수 있다. 예컨대, 제3방향으로 신장된 도전 물질들(5331, 5332, 5333)은 폴리실리콘 등과 같은 도전 물질일 수 있다.

[0056] 도 5 및 도 6에서, 각 필라(5113)는 절연막(5116)의 인접한 영역 및 제1방향을 따라 신장되는 복수의 도체라인들(5211 내지 5291, 5212 내지 5292, 및 5213 내지 5293) 중 인접한 영역과 함께 스트링을 형성할 수 있다. 예를 들면, 각 필라(5113)는 절연막(5116)의 인접한 영역 및 제1방향을 따라 신장되는 복수의 도체라인들(5211 내지 5291, 5212 내지 5292, 및 5213 내지 5293) 중 인접한 영역과 함께 낸드 스트링(NS)을 형성할 수 있다. 낸드 스트링(NS)은 복수의 트랜지스터 구조들(TS)을 포함할 수 있다.

[0057] 그리고, 도 7을 참조하면, 도 6에 도시한 트랜지스터 구조(TS)에서의 절연막(5116)은, 제1서브 절연막 내지 제3서브 절연막들(5117, 5118, 5119)을 포함할 수 있다. 여기서, 도 7은, 도 6의 트랜지스터 구조(TS)를 보여주는 단면도이다.

[0058] 필라(5113)의 p-타입 실리콘(5114)은 바디(body)로 동작할 수 있다. 필라(5113)에 인접한 제1서브 절연막(5117)은 터널링 절연막으로 동작할 수 있으며, 열산화막을 포함할 수 있다.

[0059] 제2서브 절연막(5118)은 전하 저장막으로 동작할 수 있다. 예를 들면, 제2서브 절연막(5118)은 전하 포획층으로 동작할 수 있으며, 질화막 또는 금속 산화막(예컨대, 알루미늄 산화막, 하프늄 산화막 등)을 포함할 수 있다.

[0060] 도전 물질(5233)에 인접한 제3 서브 절연막(5119)은 블로킹 절연막으로 동작할 수 있다. 예를 들면, 제1방향으로 신장된 도전 물질(5233)과 인접한 제3서브 절연막(5119)은 단일층 또는 다층으로 형성될 수 있다. 제3서브 절연막(5119)은 제1서브 절연막 및 제2서브 절연막들(5117, 5118)보다 높은 유전상수를 갖는 고유전막(예컨대, 알루미늄 산화막, 하프늄 산화막 등)일 수 있다.

[0061] 도전 물질(5233)은 게이트(또는 제어 게이트)로 동작할 수 있다. 즉, 게이트(또는 제어 게이트(5233)), 블로킹 절연막(5119), 전하 저장막(5118), 터널링 절연막(5117), 및 바디(5114)는, 트랜지스터(또는 메모리 셀 트랜지스터 구조)를 형성할 수 있다. 예컨대, 제1서브 절연막 내지 제3서브 절연막들(5117, 5118, 5119)은 ONO(oxide-nitride-oxide)를 구성할 수 있다. 이하에서는 설명의 편의를 위해, 필라(5113)의 p-타입 실리콘(5114)을 제2방향의 바디라 칭하기로 한다.

[0062] 메모리 블록(BLK_i)은 복수의 필라들(5113)을 포함할 수 있다. 즉, 메모리 블록(BLK_i)은 복수의 낸드 스트링들(NS)을 포함할 수 있다. 보다 구체적으로 설명하면, 메모리 블록(BLK_i)은 제2방향(또는 기판과 수직한 방향)으로 신장된 복수의 낸드 스트링들(NS)을 포함할 수 있다.

[0063] 각 낸드 스트링(NS)은 제2방향을 따라 배치되는 복수의 트랜지스터 구조들(TS)을 포함할 수 있다. 각 낸드 스트링(NS)의 복수의 트랜지스터 구조들(TS) 중 적어도 하나는 스트링 선택 트랜지스터(SST)로 동작할 수 있다. 각 낸드 스트링(NS)의 복수의 트랜지스터 구조들(TS) 중 적어도 하나는 접지 선택 트랜지스터(GST)로 동작할 수 있다.

[0064] 게이트들(또는 제어 게이트들)은 제1방향으로 신장된 도전 물질들(5211 내지 5291, 5212 내지 5292, 및 5213 내지 5293)에 대응할 수 있다. 즉, 게이트들(또는 제어 게이트들)은 제1방향으로 신장되어 워드라인들, 그리고 적어도 두 개의 선택라인들(예를 들면, 적어도 하나의 스트링 선택라인(SSL) 및 적어도 하나의 접지 선택라인

(GSL))을 형성할 수 있다.

- [0065] 제3방향으로 신장된 도전 물질들(5331, 5332, 5333)은 낸드 스트링들(NS)의 일단에 연결될 수 있다. 예컨대, 제3방향으로 신장된 도전 물질들(5331, 5332, 5333)은 비트라인들(BL)로 동작할 수 있다. 즉, 하나의 메모리 블록(BLK_i)에서, 하나의 비트라인(BL)에 복수의 낸드 스트링들(NS)이 연결될 수 있다.
- [0066] 제1방향으로 신장된 제2타입 도핑 영역들(5311, 5312, 5313, 5314)이 낸드 스트링들(NS)의 타단에 제공될 수 있다. 제1방향으로 신장된 제2타입 도핑 영역들(5311, 5312, 5313, 5314)은 공통 소스라인들(CSL)로 동작할 수 있다.
- [0067] 즉, 메모리 블록(BLK_i)은 기판(5111)에 수직인 방향(제2방향)으로 신장된 복수의 낸드 스트링들(NS)을 포함하며, 하나의 비트라인(BL)에 복수의 낸드 스트링들(NS)이 연결되는 낸드 플래시 메모리 블록(예를 들면, 전하 포획형)으로 동작할 수 있다.
- [0068] 도 5 내지 도 7에서는, 제1방향으로 신장되는 도체라인들(5211 내지 5291, 5212 내지 5292, 및 5213 내지 5293)이 9개의 층에 제공되는 것으로 설명하였지만, 제1방향으로 신장되는 도체라인들(5211 내지 5291, 5212 내지 5292, 및 5213 내지 5293)이 9개의 층에 제공되는 것으로 한정되지 않는다. 예를 들면, 제1방향으로 신장되는 도체라인들은 8개의 층, 16개의 층, 또는 복수의 층에 제공될 수 있다. 즉, 하나의 낸드 스트링(NS)에서, 트랜지스터는 8개, 16개, 또는 복수 개일 수 있다.
- [0069] 전술한 도 5 내지 도 7에서는, 하나의 비트라인(BL)에 3 개의 낸드 스트링들(NS)이 연결되는 것으로 설명하였으나, 하나의 비트라인(BL)에 3개의 낸드 스트링들(NS)이 연결되는 것으로 한정되지 않는다. 예컨대, 메모리 블록(BLK_i)에서, 하나의 비트라인(BL)에 m 개의 낸드 스트링들(NS)이 연결될 수 있다. 이때, 하나의 비트라인(BL)에 연결되는 낸드 스트링들(NS)의 수만큼, 제1방향으로 신장되는 도전 물질들(5211 내지 5291, 5212 내지 5292, 및 5213 내지 5293)의 수 및 공통 소스라인들(5311, 5312, 5313, 5314)의 수 또한 조절될 수 있다.
- [0070] 또한, 도 5 내지 도 7에서는, 제1방향으로 신장된 하나의 도전 물질에 3 개의 낸드 스트링들(NS)이 연결되는 것으로 설명하였으나, 제1방향으로 신장된 하나의 도전 물질에 3 개의 낸드 스트링들(NS)이 연결되는 것으로 한정되지 않는다. 예를 들면, 제1방향으로 신장된 하나의 도전 물질에, n 개의 낸드 스트링들(NS)이 연결될 수 있다. 이때, 제1방향으로 신장된 하나의 도전 물질에 연결되는 낸드 스트링들(NS)의 수만큼, 비트라인들(5331, 5332, 5333)의 수 또한 조절될 수 있다.
- [0071] 도 8을 참조하면, 메모리 장치(150)의 복수의 블록들에서 제1구조로 구현된 임의의 블록(BLK_i)에는, 제1비트라인(BL1) 및 공통 소스라인(CSL) 사이에 낸드 스트링들(NS11 to NS31)이 제공될 수 있다. 여기서, 도 8은, 도 5 내지 도 7에서 설명한 제1구조로 구현된 메모리 블록(BLK_i)의 등가 회로를 도시한 회로도이다. 그리고, 제1비트라인(BL1)은 제3방향으로 신장된 도전 물질(5331)에 대응할 수 있다. 제2비트라인(BL2) 및 공통 소스라인(CSL) 사이에 낸드 스트링들(NS12, NS22, NS32)이 제공될 수 있다. 제2비트라인(BL2)은 제3방향으로 신장된 도전 물질(5332)에 대응할 수 있다. 제3비트라인(BL3) 및 공통 소스라인(CSL) 사이에, 낸드 스트링들(NS13, NS23, NS33)이 제공될 수 있다. 제3비트라인(BL3)은 제3방향으로 신장된 도전 물질(5333)에 대응할 수 있다.
- [0072] 각 낸드 스트링(NS)의 스트링 선택 트랜지스터(SST)는 대응하는 비트라인(BL)과 연결될 수 있다. 각 낸드 스트링(NS)의 접지 선택 트랜지스터(GST)는 공통 소스라인(CSL)과 연결될 수 있다. 각 낸드 스트링(NS)의 스트링 선택 트랜지스터(SST) 및 접지 선택 트랜지스터(GST) 사이에 메모리 셀들(MC)이 제공될 수 있다.
- [0073] 이하에서는 설명의 편의를 위해, 행(row) 및 열(column) 단위로 낸드 스트링들(NS)을 정의할 수 있으며, 하나의 비트라인에 공통으로 연결된 낸드 스트링들(NS)은 하나의 열을 형성할 수 있음을, 일 예로 하여 설명하기로 한다. 예를 들면, 제1비트라인(BL1)에 연결된 낸드 스트링들(NS11 내지 NS31)은 제1열에 대응할 수 있고, 제2비트라인(BL2)에 연결된 낸드 스트링들(NS12 내지 NS32)은 제2열에 대응할 수 있으며, 제3비트라인(BL3)에 연결된 낸드 스트링들(NS13 내지 NS33)은 제3열에 대응할 수 있다. 하나의 스트링 선택라인(SSL)에 연결되는 낸드 스트링들(NS)은 하나의 행을 형성할 수 있다. 예를 들면, 제1스트링 선택라인(SSL1)에 연결된 낸드 스트링들(NS11 내지 NS13)은 제1행을 형성할 수 있고, 제2스트링 선택라인(SSL2)에 연결된 낸드 스트링들(NS21 내지 NS23)은 제2행을 형성할 수 있으며, 제3스트링 선택라인(SSL3)에 연결된 낸드 스트링들(NS31 내지 NS33)은 제3행을 형성할 수 있다.
- [0074] 또한, 각 낸드 스트링(NS)에서, 높이가 정의될 수 있다. 예컨대, 각 낸드 스트링(NS)에서, 접지 선택 트랜지스터(GST)에 인접한 메모리 셀(MC1)의 높이는 1이다. 각 낸드 스트링(NS)에서, 스트링 선택 트랜지스터(SST)에 인접할수록 메모리 셀의 높이는 증가할 수 있다. 각 낸드 스트링(NS)에서, 스트링 선택 트랜지스터(SST)에 인접한

메모리 셀(MC7)의 높이는 7이다.

- [0075] 그리고, 동일한 행의 낸드 스트링들(NS)의 스트링 선택 트랜지스터들(SST)은 스트링 선택라인(SSL)을 공유할 수 있다. 상이한 행의 낸드 스트링들(NS)의 스트링 선택 트랜지스터들(SST)은 상이한 스트링 선택라인들(SSL1, SSL2, SSL3)에 각각 연결될 수 있다.
- [0076] 아울러, 동일한 행의 낸드 스트링들(NS)의 동일한 높이의 메모리 셀들은 워드라인(WL)을 공유할 수 있다. 즉, 동일한 높이에서, 상이한 행의 낸드 스트링들(NS)의 메모리 셀들(MC)에 연결된 워드라인들(WL)은 공통으로 연결될 수 있다. 동일한 행의 낸드 스트링들(NS)의 동일한 높이의 더미 메모리 셀들(DMC)은 더미 워드라인(DWL)을 공유할 수 있다. 즉, 동일한 높이에서, 상이한 행의 낸드 스트링들(NS)의 더미 메모리 셀들(DMC)에 연결된 더미 워드라인들(DWL)은 공통으로 연결될 수 있다.
- [0077] 예컨대, 워드라인들(WL) 또는 더미 워드라인들(DWL)은 제1방향으로 신장되는 도전 물질들(5211 내지 5291, 5212 내지 5292, 및 5213 내지 5293)이 제공되는 층에서 공통으로 연결될 수 있다. 예컨대, 제1방향으로 신장되는 도전 물질들(5211 내지 5291, 5212 내지 5292, 및 5213 내지 5293)은 콘택을 통해 상부 층에 연결될 수 있다. 상부 층에서 제1방향으로 신장되는 도전 물질들(5211 내지 5291, 5212 내지 5292, 및 5213 내지 5293)이 공통으로 연결될 수 있다. 즉, 동일한 행의 낸드 스트링들(NS)의 접지 선택 트랜지스터들(GST)은 접지 선택라인(GSL)을 공유할 수 있다. 그리고, 상이한 행의 낸드 스트링들(NS)의 접지 선택 트랜지스터들(GST)은 접지 선택라인(GSL)을 공유할 수 있다. 다시 말해, 낸드 스트링들(NS11 내지 NS13, NS21 내지 NS23, 및 NS31 내지 NS33)은 접지 선택라인(GSL)에 공통으로 연결될 수 있다.
- [0078] 공통 소스라인(CSL)은 낸드 스트링들(NS)에 공통으로 연결될 수 있다. 예를 들면, 기판(5111) 상의 활성 영역에서, 제1도핑 영역 내지 제4도핑 영역들(5311, 5312, 5313, 5314)이 연결될 수 있다. 예를 들면, 제1도핑 영역 내지 제4도핑 영역들(5311, 5312, 5313, 5314)은 콘택을 통해 상부 층에 연결될 수 있고, 또한 상부 층에서 제1도핑 영역 내지 제4도핑 영역들(5311, 5312, 5313, 5314)이 공통으로 연결될 수 있다.
- [0079] 즉, 도 8에 도시된 바와 같이, 동일 깊이의 워드라인들(WL)은 공통으로 연결될 수 있다. 따라서, 특정 워드라인(WL)이 선택될 때, 특정 워드라인(WL)에 연결된 모든 낸드 스트링들(NS)이 선택될 수 있다. 상이한 행의 낸드 스트링들(NS)은 상이한 스트링 선택라인(SSL)에 연결될 수 있다. 따라서, 스트링 선택라인들(SSL1 내지 SSL3)을 선택함으로써, 동일 워드라인(WL)에 연결된 낸드 스트링들(NS) 중 비선택 행의 낸드 스트링들(NS)이 비트라인들(BL1 내지 BL3)로부터 분리될 수 있다. 즉, 스트링 선택라인들(SSL1 내지 SSL3)을 선택함으로써, 낸드 스트링들(NS)의 행이 선택될 수 있다. 그리고, 비트라인들(BL1 내지 BL3)을 선택함으로써, 선택 행의 낸드 스트링들(NS)이 열 단위로 선택될 수 있다.
- [0080] 각 낸드 스트링(NS)에서, 더미 메모리 셀(DMC)이 제공될 수 있다. 더미 메모리 셀(DMC) 및 접지 선택라인(GST) 사이에 제1메모리 셀 내지 제3메모리 셀들(MC1 내지 MC3)이 제공될 수 있다.
- [0081] 더미 메모리 셀(DMC) 및 스트링 선택라인(SST) 사이에 제4메모리 셀 내지 제6메모리 셀들(MC4 내지 MC6)이 제공될 수 있다. 여기서, 각 낸드 스트링(NS)의 메모리 셀들(MC)은, 더미 메모리 셀(DMC)에 의해 메모리 셀 그룹들로 분할될 수 있으며, 분할된 메모리 셀 그룹들 중 접지 선택 트랜지스터(GST)에 인접한 메모리 셀들(예를 들면, MC1 to MC3)을 하부 메모리 셀 그룹이라 할 수 있고, 분할된 메모리 셀 그룹들 중 스트링 선택 트랜지스터(SST)에 인접한 메모리 셀들(예를 들면, MC4 내지 MC6)을 상부 메모리 셀 그룹이라 할 수 있다. 그러면 이하에서는, 도 9 내지 도 11을 참조하여 본 발명의 실시 예에 따른 메모리 시스템에서 메모리 장치가 제1구조와 다른 구조의 3차원 비휘발성 메모리 장치로 구현될 경우에 대해 보다 구체적으로 설명하기로 한다.
- [0082] 도 9 및 도 10을 참조하면, 메모리 장치(150)의 복수의 메모리 블록들에서 제2구조로 구현된 임의의 메모리 블록(BLKj)은, 제1방향 내지 제3방향들을 따라 신장된 구조물들을 포함할 수 있다. 여기서, 도 9는, 본 발명의 실시 예에 따른 메모리 장치가 앞선 도 5 내지 도 8에서 설명한 제1구조와 다른 제2구조의 3차원 비휘발성 메모리 장치로 구현될 경우의 구조를 개략적으로 도시한 도면이며, 도 4의 복수의 메모리 블록에서 제2구조로 구현된 임의의 메모리 블록(BLKj)을 도시한 사시도이고, 도 10은, 도 9의 메모리 블록(BLKj)을 임의의 제2선(VII-VII')에 따른 단면도이다.
- [0083] 우선, 기판(6311)이 제공될 수 있다. 예컨대, 기판(6311)은 제1타입 불순물로 도핑된 실리콘 물질을 포함할 수 있다. 예를 들면, 기판(6311)은 p-타입 불순물로 도핑된 실리콘 물질을 포함하거나, p-타입 웰(예를 들면, 포켓 p-웰)일 수 있고, p-타입 웰을 둘러싸는 n-타입 웰을 더 포함할 수 있다. 이하에서는 설명의 편의를 위해, 기판(6311)은 p-타입 실리콘인 것으로 가정하지만, 기판(6311)은 p-타입 실리콘으로 한정되지 않는다.

- [0084] 그리고, 기판(6311) 상에, x-축 방향 및 y-축 방향으로 신장되는 제1도전 물질 내지 제4도전 물질들(6321,6322,6323,6324)이 제공된다. 여기서, 제1도전 물질 내지 제4도전 물질들(6321,6322,6323,6324)은 z-축 방향을 따라 특정 거리만큼 이격되어 제공된다.
- [0085] 또한, 기판(6311) 상에 x-축 방향 및 y-축으로 신장되는 제5도전 물질 내지 제8도전 물질들(6325,6326,6327,6328)이 제공된다. 여기서, 제5도전 물질 내지 제8도전 물질들(6325,6326,6327,6328)은 z-축 방향을 따라 특정 거리만큼 이격되어 제공된다. 그리고, 제5도전 물질 내지 제8도전 물질들(6325,6326,6327,6328)은 y-축 방향을 따라 제1도전 물질 내지 제4도전 물질들(6321,6322,6323,6324)과 이격되어 제공된다.
- [0086] 아울러, 제1도전 물질 내지 제4도전 물질들(6321,6322,6323,6324)을 관통하는 복수의 하부 필라들이 제공된다. 각 하부 필라(DP)는 z-축 방향을 따라 신장된다. 또한, 제5도전 물질 내지 제8도전 물질들(6325,6326,6327,6328)을 관통하는 복수의 상부 필라들이 제공된다. 각 상부 필라(UP)는 z-축 방향을 따라 신장된다.
- [0087] 하부 필라(DP) 및 상부 필라(UP) 각각은 내부 물질(6361), 중간층(6362) 및 표면층(6363)을 포함한다. 여기서, 도 5 및 도 6에서 설명한 바와 같이, 중간층(6362)은 셀 트랜지스터의 채널로서 동작할 것이다. 표면층(6363)은 블로킹 절연막, 전하 저장막 및 터널링 절연막을 포함할 것이다.
- [0088] 하부 필라(DP) 및 상부 필라(UP)는 파이프 게이트(PG)를 통해 연결된다. 파이프 게이트(PG)는 기판(6311) 내에 배치될 수 있으며, 일 예로, 파이프 게이트(PG)는 하부 필라(DP) 및 상부 필라(UP)와 동일한 물질들을 포함할 수 있다.
- [0089] 하부 필라(DP)의 상부에, x-축 방향 및 y-축 방향으로 신장되는 제 2 타입의 도핑 물질(6312)이 제공된다. 예컨대, 제2타입의 도핑 물질(6312)은 n-타입의 실리콘 물질을 포함할 수 있다. 제2타입의 도핑 물질(6312)은 공통 소스라인(CSL)으로서 동작한다.
- [0090] 상부 필라(UP)의 상부에 드레인(6340)이 제공된다. 예컨대, 드레인(6340)은 n-타입의 실리콘 물질을 포함할 수 있다. 그리고, 드레인들의 상부에 y-축 방향으로 신장되는 제1상부 도전 물질 및 제2상부 도전 물질들(6351,6352)이 제공된다.
- [0091] 제1상부 도전 물질 및 제2상부 도전 물질들(6351,6352)은 x-축 방향을 따라 이격되어 제공된다. 예컨대, 제1상부 도전 물질 및 제2상부 도전 물질들(6351,6352)은 금속으로서 형성될 수 있으며, 일 예로, 제1상부 도전 물질 및 제2상부 도전 물질들(6351,6352)과 드레인들은 콘택 플러그들을 통해 연결될 수 있다. 제1상부 도전 물질 및 제2상부 도전 물질들(6351,6352)은 각각 제1비트라인 및 제2비트라인들(BL1, BL2)로 동작한다.
- [0092] 제1도전 물질(6321)은 소스 선택라인(SSL)으로 동작하고, 제2도전 물질(6322)은 제1더미 워드라인(DWL1)으로 동작하며, 제3도전 물질 및 제4도전 물질들(6323,6324)은 각각 제1메인 워드라인 및 제2메인 워드라인들(MWL1, MWL2)로 동작한다. 그리고, 제5도전 물질 및 제6도전 물질들(6325,6326)은 각각 제3메인 워드라인 및 제4메인 워드라인들(MWL3, MWL4)로 동작하고, 제7도전 물질(6327)은 제2더미 워드라인(DWL2)으로 동작하며, 제8도전 물질(6328)은 드레인 선택라인(DSL)로서 동작한다.
- [0093] 하부 필라(DP), 그리고 하부 필라(DP)에 인접한 제1도전 물질 내지 제4도전 물질들(6321,6322,6323,6324)은 하부 스트링을 구성한다. 상부 필라(UP), 그리고 상부 필라(UP)에 인접한 제5도전 물질 내지 제8도전 물질들(6325,6326,6327,6328)은 상부 스트링을 구성한다. 하부 스트링 및 상부 스트링은 파이프 게이트(PG)를 통해 연결된다. 하부 스트링의 일단은 공통 소스라인(CSL)으로 동작하는 제2타입의 도핑 물질(6312)에 연결된다. 상부 스트링의 일단은 드레인(6320)을 통해 해당 비트라인에 연결된다. 하나의 하부 스트링 및 하나의 상부 스트링은 제2타입의 도핑 물질(6312)과 해당 비트라인 사이에 연결된 하나의 셀 스트링을 구성할 것이다.
- [0094] 즉, 하부 스트링은 소스 선택 트랜지스터(SST), 제1더미 메모리 셀(DMC1), 그리고 제1메인 메모리 셀 및 제2메인 메모리 셀들(MMC1, MMC2)을 포함할 것이다. 그리고, 상부 스트링은 제3메인 메모리 셀 및 제4메인 메모리 셀들(MMC3, MMC4), 제2더미 메모리 셀(DMC2), 그리고 드레인 선택 트랜지스터(DST)를 포함할 것이다.
- [0095] 한편, 도 9 및 도 10에서 상부 스트림 및 하부 스트링은, 낸드 스트링(NS)을 형성할 수 있으며, 낸드 스트링(NS)은 복수의 트랜지스터 구조들(TS)을 포함할 수 있다. 여기서, 도 9 및 도 10에서의 낸드 스트림에 포함된 트랜지스터 구조는, 앞서 도 7에서 구체적으로 설명하였으므로, 여기서는 그에 관한 구체적인 설명을 생략하기로 한다.

- [0096] 그리고, 도 11을 참조하면, 메모리 장치(150)의 복수의 블록들에서 제2구조로 구현된 임의의 블록(BLKj)에는, 도 9 및 도 10에서 설명한 바와 같이, 하나의 상부 스트링과 하나의 하부 스트링이 파이프 게이트(PG)를 통해 연결되어 구현된 하나의 셀 스트링들이 각각 복수의 쌍들을 이루어 제공될 수 있다. 여기서, 도 11은, 도 9 및 도 10에서 설명한 제2구조로 구현된 메모리 블록(BLKj)의 등가 회로를 도시한 회로도이며, 설명의 편의를 위해 제2구조로 구현된 임의의 블록(BLKj)에서 한 쌍을 구성하는 제1스트링과 제2스트링만을 도시하였다.
- [0097] 즉, 제2구조로 구현된 임의의 블록(BLKj)에서, 제1채널(CH1)을 따라 적층된 메모리 셀들, 예컨대 적어도 하나의 소스 선택 게이트 및 적어도 하나의 드레인 선택 게이트는, 제1스트링(ST1)을 구현하고, 제2채널(CH2)을 따라 적층된 메모리 셀들, 예컨대 적어도 하나의 소스 선택 게이트 및 적어도 하나의 드레인 선택 게이트는 제2스트링(ST2)을 구현한다.
- [0098] 또한, 제1스트링(ST1)과 제2스트링(ST2)은, 동일한 드레인 선택라인(DSL) 및 동일한 소스 선택라인(SSL)에 연결되며, 또한 제1스트링(ST1)은, 제1비트라인(BL1)에 연결되고, 제2스트링(ST2)은 제2비트라인(BL2)에 연결된다.
- [0099] 여기서, 설명의 편의를 위해, 도 11에서는, 제1스트링(ST1)과 제2스트링(ST2)이 동일한 드레인 선택라인(DSL) 및 동일한 소스 선택라인(SSL)에 연결되는 경우를 일 예로 설명하였으나, 제1스트링(ST1)과 제2스트링(ST2)이 동일한 소스 선택라인(SSL) 및 동일한 비트라인(BL)에 연결되어, 제1스트링(ST1)이 제1드레인 선택라인(DSL1)에 연결되고 제2스트링(ST2)이 제2드레인 선택라인(DSL2)에 연결되거나, 또는 제1스트링(ST1)과 제2스트링(ST2)이 동일한 드레인 선택라인(DSL) 및 동일한 비트라인(BL)에 연결되어, 제1스트링(ST1)이 제1소스 선택라인(SSL1)에 연결되고 제2스트링(ST2)은 제2소스 선택라인(SDSL2)에 연결될 수도 있다. 그러면 이하에서는, 본 발명의 실시예에 따른 메모리 시스템에서의 메모리 장치로의 데이터 처리, 즉 데이터 프로그램 동작에 대해서 보다 구체적인 설명하기로 한다.
- [0100] 도 12는 본 발명의 실시예에 따른 메모리 시스템의 일 예를 설명하기 위한 블록 다이어그램이다.
- [0101] 도 13은 도 12에 도시된 본 발명의 실시예에 따른 메모리 시스템에서 데이터 처리 동작 일예를 설명하기 위해 도시한 타이밍 다이어그램이다.
- [0102] 도 14a 내지 도 14d는 도 12에 도시된 본 발명의 실시예에 따른 메모리 시스템의 구성을 바탕으로 데이터 처리 동작의 일예를 설명하기 위해 도시한 블록 다이어그램이다.
- [0103] 먼저, 도 12를 참조하면, 본 발명의 실시예에 따른 메모리 시스템은, 제1 메모리 장치(10)와, 제2 메모리 장치(20)와, 데이터 보정부(40) 및 캐쉬 메모리(30)를 포함한다. 여기서, 제1 메모리 장치(10)는, 제1 셀 어레이(12), 및 제1 입/출력 버퍼(14)를 포함한다. 또한, 제2 메모리 장치(20)는, 제2 셀 어레이(22), 및 제2 입/출력 버퍼(24)를 포함한다.
- [0104] 참고로, 제1 메모리 장치(10)와 제2 메모리 장치(20) 각각은 도 1에 도시된 메모리 시스템의 구성요소 중 메모리 장치(150)를 나타낸다. 또한, 도 12에는 두 개의 메모리 장치(10, 20)가 포함되는 것으로 도시되어 있는데, 이는, 어디까지나 설명의 편의를 위한 것으로써, 실제로는 더 많은 개수의 메모리 장치가 포함될 수 있다. 따라서, 도 12에 도시된 본 발명의 실시예에 따른 메모리 시스템은, 도 1에 도시된 것과 같은 메모리 장치(150)가 적어도 두 개(10, 20)를 포함한 형태의 메모리 시스템인 것을 알 수 있다.
- [0105] 구체적으로, 제1 셀 어레이(12)는, 제1 메모리 장치(10)에서 제1 데이터(DATA1)를 저장하기 위한 다수의 셀(미도시)을 어레이 형태로 포함한다. 예컨대, 제1 메모리 장치(10)가 도 2 내지 도 11과 같이 낸드 플래시 메모리 장치나 노어 플래시 메모리 장치와 같은 비휘발성 메모리 장치일 경우, 다수의 셀(미도시) 각각은 단일 레벨 셀(SLC) 또는 멀티 레벨 셀(MLC)이 될 수 있다. 즉, 제1 데이터(DATA1)는 1비트의 데이터가 될 수도 있지만, 2비트 이상의 데이터가 될 수도 있다.
- [0106] 제1 입/출력 버퍼(14)는, 제1 메모리 장치(10)에서 입/출력되는 제1 데이터(DATA1)를 버퍼링한다. 예컨대, 제1 메모리 장치(10)가 도 2 내지 도 11에 도시된 것과 같이 낸드 플래시 메모리 장치나 노어 플래시 메모리 장치와 같은 비휘발성 메모리 장치일 경우, 제1 입/출력 버퍼(14)는, 페이지 버퍼(PB)가 될 수 있다.
- [0107] 제2 셀 어레이(22)는, 제2 메모리 장치(20)에서 제2 데이터(DATA2)를 저장하기 위한 다수의 셀(미도시)을 어레이 형태로 포함한다. 예컨대, 제2 메모리 장치(20)가 도 2 내지 도 11과 같이 낸드 플래시 메모리 장치나 노어 플래시 메모리 장치와 같은 비휘발성 메모리 장치일 경우, 다수의 셀(미도시) 각각은 단일 레벨 셀(SLC) 또는 멀티 레벨 셀(MLC)이 될 수 있다. 즉, 제2 데이터(DATA2)는 1비트의 데이터가 될 수도 있지만, 2비트 이상의 테

이터가 될 수도 있다. 물론, 제1 데이터(DATA1)와 제2 데이터(DATA2)는 서로 동일한 비트의 데이터가 될 것이다.

[0108] 제2 입/출력 버퍼(24)는, 제2 메모리 장치(20)에서 입/출력되는 제2 데이터(DATA2)를 버퍼링한다. 예컨대, 제2 메모리 장치(20)가 도 2 내지 도 11에 도시된 것과 같이 낸드 플래시 메모리 장치나 노어 플래시 메모리 장치와 같은 비휘발성 메모리 장치일 경우, 제2 입/출력 버퍼(24)는, 페이지 버퍼(PB)가 될 수 있다.

[0109] 캐쉬 메모리(30)는, 호스트(HOST)와 제1 및 제2 입/출력 버퍼(14, 24) 사이에서 각각 전달되는 제1 및 제2 데이터(DATA1, DATA2)를 선택적으로 임시 저장한다. 즉, 호스트(HOST)와 제1 입/출력 버퍼(14) 사이에서 제1 데이터(DATA1)가 전달되는 동작구간에서는 캐쉬 메모리(30)에 제1 데이터(DATA1)가 저장되고, 호스트(HOST)와 제2 입/출력 버퍼(24) 사이에서 제2 데이터(DATA2)가 전달되는 동작구간에서는 캐쉬 메모리(30)에 제2 데이터(DATA2)가 저장된다. 이때, 캐쉬 메모리(30)는, 제1 데이터(DATA1)와 제2 데이터(DATA2) 중 어느 하나의 데이터를 선택하여 저장할 수 있을 뿐이며, 제1 데이터(DATA1)와 제2 데이터(DATA2)를 동시에 저장할 수 없다. 즉, 제1 메모리 장치(10)와 제2 메모리 장치(20)는, 캐쉬 메모리(30)를 공유하여 사용한다.

[0110] 참고로, 캐쉬 메모리(30)는, 도 1에 도시된 메모리 시스템의 구성요소 중 컨트롤러(130)에 포함된 메모리(144)를 나타낸다. 다만, 도 1에 도시된 메모리 시스템에서는 메모리 장치(150)가 메모리(144)를 독점적으로 사용하는 형태인 반면, 도 12에 도시된 메모리 시스템에서는 두 개의 메모리 장치(10, 20)가 캐쉬 메모리(30)를 공유하여 사용하는 형태라는 차이점이 존재한다.

[0111] 이와 같이 캐쉬 메모리(30)를 제1 메모리 장치(10)와 제2 메모리 장치(20)가 공유하는 형태로 사용하기 위해서 본 발명의 실시예에서는 다음과 같은 한정 사항이 존재한다.

[0112] 도 12 및 도 13을 함께 참조하면, 제1 데이터(DATA1)를 제1 메모리 장치(10)에 저장하는 제1 프로그램구간(PROGRAM1) 중 일부의 제1 독점구간(MONO1)에서만 제1 데이터(DATA1)가 캐쉬 메모리(30)에 저장된다. 즉, 제1 프로그램구간에서 제1 메모리 장치(10)가 캐쉬 메모리(30)를 독점적으로 사용하는 것이 아니라 제1 프로그램구간(PROGRAM1)보다 작은 일부의 제1 독점구간(MONO1)에서만 제1 메모리 장치(10)가 캐쉬 메모리(30)를 독점적으로 사용하는 형태이다.

[0113] 또한, 제2 데이터(DATA2)를 제2 메모리 장치(20)에 저장하는 제2 프로그램구간(PROGRAM2) 중 일부의 제2 독점구간(MONO2)에서만 제2 데이터(DATA2)가 캐쉬 메모리(30)에 저장된다. 즉, 제2 프로그램구간(PROGRAM2)에서 제2 메모리 장치(20)가 캐쉬 메모리(30)를 독점적으로 사용하는 것이 아니라 제2 프로그램구간(PROGRAM2)보다 작은 일부의 제2 독점구간(MONO2)에서만 제2 메모리 장치(20)가 캐쉬 메모리(30)를 독점적으로 사용하는 형태이다.

[0114] 이때, 제1 독점구간(MONO1)과 제2 독점구간(MONO2)은 서로 겹치지 않도록 설정된다.

[0115] 전술한 바와 같이 제1 메모리 장치(10)가 제1 독점구간(MONO1)에서만 캐쉬 메모리(30)를 사용하고, 제2 메모리 장치(20)가 제2 독점구간(MONO2)에서만 캐쉬 메모리(30)를 사용하며, 제1 독점구간(MONO1)과 제2 독점구간(MONO2)이 겹쳐지지 않도록 설정되면, 제1 프로그램구간(PROGRAM1)과 제2 프로그램구간(PROGRAM2)이 서로 겹쳐지는 구간에서도 제1 메모리 장치(10)와 제2 메모리 장치(20)는 아무런 문제없이 캐쉬 메모리(30)를 공유하여 사용하는 것이 가능하다.

[0116] 제1 독점구간(MONO1)은 다음과 같은 두 가지 구간을 포함한다.

[0117] 첫 번째는, 제1 프로그램구간(PROGRAM1)의 동작을 수행하기 위해 제1 데이터(DATA1)가 호스트(HOST)에서 캐쉬 메모리(30)로 입력되어 저장된 시점부터 제1 입/출력 버퍼(14)로 전달되어 저장되기까지의 제1 입력구간(IN1)이다.

[0118] 두 번째는, 제1 입력구간(IN1) 이후 제1 프로그램구간(PROGRAM1)의 동작이 '패일(fail)'로 판정될 경우, 제1 입/출력 버퍼(14)에 저장되어 있던 제1 데이터(DATA1)가 캐쉬 메모리(30)로 출력되어 저장된 시점부터 제1 프로그램구간(PROGRAM1)의 동작을 다시 수행하기 위해 제1 입/출력 버퍼(14)로 전달되어 저장되기까지의 제2 입력구간(IN2)이다.

[0119] 제2 독점구간(MONO2)은 다음과 같은 두 가지 구간을 포함한다.

[0120] 첫 번째는, 제2 프로그램구간(PROGRAM2)의 동작을 수행하기 위해 제2 데이터(DATA2)가 호스트(HOST)에서 캐쉬 메모리(30)로 입력되어 저장된 시점부터 제2 입/출력 버퍼(24)로 전달되어 저장되기까지의 제3 입력구간(IN3)이다.

- [0121] 두 번째는, 제3 입력구간(IN3) 이후 제2 프로그램구간(PROGRAM2)의 동작이 '페일(fail)'로 판정될 경우, 제2 입/출력 버퍼(24)에 저장되어 있던 제2 데이터(DATA2)가 캐쉬 메모리(30)로 출력되어 저장된 시점부터 제2 프로그램구간(PROGRAM2)의 동작을 다시 수행하기 위해 제2 입/출력 버퍼(24)로 전달되어 저장되기까지의 제4 입력구간(IN4)이다.
- [0122] 이와 같이, 제1 독점구간(MONO1)은, 제1 프로그램구간(PROGRAM1) 중 제1 데이터(DATA1)가 캐쉬 메모리(30)에서 제1 입/출력 버퍼(14)로 전달되기까지의 시간에 해당하는 일부의 구간만을 차지하는 것을 알 수 있다. 예컨대, 제1 메모리 장치(10)가 도 2 내지 도 11과 같이 낸드 플래시 메모리 장치나 노어 플래시 메모리 장치와 같은 비휘발성 메모리 장치일 경우, 제1 프로그램구간(PROGRAM1)의 동작은 1000ms를 넘는 매우 긴 길이를 갖는 것이 일반적이고, 그 과정에서 제1 독점구간(MONO1)에 해당하는 제1 데이터(DATA1)가 캐쉬 메모리(30)에서 제1 입/출력 버퍼(14)로 전달되기까지의 시간은 100ms 정도로 매우 짧은 것이 일반적이다. 즉, 제1 프로그램구간(PROGRAM1)에서 제1 독점구간(MONO1)이 차지하는 길이는 1/10 이하로 매우 짧은 길이가 되는 것이 일반적이다.
- [0123] 전술한 제1 프로그램구간(PROGRAM1)의 길이에 비해 제1 독점구간(MONO1)의 길이가 매우 짧다는 것에 대한 특징은 제2 독점구간(MONO2)도 마찬가지이다. 즉, 제2 프로그램구간(PROGRAM2)에서 제2 독점구간(MONO2)이 차지하는 길이는 1/10 이하로 매우 짧은 길이가 되는 것이 일반적이다.
- [0124] 따라서, 제1 독점구간(MONO1)과 제2 독점구간(MONO2)이 서로 겹치지 않도록 제1 프로그램구간(PROGRAM1)과 제2 프로그램구간(PROGRAM2)이 설정된 시간차이를 두고 반복적으로 수행되도록 설정될 수 있다. 예컨대, 도 13에 도시된 것과 같이 제1 프로그램구간(PROGRAM1)이 제2 프로그램구간(PROGRAM2)보다 먼저 시작되는 경우, 제1 프로그램구간(PROGRAM1)이 시작된 후 적어도 제1 입력구간(IN1)에 대응하는 시간만큼이 흐른시점에서 제2 프로그램구간(PROGRAM2)이 시작되어 제3 입력구간(IN3)은 상기 제1 프로그램구간과 서로 겹쳐지는 형태가 되도록 설정되는 것이 가능하다. 반대로, 도 13에 도시된 것과 다르게 제2 프로그램구간(PROGRAM2)이 제1 프로그램구간(PROGRAM1)보다 먼저 수행되는 경우, 제2 프로그램구간(PROGRAM2)이 시작된 후 적어도 제2 입력구간(IN2)에 대응하는 시간만큼이 흐른시점에서 제1 프로그램구간(PROGRAM1)이 시작되어 제1 입력구간(IN1)은 제2 프로그램구간(PROGRAM2)과 서로 겹쳐지는 형태가 되도록 설정되는 것이 가능하다.
- [0125] 이때, 제2 입력구간(IN2) 또는 제4 입력구간(IN4)은, 제1 프로그램구간(PROGRAM1)의 동작이 '페일(fail)'로 판정되거나 제2 프로그램구간(PROGRAM2)의 동작이 '페일(fail)'로 판정되는 경우에만 진입하게 되므로, 도 13에 도시된 것과 같이 제2 입력구간(IN2)이 제2 프로그램구간(PROGRAM2)에 겹치는 형태가 되거나 제4 입력구간(IN4)이 제1 프로그램구간(PROGRAM1)에 겹쳐지는 형태가 될 수도 있지만, 도 13에 도시된 것과 다르게 서로 겹쳐지지 않는 형태가 될 수도 있을 것이다. 다만, 도 13에 도시된 것처럼 제1 프로그램구간(PROGRAM1)의 동작이 '페일(fail)'로 판정되고, 제2 프로그램구간(PROGRAM2)의 동작도 '페일(fail)'로 판정되는 경우에도 제2 입력구간(IN2)과 제4 입력구간(IN4)이 서로 겹쳐지지 않도록 설정된다.
- [0126] 한편, 제1 프로그램구간(PROGRAM1) 또는 제2 프로그램구간(PROGRAM2)의 동작이 '페일(fail)'로 판정된다는 것은, 제1 프로그램구간(PROGRAM1) 또는 제2 프로그램구간(PROGRAM2)의 동작에서 제1 데이터(DATA1) 또는 제2 데이터(DATA2)가 제1 셀 어레이(12) 또는 제2 셀 어레이(22)에 정상적으로 저장되지 못했다는 것을 의미한다. 이렇게, 제1 프로그램구간(PROGRAM1) 또는 제2 프로그램구간(PROGRAM2)의 동작이 '페일(fail)'로 판정되는 이유는 여러 가지가 있지만 가장 큰 이유는, 제1 데이터(DATA1) 또는 제2 데이터(DATA2)가 저장될 예정이었던 제1 셀 어레이(12) 또는 제2 셀 어레이(22)의 셀들이 불량인 경우이다. 따라서, 제1 프로그램구간(PROGRAM1) 또는 제2 프로그램구간(PROGRAM2)의 동작이 '페일(fail)'로 판정되면, 기존에 제1 데이터(DATA1) 또는 제2 데이터(DATA2)가 저장될 예정이었던 제1 셀 어레이(12) 또는 제2 셀 어레이(22)의 특정 셀들 대신 다른 셀들을 저장 예정 셀들로 선택하여 제1 데이터(DATA1) 또는 제2 데이터(DATA2)를 저장하는 제1 프로그램구간(PROGRAM1) 또는 제2 프로그램구간(PROGRAM2)의 동작이 다시 수행되어야 한다.
- [0127] 예컨대, 제1 프로그램구간(PROGRAM1) 또는 제2 프로그램구간(PROGRAM2)의 동작이 '페일(fail)'로 판정되기 이전에 제1 데이터(DATA1) 또는 제2 데이터(DATA2)가 제1 셀 어레이(12)에 포함된 'N개의 제1 셀들' 또는 제2 셀 어레이(22)에 포함된 'N개의 제2 셀들'에 저장될 예정이었다고 가정하면, 제1 프로그램구간(PROGRAM1) 또는 제2 프로그램구간(PROGRAM2)의 동작이 '페일(fail)'로 판정된 이후에는 제1 데이터(DATA1) 또는 제2 데이터(DATA2)가 제1 셀 어레이(12)에 포함된 'N개의 제1 셀들'과는 완전히 다른 'N개의 제3 셀들' 또는 제2 셀 어레이(22)에 포함된 'N개의 제2 셀들'과는 완전히 다른 'N개의 제4 셀들'에 저장되어야 한다. 이와 같은 제1 프로그램구간(PROGRAM1) 또는 제2 프로그램구간(PROGRAM2)의 동작을 다시 수행하는 과정({RETRY})에 필수적으로 포함되는 것이 전술한 제2 입력구간(IN2) 또는 제4 입력구간(IN4)이다.

- [0128] 또한, 제2 입력구간(IN2) 또는 제4 입력구간(IN4)을 포함하는 제1 프로그램구간(PROGRAM1) 또는 제2 프로그램구간(PROGRAM2)의 동작이 다시 수행되는 과정({RETRY})에서도 또 다시 '페일(fail)'판정이 발생할 수 있다. 이와 같은 경우, 또 다시 제2 입력구간(IN2) 또는 제4 입력구간(IN4)을 포함하는 제1 프로그램구간(PROGRAM1) 또는 제2 프로그램구간(PROGRAM2)의 동작의 또 다시 수행된다. 물론, 제1 프로그램구간(PROGRAM1) 또는 제2 프로그램구간(PROGRAM2)의 동작이 다시 수행될 때마다 제1 데이터(DATA1) 또는 제2 데이터(DATA2)가 저장될 제1 셀 어레이(12)의 셀들 또는 제2 셀 어레이(22)의 셀들이 계속 서로 다른 셀들로 바뀌어야 할 것이다.
- [0129] 도 14a 내지 도 14d를 참조하여 제2 입력구간(IN2)의 동작 또는 제4 입력구간(IN4)의 동작을 구체적으로 살펴보면 다음과 같다.
- [0130] 도 14a 및 도 14c에 도시된 첫 번째 동작은, 제1 프로그램구간(PROGRAM1) 또는 제2 프로그램구간(PROGRAM2)의 동작이 다시 수행({RETRY})되기 위해 이전에 제1 입력구간(IN1) 또는 제3 입력구간(IN3)에서 제1 입/출력 버퍼(14) 또는 제2 입/출력 버퍼(24)에 저장되었던 제1 데이터(DATA1) 또는 제2 데이터(DATA2)를 캐쉬 메모리(30)로 이동시켜 저장하는 동작이다.
- [0131] 도 14b 및 도 14d에 도시된 두 번째 동작은, 도 14a 및 도 14c에 도시된 첫 번째 동작에서 캐쉬 메모리(30)에 독점 저장되어 있던 제1 데이터(DATA1) 또는 제2 데이터(DATA2)를 제1 입/출력 버퍼(14) 또는 제2 입/출력 버퍼(24)로 전달시켜 제1 프로그램구간(PROGRAM1)의 동작 또는 제2 프로그램구간(PROGRAM2)의 동작을 다시 수행({RETRY})하는 동작이다.
- [0132] 이때, 제2 입력구간(IN2)의 동작 또는 제4 입력구간(IN4)의 동작이 첫 번째 동작과 두 번째 동작으로 구분되어 순서대로 각각 수행되어야 하는 이유는, 데이터 보정부(40)가 존재하기 때문이다.
- [0133] 데이터 보정부(40)는, 캐쉬 메모리(30)와 제1 메모리 장치(10) 및 제2 메모리 장치(20)사이에서 각각 전달되는 제1 데이터(DATA1) 및 제2 데이터(DATA1, DATA2)에 대해 스캔블(scramble) 또는 디스캔블(descramble)하는 동작을 수행한다. 즉, 캐쉬 메모리(30)에서 제1 메모리 장치(10) 및 제2 메모리 장치(20)로 전달되는 제1 데이터(DATA1) 및 제2 데이터(DATA1, DATA2)에 대해 스캔블(scramble) 동작을 수행하고, 제1 메모리 장치(10) 및 제2 메모리 장치(20)에서 캐쉬 메모리(30)로 전달되는 제1 데이터(DATA1) 및 제2 데이터(DATA1, DATA2)에 대해 디스캔블(descramble) 동작을 수행한다.
- [0134] 이때, 제1 데이터(DATA1) 및 제2 데이터(DATA2)에 대해 스캔블(scramble) 동작은, 에러 보정 동작을 위해 ECC 코드를 추가하는 동작이나 저장하는 과정에서 간섭이 발생하는 것을 줄이기 위해 데이터를 랜덤화하는 동작 등을 의미한다. 물론, 제1 데이터(DATA1) 및 제2 데이터(DATA2)에 대해 디스캔블(descramble) 동작은, 스캔블(scramble) 동작의 반대되는 동작이다.
- [0135] 이와 같은 데이터 보정부(40)의 존재로 인해, 제1 프로그램구간(PROGRAM1)의 동작 '페일(fail)'로 판정되는 것을 기준으로, 캐쉬 메모리(30)에 저장되는 제1 데이터(DATA1)는 항상 동일한 값을 갖는 상태지만, 제1 입/출력 버퍼(14)에 저장되는 제1 데이터(DATA1)는 다른 값을 갖는 상태가 될 수 있다. 이는, '페일(fail)'판정이 이뤄지기 전의 제1 프로그램구간(PROGRAM1)에서 제1 데이터(DATA1)가 저장될 예정인 제1 셀 어레이(12)의 셀들과 '페일(fail)'판정이 이뤄진 후의 제1 프로그램구간(PROGRAM1)에서 제1 데이터(DATA1)가 저장될 예정인 제1 셀 어레이(12)의 셀들이 서로 다른 셀들이기 때문이다.
- [0136] 마찬가지로, 데이터 보정부(40)의 존재로 인해, 제2 프로그램구간(PROGRAM2)의 동작 '페일(fail)'로 판정되는 것을 기준으로, 캐쉬 메모리(30)에 저장되는 제2 데이터(DATA2)는 항상 동일한 값을 갖는 상태지만, 제2 입/출력 버퍼(24)에 저장되는 제2 데이터(DATA2)는 다른 값을 갖는 상태가 될 수 있다. 이는, '페일(fail)'판정이 이뤄지기 전의 제2 프로그램구간(PROGRAM2)에서 제2 데이터(DATA2)가 저장될 예정인 제2 셀 어레이(22)의 셀들과 '페일(fail)'판정이 이뤄진 후의 제2 프로그램구간(PROGRAM2)에서 제2 데이터(DATA2)가 저장될 예정인 제2 셀 어레이(22)의 셀들이 서로 다른 셀들이기 때문이다.
- [0137] 전술한 이유로 인해 제2 입력구간(IN2)의 동작 또는 제4 입력구간(IN4)의 동작이 첫 번째 동작과 두 번째 동작으로 구분되어 순서대로 각각 수행되어야 한다.
- [0138] 한편, 제1 셀 어레이(12)에 포함된 다수의 셀(미도시) 및 제2 셀 어레이(22)에 포함된 다수의 셀(미도시)가 각각 멀티-비트(multi-bit)의 데이터를 저장할 수 있는 멀티 레벨 셀(MLC)일 경우, 제1 프로그램구간(PROGRAM1)의 동작 및 제2 프로그램구간(PROGRAM2)의 동작이 각각 원-샷 프로그램(one-shot program) 동작의 방식으로 수행될 수 있다. 이때, 원-샷 프로그램 동작은, 멀티-비트의 데이터를 한 번에 프로그램하는 동작을 의미한다. 예컨대,

프로그램 대상이 되는 데이터가 2비트의 데이터로서 MSB 데이터와 LSB 데이터를 포함하는 형태라고 할 때, 원-샷 프로그램 동작이 아닌 경우에는 MSB 데이터를 프로그램 한 후 LSB 데이터를 프로그램하는 순차적인 프로그램 방식이 사용되지만, 원-샷 프로그램 동작의 경우에는 MSB 데이터와 LSB 데이터를 동시에 프로그램하는 방식이 사용된다.

[0139] 구체적으로, 제1 프로그램구간(PROGRAM1)의 동작 및 제2 프로그램구간(PROGRAM2)의 동작이 각각 원-샷 프로그램(one-shot program) 동작의 방식으로 수행되는 경우, 제1 데이터(DATA1) 및 제2 데이터(DATA2)는 각각 멀티-비트 데이터가 된다.

[0140] 예컨대, 제1 데이터(DATA1)는, 2비트의 멀티-비트 데이터로서 제1 MSB 데이터(MSB_DATA1) 및 제1 LSB 데이터(LSB_DATA1)로 구분되고, 제2 데이터(DATA2)는, 2비트의 멀티-비트(multi-bit) 데이터로서 제2 MSB 데이터(MSB_DATA2) 및 제2 LSB 데이터(LSB_DATA2)로 구분될 수 있다. 이와 같은 경우, 캐쉬 메모리(30)는, 선택적으로 제1 MSB 데이터(MSB_DATA1) 및 제1 LSB 데이터(LSB_DATA1)를 구분하여 저장하거나 또는 제2 MSB 데이터(MSB_DATA2) 및 제2 LSB 데이터(LSB_DATA2)를 구분하여 저장하는 형태가 된다. 또한, 제1 입/출력 버퍼(14)는, 제1 MSB 데이터(MSB_DATA1) 및 제1 LSB 데이터(LSB_DATA1)를 구분하여 저장하는 형태가 된다. 또한, 제2 입/출력 버퍼(24)는, 제2 MSB 데이터(MSB_DATA2) 및 제2 LSB 데이터(LSB_DATA2)를 구분하여 저장하는 형태가 된다. 그리고, 제1 프로그램구간(PROGRAM1)에서 제1 입/출력 버퍼(14)에 저장되어 있는 제1 MSB 데이터(MSB_DATA1) 및 제1 LSB 데이터(LSB_DATA1)는 제1 셀 어레이(12)에 포함된 프로그램 대상 셀에 동시에 프로그램(MSB_DATA1+LSB_DATA1)된다. 또한, 제2 프로그램구간(PROGRAM2)에서 제2 입/출력 버퍼(24)에 저장되어 있는 제2 MSB 데이터(MSB_DATA2) 및 제2 LSB 데이터(LSB_DATA2)는 제2 셀 어레이(22)에 포함된 프로그램 대상 셀에 동시에 프로그램(MSB_DATA2+LSB_DATA2)된다.

[0141] 이렇게, 원-샷 프로그램 동작에서는 항상 멀티-비트 데이터가 동시에 프로그램될 수 있지만, 원-샷 프로그램 동작 중 멀티-비트 데이터가 캐쉬 메모리(30)와 입/출력 버퍼(14, 24) 사이에서 전송될 때에는 분리되어서 전송된다. 예컨대, 제1 입력구간(IN1) 및 제2 입력구간(IN2) 각각에서 캐쉬 메모리와 제1 입/출력 버퍼(14) 사이에서 제1 데이터(DATA1)가 전송될 때는, 도 14a 및 도 14b에 도시된 바와 같이 제1 MSB 데이터(MSB_DATA1)가 먼저 전송된 후 제1 LSB 데이터(LSB_DATA1)가 전송되는 형태(MSB_DATA1 → LSB_DATA1)가 될 수도 있고, 도 14a 및 도 14b에 도시된 것과 다르게 제1 LSB 데이터(LSB_DATA1)가 먼저 전송된 후 제1 MSB 데이터(MSB_DATA1)가 전송(LSB_DATA1 → MSB_DATA1)되는 형태가 될 수도 있다. 마찬가지로, 제3 입력구간(IN3) 및 제4 입력구간(IN4) 각각에서 캐쉬 메모리와 제2 입/출력 버퍼(24) 사이에서 제2 데이터(DATA2)가 전송될 때는, 도 14c 및 도 14d에 도시된 바와 같이 제2 MSB 데이터(MSB_DATA2)가 먼저 전송된 후 제2 LSB 데이터(LSB_DATA2)가 전송되는 형태(MSB_DATA2 → LSB_DATA2)가 될 수도 있고, 도 14c 및 도 14d에 도시된 바와 다르게 제2 LSB 데이터(LSB_DATA2)가 먼저 전송된 후 제2 MSB 데이터(MSB_DATA2)가 전송되는 형태(LSB_DATA2 → MSB_DATA2)가 될 수도 있다.

[0142] 이상에서 살펴본 바와 같이 본 발명의 실시예를 적용하면, 메모리 장치가 프로그램 동작구간 중 일부 독점구간에서만 캐쉬 메모리를 독점하여 사용하고, 나머지 구간에서는 캐쉬 메모리를 릴리즈(release)할 수 있도록 할 수 있다.

[0143] 이로 인해, 다수의 메모리 장치가 하나의 캐쉬 메모리를 공유하여 사용하는 형태에서도 정상적으로 프로그램 동작이 이루어지도록 할 수 있다.

[0144] 또한, 다수의 메모리 장치가 하나의 캐쉬 메모리를 공유하여 사용하기 때문에, 다수의 메모리 장치를 포함하는 메모리 시스템에서 필요한 캐쉬 메모리의 용량을 크게 줄일 수 있다.

[0145] 이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속한 기술분야에서 통상의 지식을 가진자에게 있어 명백할 것이다.

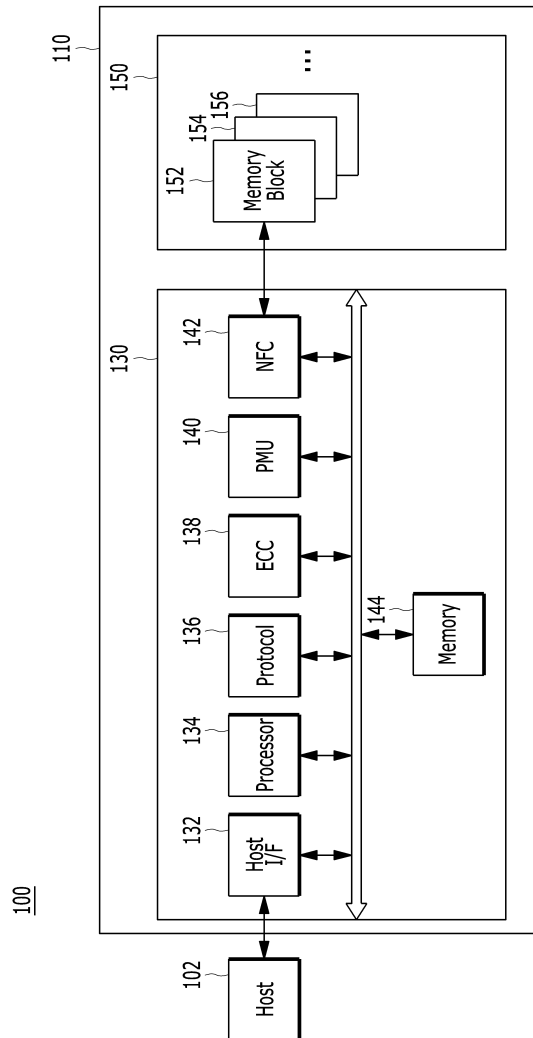
부호의 설명

[0146]

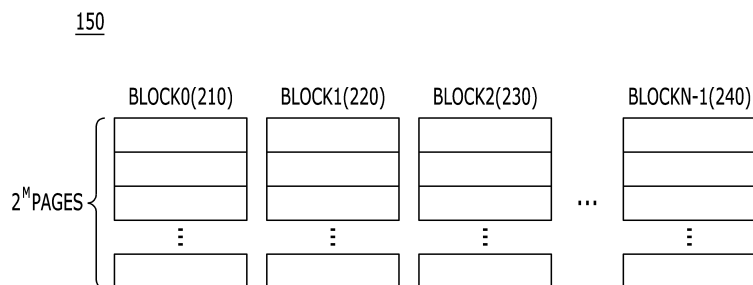
10 : 제1 메모리 장치	20 : 제2 메모리 장치
30 : 캐쉬 메모리	40 : 데이터 보정부

도면

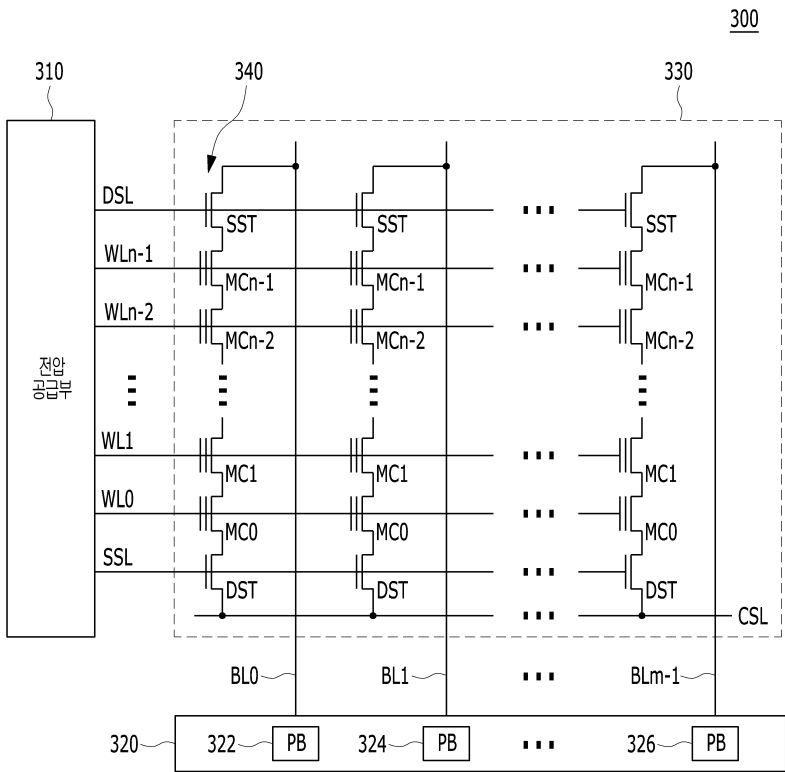
도면1



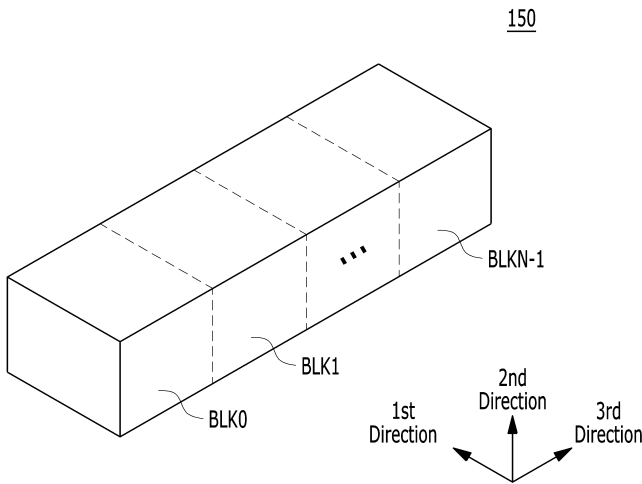
도면2



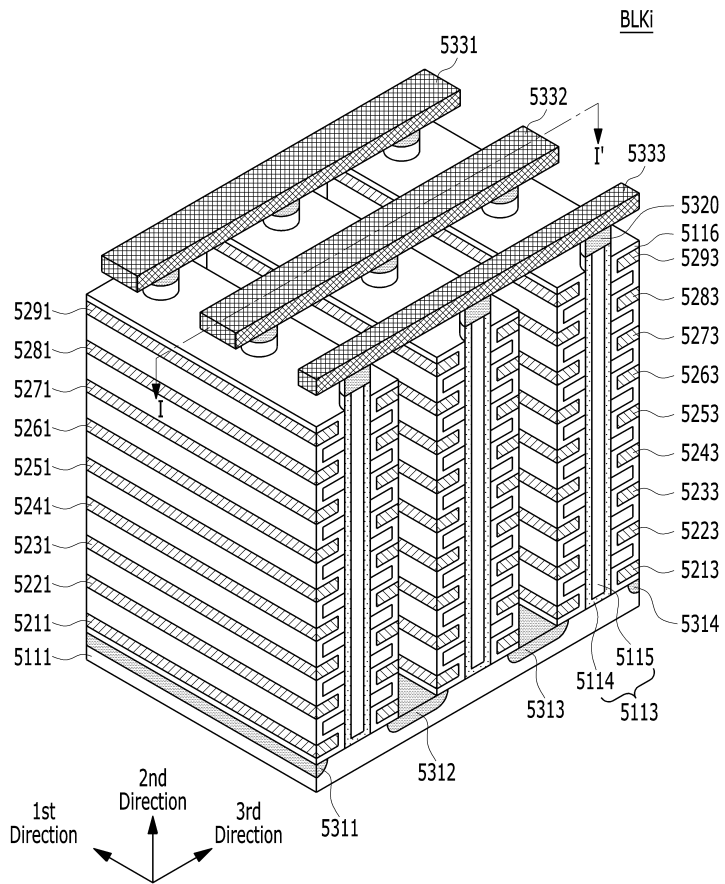
도면3



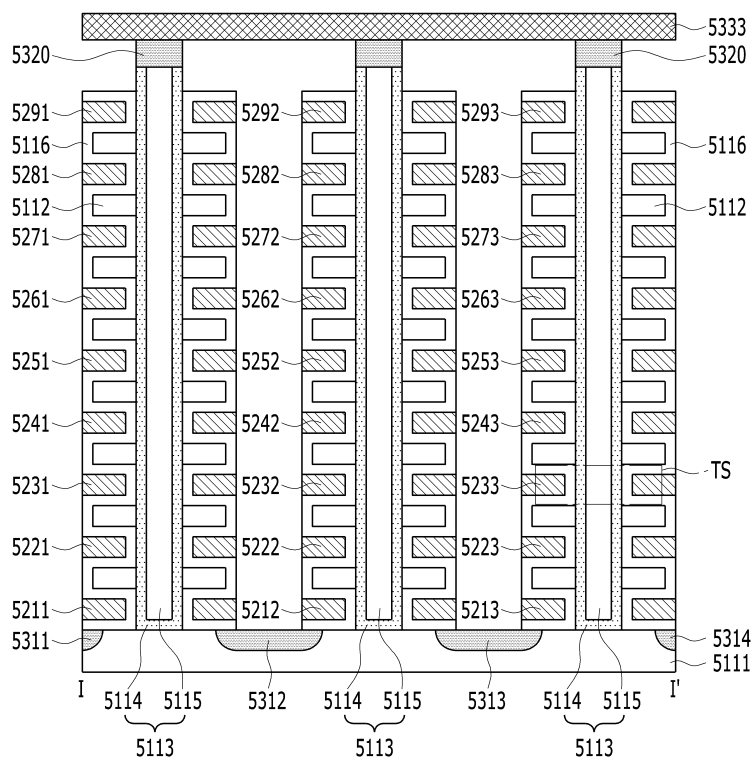
도면4



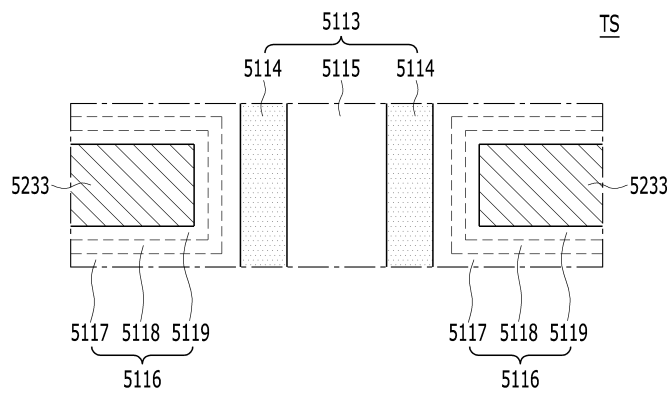
도면5



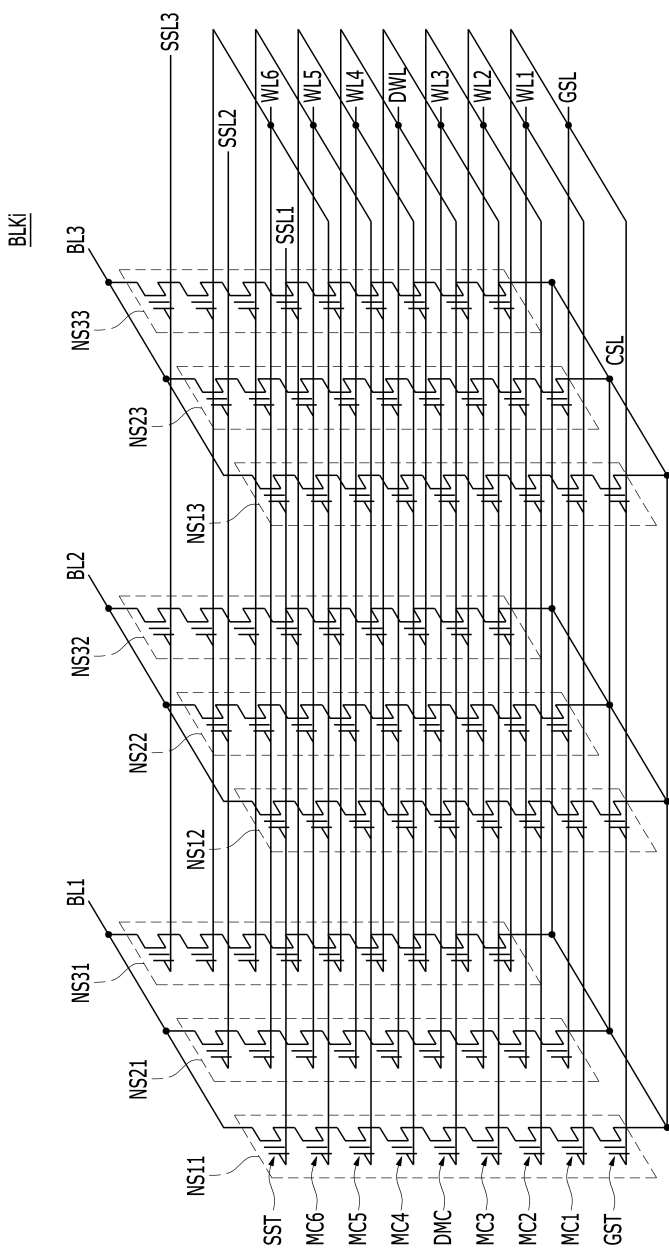
도면6



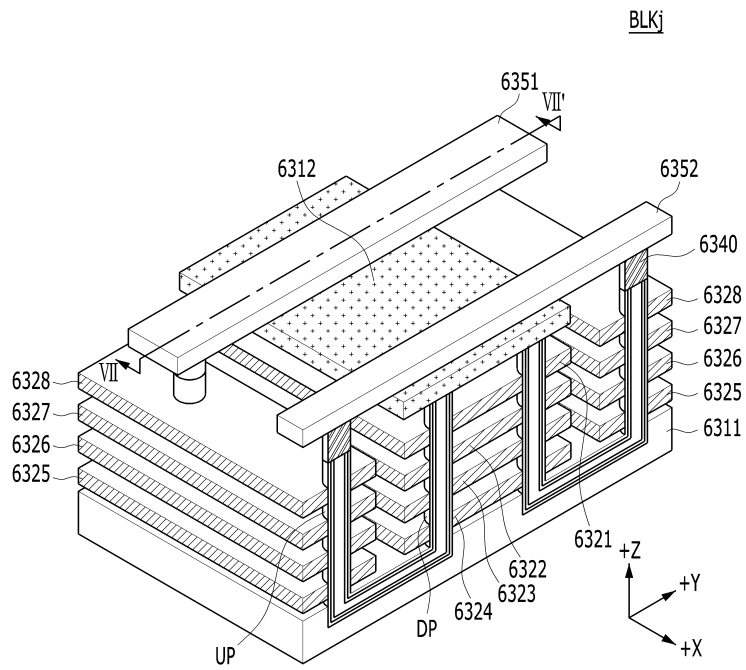
도면7



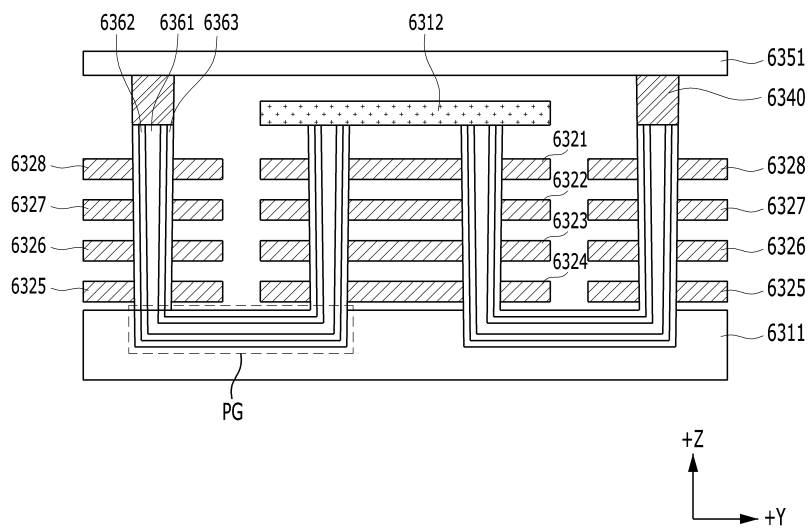
도면8



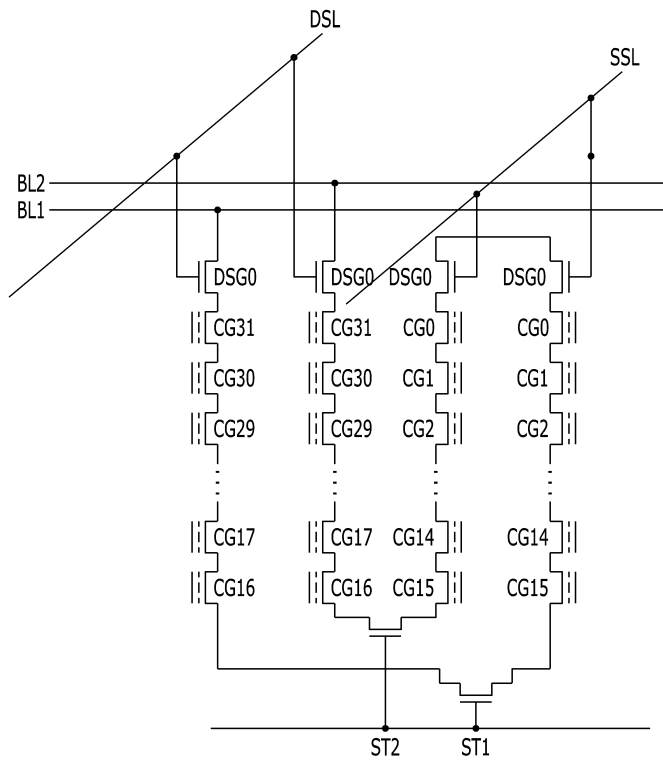
도면9



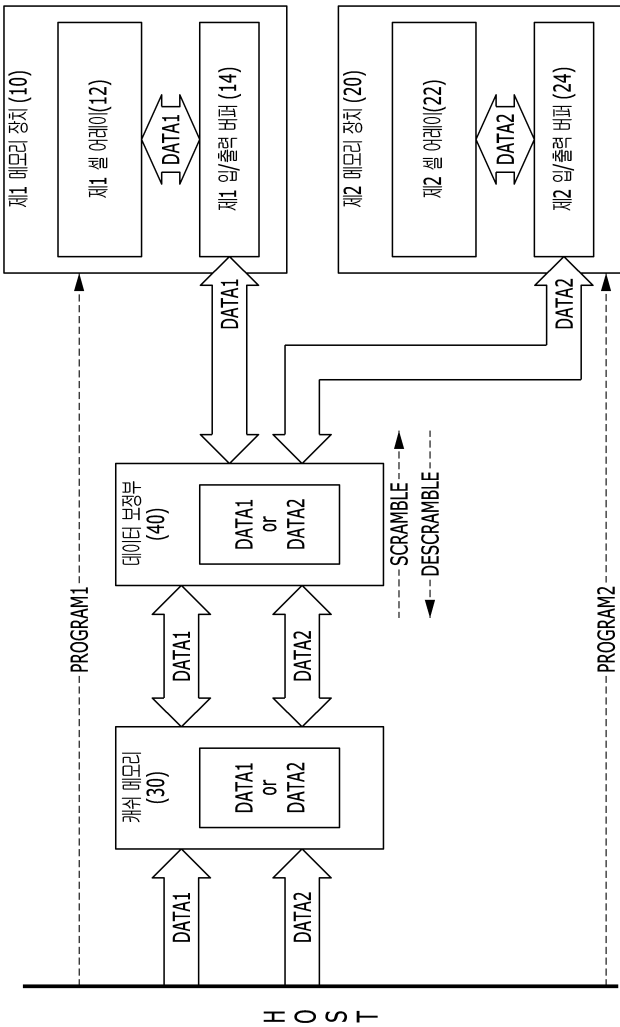
도면10



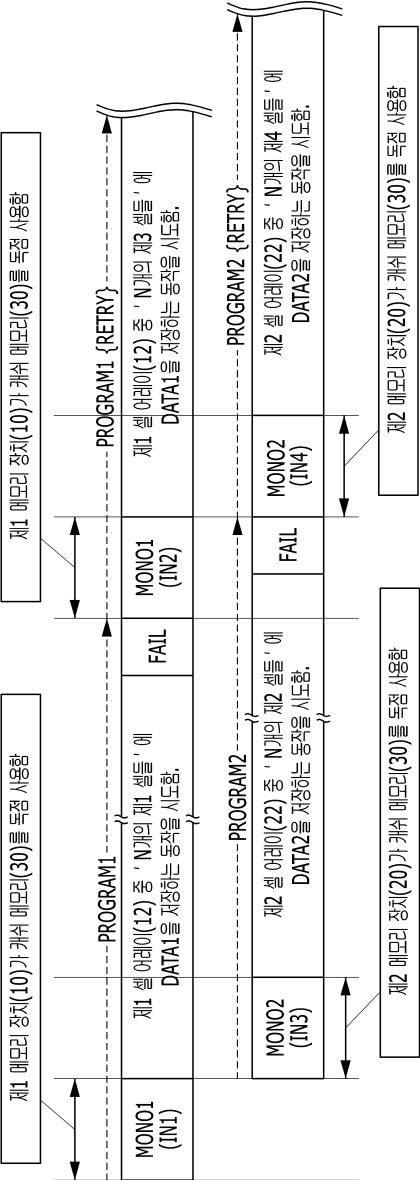
도면11



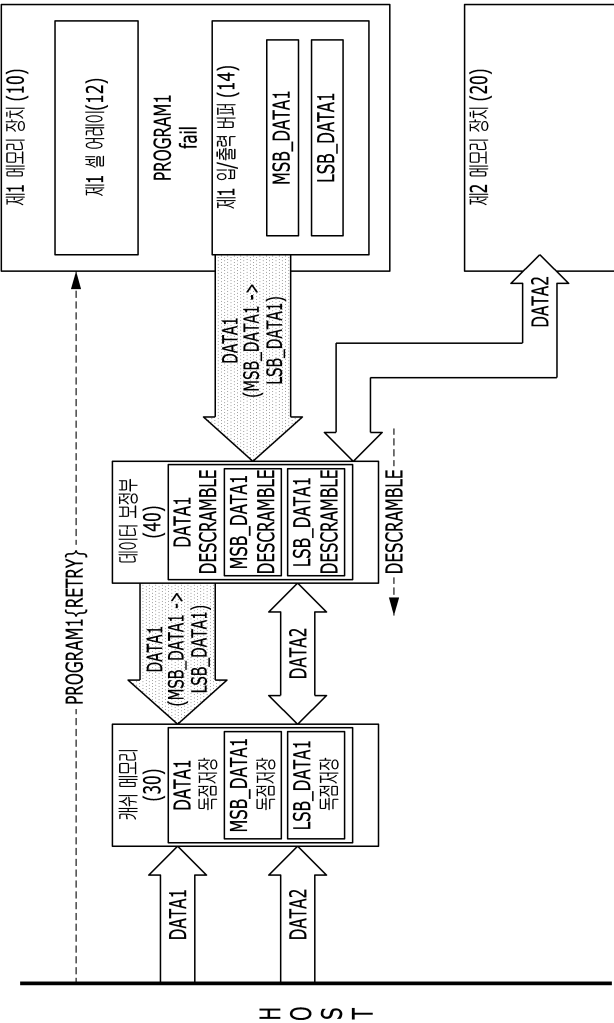
도면12



도면13



도면14a



도면14c

