



[12] 发明专利申请公开说明书

[21] 申请号 200410002967. X

[43] 公开日 2004年10月13日

[11] 公开号 CN 1536767A

[22] 申请日 1999. 12. 30
 [21] 申请号 200410002967. X
 分案原申请号 99815196. 3
 [30] 优先权
 [32] 1998. 12. 31 [33] KR [31] 1998/62709
 [71] 申请人 三星电子株式会社
 地址 韩国京畿道
 [72] 发明人 金濶龟 金炳朝 李永焕 崔舜在

[74] 专利代理机构 北京市柳沈律师事务所
 代理人 郭鸿禧 马莹

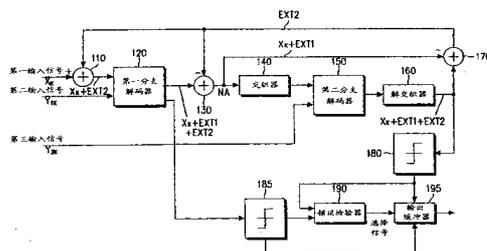
权利要求书 3 页 说明书 8 页 附图 3 页

[54] 发明名称 通信系统中的迭代解码装置和迭代解码方法

[57] 摘要

一种迭代解码装置和迭代解码方法。在迭代解码装置，第一分支解码器，用于接收信息码元和第一奇偶检验码元，并通过采用第一奇偶检验码元对信息码元进行解码；交织器，与第一分支解码器相连，用于根据原始数据次序来交织第一解码后的信息码元的次序；第二分支解码器，用于接收交织器的输出和第二奇偶检验码元，并通过采用第二奇偶检验码元对交织器输出的信息码元进行解码；解交织器，用于对第二解码后的信息码元进行解交织，以便恢复信息码元的原始数据次序，其中解交织器的输出信号被反馈给用于迭代解码的第一解码器；错误检测器，用于在解码后的帧具有信息码元的原始数据次序时，检测解码后的帧中的错误；其中，检验解码后的帧数据中是否有错误，并且如果没有错误，即使没有完成预定次数的迭代，也停止

迭代解码。



1. 一种具有预定最大迭代次数的迭代解码装置，包括：
 - 5 第一分支解码器，用于接收信息码元和第一奇偶检验码元，并通过采用第一奇偶检验码元对信息码元进行解码；
 - 交织器，与第一分支解码器相连，用于根据原始数据次序来交织第一解码后的信息码元的次序；
 - 第二分支解码器，用于接收交织器的输出和第二奇偶检验码元，并通过采用第二奇偶检验码元对交织器输出的信息码元进行解码；
 - 10 解交织器，用于对第二解码后的信息码元进行解交织，以便恢复信息码元的原始数据次序，其中解交织器的输出信号被反馈给用于迭代解码的第一解码器；
 - 错误检测器，用于在解码后的帧具有信息码元的原始数据次序时，检测解码后的帧中的错误；
 - 15 其中，检验解码后的帧数据中是否有错误，并且如果没有错误，即使没有完成预定次数的迭代，也停止迭代解码。
 2. 如权利要求 1 所述的迭代解码装置，其中，解码后的帧数据是具有两个解码器的迭代解码器中的至少一个分支解码器的输出。
 3. 如权利要求 1 所述的迭代解码装置，其中，在将解码后的帧以原始数据次序重新排序时，错误检测器对解码后的帧数据执行错误检验。
 - 20 4. 如权利要求 2 所述的迭代解码装置，其中，错误检测器对迭代解码器的第一分支解码器的解码后的帧数据执行错误检测。
 5. 如权利要求 1 所述的迭代解码装置，其中，迭代解码器还包括：
 - 第一加法器，具有用于接收信息码元的第一端口和用于接收非本征信息信号 EXT2 的第二端口；
 - 25 第一减法器，具有用于接收第一分支解码器的输出的第三端口和用于接收非本征信息信号 EXT2 的反转信号的第四端口；
 - 第二减法器，具有用于接收解交织器的输出的第五端口和用于接收第一减法器的反转输出的第六端口，其中，所述第二减法器的输出端与第二端口
 - 30 相连，反转输出端与第四端口相连。
 6. 如权利要求 5 所述的迭代解码装置，其中，错误检测器对第一分支

解码器的输出执行错误检测。

7. 如权利要求 5 所述的迭代解码装置, 其中, 第一和第二分支解码器以连续模式进行操作。

8. 如权利要求 5 所述的迭代解码装置, 其中, 错误检测器是循环冗余码(CRC)错误检验器。

9. 如权利要求 5 所述的迭代解码装置, 其中, 错误检测器对解交织器的输出执行错误检测。

10. 如权利要求 5 所述的迭代解码装置, 其中, 错误检测器接收第一分支解码器与解交织器中的一个的输出, 并对每个输出执行错误检测。

11. 一种具有预定最大迭代次数的迭代解码器的迭代解码方法, 包括下列步骤:

接收信息码元和第一奇偶检验码元, 并通过采用第一奇偶检验码元对信息码元进行第一解码;

15 根据原始数据次序来交织信息码元的次序, 该信息码元是采用第一奇偶检验码元进行第一解码的;

接收改变了其原始数据顺序的信息码元和第二奇偶检验码元, 并通过采用第二奇偶检验码元对信息码元进行第二解码;

20 对信息码元进行解交织, 该信息码元是采用第二奇偶校验码元进行第二解码的, 以便恢复信息码元的原始数据次序, 其中解交织后的信号被反馈给用于迭代解码的第一解码步骤;

在完成预定次数的迭代之前, 当解码后的帧具有信息码元的原始数据次序时, 检测解码后的帧中的错误;

无论何时当解码后的帧数据中没有错误时, 即使没有完成预定次数的迭代, 也停止迭代解码。

25 12. 如权利要求 11 所述的迭代解码方法, 其中, 在执行第一解码步骤或者解交织步骤之后, 从信息码元中获得解码后的帧数据。

13. 如权利要求 11 所述的迭代解码方法, 其中, 迭代解码器执行的步骤还包括下列步骤:

30 将信息码元与非本征信息信号 EXT2 相加;

减去第一解码后的信息码元以及非本征信息信号 EXT2 的反转信号。

14. 如权利要求 13 所述的迭代解码方法, 其中, 对第一解码后的信息

符号的输出执行错误检验。

15. 如权利要求 13 所述的迭代解码方法, 其中, 第一和第二解码以连续模式进行操作。

16. 如权利要求 13 所述的迭代解码方法, 其中, 对循环冗余码(CRC)错误执行错误检验。

17. 如权利要求 13 所述的迭代解码方法, 其中, 对解交织后的信息码元的输出执行错误检验。

通信系统中的迭代解码装置和迭代解码方法

5 本案是申请日为1999年12月30日、申请号为99815196.3、发明名称为“通信系统中的迭代解码器与迭代解码方法”的发明专利申请的分案申请。

技术领域

10 本发明一般涉及通信系统中的接收器，具体涉及用于对输入信号进行解码的装置和方法。

背景技术

15 在无线电通信系统如卫星系统中，或在采用W-CDMA或CDMA2000的系统中，发送器可以采用前向纠错码来保证可靠的数据发送。接收器将接收到的数据进行迭代解码，迭代解码将分支(component)解码器的输出反馈回输入端以用于解码。分支解码器输出的不是硬判定信号如高(+1)或低(-1)信号，而是软值(soft value)(如，0.7684,-0.6432...)。

20 将交织的序列输入给第二分支解码器，第二分支解码器对序列进行解码。迭代解码器是由至少两个分支解码器组成的。分支解码器之间的交织器对从第一分支解码器输出的帧的比特序列进行置换。当输出的解码后的交织器信号被反馈给第一分支解码器时，解交织器将解码交织后的比特按其原始顺序进行重新排序。

turbo(涡式)解码器是迭代信道解码器中的早期优秀范例。由于多次的解码迭代，迭代解码器如turbo解码器增加了纠错性能。

25 在传统的迭代解码方法中，进行预定次数的数据解码，而不检查在迭代解码期间是否产生了错误。通过对解交织器的输出进行硬判定解码来检查错误。

30 然而，在典型的迭代解码情况下，最大的解码增益一般是在最初的两次或三次解码期间获得的，尽管这点会随信道环境的变化而变化。事实上，由迭代解码导致的纠错性能会在多次解码后迅速降低。而且，经过一定次数的迭代解码后，系统资源如功耗和处理延迟会为了边缘特性增益而被消耗。例

如，由于迭代解码器的反馈特征，一定次数的迭代解码会引起信号振荡。换句话说，实际上，随着解码的重复进行，已被完全纠错的数据也会开始产生错误。

5 通过适当地选取解码迭代的次数，可以克服阈值数(超出该数值就会产生错误的迭代次数)的问题。如果能够确定所有错误都被纠正的概率大约为1，那么迭代解码器就不需要对输入信号进行进一步的解码。可以通过几种方法来判定是否完成了解码。其中一种是，利用解码器输出的CRC(循环冗余码)检验来检验错误。因为CRC检验不会改变将要发送的信息，所以CRC检验不可能在解码后的数据中产生错误。但是，系统设计者面临的挑战是限制额外的处理延迟，在迭代解码方案中，处理延迟会与错误检验的操作相关联。因此，需要存在一种装置和方法，通过对解码后的数据执行错误检验并且不会产生过度的处理延迟，来限制迭代解码器中的迭代次数。

发明内容

15 因此，本发明的一个目的是提供一种迭代解码器和迭代解码方法，用于动态地确定适当的对接收到的数据进行的解码迭代的次数。

本发明的另一个目的是提供一种迭代解码器和迭代解码方法，其中，对每个分支解码器的输出进行检验，以确定是否在解码时产生了错误。

20 本发明的第三个目的是提供一种迭代解码器和迭代解码方法，其中，对每个分支解码器的输出进行检验，以确定是否在解码时产生了错误，并且，如果没有检测到错误，则立刻停止解码。

本发明的第四个目的是，提供一种迭代解码器和迭代解码方法，其中，解码时在对每个分支解码器的输出进行错误检验的期间，使处理延迟达到最小。

25 本发明的第五个目的是，提供一种迭代解码器和迭代解码方法，其中，在连续模式中，对每个分支解码器的输出进行检验，以确定是否在解码时产生了错误，并且，如果没有检测到错误，则立刻停止解码。

30 本发明的第六个目的是，提供一种迭代解码器和迭代解码方法，其中，在连续模式中，当分支解码器的输出是按照原始次序进行排序时，对每个分支解码器的输出进行检验，以确定是否在解码时产生了错误，并且，如果没有检测到错误，则立刻停止解码。

本发明的第七个目的是，提供一种迭代解码器和迭代解码方法，其中，，当每个分支解码器以连续模式运行时，在对第一分支解码器中的一帧完成解码的同时，对该帧进行错误检验，并且，如果没有检测到错误，则立刻停止解码。

5 总之，为了实现上述或其它目的，提供了一种迭代解码器。在迭代解码器中，第一加法器具有用于接收信息码元的第一端口以及第二端口；第一分支解码器与第一加法器相连，用于接收第一奇偶校验码元，并采用第一奇偶校验码元和第一加法器的输出信号，对信息码元进行解码；减法器具有用于接收第一分支解码器的输出的第三端口以及第四端口；交织器连接第二加法器的输出，用于对从第一分支解码器接收到的解码后的信息码元进行交织；
10 第二分支解码器接收交织器的输出以及第二奇偶校验码元，并采用接收到的信号对交织器输出的信息码元进行解码；解交织器对第二分支解码器的输出进行解交织；第三加法器具有用于接收解交织器的输出的第五端口以及用于接收第二加法器的反相输出的第六端口，第三加法器的输出与第二端口相
15 连，而第三加法器的反相输出与第四端口相连；硬判定装置将从第一分支解码器接收到的解码后的码元转换为二进制信息比特；错误检测器对从硬判定装置接收到的二进制信息比特中的错误进行检验，并且，如果没有检测到错误，则生成无错误信号；输出缓冲器存储从硬判定装置接收到的二进制信息比特，并对应于无错误信号，输出存储的二进制信息比特。

20 在具有预定最大迭代次数的迭代解码器的迭代解码方法中，包括下列步骤：对输入帧信号进行迭代解码；在完成预定迭代次数之前，对解码后的帧数据中的错误进行检验；并且，如果没有检测到错误，则输出解码后的帧。

为了实现上述或其它目的，还提供了一种具有预定最大迭代次数的迭代解码装置，包括：第一分支解码器，用于接收信息码元和第一奇偶检验码元，
25 并通过采用第一奇偶检验码元对信息码元进行解码；交织器，与第一分支解码器相连，用于根据原始数据次序来交织第一解码后的信息码元的次序；第二分支解码器，用于接收交织器的输出和第二奇偶检验码元，并通过采用第二奇偶检验码元对交织器输出的信息码元进行解码；解交织器，用于对第二解码后的信息码元进行解交织，以便恢复信息码元的原始数据次序，其中解
30 交织器的输出信号被反馈给用于迭代解码的第一解码器；错误检测器，用于在解码后的帧具有信息码元的原始数据次序时，检测解码后的帧中的错误；

其中，检验解码后的帧数据中是否有错误，并且如果没有错误，即使没有完成预定次数的迭代，也停止迭代解码。

为了实现上述或其它目的，还提供了一种具有预定最大迭代次数的迭代解码器的迭代解码方法，包括下列步骤：接收信息码元和第一奇偶检验码元，
5 并通过采用第一奇偶检验码元对信息码元进行第一解码；根据原始数据次序来交织信息码元的次序，该信息码元是采用第一奇偶检验码元进行第一解码的；接收改变了其原始数据顺序的信息码元和第二奇偶检验码元，并通过采用第二奇偶检验码元对信息码元进行第二解码；对信息码元进行解交织，该
10 信息码元是采用第二奇偶校验码元进行第二解码的，以便恢复信息码元的原始数据次序，其中解交织后的信号被反馈给用于迭代解码的第一解码步骤；在完成预定次数的迭代之前，当解码后的帧具有信息码元的原始数据次序时，检测解码后的帧中的错误；无论何时当解码后的帧数据中没有错误时，即使没有完成预定次数的迭代，也停止迭代解码。

15 附图说明

通过参照附图以及下面的详细说明，将会更清楚地理解本发明的上述和其它目的、特征和优点，附图中：

图 1 是表示按照本发明的实施例，具有 1/3 的代码速率的迭代解码器的方框图；

20 图 2 是表示按照本发明的实施例图 1 所示的迭代解码器的方框图，用于说明迭代解码器的操作；以及

图 3 是表示按照本发明的实施例，迭代解码方法的流程图。

具体实施方式

25 下面将参照附图说明本发明的优选实施例。在下面的说明中，没有详细说明公认的功能或结构，以避免出现不必要的细节而混淆本发明。

图 1 是表示按照本发明的实施例，具有 1/3 的代码速率的迭代解码器的方框图。

30 第一、第二以及第三输出信号是经过接收器(未显示)中解调器(未示出)解调并进行量化后的信号。第一、第二以及第三分别是系统信号 X_k 、奇偶校验信号 Y_{1k} 、以及另一个奇偶校验信号 Y_{2k} 。第二和第三输入信号是加在原

始数据上用于纠错的冗余值，并由发送器进行 turbo 编码和交织。

第一和第二分支解码器 120 和 150 分别能够以连续模式进行操作。RESOVA(寄存器交换软输出 Viterbi(维特比)算法)解码器可以用作第一和第二分支解码器 130 和 150。对于一组比特如一帧的每个软信号值的输入，第一和第二分支解码器 120 和 150 顺序地输出每个解码后的软信号值。在连续模式中，如果忽略与初始窗口大小或解码深度 D 一样长的延迟，则对于下一个端点的一个软信号值，第一和第二分支解码器 120 和 150 无延迟地输出一个编码的软信号值。电平判定器 185 经过硬判定将每个从第一分支解码器 120 中输出的解码后的软信号值转换为高值或低值，然后无延迟地加到误差检验器 190。误差检验器可以是 CRC 检验器。

由于信号值的传递没有经过任何延迟，因此当第一分支解码器 120 完成对软信号值的一帧的解码时，误差检验器 190 也同时完成了对该帧软信号值的误差检验。也就是说，电平判定器 185 经过硬判定将每个从第一分支解码器 120 中输出的解码后的软信号值转换为高值或低值，然后一个比特接一个比特地应用于误差检验器 190。电平判定器 185 的输出存储在输出缓冲器 195 中。根据硬件，第一分支解码器 120 在每个计数时钟输出一个解码后的软信号值，并将其无延迟地馈送给误差检验器 190 的每个寄存器。这样，第一分支解码器 120 中对一帧的解码与误差检验器 190 中对帧的错误检验同时完成。

如果在输入帧中没有检测到错误，那么错误检验器 190 就停止迭代解码并输出存储在输出缓冲器 195 中的一个解码后的帧。另一方面，如果检测到错误，那么错误检验器 190 在第二分支解码器 150 的解码期间再次执行错误检验。可以执行预定次数的迭代解码。

加法器 110 将 X_k 与从第二减法器 170 反馈的非本征信息信号 EXT2 相加。EXT2 不存在于初始解码中，而是在第二分支解码器 150 中进行解码所产生的信号分量。从第一加法器 110 的相加信号($X_k + EXT2$)的输入以及 Y_{1k} ，第一分支解码器 120 输出包括 X_k 、EXT1、EXT2 分量的初级解码信号。第一减法器 130 从第一分支解码器 120 的输出中减去 EXT2 分量。即，在节点 NA 的信号包括 X_k 和 EXT1 分量。电平判定器 185 经过硬判定解码，将以初始次序排序的第一分支解码器 120 输出信号(包括 X_k 、EXT1 以及 EXT2)转换为高值或低值，并将转换后的值无延迟地馈送给错误检验器 190。

交织器 140 通过交织将从第一减法器 130 接收到的信号($X_k + EXT1$)的比特顺序进行置换, 并输出包括 X_k 和 $EXT1$ 分量的交织后的信号。第二分支解码器 150 对交织器 140 的输出和 Y_{2k} 进行解码, 并输出包括 X_k 、 $EXT1$ 以及 $EXT2$ 分量的次级解码信号。解交织器 160 通过解交织, 按初始数据次序对第二分支解码器的输出进行重新排序。第二减法器 170 将从解交织器 160 接收到的包括 X_k 、 $EXT1$ 以及 $EXT2$ 分量的经过重新排序解码的软信号, 减去从节点 NA 接收到的信号(X_k 和 $EXT1$)。将差值信号作为非本征信息信号 $EXT1$ 反馈给第一减法器 110。

在解交织器 160 通过如上所述地对第二分支解码器 150 的输出进行解交织, 从而按初始数据次序对 X_k 进行重新排序后, 错误检验器 190 通过电平判定器 180 能够检验接收到的解交织器 160 的输出中的错误。

正如上述的迭代解码过程, 从第一或第二分支解码器 120 或 150 输出的软信号值一般具有改善了的纠错特性。错误检验器 190 对每个分支解码器的输出进行错误检验, 直到解码器之中的一个的输出在某时间点没有错误。这时, 错误检验器 190 停止迭代解码, 并且输出缓冲器 195 输出没有错误的解码后的信号。也就是说, 如果在完成预定的迭代次数之前, 解码后的数据就已没有错误, 则停止迭代解码, 将无错误的解码后的数据输出, 然后输入下一帧。

在图 1 所示的迭代解码器中, 在硬件中没有附加处理延迟的情况下, 对每个解码器的输出进行的检错以及解码可以同时进行。如果检验时没有检测到错误, 那么可以立即停止迭代解码。因此, 能够防止过多的解码, 这就防止了系统资源的过度使用以及由过多解码引起的错误。

在错误检验器 190 中对第二分支解码器 150 的输出进行检错前, 解交织器 160 通过解交织, 按初始数据次序对第二解码器 150 的输出进行重新排序。因此, 错误检验器 190 能够在一帧的延迟后, 检验第二分支解码器 150 的输出中的错误。当迭代解码器的输出以初始数据次序排序时, 对其进行错误检验。

图 2 是表示按照本发明的实施例, 图 1 中的错误检验器 190 的操作的方框图。此处, 假设错误检验器 190 是 CRC 错误检验器。

参照图 2, CRC 错误检验器是由移位寄存器 232 和 238 串联而成的。将 CRC 多项式系数 $G1$ 222 到 $G15$ 226 预先设置为 0 或 1。“异或”门 212 到 218

对系数和移位寄存器的输出进行“异或”操作。当时钟计数为 0 时，第一分支解码器 120 没有输出，并且 CRC 错误检验器不工作。当时钟计数为 D，而 D 与第一分支解码器 120 的解码深度相等时，CRC 错误检验器对第一分支解码器 120 的硬判定输出进行 CRC 检验，同时按图 2 所示对其进行一个比特接一个比特的移位。也就是说，第一分支解码器在每个计数时钟，将信号值输出给移位寄存器，同时，CRC 错误检验器计算出并发性(syndromes)。因此，CRC 错误检验器能够在第一分支解码器完成对一帧的解码的同时，对该帧中的错误进行检验。

关于 CRC 错误检验器操作的详细说明，请参见“错误控制编码：原理以及应用(Error Control Coding: Fundamentals and Applications)”，Shu Lin 和 Daniel J.Costello JR.,Prentice Hall, p.99。

图 3 是表示按照本发明的实施例，迭代解码方法的流程图。

参照图 3，在步骤 310，错误检验器 190 在控制器的控制下进行初始化。错误检验器 190 的初始化与移位寄存器的初始化相同。在步骤 320，控制器将迭代计数设置为 1，在步骤 330，第一分支解码器 120 对输入软值进行解码并顺序地输出解码后的软值。同时，错误检验器 190 无延迟地接收第一分支解码器 120 的硬判定输出，并在控制器的控制下检验接收到的信号中的错误。因此，分别在第一分支解码器 120 和错误检验器 190 中对一帧进行的解码和错误检验是同时完成的。

在步骤 340，如果错误检验器没有检测到错误，则在步骤 390 停止解码，并在控制器的控制下通过输出缓冲器 195 输出解码后的帧。另一方面，如果在步骤 340 存在错误，那么在步骤 350，第二分支解码器 150 在控制器的控制下，对软信号值的帧进行解码，并顺序地输出解码后的软信号值。在控制器的控制下，错误检验器 190 对硬判定解交织器输出中的错误进行检验，也就是说，对第二分支解码器 150 的输出中错误进行检验。如果在步骤 360 没有产生错误，那么错误检验器 190 在控制器的控制下执行步骤 390。如果在步骤 360 产生了错误，那么在步骤 370，控制器判定当前的迭代计数是否超过了最大的迭代值。如果前者大于或等于后者，那么控制器删除输出缓冲器 195 的内容。如果不是，那么控制器在步骤 380 将迭代计数加 1，并返回步骤 330。

按照上述本发明实施例中的迭代解码器和迭代解码方法，如果没有错误

地对多数输入信号解码并且在错误检验中没有处理延迟，则立即停止迭代解码。从而节约了系统资源。

尽管本发明是参照其特定的优选实施例来描述的，但本领域的技术人员应该理解，在不脱离由所附权利要求限定的本发明特定精神和范围的情况下，5 下，可以对其进行形式和细节的各种修改。

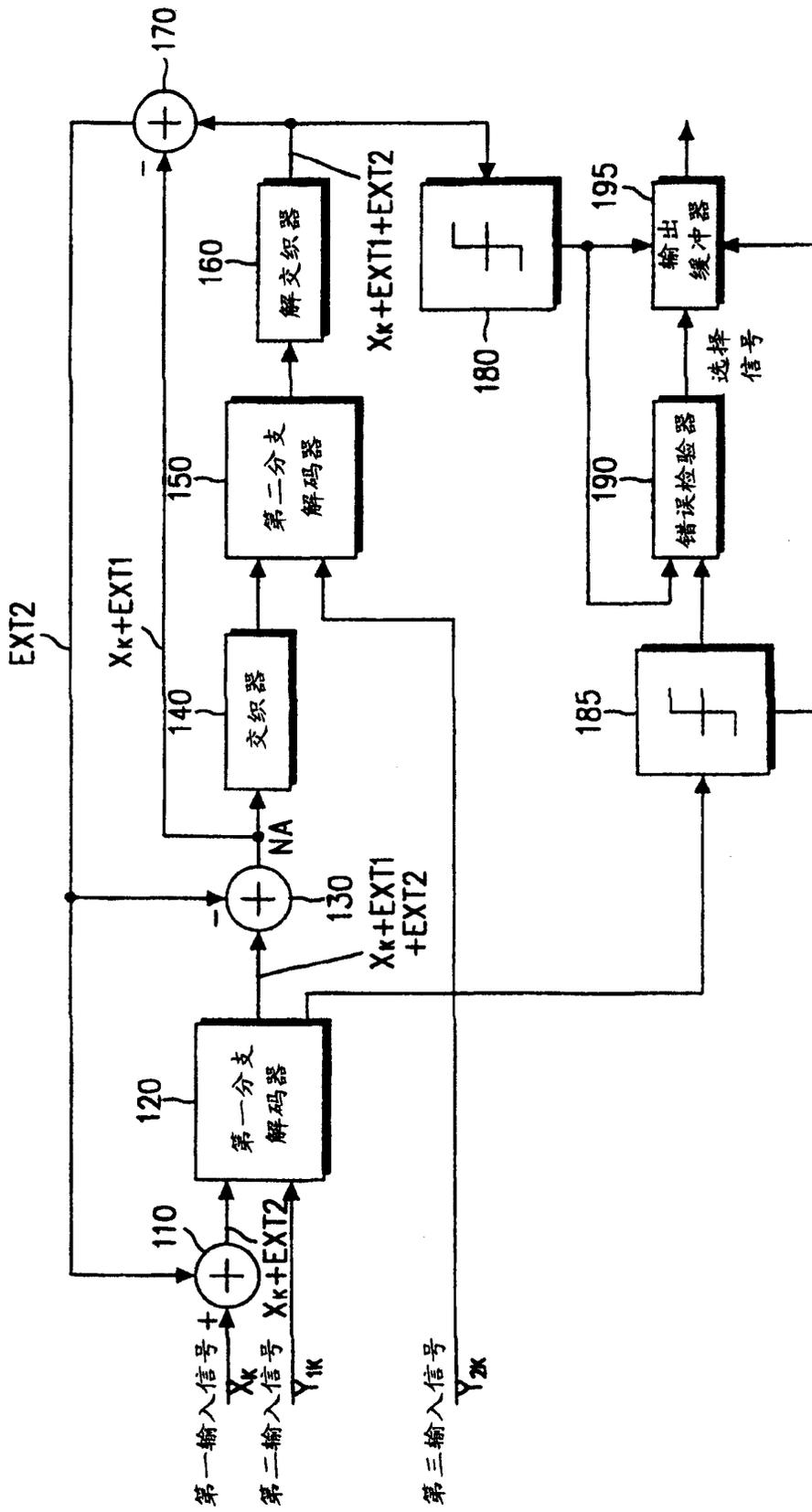


图 1

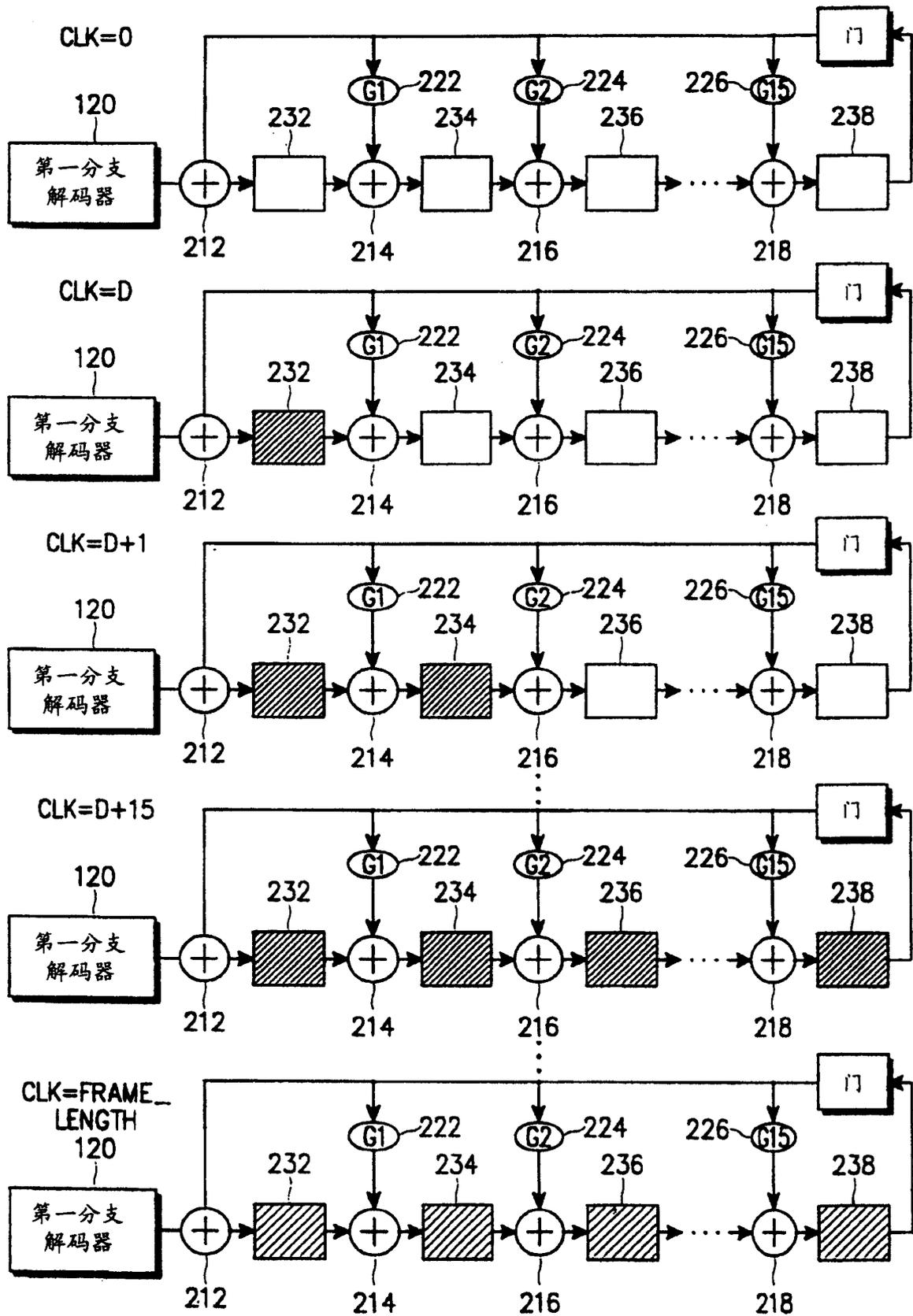


图 2

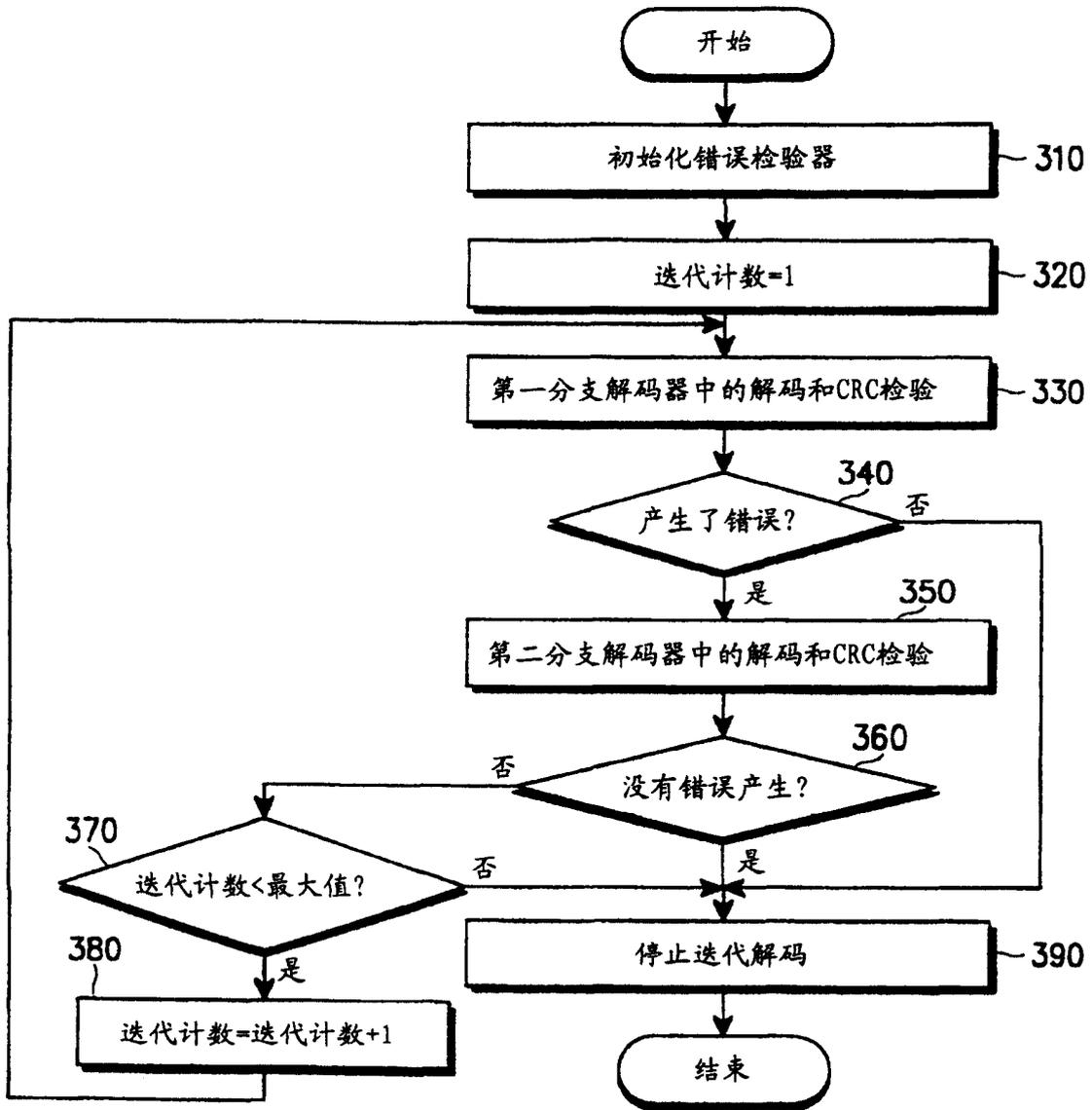


图 3