



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2012년07월25일  
(11) 등록번호 10-1168340  
(24) 등록일자 2012년07월18일

(51) 국제특허분류(Int. Cl.)  
H01L 21/8244 (2006.01) H01L 27/11 (2006.01)  
(21) 출원번호 10-2005-0066535  
(22) 출원일자 2005년07월22일  
심사청구일자 2010년07월20일  
(65) 공개번호 10-2006-0046561  
(43) 공개일자 2006년05월17일  
(30) 우선권주장  
JP-P-2004-00267645 2004년09월15일 일본(JP)  
(56) 선행기술조사문헌  
JP06236688 A  
JP2002042476 A  
JP2003022677 A  
JP10106268 A

(73) 특허권자  
르네사스 일렉트로닉스 가부시기가이샤  
일본국 카나가와현 카와사키시 나카하라쿠 시모누  
마베 1753번지  
(72) 발명자  
마에타, 노리아키  
일본국 도쿄도 치요다쿠 마루노우치 2초메 4-1,  
가부시기가이샤 르네사스테크놀로지 지적재산권  
총괄부내  
시노자키, 요시히로  
일본국 도쿄도 치요다쿠 마루노우치 1초메 6-1,  
히타치제작소 지적재산권 본부내  
(뒷면에 계속)  
(74) 대리인  
이종일

전체 청구항 수 : 총 23 항

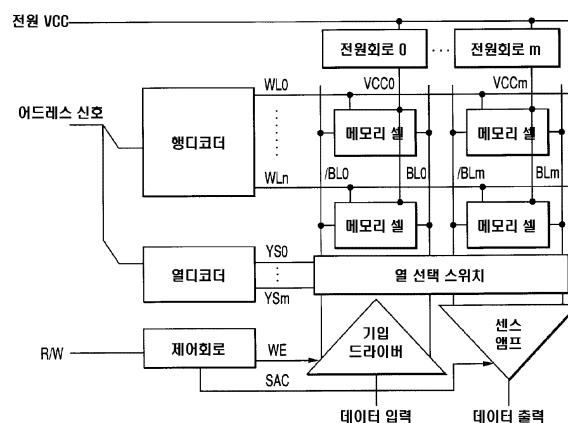
심사관 : 방기인

(54) 발명의 명칭 반도체 집적회로장치

(57) 요약

본 발명은 반도체 집적회로장치에 관한 것으로서 복수의 워드선과 복수의 상보 비트선에 대응해 설치된 복수의 스테틱형 메모리 셀을 갖추고 상기 복수의 상보 비트선의 각각에 접속되는 복수로 이루어지는 메모리 셀마다 동작 전압을 공급하는 복수의 메모리 셀 전원선을 설치하고 관계되는 메모리 셀 전원선에 대응해 각각 전원 전압을 공급하는 저항 수단으로 이루어지는 복수의 전원 공급 회로를 설치하고 상기 상보 비트선에 상기 전원전압에 대응한 프리차지 전압을 공급하는 프리차지 회로를 설치하고 상기 메모리 셀 전원선은 대응하는 상보 비트선의 기입 신호가 전해지는 결합 용량을 가지도록 하는 저전원 전압에서도 SNM으로 기입 마진을 양립시킬 수가 있는 스테틱형 RAM을 구비하는 반도체 집적회로 장치의 기술을 제공한다.

대표도



(72) 발명자

**야마오카, 마사나오**

일본국 도쿄도 치요다쿠 마루노우치 1쵸메 6-1, 히  
타치제작소 지적재산권 본부내

**시마자키, 야스히사**

일본국 도쿄도 치요다쿠 마루노우치 2쵸메 4-1, 가  
부시킴가이샤 르네사스테크놀로지 지적재산권 총괄  
부내

**이소다, 마사노리**

일본국 도쿄도 치요다쿠 마루노우치 2쵸메 4-1, 가  
부시킴가이샤 르네사스테크놀로지 지적재산권 총괄  
부내

**니이, 쿄우지**

일본국 도쿄도 치요다쿠 마루노우치 2쵸메 4-1, 가  
부시킴가이샤 르네사스테크놀로지 지적재산권 총괄  
부내

---

## 특허청구의 범위

### 청구항 1

제1의 CMOS 인버터를 구성하는 제1의 NMOS 트랜지스터와, 상기 제 1의 NMOS 트랜지스터에 접속된 제2의 NMOS 트랜지스터가 형성된 제1 부분과,

상기 제 1의 CMOS 인버터를 구성하는 제1의 PMOS 트랜지스터와 제2의 CMOS 인버터를 구성하는 제2의 PMOS 트랜지스터가 형성된 제2 부분과,

상기 제 2의 CMOS 인버터를 구성하는 제3의 NMOS 트랜지스터와 상기 제 3의 NMOS 트랜지스터에 접속된 제4의 NMOS 트랜지스터가 형성된 제3 부분을 갖고,

제1의 방향을 향해 상기 제 1 부분, 상기 제 2 부분, 상기 제 3 부분의 순서로 배치된 SRAM 메모리 셀을 상기 제 1의 방향 및 상기 제 1의 방향에 직교하는 제2의 방향에 복수 행렬 형상으로 배열된 메모리 셀 어레이와

상기 제 2의 방향의 메모리 셀의 열 마다 설치되고, 상기 제 2의 방향의 각 메모리 셀의 상기 제 2의 NMOS 트랜지스터에 각각 접속된 복수의 제1 비트선과,

상기 제 2의 방향의 메모리 셀의 열 마다 설치되고, 상기 제 2의 방향의 각 메모리 셀의 상기 제 4의 NMOS 트랜지스터에 각각 접속된 복수의 제2 비트선과,

상기 제 1의 방향의 메모리 셀의 행 마다 설치되고, 상기 제 1의 방향의 각 메모리 셀의 상기 제 2의 NMOS 트랜지스터의 게이트 및 상기 제 4의 NMOS 트랜지스터의 게이트에 각각 접속된 복수의 워드선과,

전원 전압이 공급되는 전원선과,

상기 전원선에 접속되고 상기 제 2의 방향의 메모리 셀의 열 마다 각각 설치된 복수의 전원 트랜지스터와,

상기 제 2의 방향의 메모리 셀의 열 마다 설치되고, 상기 전원 트랜지스터와 상기 제 2의 방향의 메모리 셀의 열의 상기 제 1 및 제2의 PMOS 트랜지스터에 각각 접속된 복수의 셀 전원선과,

상기 복수의 제1 비트선 및 상기 복수의 제2 비트선에 접속되고, 상기 SRAM 메모리 셀에 데이터를 기입하는 기입 회로를 가지는 것을 특징으로 하는 반도체 집적회로 장치.

### 청구항 2

청구항 1에 있어서,

상기 메모리 셀 어레이는, 상기 제 2의 방향의 메모리 셀의 열로서 제1과 제2의 메모리 셀열을 갖고,

상기 제 1의 메모리 셀열의 상기 전원 트랜지스터의 게이트에 접속되는 배선과 상기 제 2의 메모리 셀열의 상기 전원 트랜지스터의 게이트에 접속되는 배선과는 서로 독립해 신호가 주어지는 배선인 것을 특징으로 하는 반도체 집적회로 장치.

### 청구항 3

청구항 1 또는 청구항 2에 있어서,

상기 전원 트랜지스터는 대응하는 열의 메모리 셀이 독출의 경우에 비해, 기입의 경우에 트랜지스터의 저항이 올라가는 것을 특징으로 하는 반도체 집적회로 장치.

### 청구항 4

청구항 2에 있어서,

상기 전원 트랜지스터의 게이트에게 전해지는 배선의 신호에 의해 기입의 동작으로 그 열의 메모리 셀이 선택 상태가 되는 경우에 상기 전원 트랜지스터의 저항값을 독출의 동작의 경우에 비해 높게 하는 것을 특징으로 하는 반도체 집적회로 장치.

### 청구항 5

청구항 1 또는 청구항 2에 있어서,

상기 전원 트랜지스터는 P형 MOS 트랜지스터인 것을 특징으로 하는 반도체 집적회로 장치.

#### 청구항 6

스태틱 메모리 셀이 행방향 및 열방향으로 복수 배열되고,

상기 스태틱 메모리 셀은,

제1의 NMOSFET와 제1의 PMOSFET로 구성되는 제1의 CMOS 인버터와,

제2의 NMOSFET와 제2의 PMOSFET로 구성되는 제2의 CMOS 인버터와,

상기 제 1의 NMOSFET의 소스 및 드레인의 한쪽에 그 소스 및 드레인이 접속된 제3의 NMOSFET와,

상기 제 2의 NMOSFET의 소스 및 드레인의 한쪽에 그 소스 및 드레인이 접속된 제4의 NMOSFET를 갖고,

상기 제 1 및 제3의 NMOSFET가 제1의 영역에 형성되고,

상기 제 1 및 제2의 PMOSFET가 제2의 영역에 형성되고,

상기 제 2 및 제4의 NMOSFET가 제3의 영역에 형성되고,

상기 행방향에 상기 제 1, 제2, 제3의 영역의 순서로 배치되고,

상기 열방향의 메모리 셀의 열 마다 설치되고, 상기 열방향의 각각의 메모리 셀의 상기 제 3의 NMOSFET의 소스 및 드레인의 다른쪽에 접속된 복수의 제1 비트선과,

상기 열방향의 메모리 셀의 열 마다 설치되고, 상기 열방향의 각각의 메모리 셀의 상기 제 4의 NMOSFET의 소스 및 드레인의 다른쪽에 접속된 복수의 제2 비트선과,

상기 행방향의 메모리 셀의 행 마다 설치되고, 상기 행방향의 각각의 메모리 셀의 상기 제 3의 NMOSFET의 게이트 및 상기 제 4의 NMOSFET의 게이트에 접속된 복수의 워드선과,

전원 전압을 공급하는 전원선과,

상기 전원선에 접속되고, 상기 열방향의 메모리 셀의 열 마다 설치된 복수의 MOSFET와,

상기 열방향의 메모리 셀의 열 마다 설치되고, 상기 MOSFET와 상기 열방향의 각각의 메모리 셀의 열의 상기 제 1 및 제2의 PMOSFET에 접속된 복수의 셀 전원선과,

상기 복수의 제1 비트선 및 상기 복수의 제2 비트선에 접속되고, 선택된 열에 설치된 제1 및 제2 비트선에 기입 데이터를 공급하는 기입 회로를 가지는 것을 특징으로 하는 반도체 집적회로 장치.

#### 청구항 7

청구항 6에 있어서,

상기 메모리 셀 어레이는 제1의 메모리 셀의 열과 제2의 메모리 셀의 열을 갖고,

상기 제 1의 메모리 셀의 열의 상기 MOSFET의 게이트에 접속되는 제1 배선과 상기 제 2의 메모리 셀의 열의 상기 MOSFET의 게이트에 접속되는 상기 제 1 배선과는 다른 제2 배선에 접속된 것을 특징으로 하는 반도체 집적회로 장치.

#### 청구항 8

청구항 7에 있어서,

상기 MOSFET는 대응하는 열의 메모리 셀이 독출 동작의 경우에 비해, 기입 동작의 경우에 고임피던스로 되는 것을 특징으로 하는 반도체 집적회로 장치.

#### 청구항 9

청구항 7에 있어서,

상기 MOSFET의 제1 및 제2 배선의 신호는, 기입 동작에 있어서 그 열의 메모리 셀이 선택 상태가 되는 경우에 상기 MOSFET의 임피던스를 독출 동작의 경우에 비해 높도록 제어되는 것을 특징으로 하는 반도체 집적회로 장치.

#### 청구항 10

청구항 6 또는 청구항 7에 있어서,

상기 MOSFET는 P형 MOSFET인 것을 특징으로 하는 반도체 집적회로 장치.

#### 청구항 11

제1의 P웰에 제1의 CMOS 인버터를 구성하는 제1의 NMOS 트랜지스터와 상기 제 1의 NMOS 트랜지스터에 접속된 제2의 NMOS 트랜지스터가 형성되고,

N웰에 상기 제 1의 CMOS 인버터를 구성하는 제1의 PMOS 트랜지스터와 상기 제 2의 CMOS 인버터를 구성하는 제2의 PMOS 트랜지스터가 형성되고,

제2의 P웰에 제2의 CMOS 인버터를 구성하는 제3의 NMOS 트랜지스터와 상기 제 3의 NMOS 트랜지스터에 접속된 제4의 NMOS 트랜지스터가 형성되고,

제1의 방향을 향해 상기 제 1의 P웰, 상기 N웰, 상기 제 2의 P웰의 순서로 배치되도록 SRAM 메모리 셀이 구성되고, 상기 제 1의 방향 및 상기 제 1의 방향에 직교하는 제2의 방향에 복수 행렬 형상으로 상기 SRAM 메모리 셀이 배열된 메모리 셀 어레이와,

상기 제 2의 방향의 메모리 셀의 열 마다 설치되고, 각각이 같은 열에 배열된 각 메모리 셀의 상기 제2 NMOS 트랜지스터에 접속되는 제1 비트선과, 같은 열에 배열된 각 메모리 셀의 상기 제4 NMOS 트랜지스터에 접속되는 제2 비트선을 갖고, 기입동작에서는 선택되는 메모리 셀에 기입 데이터를 전송하는 복수의 비트선쌍과,

상기 제 1의 방향의 메모리 셀의 행 마다 설치되고, 상기 제 1의 방향의 각 메모리 셀의 상기 제 2의 NMOS 트랜지스터의 게이트 및 상기 제 4의 NMOS 트랜지스터의 게이트에 각각 접속된 복수의 워드선과,

전원 전압이 공급되는 전원선과,

상기 전원선에 접속되고, 상기 제 2의 방향의 메모리 셀의 열 마다 설치된 복수의 전원 트랜지스터와,

상기 제 2의 방향의 메모리 셀의 열 마다 설치되고, 상기 전원 회로와 상기 제 2의 방향의 메모리 셀의 열의 상기 제 1 및 제2의 PMOS 트랜지스터에 접속된 복수의 셀 전원선을 가지는 것을 특징으로 하는 반도체 집적회로 장치.

#### 청구항 12

청구항 11에 있어서,

상기 메모리 셀 어레이는 상기 제 2의 방향의 메모리 셀의 열로서 제1과 제2의 메모리 셀열을 갖고,

상기 제 1의 메모리 셀열의 상기 전원 회로를 제어하는 제1 배선과 상기 제 2의 메모리 셀열의 상기 전원 회로를 제어하는 제2 배선과는 개별적으로 제어되는 것을 특징으로 하는 반도체 집적회로 장치.

#### 청구항 13

청구항 11 또는 청구항 12에 있어서,

기입 동작에 있어서 기입이 되는 메모리 셀을 가지는 선택 메모리 셀열의 전원 회로의 임피던스가 기입되지 않는 비선택의 메모리 셀열의 전원 회로의 임피던스에 비해 높게 되는 것을 특징으로 하는 반도체 집적회로 장치.

#### 청구항 14

청구항 12에 있어서,

상기 제 1 및 제2 배선은, 기입 동작에 있어서, 기입이 되는 메모리 셀을 가지는 선택 메모리 셀열의 전원 회로의 임피던스를 기입되지 않는 비선택의 메모리 셀열의 전원 회로의 임피던스에 비해 높도록 제어되는 것을 특징

으로 하는 반도체 집적회로 장치.

#### 청구항 15

청구항 11 또는 청구항 12에 있어서,

상기 전원 트랜지스터는 P형 MOS 트랜지스터인 것을 특징으로 하는 반도체 집적회로 장치.

#### 청구항 16

삭제

#### 청구항 17

복수의 행과 복수의 열에 배치되어 있고, 각각이 제1 및 제2 스토리지 노드를 포함하는 복수의 메모리 셀을 포함하는 메모리셀어레이와;

입력부가 상기 제1 스토리지 노드에 접속되어 있고 출력부가 상기 제2 스토리지 노드에 접속되어 있고, 제1 p-채널 트랜지스터와 복수의 제1 n-채널 트랜지스터를 포함하는 제1 인버터와;

입력부가 상기 제2 스토리지 노드에 접속되어 있고 출력부가 상기 제1 스토리지 노드에 접속되어 있고, 제2 p-채널 트랜지스터와 복수의 제2 n-채널 트랜지스터를 포함하는 제2 인버터와;

상기 제1 스토리지 노드에 접속된 제3 n-채널 트랜지스터 및 상기 제2 스토리지 노드에 접속된 제4 n-채널 트랜지스터와;

각각 대응하는 상기 복수의 행에 설치된 복수의 워드선, 각 워드선은 제1 방향으로 연장되고 상기 대응하는 행에 배치된 상기 메모리 셀들의 상기 제3 및 제4 n-채널 트랜지스터의 게이트전극에 접속되고;

각각 대응하는 상기 복수의 열에 설치된 복수의 비트선쌍, 각 비트선쌍은 제2 방향으로 연장되고 대응하는 열에 배치된 상기 메모리 셀의 상기 제3 n-채널 트랜지스터에 접속되는 제1 비트선과, 제2 방향으로 연장되고 대응하는 열에 배치된 상기 메모리 셀의 상기 제2 n-채널 트랜지스터에 접속되는 제2 비트선을 갖고, 각 비트선쌍은 쓰기 동작에서 선택된 메모리 셀에 데이터를 전송하고;

각각 대응하는 복수의 열에 설치된 복수의 메모리 셀 전원공급선, 각 메모리 셀 전원공급선은 상기 대응하는 열에 설치된 상기 비트선쌍의 제1 및 제2 비트선 사이에 배치되고, 각 메모리 셀 전원공급선은 상기 대응하는 열에 배치된 메모리 셀에서 상기 제1 및 제2 p-채널 트랜지스터의 소스전극에 접속되고;

전원을 공급하는 전원공급선;

대응하는 복수의 열에 설치된 복수의 전원 트랜지스터, 각 전원 트랜지스터는 상기 전원공급선과 상기 대응하는 열에 설치된 상기 메모리 셀 전원공급선 사이 도전경로를 만들기 위해 온(on)상태로 되고;

각각 복수의 메모리 셀에서,

상기 제1 n-채널 트랜지스터, 상기 제1 p-채널 트랜지스터 및 상기 제3 n-채널 트랜지스터는, 상기 제1 p-채널 트랜지스터가 상기 제1 n-채널 트랜지스터와 제3 n-채널 트랜지스터의 사이에 위치하고, 제1 방향을 따라 직선으로 배치되고, 상기 제1 n-채널 트랜지스터의 게이트전극과 상기 제1 p-채널 트랜지스터가 일체형 도전층으로 형성되고,

상기 제2 n-채널 트랜지스터, 상기 제2 p-채널 트랜지스터 및 상기 제4 n-채널 트랜지스터는, 상기 제2 p-채널 트랜지스터가 상기 제2 n-채널 트랜지스터와 제4 n-채널 트랜지스터의 사이에 위치하고, 제1 방향을 따라 직선으로 배치되고, 상기 제2 n-채널 트랜지스터의 게이트전극과 상기 제2 p-채널 트랜지스터가 일체형 도전층으로 형성되고,

상기 제2 n-채널 트랜지스터와 상기 제3 n-채널 트랜지스터는 제2 방향을 따라 배치되고 각각 쌍을 가지고 있고,

상기 제1 n-채널 트랜지스터와 상기 제4 n-채널 트랜지스터는 제2 방향을 따라 배치된 것을 특징으로 하는 반도체 집적회로 장치.

#### 청구항 18

청구항 17에 있어서,

상기 복수의 전원 트랜지스터는 각각의 상기 전원 트랜지스터를 온/오프 튜닝하기 위한 제어신호를 수신하는 게이트전극을 각각 구비한 것을 특징으로 하는 반도체 집적회로 장치.

#### 청구항 19

청구항 18에 있어서,

상기 대응하는 열의 상기 비트선쌍이 쓰기 동작으로 선택될 때, 상기 복수의 전원 트랜지스터 각각이 오프(off) 상태로 되도록 하기 위한 제어신호를 생성하는 제어회로를 더 포함하는 것을 특징으로 하는 반도체 집적회로 장치.

#### 청구항 20

청구항 19에 있어서,

상기 복수의 전원 트랜지스터 각각은 읽기 동작에서 온(on) 상태인 것을 특징으로 하는 반도체 집적회로 장치.

#### 청구항 21

청구항 17에 있어서,

어드레스에 의해 선택 열을 지정하기 위한 출력선택신호에 어드레스를 디코딩하기 위한 컬럼디코더를 더 포함하고,

상기 복수의 전원 트랜지스터 각각은 상기 출력선택신호에 기초한 제어신호를 수신하는 것을 특징으로 하는 반도체 집적회로 장치.

#### 청구항 22

청구항 17에 있어서,

각각 제어신호를 생성하기 위한 복수의 게이트회로를 더 포함하고,

상기 복수의 전원 트랜지스터는 각각 제어신호를 수신하는 게이트전극을 각각 구비한 것을 특징으로 하는 반도체 집적회로 장치.

#### 청구항 23

청구항 22에 있어서,

어드레스에 의해 선택 열을 지정하기 위한 출력선택신호에 어드레스를 디코딩하기 위한 컬럼디코더를 더 포함하고,

상기 복수의 게이트회로는 각각의 선택신호를 수신하는 각각의 제1 입력부와, 읽기 동작에서 제1 로직값과 쓰기 동작에서 제2 로직값을 갖는 공통신호를 수신하는 각각의 제2 입력부를 구비하는 것을 특징으로 하는 반도체 집적회로 장치.

#### 청구항 24

청구항 17에 있어서,

상기 복수의 전원 트랜지스터 각각은, 상기 전원공급선과 접속된 소스전극과 상기 대응하는 열에 설치된 상기 메모리 셀 전원공급선에 접속된 드레인전극을 구비하는 것을 특징으로 하는 반도체 집적회로 장치.

**명세서**

**발명의 상세한 설명**

## 발명의 목적

### 발명이 속하는 기술 및 그 분야의 종래기술

- [0039] 본 발명은 반도체 집적회로 장치에 관하여 특히 스테틱형 RAM(랜덤·액세스·메모리)을 구비한 것에 이용하는 유효한 기술에 관한 것이다.
- [0040] 스테틱형 RAM (이하 간단히 SRAM라고 한다)의 메모리 셀의 특성에 스테틱노이즈 마진(이하 SNM라고 한다)이 있다. SNM은 메모리 셀에 기억한 데이터의 안정성을 나타내는 것이고 큰 만큼 데이터 보지 동작이 안정되지만 반면으로는 보지 데이터에 대해서 역데이터를 기입할 때는 기입하기 어려워진다. 관련된 문제를 해결하는 기술로서 일본국 특개 2002-042476 공보가 있다. 도 17에는 상기 공보에 근거해 본원 발명자가 먼저 검토한 SRAM의 블록도가 나타나고 있다. 이 공보의 기술에서는 독출시에는 도 18에 나타난 바와 같은 전압 공급 회로를 이용해 신호(W*E*i)를 로우레벨로 하는 것으로 P채널 MOSFET를 온 상태로 하여 외부 전원(Vcc)과 동레벨의 전압을 메모리 셀에 공급하여 안정 구동한다. 기입시에는 상기 신호(W*E*i)를 하이레벨로 하는 것으로 상기 P채널 MOSFET를 오프 상태로 하고 바꾸어 N채널 MOSFET를 온 상태로 하여 메모리 셀에 공급하는 내부 전원을 Vcc-Vth로 저하시킨다. 이것에 의해 워드선에 의해 선택시킨 메모리 셀의 SNM이 저하하고 기입 마진을 향상할 수가 있다.
- [0041] [특허문헌 1] 일본국 특개 2002-042476 공보
- [0042] 상기 특허 문헌 1의 기술에서는 행디코드에 의해 선택되고 워드선이 활성화된 메모리 셀 가운데 열디코드에 의해 선택되지 않는 메모리 셀에 대해서도 내부 전원이 저하하고 또한 기입 동작을 실시하지 않기 때문에 SNM이 저하한 독출 상태가 되고 노이즈등의 영향을 받아 데이터 소실의 위험성이 있다. 관련된 위험을 회피하기 위해서 상기 특허 문헌 1에서는 도 19에 나타난 바와 같은 외부 전원 전압회로에 의해 하한 전압을 설정하고 이것을 판별하는 것으로 상기 비선택 메모리 셀의 SNM이 저하를 제한하도록 하는 것이다. 그렇지만 상기와 같은 하한 전압을 발생시키기 위해서는 메모리 내부에 중간적인 전원 발생 회로를 설계하는 것이 필요해져 메모리 회로의 소비 전류를 증대시켜 버리는 것으로 상기 하한 전압에 의해 상기 SNM의 저하가 제한되어 버려 기입 마진을 향상시킬 수가 없다. 특히 LSI (Large Scale Integrated circuit:대규모 집적회로)에서는 저소비 전력화 및 LSI중의 트랜지스터(MOSFET)의 미세화에 의해 전원 전압을 저하 시키는 경향에 있고 상기 하한 전압과의 차이가 작아진다. 메모리 회로로서는 상기 SNM을 우선시키는 것이 필요해지고 상기 인용 문헌 1의 기술에서는 기입 마진의 향상을 바랄 수 없는 경우가 있다.

### 발명이 이루고자 하는 기술적 과제

- [0043] 본 발명의 목적은 저전원 전압에서도 SNM와 기입 마진을 양립시킬 수가 있는 스테틱형 RAM을 갖추어 반도체 집적회로 장치를 제공하는 것에 있다. 본 발명의 상기 및 그 다른 목적과 신규 특징은 본 명세서의 기술 및 첨부 도면으로부터 밝혀질 것이다.
- [0044] 본원에 있어서 개시되는 발명 가운데 대표적인지만 개요를 간단하게 설명하면 아래와 같다. 복수의 워드선과 복수의 상보 비트선에 대응해 설치된 복수의 스테틱형 메모리 셀을 구비하여 상기 복수의 상보 비트선의 각각에 접속되는 복수로 이루어지는 메모리 셀마다 동작 전압을 공급하는 복수의 메모리셀 전원선을 설치하고 관련된 메모리 셀 전원선에 대응해 각각 전원 전압을 공급하는 저항 수단으로 이루어지는 복수의 전원 공급 회로를 설치하고 상기 상보 비트선에 상기 전원 전압에 대응한 프리차지 전압을 공급하는 프리차지 회로를 설치하고 상기 메모리 셀 전원선은 대응하는 상보 비트선의 기입 신호가 전해지는 결합 용량을 가지도록 한다.
- [0045] 본원에 있어서 개시되는 발명 가운데 다른 대표적인지만 개요를 간단하게 설명하면 아래와 같다. 복수의 워드선과 복수의 상보 비트선에 대응해 설치된 복수의 스테틱형 메모리 셀을 갖추어 상기 복수의 상보 비트선의 각각에 접속되는 복수로 이루어지는 메모리 셀마다 동작 전압을 공급하는 복수의 메모리 셀 전원선을 설치하고 관련되는 메모리셀 전원선에 대응하여 기입시에 오프 상태로 되는 스위치 MOSFET로 이루어지는 복수의 전원 공급 회로를 설계한다.

### 발명의 구성 및 작용

- [0046] 도 1에는 본 발명과 관련되는 스테틱형 RAM의 하나의 실시예의 블록도가 나타나고 있다. 동 도에는 4개의 메모리 셀 그에 대응한 2개의 워드선(WL0 와 WL*n*) 상보 비트선(/BL0 ; BL0 와 /BL*m* ; BL*m*)이 대표로서 예시적으로 나타나고 있다. 메모리 셀은 도시하지 않지만 P채널 MOSFET와 N채널 MOSFET로 이루어지는 2개의 CMOS 인버터 회로의 입력과 출력을 교차 접속하여 래치(플립 플롭) 회로를 구성해 기억부로 하고 관련되는 입출력 상호 접



속부를 기억 노드로서 대응하는 비트선(/BL 와 BL)의 사이에 설치된 어드레스 선택용의 N채널 MOSFET로부터 구성된다. 이 어드레스 선택용의 MOSFET의 게이트는 대응하는 워드선에 접속된다.

[0047] 워드선(WL0 ~ Wn) 가운데 1개가 행디코더에 의해 선택된다. 행디코더에는 후술 하는 바와 같은 워드 드라이버를 갖춘다. 행디코더에는 어드레스 신호 가운데의 로우(행)계 어드레스 신호가 공급된다. 복수의 상보 비트선(/BL0 ; BL0~/BLm ; BLm)가운데 한 쌍이 열선택 스위치를 개입시켜 기입 드라이버 또는 센스 앰프에 접속된다. 즉 열선택 스위치는 열디코더에 의해 형성되는 선택 신호((YS0~YSm))를 받아 상기 복수의 상보 비트선(/BL0 ; BL0~/BLm ; BLm) 가운데 한 쌍을 선택해 상기 기입 버퍼의 출력 단자 센스 앰프의 입력 단자에 접속시킨다.

[0048] 제어 회로에는 독출/기입 제어 신호(R/W)가 공급된다. 제어 회로는 독출/기입 제어 신호(R/W)에 대응하여 기입 신호(WE) 또는 독출 신호로서의 센스 앰프 제어 신호(SAC)를 발생시킨다. 상기 기입 신호(WE)는 기입 드라이버에 공급되어 기입 드라이버를 활성화 하기 위해서 이용된다. 즉 행디코더에 의해 워드선의 하나가 선택되어 열디코더에 의해 1쌍의 상보 비트선이 열선택 스위치에 의해 선택되어 기입 드라이버가 활성화되었다면 데이터 입력 신호가 선택 워드선과 선택 상보 비트선에 결합된 메모리 셀에 기입된다. 상기 센스 앰프 제어 신호(SAC)는 센스 앰프를 활성화 하기 위해서 이용된다. 상기와 같이 행디코더에 의해 워드선의 하나가 선택되어 열디코더에 의해 1쌍의 상보 비트선이 열선택 스위치에 의해 선택되어 센스 앰프가 활성화되었다면 선택 워드선과 선택 상보 비트선에 결합된 메모리 셀의 독출 신호가 센스 앰프로 전해져 증폭되어 데이터 출력으로서 독출된다.

[0049] 본 실시예에서는 선택된 상보 비트선에 대응한 메모리 셀의 기입 동작 마진의 향상을 도모하면서 상기 비선택 상보 비트선에 접속되는 비선택 메모리 셀의 SNM을 확보하기 위해서 상보 비트선(/BL0 ; BL0~/BLm ; BLm)의 각각 대응해 메모리 셀 전원선(VCC0~VCCM)을 설계한다. 즉 대표로서 예시적으로 나타나고 있는 메모리 셀 전원선(VCC0)은 대응하는 상보 비트(/BL0 ; BL0)에 접속되는 메모리 셀의 전원선이 된다. 동일하게 대표로서 예시적으로 나타나고 있는 메모리 셀 전원선(VCCm)은 대응하는 상보 비트(/BLm ; BLm)에 접속되는 메모리 셀의 전원선이 된다. 그리고 상기 각 메모리 셀 전원선(VCC0~VCCM)과 전원(Vcc)의 사이에는 전원 회로(O-M)가 설치된다.

[0050] 도 2에는 도 1의 전원 회로의 하나의 실시예의 회로도가 나타나고 있다. 본 실시예에서는 전원 회로로서 P채널 MOSFET(QP)가 이용된다. 이 MOSFET(QP)의 게이트에는 회로의 접지 전위가 정상적으로 주어저 저항 소자로서 동작하고 전원(Vcc)을 컬럼마다 내부 전원 즉 메모리 셀 전원선에 전한다. 이 MOSFET(QP)의 온 저항값은 다음에 설명하는 바와 같이 메모리 셀로의 기입 동작을 위해서 상보 비트선(/BL 또는 BL)의 한쪽이 전원 전압(VCC)과 같은 프리차지레벨로부터 회로의 접지 전위와 같은 로우레벨로 변화했을 때 관련되는 변화한 비트선의 전위와의 용량 결합에 의해 상기 메모리 셀 전원선의 전위가 일시적으로 저하하는 것을 허용 하는 정도의 비교적 큰 저항값을 가지도록 이루어진다. 이러한 기입 메모리 셀로의 동작 전위의 저하에 의해 상기 SNM을 저하 시켜 기입 마진을 향상시킨다. 이것에 대해서 비선택의 비트선(/BL 와 BL)은 어느쪽도 전원 전압(VCC)과 같은 하이레벨로 유지되기 때문에 그에 대응한 메모리 셀 전원선도 전원 전압(VCC)으로 유지된다. 따라서 워드선이 선택 상태로 된 메모리 셀에 있어서도 상기 전원 전압이 높게 유지되기 때문에 SNM을 높게 유지할 수가 있다.

[0051] 도 3에는 본 발명과 관련되는 메모리 셀의 하나의 실시예의 회로도가 나타나고 있다. 메모리 셀은 P채널 MOSFET(Q1)와 N채널 MOSFET(Q2) 및 P채널 MOSFET(Q3)와 N채널 MOSFET(Q4)에서 2개의 CMOS 인버터 회로의 입력과 출력을 교차 접속해 래치(플립 플랍) 회로를 구성하여 기억부로 하고 관련되는 입출력 상호 접속부를 기억 노드(N1; N2)로서 대응하는 비트선(/BL와 BL)의 사이에 설치된 어드레스 선택용의 N채널 MOSFET(Q5와 Q6)로 구성된다. 이들의 어드레스 선택용의 MOSFET(Q5 ; Q6)의 게이트는 대응하는 워드선(WL)에 접속된다.

[0052] 본 실시 예의 메모리 셀에서는 상보 비트선(/BL와 BL)에 대응한 메모리 셀로의 동작 전압(VCC')의 공급은 관련되는 상보 비트선(/BL 와 BL)의 사이에 설치되어 이들과 평행으로 연장되는 메모리 셀 전원선으로부터 공급된다. 즉 상기 메모리 셀 전원선은 상기 CMOS 인버터 회로를 구성하는 P채널 MOSFET(Q1 와 Q3)의 소스에 접속된다. 상기와 같은 메모리 셀 전원선은 상기 상보 비트선의 한쪽 /BL과의 사이에 기생 용량(C1)을 갖고 상보 비트선의 다른쪽 BL와의 사이에 기생 용량(C2)을 가진다.

[0053] 도 4에는 본 발명과 관련되는 메모리 셀의 하나의 실시예의 레이아웃 도가 나타나고 있다. 도 4A에는 MOSFET의 소스; 드레인 및 게이트 및 콘택트용 배선 및 콘택트홀의 각 레이아웃 패턴이 나타나고 도 4B에는 비트선(/BL; BL) 및 메모리 셀의 동작 전압(VCC')을 공급하는 메모리 셀 전원선과 콘택트용 배선 및 콘택트홀의 레이아웃 패턴이 나타나고 도 4C에는 워드선(WL)과 메모리 셀에 접지 전위(VSS)를 공급하는 접지선 및 콘택트홀의 레이

아웃 패턴이 나타나고 있다. 콘택트홀은 각(A ; B ; C)에 대표로 하고 1개가 나타나고 있는 CNT와 같이 사각에 ×표를 부여하는 것으로 나타나고 있다.

[0054] 도 4A에 있어서 P채널 MOSFET(Q1 와 Q3)는 사선을 교부한 중앙 부분에 설치된 N형 웰(NWEL)에 형성된다. 이것에 대해서 N채널 MOSFET(Q2 ; Q4 및 Q5와 Q6)는 상기 N형 웰(NWEL)의 부분 이외의 P형 기판 또는 P형 웰(PWEL)에 형성된다. 상기 CMOS 인버터 회로를 구성하는 MOSFET(Q1 과 Q2 및 Q3과 Q4)의 각각은 게이트 전극이 일체적으로 형성된다. 각 콘택트용 배선 및 콘택트홀에는 접속처가 WL ; /BL VCC' ; BL ; WL 및 VSS 와 같이 나타나고 있다. MOSFET(Q1 와 Q2 및 Q5)와 MOSFET(Q2 ; Q4 및 Q6)는 메모리 셀의 중점부를 기준으로 하고 180° 회전시킨 위치에 대칭적으로 배치된다. 콘택트용의 배선층은 콘택트홀을 둘러싸는 무색의 패턴으로 나타나고 있고 특히 제한되지 않지만 제 1층재의 메탈층(M1)으로 구성된다.

[0055] 도 4B에 있어서 비트선(/BL ; BL)은 그것이 접속되는 MOSFET(Q5 및 Q6)의 한쪽의 소스 ; 드레인에 대응하고 대략 메모리 셀 영역을 동도에 있어서 횡방향으로 4 등분 하는 경계선 가운데 1/4과 3/4의 부분에 동도에 있어서 세로 방향으로 연장되도록 배치되고 특히 제한되지 않지만 제 2층재의 메탈 배선층(M2)에 의해 형성된다. 메모리 셀 전원선도 상기 비트선(/BL ; BL)과 같은 제 2층재의 메탈층(M2)에 의해 형성되고 상기 대략 메모리 셀 영역을 4 등분 하는 경계선 가운데의 중앙(2/4)의 부분에 세로 방향으로 연장되도록 설치된다. 그리고 메모리 셀 전원선(VCC' )은 상부에 있어서 P채널 MOSFET(Q1)의 소스와 접속시키기 위해서 인접하는 비트선(/BL)의 방향으로 늘어나는 돌기부를 갖고 하부에 있어서 P채널 MOSFET(Q3)의 소스와 접속시키기 위해서 인접하는 비트선(BL)의 방향으로 늘어나는 돌기부를 가진다. 이러한 배선 레이아웃에 의해 비트선(/BL)과 메모리 셀 전원선(VCC' )의 사이에는 기생 용량(C1)이 형성되게 되고 비트선(BL)과 메모리 셀 전원선(VCC' )의 사이에는 기생 용량(C2)이 형성되게 된다.

[0056] 도 4C에 있어서 워드선(WL)은 메모리 셀 영역의 중앙부를 동 도의 횡방향으로 연장된다. 이 워드선(WL)은 제 3층재의 메탈층(M3)에 의해 형성된다. 그리고 메모리 셀 영역에 설치되어 세로 방향으로 연장되도록 설치되는 것은 메모리 셀의 접지선(VSS)이고 제 4 층재의 메탈층(M4)으로 구성된다. 이 접지선(VSS)은 인접하는 메모리 셀의 접지선(VSS)과 공용된다. 본 실시 예와 같은 메모리 셀 구성으로 함으로써 컬럼마다 전원선을 형성하는 것이 용이하게 된다. 그리고 비트선(/BL ; BL)과 내부 전원선(메모리 셀 전원선)의 사이에 커플링 용량(C1 ; C2)을 형성할 수가 있다.

[0057] 도 5에는 본 발명과 관련되는 스택형 RAM의 동작의 일례를 설명하기 위한 파형도가 나타나고 있다. 스택형 RAM의 독출시에는 워드선(WL)의 선택 동작에 의해 상기 메모리 셀의 어드레스 선택 MOSFET(Q5와 Q6)이 온 상태가 되어 메모리 셀의 기억 노드(N1 와 N2)중 로우레벨로 된 노드에 대응해 비트선(/BL와 BL)의 한쪽이 저하한다. 이 때 비트선(/BL와 BL)에는 다수의 메모리 셀이 접속됨으로써 비교적 큰 기생 용량을 갖고 상기 어드레스 선택 MOSFET(Q5 ; Q6)의 온 저항값은 비교적 크기 때문에 상기 비트선(/BL와 BL)의 독출 신호의 저하는 작고 그 레벨 변화도 완만하다. 그러므로 상기와 같이 비트선(/BL와 BL)과 메모리 셀 전원선의 사이에 기생 용량(커플링 용량, C1와 C2)이 존재해도 메모리 셀 전원선의 전압(VCC' )은 대부분 변화하지 않고 전원 전압(VCC)을 유지한다. 이것에 의해 독출 동작시의 스택형 노이즈 마진(SNM)은 크게 유지할 수가 있다. 상기와 같은 비트선(/BL 과 BL)이 작은 레벨차이의 독출 신호는 센스 앰프에 의해 증폭되어 데이터 출력으로서 출력된다.

[0058] 스택형 RAM의 기입시에는 특히 워드선(WL)의 선택 동작에 의해 상기 메모리 셀의 어드레스 선택 MOSFET(Q5와 Q6)가 온 상태가 되고 있다. 그리고 기입 드라이버로부터의 기입 신호에 대응해 비트선(/BL와 BL)의 한쪽이 급격하게 회로의 접지 전위까지 저하한다. 이러한 풀 진폭의 기입 신호의 저하는 메모리 셀 전원선과의 사이에 기생 용량(커플링 용량 ; C1 또는 C2)를 개입시켜 메모리 셀 전원선에게 전할 수 있어 메모리 셀의 동작 전압(VCC' )을 일시적으로 저하 시킨다. 즉 동작 전압(VCC' )은 상기 커플링에 의해 저하하지만 전원 회로로서의 저항 소자를 개입시켜 전원 전압(VCC)가 공급되므로 서서히 전원 전압(VCC)으로 향하여 회복한다. 이 때에는 비트선(/BL 또는 BL)의 한쪽이 로우레벨로 되어 있어 상기 워드선의 선택 상태에 의해 온 상태가 되어 있는 MOSFET(Q5 또는 Q6)를 통해 기억 노드 (N1 또는 N2)의 하이레벨을 로우레벨로 빠지므로 메모리 셀의 기억부의 기억 정보가 반전시킬 수 있다.

[0059] 예를 들면 상기와 같이 기억 노드(N1)의 하이레벨을 로우레벨에 빼낼 때 기억 노드(N1)의 하이레벨을 유지시키는 MOSFET(Q1)는 상기 전원 전압(VCC' )의 저하에 의해서도 기억 노드(N1)를 저하 시킨다. 이것과 동시에 비트선(BL)의 하이레벨이 MOSFET(Q6)를 통해 MOSFET(Q2)의 게이트(기억 노드(N2))에 전할 수 있어 MOSFET(Q2)를 온 상태 시키므로 상기 기억 노드(N1)는 상기 3개의 요인이 겹쳐 고속으로 저하하고 P채널 MOSFET(Q3)를 온 상태로 하여 기억 노드(N2)를 하이레벨로 시키는 경로도 형성된다. 그 결과적으로 기억 노드(N1)는 하이레벨로부터

로우레벨로 기억 노드(N2)는 로우레벨로부터 하이레벨로 고속으로 변화하고 기입 마진을 향상시킬 수가 있다. 즉 소자의 미세화등에 의해 전원 전압(VCC)이 저하하고 기입 드라이버의 드라이버 빌리타가 작아져도 상기와 같이 기입 마진을 향상시킬 수가 있다.

[0060] 이 때 상기 워드선(WL)이 선택 상태로 되어 있어도 기입 동작을 실시하지 않는다 즉 기억 데이터를 보지해야 할 비선택의 상보 비트선(/BL와 BL)에 접속된 메모리 셀에 있어서 상기와 같은 기입 비트선으로부터의 커플링에 의한 전압저하가 생기지 않기 때문에 상기 독출 동작의 경우와 동일하게 전원 전압(VCC)을 유지시킬 수가 있다. 이 때문에 워드선이 선택 상태로 되어 상기 MOSFET(Q5 ; Q6)가 온 상태로 되어 있는 메모리 셀에 있어서도 기억 데이터를 보지해야 하는 것은 큰 스테틱노이즈 마진(SNM)을 유지시킬 수가 있다. 이와 같이 기입시의 비선택 컬럼 및 독출시의 비트선은 메모리 셀에 의한 비트선 진폭이기 때문에 비교적 완만한 소진폭으로 되기 때문에 커플링의 효과는 작게; SNM의 저하는 작게 안정 동작이 된다.

[0061] 도 6에는 본 발명과 관련되는 스테틱형 RAM의 다른 하나의 실시예의 블록도가 나타나고 있다. 본 실시예에서는 상기 도 1과 같은 상기 기입 신호(WE)는 열디코더로 형성된 비트선 선택 신호(YS0~YSm)와 게이트 회로(G0 ; Gm)등에 의해 조합되어 비트선 마다 설치된 기입 드라이버의 활성화 신호((WC0~WCm))<sub>f</sub>mf 형성하기 위해서 이용된다. 즉 기입 동작이 지시받았다면 열어드레스에 대응한 기입 드라이버가 활성화되어 워드 드라이버로 선택된 워드선에 접속된 메모리 셀에 대해서 데이터 입력이 기입된다. 이것에 대해서 독출 동작이 지시받았다면 열어드레스에 대응해 독출 열선택 스위치가 온 상태가 되어 선택된 비트선(/BL와 BL)의 신호가 센스 앰프의 입력에 전달되어 독출신호(SAC)에 의해 증폭이 실행되어 데이터 출력이 된다.

[0062] 상기와 같이 상보 비트선(/BL와 BL)에 대응해 기입 드라이버를 설계했을 경우에는 상기 도 1의 실시 예와 같이 열선택 스위치를 개재시키지 않고 상보 비트선(/BL와 BL)에 직접적으로 데이터 입력에 대응한 기입 신호를 전달 수가 있기 때문에 비트선 페어의 한쪽을 고속으로 프리차지 레벨로부터 로우레벨로 빼낼 수가 있다. 그리고 본 실시예에서는 상기 신호(WC0~WCm)를 이용해 각각의 비트선(/BL0 ; BL0~/BLm ; BLm)에 대응한 메모리 셀 전원선(VCC0~VCCm)에 접속되는 전원 회로 (O~M)의 제어 신호로서 이용된다. 다른 구성은 기본적으로는 상기 도 1의 실시예와 같다.

[0063] 도 7에는 도 6의 스테틱형 RAM에 이용되는 전원 회로의 하나의 실시예의 회로도가 나타나고 있다. 본 실시예에서는 상기 도 2의 전원 회로와 같은 P채널 MOSFET(QP1)에 대해서 상기 신호(WC)가 게이트에 공급된 P채널 MOSFET(QP2)가 병렬 형태로 설치된다. 신호(WC)는 선택된 상보 비트선(/BL ; BL)에 대응해 하이레벨로 된다. 그러므로 예를 들면 선택된 상보 비트선(/BL0 ; BL0)에 대응해 전원 회로의 P채널 MOSFET(QP2)은 오프 상태로 된다. 이것에 의해 기입시에 있어서는 선택 메모리 셀의 전원 전압(VCC')이 상기와 같이 기입 신호가 전해지는 비트선과의 커플링에 의해 저하한다. 이것에 대해서 선택 상보 비트선(/BLm ; BLm)을 포함한 다른 비선택 상보 비트선에 대응한 전원 회로에서는 상기 P채널 MOSFET(QP1 과 QP2)이 모두 온 상태가 되어 비선택 메모리 셀의 전원 전압(VCC')은 전원 전압(VCC)과 동일하게 유지된다.

[0064] 본 실시예에서는 상기 P채널 MOSFET(QP1)의 온 저항값을 충분히 크게 하면 상기 결합 용량(C1; C2)을 특별히 필요로 하지 않는다. 예를 들면 선택된 상보 비트선(/BL0 ; BL0)에 대응해 전원 회로의 P채널 MOSFET(QP2)은 오프 상태로 되어 고저항값의 P채널 MOSFET(QP1)로부터의 미소 전류 밖에 공급되지 않는다. 따라서 관련되는 MOSFET(QP1)은 상보 비트선(/BL0 ; BL0)에 접속된 다수의 메모리 셀에서의 리크 전류와 반전 기입이 실행되는 메모리 셀에 흐르는 CMOS 인버터 회로의 출력 신호 변화에 대응한 전류가 흐르게 되고 상기와 같은 용량 커플링이 없어도 메모리 셀의 동작 전압(VCC')이 저하한다. 이 동작 전압(VCC')의 저하에 의해 메모리 셀로의 기입 마진을 크게 할 수가 있다.

[0065] 이것에 대해서 상기 워드선이 선택 상태로 되어 있어도 기입 동작을 실시하지 않는다 즉 기억 데이터를 보지해야 할 비선택의 상보 비트선에 접속된 메모리 셀에 있어서는 MOSFET(QP1 과 QP2)의 온 상태에 의한 저인피던스 메모리 셀 전원선이 전원 전압(VCC)에 접속되고 있으므로 보다 안정적으로 전원 전압(VCC)에 유지시킬 수가 있다. 이것에 의해 상기 워드선이 선택 상태로 되어 상기 MOSFET(Q5; Q6)이 온 상태가 되어 있는 메모리 셀에 있어서도 기억 데이터를 보지해야 하는 것은 큰 스테틱 노이즈마진(SNM)을 유지시킬 수가 있다. 따라서 본 실시예의 메모리 셀의 레이아웃은 상기 도 4와 같은 실시예로 한정되지 않고 예를 들면 비트선(/BL ; BL)과 전원선(VCC')을 다른 배선층에 의해 구성해도 좋고 회로 레이아웃의 자유도를 증가할 수가 있다.

[0066] 도 8에는 도 6의 스테틱형 RAM에 이용되는 전원 회로의 다른 하나의 실시예의 회로도가 나타나고 있다. 본 실시예에서는 상기 도 7의 P채널 MOSFET(QP1)이 생략되어 상기 신호(WC)가 게이트에 공급된 P채널 MOSFET(QP2)만에 의해 구성된다. 이 구성에서는 예를 들면 선택된 상보 비트선(/BL0 ; BL0)에 대응해 전원 회로의 P채널



MOSFET(QP2)은 오프 상태로 되어 상보 비트선(/BL0 ; BL0)에 대응한 모든 메모리 셀의 전원이 차단된 상태가 된다. 따라서 관련되는 MOSFET(QP1)는 상보 비트선(/BL0 ; BL0)에 접속된 다수의 메모리 셀에서의 리크 전류와 반전 기입이 행해지는 메모리 셀에 흐르는 CMOS 인버터 회로의 출력 신호 변화에 대응한 전류가 흐르게 되고 상기와 같은 용량 커플링이 없어도 메모리 셀의 동작 전압(VCC')이 크게 저하한다.

[0067] 따라서 극단적으로 말하여 메모리셀의 하한 동작 전압 이하로 일시적으로 저하하는 일이 있어도 워드선이 선택된 선택 메모리 셀에 대해서는 기입 드라이버로부터의 하이레벨과 로우레벨이 상기 MOSFET(Q5와 Q6)를 개재하여 상기 기억 노드(N1와 N2)의 용량에 기입된다. 이것에 대해서 워드선이 비선택으로 된 메모리 셀에서는 상기 MOSFET(Q5와 Q6)가 오프 상태이기 때문에 예를들면 전원 전압(VCC')이 하한 동작 전압 이하로 되어도 상기 기억 노드(N1 과 N2)의 용량에는 기억 전하가 보지된다. 따라서 상기 메모리 셀로의 쓰기 동작에 필요한 짧은 시간만 상기 P채널 MOSFET(QP2)를 오프 상태로 하여도 상기 비선택 메모리 셀에서는 다이내믹형 메모리 셀과 동일하게 상기 기억 전하에 의해 기억 데이터를 보지하고 있다. 그리고 상기 P채널 MOSFET(QP2)을 온 상태로 하고 전원 전압(VCC)을 공급하여 일시적으로 감소한 기억 전하를 회복시킬 수가 있다.

[0068] 본 실시예에서는 상기와 같이 선택된 상보 비트선(/BL0 ; BL0)에 대응한 모든 메모리 셀의 전원을 MOSFET(QP2)의 오프 상태에 의해 일시적으로 차단한 상태에서는 스테틱형 메모리 셀은 서로 다른 전하 상태의 2개의 다이내믹형 메모리 셀과 같은 기억 동작을 실시하고 일시적으로 기억 노드(N1 또는 N2)의 기억 전하의 일부가 없어져도 기입 종료에 의한 MOSFET(QP2)의 온 상태에 의한 전원 공급에 의해 인버터 회로가 동작 상태가 되어 원래의 상태로 회복시킬 수가 있다. 본 실시예에서는 기입 동작시의 선택 컬럼의 내부 전원(VCC')이 비선택 메모리 셀의 데이터 소거에 이를 정도로는 안 되는 기입 신호(WE)의 펄스폭을 설정하면 좋다. 본 실시예에서는 단순한 구성의 전원 회로를 이용하면서 선택된 상보 비트선에 대응한 메모리 셀의 기입 동작 마진의 향상을 도모하면서 상기 비선택 상보 비트선에 접속되는 비선택 메모리 셀의 SNM을 확보할 수가 있다.

[0069] 도 9에는 도 6의 스테틱형 RAM에 이용되는 전원 회로의 또 다른 하나의 실시예의 회로도가 나타나고 있다. 본 실시예에서는 상기 도 7의 P채널 MOSFET(QP2)에 대해서 N채널 MOSFET(QN1)이 병렬 형태로 설치된다. 상기 P채널 MOSFET(QP2)와 N채널 MOSFET(QN1)의 게이트는 공통 접속되어 상기 기입 신호(WC)가 공급된다. 본 실시예에서는 예를 들면 선택된 상보 비트선(/BL0 ; BL0)에 대응해 전원 회로의 P채널 MOSFET(QP2)은 오프 상태로 되면 대신하여 N채널 MOSFET(QN1)가 온 상태가 된다. 따라서 상보 비트선(/BL0 ; BL0)에 접속된 다수의 메모리 셀에서의 리크 전류와 반전 기입을 하는 메모리 셀에 흐르는 CMOS 인버터 회로의 출력 신호 변화에 대응한 전류가 흘러도 메모리 셀 동작 전압(VCC')은 VCC-Vth까지 밖에 저하하지 않는다. Vth는 N채널 MOSFET(QN1)의 한계치 전압이다. 이것에 의해 도 8의 실시예에 비해 기입 신호(WE)의 펄스폭을 크게 해도 비선택 메모리 셀의 데이터 소거에 이르는 것 같은 우려가 해소된다.

[0070] 도 10에는 도 6의 스테틱형 RAM에 이용되는 전원 회로의 또 다른 하나의 실시예의 회로도가 나타나고 있다. 본 실시예에서는 상기 도 7의 P채널 MOSFET(QP1)가 저항 소자(R)로 옮겨진다. 이 저항 소자(R)는 MOSFET 이외의 저항 수단 예를 들면 확산 저항 또는 폴리 실리콘 저항등으로 치환하기 위한 것이고 동작은 상기 도 7의 실시예와 같다.

[0071] 도 11에는 도 6의 스테틱형 RAM에 이용되는 전원 회로의 또 다른 하나의 실시예의 회로도가 나타나고 있다. 본 실시예는 상기 도 9의 실시 예의 변형예이고 N채널 MOSFET(QN2)에 의해 하한 전압이 컬럼마다 내부 전원(메모리 셀 전원선(VCC'))으로 전할 수 있다. 즉 상기 도 9의 실시예에서는 선택 컬럼에 대해서 기입시에는 N채널 MOSFET의 한계치 전압(Vth)만 저하한 전원 전압(VCC-Vth)를 공급하는 것이지만 그에 대신해 메모리 셀의 하한 전압을 N채널 MOSFET(QN2)에 의해 공급하는 것이다. 이 때문에 하한 전압 (<VCC-Vth)의 관계로 있다. 만약 하한 전압 (>VCC-Vth)와 같이 하는 경우에는 P채널 MOSFET를 이용하도록 하여 기입 신호(WC)를 인버터 회로로 반전시켜 상기 하한 전압을 공급하는 P채널 MOSFET의 게이트에 공급하면 좋다. 이 경우에는 하한 전압 발생 회로를 별개 설계하는 것이 필요하다.

[0072] 도 12에는 도 6의 스테틱형 RAM에 이용되는 전원 회로의 또 다른 하나의 실시예의 회로도가 나타나고 있다. 본 실시예는 상기 도 11의 실시 예의 변형예이고 P채널 MOSFET(QP3)의 한계치 전압(Vth)이 하한 전압으로서 이용된다. 본 실시예에서는 메모리 셀 전원선과 회로의 접지 전위(VSS)의 사이에 P채널 MOSFET(QP3)이 설치된다. 이 MOSFET(QP3)의 게이트에는 인버터 회로(INV1)를 개재시켜 기입 신호(WC)가 공급된다. 이 구성에서는 선택된 상보 비트선(/BL; BL)에 대응해 기입 신호(WC)가 하이레벨로 된다. 이것에 의해 P채널 MOSFET(QP2)은 오프 상태로 되어 바꾸어 P채널 MOSFET(QP3)이 온 상태가 된다. 상기 P채널 MOSFET(QP3)의 온 상태에 의해 메모리 셀 동작 전압(VCC')은 Vth까지 저하하게 된다. 관련된 MOSFET(QP3)의 한계치 전압(Vth)을 동작 전압으로서 선택된 상보

비트선(/BL; BL)에 접속시킨 메모리 셀이 동작하게 된다.

[0073] 상기와 같이 선택된 상보 비트선(/BL; BL)에 접속된 다수의 워드선 비선택 메모리 셀에서의 리크 전류 및 선택 워드선 메모리 셀에서의 데이터 반전 전류가 소비되지만 본 실시 예의 전원 회로에서는 그에 대응한 전류 경로를 가지지 않기 때문에 실질적으로는 상기 도 8의 실시예와 동등하게 된다. 즉 본 실시예에서는 상기 도 8의 실시 예와 같은 전류에 의한 메모리 셀 동작 전압의 저하를 기다리는 것이 아니라 메모리 셀의 기입시에 MOSFET(QP3)의 온 상태로 하여 적극적으로 메모리 셀 동작 전압(VCC')을  $V_{th}$ 까지 저하 시켜 기입 마진을 확대시킨 상태로 단시간내에 기입을 종료시켜 즉시 상기 P채널 MOSFET(QP2)을 온 상태하도록 하는 것이다. 이 구성에서는 소자의 격차등에 영향을 받지 않고 상기 기입 시간을 설정이 용이하게 된다.

[0074] 도 13에는 본 발명과 관련되는 스테틱형 RAM에 이용되는 전원 회로의 또 다른 하나의 실시예의 회로도가 나타나고 있다. 본 실시예는 상기 도 1이나 도 6의 실시 예와 같은 전원 전압(VCC) 측에 전원 회로를 설계하는 구성에 대신해 선택된 상보 비트선에 대응한 메모리 셀의 기입 동작 마진의 향상을 도모하면서 상기 비선택 상보 비트선에 접속되는 비선택 메모리 셀의 SNM을 확보하기 위해서 상보 비트선(/BL0; BL0~/BLm; BLm)의 각각 대응해 메모리 셀 전원선(VSS0~VSSM)을 설계한다. 즉 동도의 메모리 셀 접지선(VSS)은 대응하는 상보 비트(/BL0; BL0)에 접속되는 메모리 셀의 접지선이 된다. 그리고 상기 각 메모리 셀 접지선(VSS')과 회로의 접지선(VSS)의 사이에는 도 13에 나타난 바와 같은 접지 공급 회로가 설치된다.

[0075] 본 실시예에서는 선택된 상보 비트선(/BL; BL)에 대응해 기입 신호(WCB)가 로우레벨로 된다. 이것에 의해 N채널 MOSFET(QQN3)는 오프 상태가 되어 P채널 MOSFET(QP4)가 온 상태가 된다. 따라서 선택된 상보 비트선(/BL; BL)에 접속된 다수의 메모리 셀에 흐르는 리크 전류나 기입 동작을 위해서 흐르는 전류는 상기 P채널 MOSFET(QP4)를 통하여 흐르게 되고 메모리 셀의 접지 전위(VSS')을  $V_{th}$ 만 상승시킨다. 즉 기입 동작을 하는 메모리 셀에는  $VCC-V_{th}$ 와 같은 저전압 밖에 주어지지 않기 때문에 상기 도 9의 실시예와 등가가 되고 기입 마진을 크게 할 수 있다. 이것에 대해서 비선택의 상보 비트선(/BL; BL)에 대응하여 메모리 셀의 접지선(VSS')은 N채널 MOSFET(QN3)가 온 상태로 되어 있고 접지 전위(VSS)가 그대로 전해진다. 이것에 의해 상기 비선택 상보 비트선에 접속되는 비선택 메모리 셀의 동작 전압은 VCC가 되어 상기와 같이 SNM을 확보할 수가 있다.

[0076] 본 실시 예의 접지 공급 회로는 병렬 형태로 된 P채널 MOSFET(QP4)와 N채널 MOSFET(QN3)로부터 구성된다. 이들의 MOSFET(QP4 와 QN3)의 게이트에는 상기 도 12에 나타난 바와 같은 인버터 회로(INV1)에 의해 반전된 기입 신호(WCB)가 공급된다. 본 실시 예의 접지 공급 회로는 실질적으로는 상기와 같은 전원 회로로 간주할 수가 있다. 즉 메모리 셀은 전원 전압(VCC)과 접지 전압(VSS)의 전압차이가 동작 전압으로서 주어지 동작하기 때문에 상기 실시 예와 같이 전원 전압(VCC)을 저하 시킨 전압(VCC')을 공급하는 것과 회로의 접지 전위(VSS)를 상승시킨 전압(VSS')을 공급하는 것은 메모리 셀의 동작에 있어 보면 등가가 된다.

[0077] 상기 도 1의 실시 예와 같이 비트선과의 사이에서의 용량 결합에 의해 접지선을 하이레벨 측에 들어 올리도록 하기 위해서는 비트선을 로우레벨로 프리차지 해 뒤 입력 데이터에 대응하여 한쪽 비트선을 전원 전압(VCC)과 같은 하이레벨로 디스차지 하는 구성으로 하면 좋다.

[0078] 도 14에는 본 발명과 관련되는 메모리 셀의 다른 하나의 실시예의 레이아웃 도 나타나고 있다. 도 14A 및 도 14C는 상기 도 4A와 도 4C와 같고 배선층(M1~M4)등의 기호는 생략되고 있다. 본 실시예에서는 기생 용량(C1 과 C2)의 용량값을 크게하기 위한 방법이 나타나고 있다. 전원선(VCC')의 배선폭을 넓게 해 비트선(/BL; BL)과의 사이의 간격을 짧게 해도 기생 용량은 크게 할 수가 있다. 그러나 반면 전원선(VCC')과 다른 회로 노드 예를 들면 회로의 접지 전위등과의 기생 용량도 증대한다. 이 기생 용량은 상기 비트선으로부터의 커플링에 의한 전위 변화를 저지하는 방향으로 작용하므로 효과적인 커플링 용량의 강화책이라고는 할 수 없다. 그점에서 본 실시예에서는 전원선(VCC')의 배선폭을 넓히는 경우 없이 양비트선(/BL; BL)의 간격이 등분으로 짧아지도록 사행시킨다. 이것에 의해 기생 용량(C1 과 C2)를 크게 하고 또한 전원선(VCC')과 회로의 접지 전위등과의 기생 용량을 그대로 할 수 있으므로 기입 동작에 의한 비트선 전위의 변화에 대응해 메모리 셀 전압(VCC')의 부진을 효과적으로 실시하게 하도록 할 수가 있다.

[0079] 도 15에는 도 1 또는 도 6의 스테틱형 RAM에 이용되는 워드 드라이버의 하나의 실시예의 회로도가 나타나고 있다. 본 실시예에서는 대표로서 4개의 워드선(WL0~WL3)에 대응한 4개의 워드 드라이버가 예시적으로 나타나고 있다. 본 실시예에서는 하이레벨을 논리 1과 정논리를 취하는 경우 노어 게이트(NOR) 회로를 워드 드라이버로서 이용한다. 즉 워드선(WL0)에 대응한 워드 드라이버를 예로 하고 설명하면 전원 전압(VDD)과 출력 단자(WL0)의 사이에 P채널 MOSFET(PA0 와 PB0)가 직렬 형태로 접속되어 회로의 접지 전위(VSS)와 출력 단자(WL0)의 사이에 N채널 MOSFET(NA0 와 NB0)이 병렬 형태로 접속된다. 그리고 P채널 MOSFET(PA0)와 N채널 MOSFET(NA0)의 게이트가

공통 접속되어 입력 신호(PDA) [0] 가 공급되어 P채널 MOSFET(PB0)와 N채널 MOSFET(NB0)의 게이트가 공통 접속되어 입력 신호(PDB) [0] 이 공급된다.

[0080] 상기 P채널 MOSFET(PA0)의 소스에 상기 전원 전압(VCC)이 공급되어 상기 P채널 MOSFET(PB0)의 드레인은 출력 단자에 접속된다. 이 출력 단자에는 상기 워드선(WL0)이 접속된다. 또 N채널 MOSFET(NA0 와 NB0)의 소스에는 회로의 접지 전위(VSS)가 공급되고 상기 MOSFET(NA0 와 NB0)의 드레인은 상기 출력 단자에 공통으로 접속된다.

[0081] 본 실시예에서는 특히 제한되지 않지만 회로의 간소화를 위해서 P채널 MOSFET(PA01) 워드선(WL1)에 대응한 워드 드라이버에도 공통으로 이용된다. 즉 워드선(WL1)에 대응한 워드 드라이버는 상기 P채널 MOSFET(PA0 와 PB1)이 직렬 형태로 접속되어 회로의 접지 전위(VSS)와 출력 단자(WL1)의 사이에 N채널 MOSFET(NA1 와 NB1)가 병렬 형태로 접속된다. 그리고 P채널 MOSFET(PA0)와 N채널 MOSFET(NA1)의 게이트가 공통 접속되어 상기 입력 신호(PDA) [0] 이 공급되어 p채널 MOSFET(PB1)와 N채널 MOSFET(NB1)의 게이트가 공통 접속되어 입력 신호(PDB) [1] 이 공급된다.

[0082] 나머지 2개의 워드선(WL 2와 3)에 있어서도 전원 전압(VCC)에 소스가 접속된 P채널 MOSFET(PA2)가 2개의 워드 드라이버에 공통으로 이용된다. 즉 워드선(WL2)에 대응한 워드 드라이버에서는 상기과 같이 전원 전압(VCC)과 출력 단자(WL2)의 사이에 P채널 MOSFET(PA2 와 PB2)이 직렬 형태로 접속되어 회로의 접지 전위(VSS)와 출력 단자(WL2)의 사이에 N채널 MOSFET(NA2) 와 NB2)이 병렬 형태로 접속된다. 그리고 P채널 MOSFET(PA2)와 N채널 MOSFET(NA2)의 게이트가 공통 접속되어 입력 신호(PDA) [1] 이 공급되고 P채널 MOSFET(PB2)와 N채널 MOSFET(NB2)의 게이트가 공통 접속되어 입력 신호(PDB) [0] 이 공급된다.

[0083] 상기 P채널 MOSFET(PA2)는 워드선(WL3)에 대응한 워드 드라이버에도 공통으로 이용된다. 즉 워드선(WL3)에 대응한 워드 드라이버는 상기 전원 전압(VCC)과 출력 단자(WL3)의 사이에 상기 P채널 MOSFET(PA2 와 PB3)가 직렬 형태로 접속되어 회로의 접지 전위(VSS)와 출력 단자(WL3)의 사이에 N채널 MOSFET(NA3 와 NB3)가 병렬 형태로 접속된다. 그리고 P채널 MOSFET(PA2)와 N채널 MOSFET(NA3)의 게이트가 공통 접속되어 상기 입력 신호(PDA) [1] 이 공급되어 P채널 MOSFET(PB3)와 N채널 MOSFET(NB3)의 게이트가 공통 접속되어 입력 신호(PDB) [1] 이 공급된다.

[0084] 상기 입력 신호(PDA) [0] 과 [1] 은 액티브시에는 상보(배타) 관계에 있는 신호이고 한쪽이 하이레벨의 경우에는 다른쪽이 로우레벨로 된다. 상기 입력 신호(PDB) [0] 과 [1] 도 동일하게 액티브시에는 상보(배타) 관계에 있는 신호이고 한쪽이 하이레벨의 경우에는 다른쪽이 로우레벨로 된다. 특히 제한되지 않지만 이들의 입력 신호 입력 신호(PDA 와 PDB)는 어드레스 신호의 그 밖에 후술 하는 바와 같은 클럭 신호 성분 및 스태바이 신호 성분이 포함된다.

[0085] 입력 신호(PDA)는 특히 제한되지 않지만 어드레스 신호의 상위 비트측이 되고 입력 신호(PDB)는 하위 비트측이 된다. 따라서 입력 신호(PDA) [0] 이 로우레벨로 입력 신호(PDA) [1] 이 하이레벨; 입력 신호(PDB) [0] 이 로우레벨로 입력 신호(PDB) [1] 이 하이레벨일 때에는 입력 신호(PDA) [0] 의 로우레벨과 입력 신호(PDB) [0] 의 로우레벨에 대응해 P채널 MOSFET(PA0 와 PB0)가 온 상태가 되고; N채널 MOSFET(NA0 와 NB0)가 오프 상태가 되고; 워드선(WL0)을 전원 전압(VCC)과 같은 하이레벨의 선택 상태로 된다. 다른 워드선(WL1~WL3)에 대응한 워드 드라이버에서는 입력 신호(PDA) [1] 의 하이레벨에 의해 2개의 P채널 MOSFET 가운데 적어도 어느쪽 1개가 오프 상태가 되고 2개의 N채널 MOSFET 가운데 적어도 어느쪽 1개가 온 상태가 되어 접지 전위(VSS)와 같은 로우레벨의 비선택 상태로 된다.

[0086] 스태바이 상태에서는 입력 신호(PDA)[0] ; [1] 및 입력 신호(PDB) [0] ; [1] 이 모두 하이레벨로 된다. 이것에 의해 모든 P채널 MOSFET는 오프 상태로 되어 모든 N채널 MOSFET는 온 상태로 된다. 상기 P채널 MOSFET는 상기과 같은 리크 전류가 흐르면 직렬 MOSFET의 접속점의 전위가 VSS로부터 VCC/2로 향해 상승하고 전원 전압측의 P채널 MOSFET(PA1;PA2)에 있어서 소스 전위가 상승해 기관과의 사이가 역바이어스가 된다는 소스 바이어스 효과에 의해 리크 전류를 큰폭으로 저감시킬 수가 있다.

[0087] 상기과 같이 워드선(WL0)이 선택 상태 때 그에 대응한 워드 드라이버의 P채널 MOSFET(PA0 ; PB0) 혹은 PA0 또는 PB0 가운데 적어도 어느 한쪽이 오프 상태가 된다. 워드 드라이버는 NOR형 논리 게이트 회로의 특징인 P채널 MOSFET의 세로 적층으로 하는 것에 의한 소스 바이어스 효과에 의해 리크 전류를 작게 할 수 있다. 특히 입력 신호(PDA) [0] [1] ; PDB [0] [1] 이 모두 하이레벨이 되는 스태바이 상태가 되면 상기과 같이 2개의 P채널 MOSFET가 모두 오프 상태가 되어 소스 바이어스 효과에 의해 리크 전류가 큰폭으로 저감할 수 있다. 본 실시예와 같이 P채널 MOSFET(PA0 ; PA2)를 2개의 워드 드라이버에 공급해도 2개의 워드선이 동시에 선택되지 않기 때문에 구동력을 유지하면서도 리크 삭감 효과가 높아진다. 디코드 논리에 따라서는 공유되는 워드 드라이버수



는 예를 들면 2의 곱승으로 증가시키는 것이 가능하다.

- [0088] 본 실시예회로의 특징은 리크 전류를 저감 시키기 위한 특별한 제어 신호가 불필요하다는 점이다. 그리고 입력 신호(PDA)에 클럭 신호 성분을 포함하게 했을 경우 결국은 비트선을 프리차지 할 경우에 전체 워드선을 비선택으로 할 필요가 있다. 이 프리차지 기간의 전체 워드선 비선택 상태에 있어서 상기와 같은 소스 바이어스 효과에 의한 리크 전류를 저감 시킬 수가 있다. 즉 스탠바이 상태 뿐만 아니라 메모리 액세스시에서의 리크 전류도 저감 시킬 수가 있는 것이 된다.
- [0089] 즉 LSI (Large Scale Integrated circuit:대규모 집적회로)의 저소비 전력화 및 LSI중의 트랜지스터(MOSFET)의 미세화에 의해 LSI의 전원 전압이 저하하고 있다. 예를 들어 0.13 $\mu$ m프로세스에서는 전원 전압 1.2 V로 동작하는 LSI가 제조된다. LSI의 전원 전압을 내리는 경우에는 회로 성능(회로의 동작 속도)을 저하 하지 않기 때문에 트랜지스터의 한계치 전압(Vth)을 내려 트랜지스터의 전류를 증가시키고 있어 예를 들어 0.13 $\mu$ m프로세스에서는 Vth가 0.4 V정도인 MOSFET가 사용된다. Vth가 낮은 트랜지스터에서는 서브슬레서드 전류로 불리는 트랜지스터가 오프 상태의 경우에 소스·드레인 사이에 흐르는 전류가 커진다. 이 전류는 그 트랜지스터로 구성된 회로가 동작하고 있지 않는 경우에도 계속 흘러 LSI가 통전되고 있지만 동작하고 있지 않는 상태(이후 스탠바이 상태)에서의 소비되는 전류가 된다. 스탠바이 상태에서 데이터를 기억해 둘 필요가 있는 메모리 회로에서는 스탠바이 상태에서도 전원을 차단할 수가 없기 때문에 회로를 구성하는 트랜지스터의 Vth가 내리면 서브 슬레서드 전류가 증가해 스탠바이시의 소비 전력이 증가해 버린다는 문제를 상기 워드 드라이버에 의해 해결할 수 있다.
- [0090] 도 16에는 본 발명과 관련되는 스태틱형 RAM의 하나의 실시예의 전체 회로도가 나타나고 있다. 스태틱형 RAM은 메모리 셀 어레이와 그 주변 회로에 설치된 어드레스 선택 회로 독출 회로 및 기입 회로와 그 동작을 제어하는 타이밍 생성 회로로 구성된다.
- [0091] 메모리 셀 어레이로서 1개의 워드선(WL)과 2쌍의 상보 비트선(BL ; /BL)과 그 교점에 설치된 2개의 메모리 셀이 대표로서 예시적으로 나타나고 있다. 상기 메모리 셀은 상기와 같이 P채널 MOSFET(Q1 ; Q3)과 N채널 MOSFET(Q2 ; Q4)로 이루어지는 2개의 CMOS 인버터 회로의 입력과 출력이 교차 접속된 래치 회로와 이 래치 회로의 한 쌍의 입출력 노드와 비트선(BL 과 /BL)의 사이에 N채널 MOSFET(Q5와 Q6)로 이루어지는 선택 스위치로 구성된다. 이들의 MOSFET(Q5와 Q6)의 게이트는 상기 워드선(WL)에 접속된다.
- [0092] 특히 제한되지 않지만 상기 메모리 셀 어레이는 1개의 워드선(WL)에 128개의 메모리 셀이 배치된다. 그러므로 상보 비트선(BL ; /BL)은 128쌍으로 구성된다. 1쌍의 비트선(BL 과 /BL)에는 256개의 메모리 셀이 배치된다. 그러므로 워드선(WL)은 0~255와 같은 256개로 구성된다. 상기 각 비트선(BL ; /BL)에는 프리차지 그리고 이퀄라이즈 회로(PC/EQ)가 설치된다. 프리차지 회로 그리고 이퀄라이즈 회로 (PC/EQ)는 상기 도 1과 같이 상보 비트선(BL 과 /BL)에 전원 전압과 같은 프리차지 전압을 주는 P채널 MOSFET와 상기 상보 비트선(BL 과 /BL)의 사이를 합선 하는 P채널 MOSFET로부터 구성된다. 또 본 실시예에서는 상기 상보 비트선(BL 과 /BL)와 전원 단자의 사이에는 게이트와 드레인이 교차 접속된 P채널 MOSFET가 풀업 MOSFET로서 설치된다. 이것에 의해 독출시에 하이레벨측의 비트선의 빠짐이 방지된다.
- [0093] 특히 제한되지 않지만 상기 128쌍의 비트선은 P채널 MOSFET로 이루어지는 독출용 컬럼 스위치에 의해 32쌍의 상보 독출 데이터선(RD; /RD)에 접속된다. 1개의 독출 데이터선(RD; /RD)에는 4쌍의 비트선(BL ; /BL) 가운데 어느 1개에 접속된다. 상기 독출 데이터선(RD; /RD)에는 센스 앰프(SA)가 설치된다. 센스 앰프(SA)는 P채널 MOSFET와 N채널 MOSFET로 이루어지는 2개의 CMOS 인버터 회로의 입력과 출력이 교차 접속되는 CMOS 래치 회로와 이 CMOS 래치 회로의 N채널 MOSFET의 소스와 회로의 접지 전위에 설치된 N채널 MOSFET로부터 구성된다. 상기 독출 데이터선(RD; /RD)이 상기와 같이 32쌍 설치됨으로써 대응하여 센스 앰프(SA)도 전체로 32개 설치된다.
- [0094] 상기 센스 앰프(SA)를 활성화 시키는 N채널 MOSFET의 게이트 및 상기 센스 앰프(SA)의 증폭 신호를 전하는 게이트 회로에는 타이밍 생성 회로로 형성된 타이밍 신호와 센스 앰프 선택 신호(SAC)를 받는 게이트 회로로 형성된 타이밍 제어 신호( $\Phi_{sac}$ )가 인버터 회로열을 통해 전해진다. 이 타이밍 제어 신호( $\Phi_{sac}$ )는 상기 독출용 컬럼 스위치의 선택 신호로서도 이용된다. 센스 앰프(SA)는 상기 선택 신호에 의해 활성화되어 독출 데이터선(RD; /RD)의 신호를 증폭한다.
- [0095] 상기 센스 앰프(SA)의 증폭 신호는 MOSFET(Q17~Q22)에 의해 구성되는 래치 회로(LT)로 전할 수 있어 출력 회로(OB)에 의해 출력 신호(dout)가 형성된다. 래치 회로(LT)는 출력 래치 제어 신호(o1c)에 근거해 형성된 신호(o1c)에 의해 제어되는 스루 래치 회로로 구성된다. 출력 회로(OB)는 출력 드라이버 제어 신호(odc)에 근거해 형성된 신호(odc)에 의해 제어되는 게이트 회로와 출력 인버터 회로로 구성된다.

- [0096] 본 실시예에서는 특히 제한되지 않지만 상기 32개의 센스 앰프(SA)를 모두 활성화 해 32 비트로 이루어지는 독출 신호를 출력 시키는 독출 동작 ; 상기 32개의 센스 앰프(SA) 가운데 16개를 활성화 해 16 비트로 이루어지는 독출 신호를 출력 시키는 독출 동작 혹은 상기 32개의 센스 앰프(SA) 가운데 8개를 활성화 해 8 비트로 이루어지는 독출 신호를 출력 시키는 독출 동작이 선택적으로 가능하게 된다. 상기 센스 앰프 선택 신호(SAC)는 상기 3 종류의 독출 동작에 대응해 센스 앰프(SA)등의 제어를 실시하는 것과 동시에 리드 스위치 제어 신호(rswc)나 컬럼 선택 신호(se1)에 의해 P채널 MOSFET로 이루어지는 독출용 컬럼 스위치의 비선택 신호로서 이용된다.
- [0097] 상기 128쌍의 비트선은 N채널 MOSFET로 이루어지는 기입용 컬럼 스위치(WCP)에 의해 32쌍의 상보 기입 데이터선(WD ; /WD)에 접속된다. 1개의 기입 데이터선(WD ; /WD)은 상기 컬럼 스위치에 의해 4쌍의 비트선(BL ; /BL) 가운데 어느 1개에 접속된다. 상기 기입 데이터선(WD ; /WD)에는 기입 신호(din)를 기입 데이터선(WD)으로 전하는 인버터 회로열(WDP1)과 반전 기입 신호를 형성하는 인버터 회로(WDP3) 및 반전 기입 신호를 기입 데이터선(/WD)으로 전하는 인버터 회로열(WDP2)로 이루어지는 기입 회로(라이트 앰프)가 설치된다. 이 기입 회로도 상기 32쌍의 상보 기입 데이터선(WD ; /WD)에 대응해 32개로 구성된다.
- [0098] 본 실시 예의 SRAM은 특히 제한되지 않지만 상기 32개의 라이트 앰프로 형성된 32 비트로 이루어지는 기입 신호를 유효로 하는 기입 동작 ; 상기 32개의 라이트 앰프중 16개로 형성된 16 비트로 이루어지는 독출 신호를 유효로 하는 기입 동작 혹은 상기 32개의 라이트 앰프 가운데 8개로 형성된 8 비트로 이루어지는 기입 신호를 유효로 하는 기입 동작중 한쪽이 선택적으로 가능하게 된다. 이 때문에 라이트 스위치 제어 신호(wswc)가 이용된다. 본 실시예에서는 상기 컬럼 선택 신호가 라이트 스위치 제어 신호(wswc)와 조합되오 N채널 MOSFET로 이루어지는 기입용 컬럼 스위치에 전할 수 있다.
- [0099] 상기 센스 앰프(SA)의 증폭 신호는 게이트 회로를 통해 MOSFET(Q17~Q22)와 인버터 회로로 이루어지는 래치 회로에 전할 수 있어 게이트 회로 및 출력 인버터 회로를 통해 출력 신호(dout)가 형성된다. 상기 센스 앰프(SA)를 활성화 시키는 N채널 MOSFET의 게이트 및 상기 센스 앰프(SA)의 증폭 신호를 전하는 게이트 회로에는 타이밍 생성 회로로 형성된 타이밍 신호와 센스 앰프 선택 신호(SAC)를 받는 게이트 회로로 형성된 타이밍 제어 신호( $\phi_{\text{sac}}$ )가 제어 패스를 구성하는 인버터 회로열을 통해 전해진다. 이 타이밍 제어 신호( $\phi_{\text{sac}}$ )는 상기 독출용 컬럼 스위치의 비선택 신호로서도 이용된다.
- [0100] 타이밍 생성 회로는 클럭(CLK)과 독출/기입 제어 신호(R/W)를 대표로 하도록 하는 복수의 제어 신호를 받아 SRAM의 독출 동작 ; 기입 동작 혹은 스탠바이 동작등의 동작 모드에 대응해 SRAM의 동작에 필요한 각종의 타이밍 신호를 생성한다.
- [0101] 상기 256개로 이루어지는 워드선(WL) 가운데의 1개가 상기 설명한 바와 같은 프리디코더 회로 및 워드 드라이버(NOR)에 의해 선택된다. 프리디코더 회로는 타이밍 생성 회로로 형성된 타이밍 신호(클럭; 이네이블)와 어드레스 신호(add)를 받아 상기 워드선을 선택하는 프리디코더 신호나 컬럼의 선택 신호를 형성한다. 그리고 상기 스탠바이 동작등의 동작 모드에서는 어드레스 신호(add)에 관계없이 모든 워드선은 비선택 레벨로 된다. 프리디코더 회로로 형성된 컬럼 선택 신호는 도시하지 않는 논리 회로에 의해 상기 32 비트 동작 ; 16 비트 동작 및 8 비트 동작에 대응해 상기 제어 신호(SAC ; rswc ; wswc)등을 형성하기 위해서 이용된다.
- [0102] 이상 본 발명자로 이루어진 발명을 실시예에 근거해 구체적으로 설명했지만 본원 발명은 상기 실시예로 한정되는 것은 아니고 그 요지를 일탈하지 않는 범위에서 여러 가지 변경 가능한 것은 말할 필요도 없다. 예를 들면 반도체 집적회로 장치에 탑재되는 SRAM의 메모리 셀 어레이를 구성하는 워드선이나 비트선의 갯수는 여러 가지의 실시 형태를 취할 수가 있다. SRAM은 시스템 LSI에 혼재되는 SRAM의 그 밖에 범용 메모리로서의 SRAM에도 동일하게 적용할 수가 있다. 본 발명은 상기와 같은 SRAM을 포함한 반도체 집적회로 장치에 넓게 이용할 수가 있다.

### 발명의 효과

- [0103] 선택된 상보 비트선에 대응한 메모리 셀의 기입 동작 마진의 향상을 도모하면서 상기 비선택 상보 비트선에 접속되는 비선택 메모리 셀의 SNM을 확보할 수가 있다.

### 도면의 간단한 설명

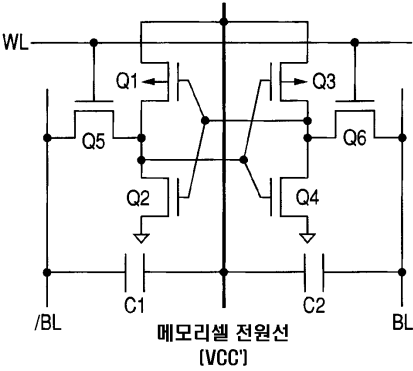
- [0001] 도 1은 본 발명과 관련된 스테틱형 RAM의 하나의 실시예를 나타내는 블록도이다.



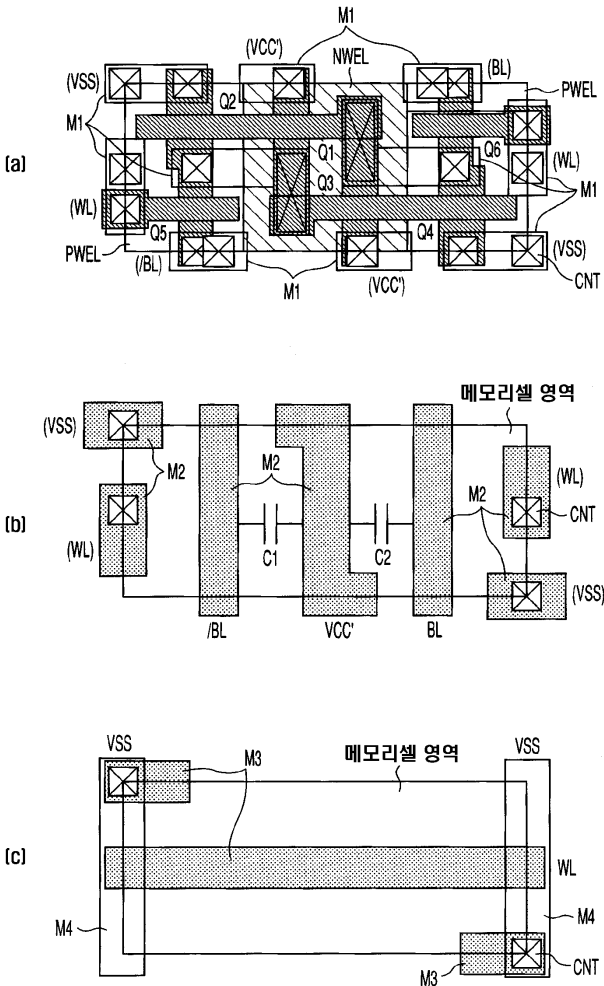
- [0002] 도 2는 도 1의 전원 회로의 하나의 실시예를 나타내는 회로도이다.
- [0003] 도 3은 본 발명과 관련되는 메모리 셀의 하나의 실시예를 나타내는 회로도이다.
- [0004] 도 4는 본 발명과 관련되는 메모리 셀의 하나의 실시예를 나타내는 레이아웃도이다.
- [0005] 도 5는 본 발명과 관련되는 스택틱형 RAM 동작의 일례를 설명하기 위한 파형도이다.
- [0006] 도 6은 본 발명과 관련되는 스택틱형 RAM의 다른 하나의 실시예를 나타내는 블록도이다.
- [0007] 도 7은 도 6의 스택틱형 RAM에 이용되는 전원 회로의 하나의 실시예를 나타내는 회로도이다.
- [0008] 도 8은 도 6의 스택틱형 RAM에 이용되는 전원 회로의 다른 하나의 실시예를 나타내는 회로도이다.
- [0009] 도 9는 도 6의 스택틱형 RAM에 이용되는 전원 회로의 또 다른 하나의 실시예를 나타내는 회로도이다.
- [0010] 도 10은 도 6의 스택틱형 RAM에 이용되는 전원 회로의 또 다른 하나의 실시예를 나타내는 회로도이다.
- [0011] 도 11은 도 6의 스택틱형 RAM에 이용되는 전원 회로의 또 다른 하나의 실시예를 나타내는 회로도이다.
- [0012] 도 12는 도 6의 스택틱형 RAM에 이용되는 전원 회로의 또 다른 실시예를 나타내는 회로도이다.
- [0013] 도 13은 도 6의 스택틱형 RAM에 이용되는 전원 회로의 또 다른 하나의 실시예를 나타내는 회로도이다.
- [0014] 도 14는 본 발명과 관련되는 메모리 셀의 다른 하나의 실시예를 나타내는 레이아웃도이다.
- [0015] 도 15는 도 1 또는 도 6의 스택틱형 RAM에 이용되는 워드 드라이버의 하나의 실시예를 나타내는 회로도이다.
- [0016] 도 16은 본 발명과 관련되는 스택틱형 RAM의 하나의 실시예를 나타내는 전체 회로도이다
- [0017] 도 17은 특허 문헌 1에 의거하여 본원 발명자가 먼저 검토한 SRAM의 블록도이다.
- [0018] 도 18은 특허 문헌 1에 나타난 전압 공급 회로의 일례의 회로도이다.
- [0019] 도 19는 특허 문헌 1에 나타난 전압 공급 회로의 다른 일례의 회로도이다.
- [0020] \*\*주요부위를 나타내는 도면부호의 설명\*\*
- [0021] QP1~QP4 . . . P채널 MOSFET
- [0022] QN1~QN3 . . . N채널 MOSFET
- [0023] INV1 . . . 인버터 회로
- [0024] R . . . 저항
- [0025] C1 ; C2 . . . 기생 용량(커패시터 용량)
- [0026] NA0~NA3 N10 N11 . . . N채널 MOSFET
- [0027] PA0 ; PA2 ; PB0~PB3 . . . P채널
- [0028] MOSFET WLO~WL3 . . . 워드선,
- [0029] WDP1~WDP3 . . . 기입 데이터 입력 패스(기입 앰프)
- [0030] WCP . . . 기입계 제어 패스
- [0031] LT . . . 래치 회로
- [0032] OB . . . 출력 회로
- [0033] SA . . . 센스 앰프
- [0034] PC/EQ . . . 프리차지&이퀄라이즈 회로
- [0035] Q1~Q6 . . . MOSFET
- [0036] BL /BL . . . 비트선
- [0037] RD; /RD . . . 독출 데이터선



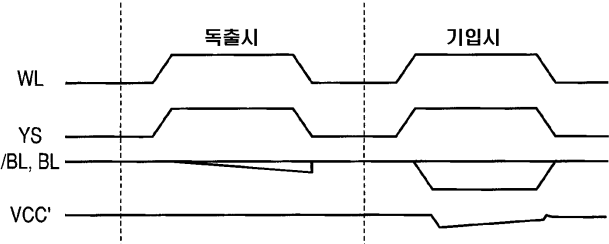
도면3



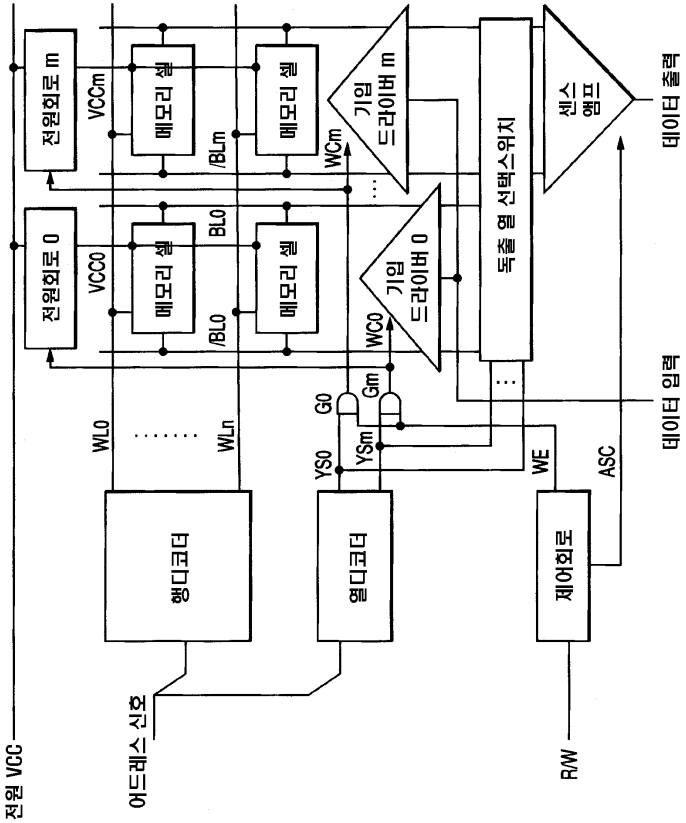
도면4



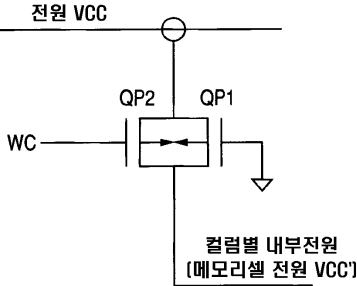
도면5



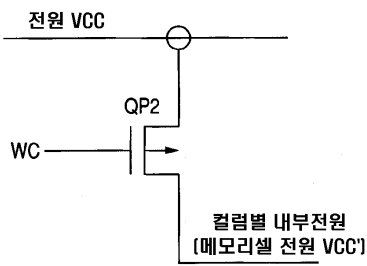
도면6



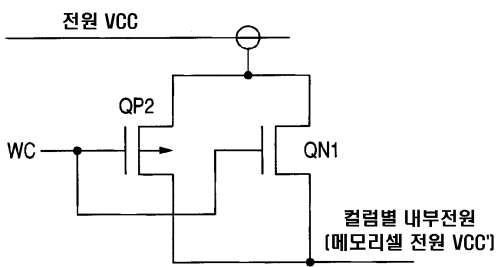
도면7



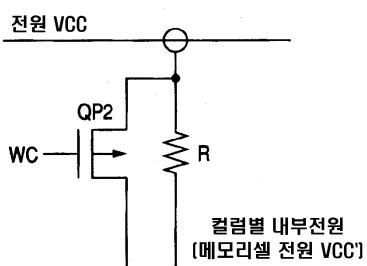
도면8



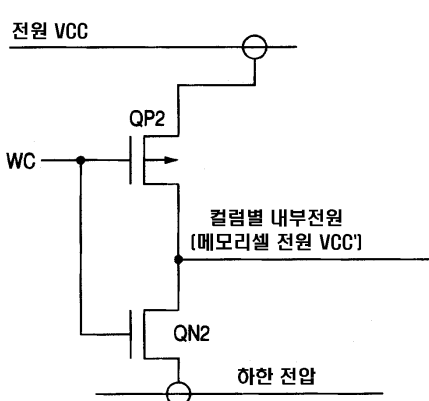
도면9



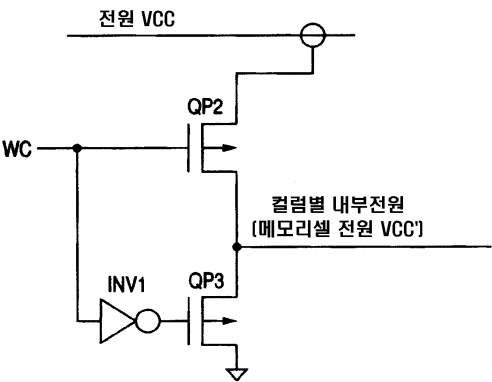
도면10



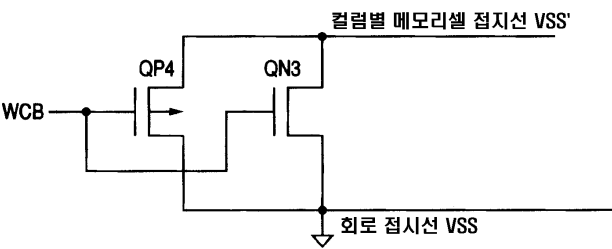
도면11



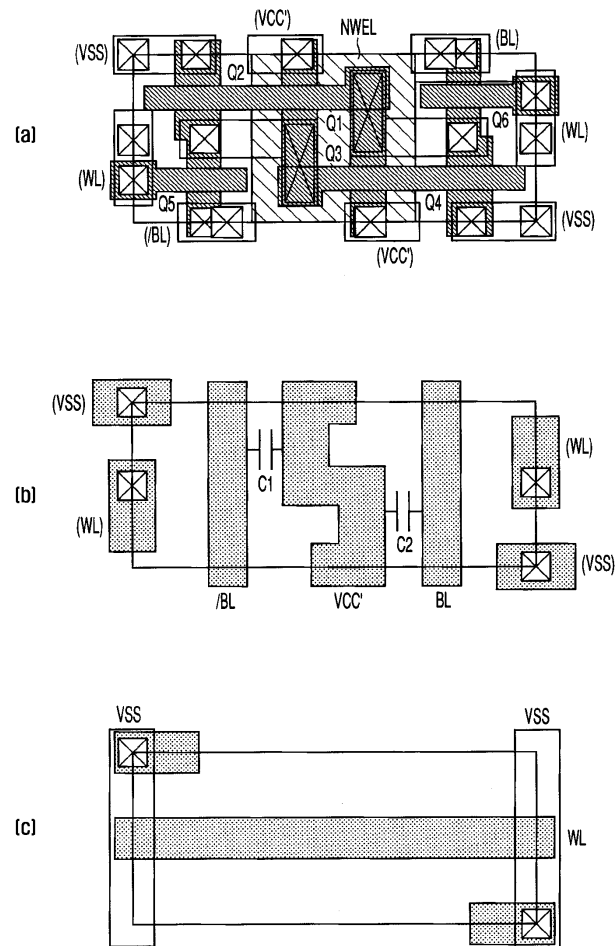
도면12



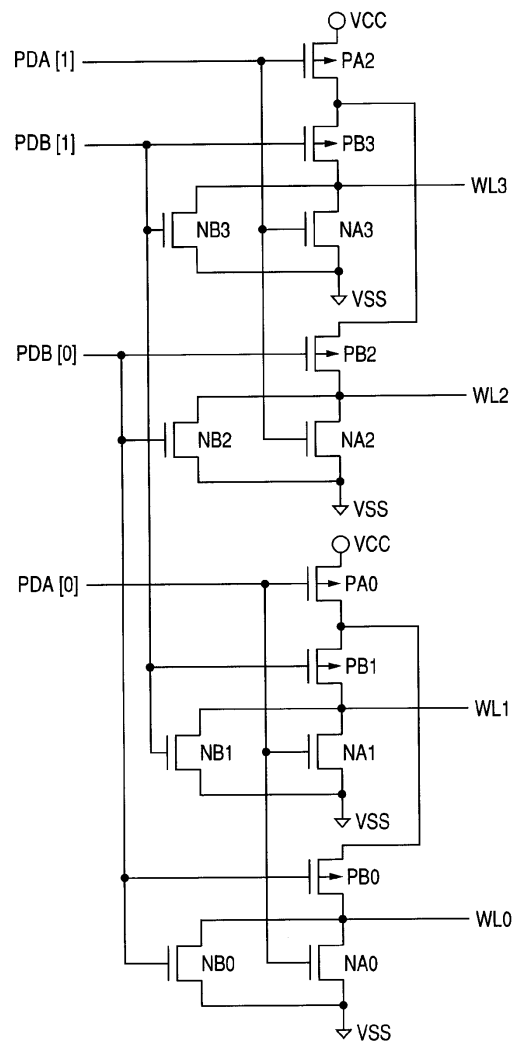
도면13



도면14

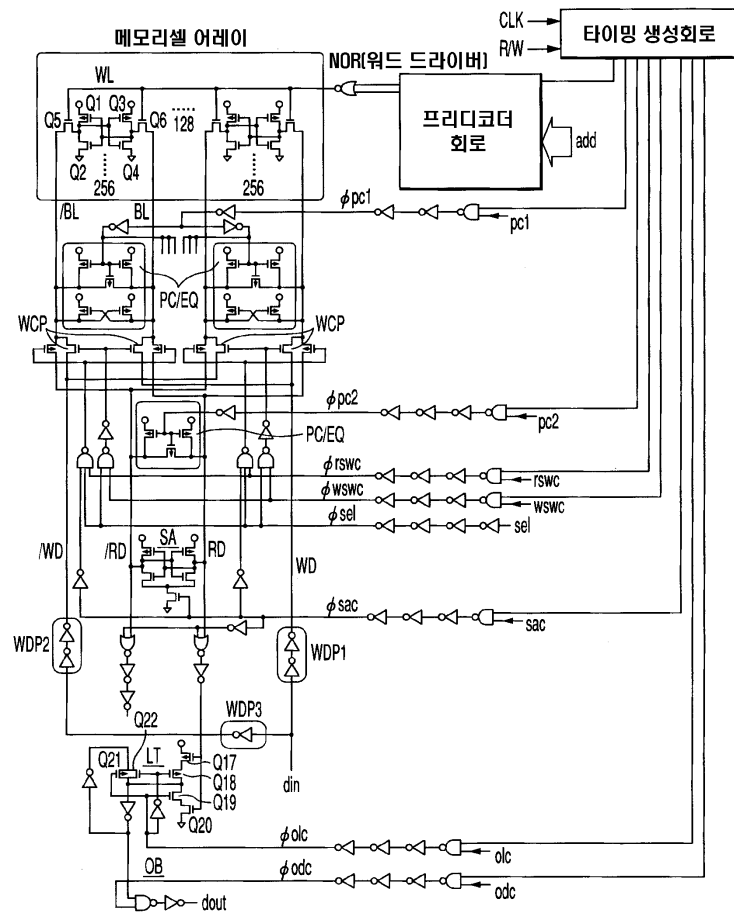


도면15

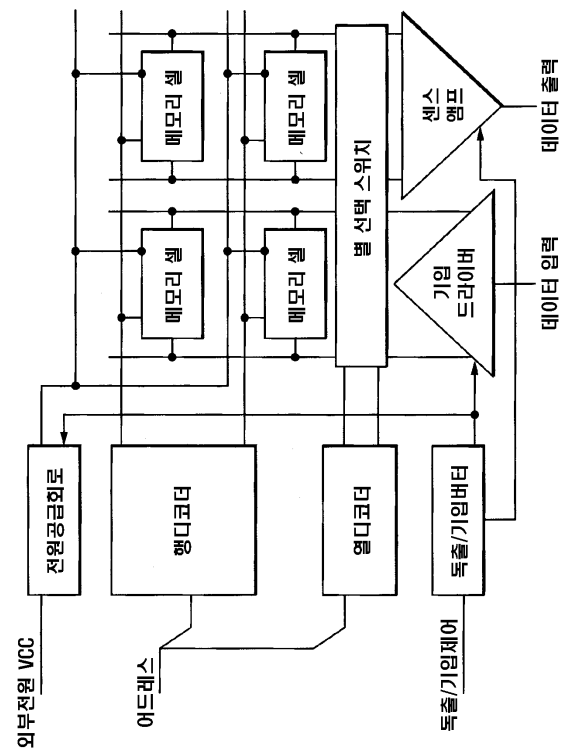




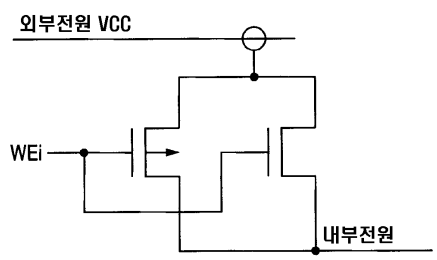
도면16



도면17



도면18



도면19

