

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成19年1月18日(2007.1.18)

【公開番号】特開2001-85367(P2001-85367A)

【公開日】平成13年3月30日(2001.3.30)

【出願番号】特願平11-347425

【国際特許分類】

H 01 L 21/301 (2006.01)
H 01 L 23/12 (2006.01)

【F I】

H 01 L	21/78	A
H 01 L	21/78	S
H 01 L	23/12	Q
H 01 L	23/12	L

【手続補正書】

【提出日】平成18年11月29日(2006.11.29)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】 半導体デバイス用パッケージを製造するプロセスであって、複上面及び下面を有し、数のダイを有する半導体ウエハを配設する過程であって、前記各ダイがスクライビング線によって分割され、半導体デバイスを備え、前記ダイの上面側の表面にパシベーション層及び前記半導体デバイスと電気的に接触している少なくとも1つの接続用パッドを備える、該半導体ウエハを配設する過程と、

少なくとも1つの接続用パッドと電気的に接触し、一部が前記ダイの縁部を越えて横方向に延在する第1金属層を形成する過程と、

前記ウエハの前記上面側にキャップを付着する過程と、

第1の切り溝W1を有し、前記第1金属層の一部を露出させる第1の切込み部を形成するように前記スクライビング線領域の前記ウエハの前記下面から半導体ウエハをカッティングする過程と、

前記ダイの前記下面の少なくとも一部に非導電性の層を形成する過程と、

前記非導電性の層の上に延在する第1部分を有し、前記第1金属層と電気的に接触する第2金属層を形成する過程と、

前記第1切り溝W1より小さい第2切り溝W2を有し、前記第1金属層と第2金属層間の接触領域を残存させる第2切込み部を形成するように、前記スクライビング線領域の前記キャップをカッティングする過程とを含むことを特徴とする半導体デバイス用パッケージ製造プロセス。

【請求項2】 前記半導体デバイスがMOSFETであり、前記ダイの上面側にソース接続用パッド及びゲート接続用パッドを備え、前記第1金属層のソース部が前記ソース接続用パッドと電気的に接触し、前記第1金属層の前記ゲート部が前記ゲート接続用パッドと電気的に接触し、前記第1金属層の前記ソース部及び前記ゲート部が互いに電気的に絶縁され、前記第2金属層の前記第1部分が前記第1金属層の前記ソース部分と接触し、前記第2金属層が前記第1金属層の前記ゲート部分と接触する第2部分及び前記ダイの下面上のドレイン端子と接触する第3部分を備え、前記第2金属層の前記第1、前記第2及び前記第3部分が互いに電気的に絶縁されていることを特徴とする請求項1に記載のプロセス。

ロセス。

【請求項 3】 第1金属層を形成する過程が、第1金属サブレイヤをスパッタリングによって被着する過程と、前記第1金属サブレイヤの上に第2金属サブレイヤをスパッタリングによって被着する過程とを含み、及び／または

前記第1金属サブレイヤがチタンを含み、前記第2金属サブレイヤがアルミニウムを含み、及び／または

第1金属層を形成する過程が、前記第2金属サブレイヤの上に第3金属サブレイヤをめっきする過程とを含み、及び／または

前記第3金属サブレイヤがニッケルを含み、及び／または

第1金属層を形成する過程が、前記第3金属サブレイヤの上に第4金属サブレイヤをめっきすることを含み、及び／または

前記第4金属サブレイヤが金を含むことを特徴とする請求項1に記載のプロセス。

【請求項 4】 前記キャップが、ガラス、プラスチック、アルミニウム及び銅からなるグループから選択された材料から形成され、及び／または

キャップを前記ウエハの前記表面に取着する過程が、前記キャップと非導電性の接着剤との取着を含むことを特徴とする請求項1に記載のプロセス。

【請求項 5】 さらに、キャップを前記ウエハの上面側に取り付けたあと、前記半導体ウエハを薄くする過程を含むことを特徴とする請求項1に記載のプロセス。

【請求項 6】 前記半導体ウエハを薄くする過程が、

前記ウエハの下面側を研削する過程、または

前記ウエハの下面側をラッピングする過程、または

前記ウエハの下面側をエッチングする過程を含むことを特徴とする請求項5に記載のプロセス。

【請求項 7】 前記ウエハを薄くする過程が、前記ウエハ内の前記半導体デバイス内部の微細構造を損傷することなしに、前記ウエハができるだけ薄くする過程を含むことを特徴とする請求項5に記載のプロセス。

【請求項 8】 前記ウエハの前記下面から前記半導体ウエハをカッティングする過程が、テーパーソーでのカッティング及びエッチングする過程を含むことを特徴とする請求項1に記載のプロセス。

【請求項 9】 前記第1の切込み部が、前記第1金属層全体には至らないことを特徴とする請求項1に記載のプロセス。

【請求項 10】 前記ダイの下面側に非導電性の層を形成する過程が、

非導電性材料からなる層の被着と、

前記非導電性材料からなる層の上へのマスク層の被着と、

前記マスク層に開口部を形成するように前記マスク層の一部を除去であって、前記開口部が前記ダイの下面側の前記第2部分及び前記第1の切込み部によって露出された前記第1の金属層の一部の上に位置する、該除去と、

前記非導電性材料からなる層を前記マスク層の開口部を介してのエッチングとを含むことを特徴とする請求項1に記載のプロセス。

【請求項 11】 前記ダイの下面上に非導電性の層を形成する過程が、スクリーン印刷を含むことを特徴とする請求項1に記載のプロセス。

【請求項 12】 第2金属層を形成する過程が、第1金属サブレイヤをスパッタリングによって被着し前記第1金属サブレイヤの上に第2金属サブレイヤをスパッタリングによって被着する過程を含むことを特徴とする請求項1に記載のプロセス。

【請求項 13】 前記第1金属サブレイヤがチタンを含み、前記第2金属サブレイヤがアルミニウムを含み、及び／または

前記第2金属層を形成する過程が、前記第2金属サブレイヤの上に第3金属サブレイヤをめっきする過程を含み、及び／または

前記第3金属サブレイヤがニッケルを含み、及び／または

第2金属層を形成する過程が、前記第3金属サブレイヤの上に第4金属サブレイヤをめ

つきする過程を含み、及び／または

前記第4金属サブレイヤが金を含むことを特徴とする請求項12に記載のプロセス。

【請求項14】少なくとも前記第2金属層の一部の上に、少なくとも1つのはんだポストを形成する過程をさらに含むことを特徴とする請求項1に記載のプロセス。

【請求項15】少なくとも前記第2金属層の一部の上に、少なくとも1つのはんだボールを形成する過程をさらに含むことを特徴とする請求項1に記載のプロセス。

【請求項16】少なくとも1つのはんだボールを形成する過程が、スクリーン印刷を含み、及び／または

少なくとも1つのはんだボールを形成する過程が、はんだジェッティングを含むことを特徴とする請求項15に記載のプロセス。

【請求項17】前記第2金属層の少なくとも一部の上に、少なくとも1つの導電性のポリマーボールを形成する過程をさらに含むことを特徴とする請求項1に記載のプロセス。

【請求項18】前記キャップをカッティングする過程が、

ダイシングソーによるカットを含み、及び／または

フォトリソグラフィーによるパターニング及びエッチングを含むことを特徴とする請求項1に記載のプロセス。

【請求項19】前記ダイを分離するために、前記ウエハ及び前記キャップを前記第1及び第2切込み部と直角をなす方向にカッティングすることを更に含むことを特徴とする請求項1に記載のプロセス。

【請求項20】前記半導体デバイスがMOSFET、ダイオード、JFET、バイポーラトランジスタ、及び／またはICを含むことを特徴とする請求項1に記載のプロセス。

【請求項21】パワーMOSFET用パッケージを製造するプロセスであって、上面及び下面を有し、スクライビング線によって分割された複数のダイを含む半導体ウエハを配設する過程であって、前記各ダイがパワーMOSFETを含み、前記各ダイの上面側の表面にパシベーション層、ゲート接続用パッド及びソース接続用パッドを有し、前記ダイの下面側にドレーン端子を備える、該半導体ウエハを配設する過程と、

一部が前記ダイの縁部を超えて横方向に延在し、前記ゲート接続用パッドと電気的に接触する上面側のゲート金属層を形成する過程と、

前記上面側ゲート金属層とは互いに電気的に絶縁され、一部が前記ダイの縁部を超えて横方向に延在し、前記ソース接続用パッドと電気的に接触する上面側のソース金属層を形成する過程と、

前記ウエハの上面側にキャップを取着する過程と、

第1の切り溝W1を備え前記上面側のゲート及びソース金属層の一部を露出させる第1の切込み部を形成するように、前記スクライビング線領域の前記ウエハの下面から前記半導体ウエハをカッティングする過程と、

前記上面側のゲート金属層の露出部分、上面側ソース金属層の露出部分及び前記MOSFETのドレーン端子の露出部分を覆わないで、前記ダイの下面上の一部に非導電性の層を形成する過程と、

前記非導電性層の上に延在し、第1の接触領域の前記上面側ゲート金属層と電気的に接触する下面側ゲート金属層を形成する過程と、

前記非導電性層の上に延在し、第2の接触領域の前記上面側ソース金属層と電気的に接触する下面側ソース金属層を形成する過程と、

前記MOSFETドレーン端子と電気的に接触する前記ダイの下面上に下面側ドレーン金属層を形成する過程と、

前記第1切り溝W1より幅の狭い第2切り溝W2を有し、前記第1及び第2の接触領域を残存させる第2切込み部を形成するように、前記スクライビング線領域の前記キャップをカッティングする過程と、

前記ダイを分割するように、前記第1及び第2切込み部と直角を成す方向に前記ウエハ

及び前記キャップをカッティングする過程とを含むことを特徴とするパワーMOSFET用パッケージを製造するプロセス。

【請求項22】 前記第1の切込みが、前記第1及び第2金属層の全体には至らないことを特徴とする請求項21に記載のプロセス。

【請求項23】 ダイがまだ半導体ウエハの一部であるときに始める、前記半導体ダイの第1面の第1位置と前記半導体ダイの第2面の第2位置との間に電気的接触を形成するプロセスであって、

前記ダイの前記第1面上の前記第1位置から、ダイの縁部を超えた前記ウエハの領域に横方向に延在する第1の金属層を形成する過程と、

前記ウエハの前記第1面にキャップを取着する過程と、

前記第1金属層の一部を露出させるために、前記ウエハの前記第2面から前記半導体ウエハをカッティングする過程と、

前記ダイの前記第2面上の前記第2位置から、前記ダイの縁部に沿って延び、前記ダイの縁部を超えた前記第1金属層と接触する領域に横方向に延在する第2金属層を形成する過程と、

前記第1及び第2金属層との間に前記接触領域を残したまま、前記キャップをカッティングする過程とを含むことを特徴とするプロセス。

【請求項24】 前記第2金属層の一部が上層をなし、かつ前記ダイの前記第2面の少なくとも一部に隣接する非導電性の層を形成する過程をさらに含むことを特徴とする請求項23に記載のプロセス。

【請求項25】 前記半導体ウエハのカッティング過程が、前記第1金属層の一部を露出させるために前記半導体ダイをエッチングすることを含むことを特徴とする請求項23に記載のプロセス。

【請求項26】 半導体デバイス用パッケージであって、

半導体デバイスを含み、その半導体デバイスの少なくとも1つの端子と電気的に接触する少なくとも1つの接続用パッドを上面側に有する半導体ダイと、

前記ダイの上面側に取着されるキャップと、

第1部分が前記ダイと前記キャップとの間に位置し、第2部分が前記ダイの縁部を越えて横方向に延在し、かつ前記接続用パッドと電気的に接触する第1金属層と、

前記ダイの下面側の一部と隣接する非導電性の層と、

前記ダイの縁部を越えた位置で前記第1金属層と電気的に接触し、かつ前記ダイの縁部付近から前記ダイの下面側上の非導電性層と隣接する位置に延在する第1部分を有する第2金属層とを含むことを特徴とする半導体デバイス用パッケージ。

【請求項27】 前記ダイが、前記半導体デバイスの微細構造を損傷しない範囲で、可能な限り薄いことを特徴とする請求項26に記載の半導体パッケージ。

【請求項28】 前記第2金属層の前記第1部分が、前記ダイの縁部に隣接する傾斜した部分を含むことを特徴とする請求項26に記載の半導体パッケージ。

【請求項29】 前記第1金属層が、複数のサブレイヤを含み、及びまたは前記第1金属層が、スパッティングによって被着した層を少なくとも一層含み、及び/または

前記第1金属層が、めっきによって被着した層を少なくとも一層含み、及び/または

前記第2金属層が、複数のサブレイヤを含み、及び/または

前記第2金属層が、スパッティングによって被着した層を少なくとも一層含み、及び/または

前記第2金属層が、めっきによって被着した層を少なくとも一層含むことを特徴とする請求項26に記載の半導体パッケージ。

【請求項30】 前記ダイの下面側上の前記半導体デバイスの第2端子と電気的に接触し、かつ前記第2金属層の前記第1部分とは電気的に絶縁されている第2部分を前記第2金属層が有することを特徴とする請求項26に記載の半導体パッケージ。

【請求項31】 前記第2金属層の前記第1部分と接触する少なくとも1つの第1

のはんだポストと、前記第2金属層の前記第2部分と接触する少なくとも1つの第2のはんだポストとを含むことを特徴とする請求項26に記載の半導体パッケージ。

【請求項32】 前記第2金属層の前記第1部分と接触する少なくとも1つの第1のはんだボールと、前記第2金属層の前記第2部分と接触する少なくとも1つの第2のはんだボールとを含むことを特徴とする請求項26に記載の半導体パッケージ。

【請求項33】 前記第2金属層の前記第1部分と接触する少なくとも1つの第1の導電性ポリマーボールと、前記第2金属層の前記第2部分と接触する少なくとも1つの第2の導電性ポリマーボールとを含むことを特徴とする請求項26に記載の半導体パッケージ。

【請求項34】 前記キャップの縁部が前記ダイの縁部を越えて横方向に延在し、及び／または

前記キャップが有する幅X1有し、前記ダイが幅X2を有し、X1がX2より大きいことを特徴とする請求項26に記載の半導体パッケージ。

【請求項35】 前記ダイが、バーチカル型パワーMOSFET、ダイオード、バイポーラトランジスタ、JFET、及び／またはICを含むことを特徴とする請求項26に記載の半導体パッケージ。

【請求項36】 MOSFET用パッケージであって、

MOSFETを含み、かつ幅X2を有する半導体ダイであって、その上面側にソース端子と電気的に接触するソース接続用パッド及びゲート端子と電気的に接触するゲート接続用パッドとを含み、下面側にドレーン端子を含む、該半導体ダイと、

幅X2より大きい幅X1を有し、かつ前記ダイの上面側に取着されるキャップと、

第1部分と第2部分を有し、その第1部分が前記ダイと前記キャップとの間に位置し、その第2部分が前記ダイの縁部を越えて横方向に延在し、かつ前記ソース接続用パッドと電気的に接触する第1ソース金属層と、

第1部分と第2部分を有し、その第1部分が前記ダイと前記キャップとの間に位置し、その第2部分が前記ダイの縁部を越えて横方向に延在し、かつ前記ゲート接続用パッドと電気的に接触する第1ゲート金属層と、

前記ダイの下面側の一部と隣接する非導電性の層と、

前記ダイの縁部を越えた位置で前記第1ソース金属層の前記第2部分と電気的に接触し、かつ前記ダイの縁部付近から前記ダイの下面側上の非導電性の層と隣接して延在する第2のソース金属層と、

前記ダイの縁部を越えた位置で前記第1ゲート金属層の前記第2部分と電気的に接触し、かつ前記ダイの縁部付近から前記ダイの下面側上の非導電性の層と隣接して延在し、かつ前記第1及び第2ソース金属層が前記第1及び第2ゲート金属層と電気的に絶縁されている、該第2ゲート金属層と、

前記ドレーン端子と電気的に接触する前記ダイの下面側上のドレーン金属層とを含むことを特徴とするMOSFET用パッケージ。

【請求項37】 前記第2ソース金属層と電気的に接触する少なくとも1つのはんだポストと、前記第2ゲート金属層と電気的に接触する少なくとも1つのはんだポストと、前記ドレーン金属層と電気的に接触する少なくとも1つのはんだポストとをさらに含むことを特徴とする請求項36に記載のMOSFET用パッケージ。

【請求項38】 前記第2ソース金属層と電気的に接触する少なくとも1つのはんだボールと、前記第2ゲート金属層と電気的に接触する少なくとも1つのはんだボールと、前記ドレーン金属層と電気的に接触する少なくとも1つのはんだボールとをさらに含むことを特徴とする請求項36に記載のMOSFET用パッケージ。

【請求項39】 さらに、前記第2ソース金属層と電気的に接触する少なくとも1つの導電性のポリマーボールと、前記第2ゲート金属層と電気的に接触する少なくとも1つの導電性のポリマーボールと、前記ドレーン金属層と電気的に接触する少なくとも1つの導電性のポリマーボールとを含むことを特徴とする請求項36に記載のMOSFET用パッケージ。

【請求項 4 0】 半導体デバイス用パッケージであつて、
半導体デバイスを含み、第1面に接続用パッドを有する半導体ダイと、
前記ダイの第1面に取着されたキャップと、
前記ダイの縁部を越えた第1のフランジに横方向に延在しそこで終わつて、前記接
続用パッドと電気的に接触する第1金属層と、

前記ダイの第2面から前記ダイの縁部に沿つて延び、前記ダイの縁部を越えた第2のフ
ランジに延在しそこで終わつて、前記第1フランジと電気的に接触する第2金属層と
を含むことを特徴とする半導体デバイス用パッケージ。

【請求項 4 1】 前記キャップの縁部が、前記ダイの縁部を越えて横方向に延在す
ることを特徴とする請求項 4 0 に記載の半導体パッケージ。

【請求項 4 2】 前記第1及び第2フランジが、ダイから外向きに縦方向に延在し
、ダイの側部に平行な方向に位置することを特徴とする請求項 4 0 に記載の半導体用パッ
ケージ。