(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015 年 12 月 10 日(10.12.2015)

WIPO | PCT

(10) 国際公開番号
WO 2015/186349 A1

(51) 国際特許分類:
H01L 29/786 (2006.01) *H01L 21/336* (2006.01)
G09F 9/30 (2006.01) *H01L 51/50* (2006.01)
H01L 21/28 (2006.01) *H05B 33/02* (2006.01)

(21) 国際出願番号: PCT/JP2015/002777

(22) 国際出願日: 2015 年 6 月 2 日(02.06.2015)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2014-115264 2014 年 6 月 3 日(03.06.2014) JP

(71) 出願人: 株式会社ＪＯＬＥＤ(JOLED INC.) [JP/JP]; 〒1010054 東京都千代田区神田錦町三丁目２３番地 Tokyo (JP).

(72) 発明者: 齊藤　徹(SAITOH, Tohru).

(74) 代理人: 吉川　修一, 外(YOSHIKAWA, Shuichi et al.); 〒5320011 大阪府大阪市淀川区西中島５丁目３番１０号タナカ・イトーピア新大阪ビル６階 新居国際特許事務所内 Osaka (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

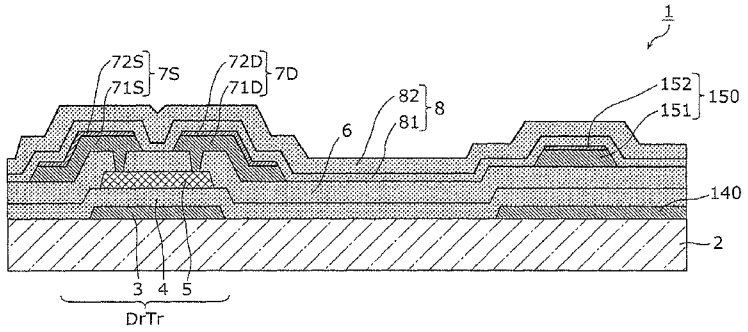
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告（条約第 21 条(3)）

(54) **Title**: THIN FILM TRANSISTOR SUBSTRATE MANUFACTURING METHOD

(54) 発明の名称 : 薄膜トランジスタ基板の製造方法

[図5]



(57) **Abstract**: Disclosed is a method for manufacturing a TFT substrate (1) that is provided with a thin film transistor having an oxide semiconductor layer (5). The method includes: a step for forming source wiring (150) above a substrate (2), said source wiring being copper wiring formed of a laminated film including a copper film and a cap film on the copper film; a step for film-forming an insulating layer (8) on the source wiring (150); and a step for performing heat treatment at a temperature above 290°C after film-forming the insulating layer (8). The step for film-forming the insulating layer (8) includes: a step for film-forming a first silicon oxide film (81) at a film-forming temperature equal to or below 290°C; and a step for film-forming a second silicon oxide film (82) above the first silicon oxide film (81) at a film-forming temperature equal to or below 290°C. The total film thickness of the first silicon oxide film (81) and the second silicon oxide film (82) is equal to or more than 460 nm.

(57) 要約:　酸化物半導体層（５）を有する薄膜トランジスタを備えるＴＦＴ基板（１）の製造方法であって、基板（２）の上方に、銅膜及び当該銅膜上のキャップ膜を含む積層膜からなる銅配線であるソース配線（１５０）を形成する工程と、ソース配線（１５０）の上に絶縁層（８）を成膜する工程と、絶縁層（８）を成膜した後に、２９０℃を越える温度で熱処理をする工程とを含み、絶縁層（８）を成膜する工程は、２９０℃以下の成膜温度で第１のシリコン酸化膜（８１）を成膜する工程と、２９０℃以下の成膜温度で第１のシリコン酸化膜（８１）の上方に第２のシリコン酸化膜（８２）を成膜する工程とを含み、第１のシリコン酸化膜（８１）と第２のシリコン酸化膜（８２）との合計膜厚は、４６０ｎｍ以上である。

WO 2015/186349 A1

明　細　書

発明の名称 ： 薄膜トランジスタ基板の製造方法

技術分野

[0001] 本開示は、薄膜トランジスタ基板の製造方法に関する。

背景技術

[0002] 液晶表示装置や有機ＥＬ表示装置等のアクティブマトリクス方式の表示装置には、スイッチング素子又は駆動素子として薄膜トランジスタ（ＴＦＴ：Ｔｈｉｎ　Ｆｉｌｍ　Ｔｒａｎｓｉｓｔｏｒ）が形成されたＴＦＴ基板が用いられる。

[0003] 近年、酸化物半導体を用いたＴＦＴの開発が行われている。例えば、特許文献１には、チャネル層が酸化物半導体で構成された酸化物半導体ＴＦＴが開示されている。

先行技術文献

特許文献

[0004] 特許文献1：特開２０１０－１６１２２７号公報

発明の概要

発明が解決しようとする課題

[0005] しかしながら、酸化物半導体ＴＦＴが形成されたＴＦＴ基板では、所望の性能を実現することが難しい。

[0006] ここに開示された技術は、所望の性能を有するＴＦＴ基板を得ることのできるＴＦＴ基板の製造方法を提供することを目的とする。

課題を解決するための手段

[0007] 上記目的を達成するために、ＴＦＴ基板の製造方法の一態様は、酸化物半導体層を有する薄膜トランジスタを備える薄膜トランジスタ基板の製造方法であって、基板の上方に、銅膜及び当該銅膜上のキャップ膜を含む積層膜からなる銅配線を形成する工程と、前記銅配線の上に絶縁層を成膜する工程と、前記絶縁層を成膜した後に、２９０℃を越える温度で熱処理をする工程と

を含み、前記絶縁層を成膜する工程は、２９０℃以下の成膜温度で第１のシリコン酸化膜を成膜する工程と、２９０℃以下の成膜温度で前記第１のシリコン酸化膜の上方に第２のシリコン酸化膜を成膜する工程とを含み、前記第１のシリコン酸化膜と前記第２のシリコン酸化膜との合計膜厚は、４６０ｎｍ以上であることを特徴とする。

発明の効果

[0008] 所望の性能を有するＴＦＴ基板を実現できる。

図面の簡単な説明

[0009] [図1]図１は、実施の形態に係る有機ＥＬ表示装置の一部切り欠き斜視図である。

[図2]図２は、実施の形態に係る有機ＥＬ表示装置のピクセルバンクの例を示す斜視図である。

[図3]図３は、実施の形態に係る有機ＥＬ表示装置における画素回路の構成を示す電気回路図である。

[図4]図４は、実施の形態に係るＴＦＴ基板における一画素のレイアウトを示す模式図である。

[図5]図５は、図４のＡ－Ａ’線における実施の形態に係るＴＦＴ基板の断面図である。

[図6]図６は、変形例１に係るＴＦＴ基板の概略断面図である。

[図7]図７は、変形例２に係るＴＦＴ基板の概略断面図である。

[図8A]図８Ａは、実施の形態に係るＴＦＴ基板の製造方法におけるゲート電極形成工程の断面図である。

[図8B]図８Ｂは、実施の形態に係るＴＦＴ基板の製造方法における第１絶縁層（ゲート絶縁膜）形成工程の断面図である。

[図8C]図８Ｃは、実施の形態に係るＴＦＴ基板の製造方法における酸化物半導体層形成工程の断面図である。

[図8D]図８Ｄは、実施の形態に係るＴＦＴ基板の製造方法における第２絶縁層形成工程の断面図である。

[図8E]図８Ｅは、実施の形態に係るＴＦＴ基板の製造方法における絶縁層コンタクトホール形成工程の断面図である。

[図8F]図８Ｆは、実施の形態に係るＴＦＴ基板の製造方法における金属積層膜形成工程の断面図である。

[図8G]図８Ｇは、実施の形態に係るＴＦＴ基板の製造方法における金属積層膜パターニング工程（ソース電極、ドレイン電極及びソース配線の形成工程）の断面図である。

[図8H]図８Ｈは、実施の形態に係るＴＦＴ基板の製造方法における第３絶縁層形成工程の断面図である。

[図8I]図８Ｉは、実施の形態に係るＴＦＴ基板の製造方法における熱処理工程の断面図である。

[図9A]図９Ａは、ゲート配線とソース配線との交差する部分において、ソース配線のＣｕ膜からＣｕが異常成長する様子を示す平面ＳＥＭ（Scanning Electron Microscope）像である。

[図9B]図９Ｂは、図９ＡのＢ－Ｂ’線における断面ＳＥＭ像である。

[図10A]図１０Ａは、ゲート配線とソース配線との交差する部分において、ソース配線のＣｕ膜からＣｕが異常成長する様子を模式的に示す図である。

[図10B]図１０Ｂは、図１０ＡのＣ－Ｃ’線における断面図である。

[図11]図１１は、絶縁層の成膜及び熱処理の条件とＣｕ異常成長の発生有無との実験結果を示す図である。

[図12]図１２は、図１１に示す各条件におけるソース配線及び絶縁層の膜構成を模式的に示す図である。

[図13]図１３は、Ｃｕの異常成長が発生しなかった条件におけるゲート配線とソース配線との交差部分の平面ＳＥＭ像である。

[図14A]図１４Ａは、第２のシリコン酸化膜の成膜温度を２３０℃として成膜した場合の金属－酸化膜－金属構造における電界強度と電流密度との関係を示す図である。

[図14B]図１４Ｂは、第２のシリコン酸化膜の成膜温度を２９０℃として成膜

した場合の金属－酸化膜－金属構造における電界強度と電流密度との関係を示す図である。

発明を実施するための形態

[0010] 以下、本開示の一実施の形態について、図面を用いて説明する。なお、以下に説明する実施の形態は、いずれも本開示の好ましい一具体例を示すものである。したがって、以下の実施の形態で示される、数値、形状、材料、構成要素、構成要素の配置位置及び接続形態、工程（ステップ）、工程の順序等は、一例であって本発明を限定する主旨ではない。よって、以下の実施の形態における構成要素のうち、本発明の最上位概念を示す独立請求項に記載されていない構成要素については、任意の構成要素として説明される。

[0011] なお、各図は、模式図であり、必ずしも厳密に図示されたものではない。また、各図において、実質的に同一の構成に対しては同一の符号を付しており、重複する説明は省略又は簡略化する。

[0012] （実施の形態）

まず、ＴＦＴ基板が用いられる表示装置の一例として、有機ＥＬ表示装置の構成について説明する。

[0013] ［有機ＥＬ表示装置］

図１は、実施の形態に係る有機ＥＬ表示装置の一部切り欠き斜視図である。図２は、実施の形態に係る有機ＥＬ表示装置のピクセルバンクの例を示す斜視図である。

[0014] 図１に示すように、有機ＥＬ表示装置１００は、複数個の薄膜トランジスタが配置されたＴＦＴ基板（ＴＦＴアレイ基板）１と、下部電極である陽極１３１、有機材料からなる発光層であるＥＬ層１３２及び透明な上部電極である陰極１３３からなる有機ＥＬ素子（発光部）１３０との積層構造により構成される。

[0015] 本実施の形態における有機ＥＬ表示装置１００は、トップエミッション型であり、陽極１３１は反射電極である。なお、有機ＥＬ表示装置１００は、トップエミッション型に限るものではなく、ボトムエミッション型としても

よい。

[0016] ＴＦＴ基板１には複数の画素１１０がマトリクス状に配置されており、各画素１１０には画素回路１２０が設けられている。

[0017] 有機ＥＬ素子１３０は、複数の画素１１０のそれぞれに対応して形成されており、各画素１１０に設けられた画素回路１２０によって各有機ＥＬ素子１３０の発光の制御が行われる。有機ＥＬ素子１３０は、複数の薄膜トランジスタを覆うように形成された層間絶縁膜（平坦化層）の上に形成される。

[0018] また、有機ＥＬ素子１３０は、陽極１３１と陰極１３３との間にＥＬ層１３２が配置された構成となっている。陽極１３１とＥＬ層１３２との間にはさらに正孔輸送層が積層され、ＥＬ層１３２と陰極１３３との間にはさらに電子輸送層が積層されている。なお、陽極１３１と陰極１３３との間には、その他の有機機能層が設けられていてもよい。

[0019] 各画素１１０は、それぞれの画素回路１２０によって駆動制御される。また、ＴＦＴ基板１には、画素１１０の行方向に沿って配置される複数のゲート配線（走査線）１４０と、ゲート配線１４０と交差するように画素１１０の列方向に沿って配置される複数のソース配線（信号配線）１５０と、ソース配線１５０と平行に配置される複数の電源配線（図１では省略）とが形成されている。各画素１１０は、例えば直交するゲート配線１４０とソース配線１５０とによって区画されている。

[0020] ゲート配線１４０は、各画素回路１２０に含まれるスイッチング素子として動作する薄膜トランジスタのゲート電極と行毎に接続されている。ソース配線１５０は、各画素回路１２０に含まれるスイッチング素子として動作する薄膜トランジスタのソース電極と列毎に接続されている。電源配線は、各画素回路１２０に含まれる駆動素子として動作する薄膜トランジスタのドレイン電極と列毎に接続されている。

[0021] 図２に示すように、有機ＥＬ表示装置１００の各画素１１０は、３色（赤色、緑色、青色）のサブ画素１１０Ｒ、１１０Ｇ、１１０Ｂによって構成されており、これらのサブ画素１１０Ｒ、１１０Ｇ、１１０Ｂは、表示面上に

複数個マトリクス状に配列されるように形成されている。各サブ画素１１０Ｒ、１１０Ｇ、１１０Ｂは、バンク１１１によって互いに分離されている。バンク１１１は、ゲート配線１４０に平行に延びる突条と、ソース配線１５０に平行に延びる突条とが互いに交差するように、格子状に形成されている。そして、この突条で囲まれる部分（すなわち、バンク１１１の開口部）の各々とサブ画素１１０Ｒ、１１０Ｇ、１１０Ｂの各々とが一対一で対応している。なお、本実施の形態において、バンク１１１はピクセルバンクとしたが、ラインバンクとしても構わない。

[0022] 陽極１３１は、ＴＦＴ基板１上の層間絶縁膜（平坦化層）上でかつバンク１１１の開口部内に、サブ画素１１０Ｒ、１１０Ｇ、１１０Ｂ毎に形成されている。同様に、ＥＬ層１３２は、陽極１３１上でかつバンク１１１の開口部内に、サブ画素１１０Ｒ、１１０Ｇ、１１０Ｂ毎に形成されている。透明な陰極１３３は、複数のバンク１１１上で、かつ全てのＥＬ層１３２（全てのサブ画素１１０Ｒ、１１０Ｇ、１１０Ｂ）を覆うように、連続的に形成されている。

[0023] さらに、画素回路１２０は、各サブ画素１１０Ｒ、１１０Ｇ、１１０Ｂ毎に設けられており、各サブ画素１１０Ｒ、１１０Ｇ、１１０Ｂと、対応する画素回路１２０とは、コンタクトホール及び中継電極によって電気的に接続されている。なお、サブ画素１１０Ｒ、１１０Ｇ、１１０Ｂは、ＥＬ層１３２の発光色が異なることを除いて同一の構成である。

[0024] ここで、画素１１０における画素回路１２０の回路構成について、図３を用いて説明する。図３は、実施の形態に係る有機ＥＬ表示装置における画素回路の構成を示す電気回路図である。

[0025] 図３に示すように、画素回路１２０は、スイッチング素子として動作する薄膜トランジスタＳｗＴｒと、駆動素子として動作する薄膜トランジスタＤｒＴｒと、対応する画素１１０に表示するためのデータを記憶するキャパシタＣとで構成される。本実施の形態において、薄膜トランジスタＳｗＴｒは、画素１１０を選択するためのスイッチングトランジスタであり、薄膜トラ

ンジスタＤｒＴｒは、有機ＥＬ素子１３０を駆動するための駆動トランジスタである。

[0026] 薄膜トランジスタＳｗＴｒは、ゲート配線１４０に接続されるゲート電極Ｇ１と、ソース配線１５０に接続されるソース電極Ｓ１と、キャパシタＣ及び薄膜トランジスタＤｒＴｒのゲート電極Ｇ２に接続されるドレイン電極Ｄ１と、半導体膜（図示せず）とで構成される。この薄膜トランジスタＳｗＴｒは、接続されたゲート配線１４０及びソース配線１５０に所定の電圧が印加されると、当該ソース配線１５０に印加された電圧がデータ電圧としてキャパシタＣに保存される。

[0027] 薄膜トランジスタＤｒＴｒは、薄膜トランジスタＳｗＴｒのドレイン電極Ｄ１及びキャパシタＣに接続されるゲート電極Ｇ２と、電源配線１６０及びキャパシタＣに接続されるドレイン電極Ｄ２と、有機ＥＬ素子１３０の陽極１３１に接続されるソース電極Ｓ２と、半導体膜（図示せず）とで構成される。この薄膜トランジスタＤｒＴｒは、キャパシタＣが保持しているデータ電圧に対応する電流を電源配線１６０からソース電極Ｓ２を通じて有機ＥＬ素子１３０の陽極１３１に供給する。これにより、有機ＥＬ素子１３０では、陽極１３１から陰極１３３へと駆動電流が流れてＥＬ層１３２が発光する。

[0028] なお、上記構成の有機ＥＬ表示装置１００では、ゲート配線１４０とソース配線１５０との交点に位置する画素１１０毎に表示制御を行うアクティブマトリクス方式が採用されている。これにより、各画素１１０（各サブ画素１１０Ｒ、１１０Ｇ、１１０Ｂ）の薄膜トランジスタＳｗＴｒ及びＤｒＴｒによって、対応する有機ＥＬ素子１３０が選択的に発光し、所望の画像が表示される。

[0029] ［ＴＦＴ基板］

次に、実施の形態に係るＴＦＴ基板の構成について、図４及び図５を用いて説明する。図４は、実施の形態に係るＴＦＴ基板における一画素のレイアウトを示す模式図である。図５は、図４のＡ－Ａ’線におけるＴＦＴ基板の

断面図である。

[0030] 以下の実施の形態では、上記有機ＥＬ表示装置１００におけるＴＦＴ基板１について説明する。

[0031] 図４に示すように、画素１１０（サブ画素）は、直交する複数のゲート配線１４０と複数のソース配線１５０とによってマトリクス状に区画されている。上述のとおり、各画素１１０には、薄膜トランジスタＳｗＴｒと、薄膜トランジスタＤｒＴｒと、キャパシタＣとが設けられている。

[0032] 図５に示すように、ＴＦＴ基板１は、基板２と、ゲート電極３と、ゲート絶縁膜４と、酸化物半導体層５と、絶縁層６と、ソース電極７Ｓ及びドレイン電極７Ｄと、絶縁層８と、ゲート配線１４０と、ソース配線１５０とを有する。

[0033] ゲート電極３と、ソース電極７Ｓ及びドレイン電極７Ｄと、ゲート配線１４０と、ソース配線１５０とは、金属材料によって構成されており、これらの電極や配線が形成される層は金属層（配線層）である。例えば、ゲート電極３とゲート配線１４０とが形成される層は、第１配線層（第１金属層）であり、ソース電極７Ｓ及びドレイン電極７Ｄとソース配線１５０とが形成される層は、第２配線層（第２金属層）である。なお、図示されていないが、第２配線層には電源配線１６０も形成されている。各配線層では、一様に形成された金属膜（導電膜）をパターニングすることによって、所定形状に分離された配線や電極として形成することができる。

[0034] 図５に示すように、ＴＦＴ基板１において、薄膜トランジスタＤｒＴｒは、ゲート電極３と、ゲート絶縁膜４と、酸化物半導体層５と、ソース電極７Ｓ及びドレイン電極７Ｄとによって構成される。ゲート電極３、ソース電極７Ｓ及びドレイン電極７Ｄは、それぞれ、図３における、ゲート電極Ｇ２、ソース電極Ｓ２及びドレイン電極Ｄ２に対応する。

[0035] 本実施の形態における薄膜トランジスタＴｒは、ボトムゲート型のＴＦＴであって、チャネル層として酸化物半導体を用いた酸化物半導体ＴＦＴである。なお、薄膜トランジスタＳｗＴｒも薄膜トランジスタＤｒＴｒと同様の

構成とすることができる。

[0036] 以下、ＴＦＴ基板１における各構成部材について、図５を用いて詳細に説明する。

[0037] 基板２は、例えば、Ｇ８基板等のガラス基板である。また、基板２として、樹脂基板等のフレキシブル基板を用いてもよい。なお、基板２の表面にアンダーコート層を形成してもよい。

[0038] ゲート電極３及びゲート配線１４０は、基板２の上方に所定形状で形成される。ゲート電極３及びゲート配線１４０としては、例えば、チタン（Ｔｉ）、モリブデン（Ｍｏ）、タングステン（W）、アルミニウム（Ａｌ）、金（Ａｕ）、銅（Ｃｕ）等の金属、又は、ＩＴＯ（Ｉｎｄｉｕｍ Ｔｉｎ Ｏｘｉｄｅ：酸化インジウムスズ）等の導電性酸化物が用いられる。金属に関しては、例えばモリブデンタングステン（ＭｏW）のような合金もゲート電極３及びゲート配線１４０の材料として用いることができる。

[0039] ゲート絶縁膜４は、ゲート電極３及びゲート配線１４０を覆うように基板２上に形成される。ゲート絶縁膜４は、ゲート電極３と酸化物半導体層５との間に形成されるとともにゲート配線１４０及びソース配線１５０との間に形成される。ゲート絶縁膜４としては、例えばシリコン酸化膜やハフニウム酸化膜等の酸化物薄膜、窒化シリコン膜等の窒化膜もしくはシリコン酸窒化膜の単層膜、又は、これらの積層膜等が用いられる。

[0040] 酸化物半導体層５は、基板２の上方に所定形状で形成される。酸化物半導体層５は、薄膜トランジスタＤｒＴｒのチャネル層（半導体層）であり、ゲート電極３と対向するように形成される。例えば、酸化物半導体層５は、ゲート電極３の上方においてゲート絶縁膜４上に島状に形成される。

[0041] 酸化物半導体層５としては、Ｉｎ－Ｇａ－Ｚｎ－Ｏを含むＩｎＧａＺｎO_X（ＩＧＺＯ）等の透明アモルファス酸化物半導体（ＴＡＯＳ：Ｔｒａｎｓｐａｒｅｎｔ Ａｍｏｒｐｈｏｕｓ Ｏｘｉｄｅ Ｓｅｍｉｃｏｎｄｕｃｔｏｒ）により構成することが望ましい。透明アモルファス酸化物半導体をチャネル層とする薄膜トランジスタは、キャリア移動度が高く、大画面及び高精

細の表示装置に適している。また、透明アモルファス酸化物半導体は、低温成膜が可能であるため、フレキシブル基板上に容易に形成することができる。

[0042] ＩｎＧａＺｎＯ$_X$のアモルファス酸化物半導体は、例えば、ＩｎＧａＯ$_3$（ＺｎＯ）$_4$組成を有する多結晶焼結体をターゲットとして、スパッタ法やレーザー蒸着法等の気相成膜法により成膜することができる。

[0043] 絶縁層６は、酸化物半導体層５を覆うようにゲート絶縁膜４上に成膜される。つまり、酸化物半導体層５は絶縁層６によって覆われており、絶縁層６は酸化物半導体層５を保護する保護層（チャネル保護層）として機能する。また、絶縁層６は、ゲート配線１４０の上方にも成膜されている。

[0044] 絶縁層６は、例えば、シリコン酸化膜（ＳｉＯ$_2$）又は酸化アルミニウム膜（Ａｌ$_2$Ｏ$_3$）等の酸化膜の単層膜、あるいは、これらの酸化膜の積層膜である。絶縁層６の一部は貫通するように開口されており、この開口部分（コンタクトホール）を介して酸化物半導体層５がソース電極７Ｓ及びドレイン電極７Ｄに接続されている。

[0045] ソース電極７Ｓ及びドレイン電極７Ｄは、絶縁層６上に所定形状で形成される。具体的には、ソース電極７Ｓ及びドレイン電極７Ｄは、絶縁層６に設けられたコンタクトホールを介して酸化物半導体層５に接続されており、絶縁層６上において基板水平方向に所定の間隔をあけて対向配置されている。

[0046] ソース電極７Ｓ及びドレイン電極７Ｄは、いずれも銅（Ｃｕ）を主成分として含んでおり、銅膜（Ｃｕ膜）と銅マンガン合金膜（ＣｕＭｎ合金膜）との積層構造である。具体的に、ソース電極７Ｓは、Ｃｕ膜７１Ｓと、Ｃｕ膜７１Ｓ上に形成されたＣｕＭｎ合金膜７２Ｓとの積層膜である。同様に、ドレイン電極７Ｄは、Ｃｕ膜７１Ｄと、Ｃｕ膜７１Ｄ上に形成されたＣｕＭｎ合金膜７２Ｄとの積層膜である。

[0047] また、ソース配線１５０もソース電極７Ｓ及びドレイン電極７Ｄと同様の構成である。つまり、ソース配線１５０は、Ｃｕ膜１５１及びＣｕ膜１５１上のＣｕＭｎ合金膜（キャップ膜）１５２を含む積層膜からなるＣｕ配線で

ある。

[0048] このように、ソース電極７Ｓ、ドレイン電極７Ｄ及びソース配線１５０として低抵抗材料であるＣｕを用いることによって、ソース電極７Ｓ及びドレイン電極７Ｄの低抵抗化を図ることができるとともに、ソース電極７Ｓ及びドレイン電極７Ｄと同層のソース配線１５０を低抵抗配線とすることができる。なお、Ｃｕ膜７１Ｓ、７１Ｄ及び１５１の膜厚は、ＣｕＭｎ合金膜７２Ｓ、７２Ｄ及び１５２の膜厚よりも厚くするとよい。

[0049] また、ソース電極７Ｓ、ドレイン電極７Ｄ及びソース配線１５０において、Ｃｕ膜をキャップ膜で被覆することによって、Ｃｕ膜のＣｕ原子が酸化してＣｕ膜が変質することを抑制できる。これにより、Ｃｕの酸化によって、ソース電極７Ｓ、ドレイン電極７Ｄ及びソース配線１５０が高抵抗化することを抑制できる。本実施の形態では、ソース電極７Ｓ、ドレイン電極７Ｄ及びソース配線１５０の最上層（キャップ膜）としてＣｕＭｎ合金膜７２Ｓ、７２Ｄ及び１５２を用いている。なお、本明細書において、ＣｕＭｎ合金膜とは、銅とマンガンとの合金膜であることを意味している。

[0050] 絶縁層８は、パッシベーション層であって、ソース電極７Ｓ、ドレイン電極７Ｄ及びソース配線１５０を覆うように絶縁層６上に形成される。絶縁層８は、複数のシリコン酸化膜（SiO_2）の積層膜であり、本実施の形態では、下層の第１のシリコン酸化膜８１と上層の第２のシリコン酸化膜８２との２層構造である。第１のシリコン酸化膜８１と第２のシリコン酸化膜８２との合計膜厚は４６０ｎｍ以上にするとよい。

[0051] また、本実施の形態において、絶縁層８は、シリコン酸化膜のみの積層構造としたが、シリコン酸化膜と酸化アルミニウム膜（Al_2O_3）等の他の酸化膜との積層構造であってもよい。

[0052] 例えば、絶縁層８は、図６に示すように、下層の第１のシリコン酸化膜８１と中間層の酸化アルミニウム膜８３と上層の第２のシリコン酸化膜８２との３層構造であってもよい。このように、絶縁層８に酸化アルミニウム膜を含めることによって、酸化物半導体層５に水素や水分等が進入することを抑

制することができる。つまり、酸化物半導体層５は水素や酸素によってダメージを受けて電気特性が劣化するが、酸化物半導体層５の上方に酸化アルミニウム膜を形成しておくことにより、上層で発生する水素や水分を酸化アルミニウム膜によってブロックすることができるので、水素や水分が酸化物半導体層５に拡散することを抑制できる。これにより、電気特性が安定した酸化物半導体層５が得られる。

[0053] また、本実施の形態において、ソース電極７Ｓ、ドレイン電極７Ｄ及びソース配線１５０は、Ｃｕ膜とＣｕＭｎ合金膜との２層構造としたが、これに限らない。例えば、下から順に、Ｍｏ（モリブデン）膜又はＣｕＭｎ膜と、Ｃｕ膜と、ＣｕＭｎ合金膜との３層構造であってもよい。

[0054] 具体的には、図７に示すように、ソース電極７Ｓを、Ｍｏ（モリブデン）膜又はＣｕＭｎ膜である下地膜７３ＳとＣｕ膜７１ＳとＣｕＭｎ合金膜７２Ｓとの積層膜にしてもよい。同様に、ドレイン電極７Ｄを、Ｍｏ膜又はＣｕＭｎ膜である下地膜７３ＤとＣｕ膜７１ＤとＣｕＭｎ合金膜７２Ｄとの積層膜とし、ソース配線１５０を、Ｍｏ膜又はＣｕＭｎ膜である下地膜１５３とＣｕ膜１５１とＣｕＭｎ合金膜１５２との積層膜としてもよい。このように、ソース電極７Ｓ、ドレイン電極７Ｄ及びソース配線１５０の最下層としてＣｕＭｎ膜又はＭｏ膜を用いることによって、Ｃｕ膜におけるＣｕ原子が下層（酸化物半導体層５等）に拡散することを抑制できるとともに酸化物半導体層５との密着性を向上させることができる。

[0055] ［薄膜トランジスタ基板の製造方法］

次に、実施の形態に係るＴＦＴ基板１の製造方法について、図８Ａ～図８Ｉを用いて説明する。図８Ａ～図８Ｉは、実施の形態に係る薄膜トランジスタ基板の製造方法における各工程の断面図である。

[0056] まず、図８Ａに示すように、基板２を準備して、当該基板２の上方に所定形状のゲート電極３及びゲート配線１４０を形成する。例えば、Ｇ８ガラス基板の基板２上に金属膜をスパッタ法によって成膜し、フォトリソグラフィ法及びウェットエッチング法を用いて金属膜を加工することにより、所定形

状のゲート電極３及びゲート配線１４０を形成する。

[0057] 次に、図８Ｂに示すように、基板２の上方にゲート絶縁膜４（第１絶縁層）を形成する。例えば、ゲート電極３及びゲート配線１４０を覆うようにして、シリコン酸化膜からなるゲート絶縁膜４をプラズマＣＶＤ法等によって基板２の全面に成膜する。

[0058] 次に、図８Ｃに示すように、基板２の上方に所定形状の酸化物半導体層５を形成する。本実施の形態では、ゲート絶縁膜４上に酸化物半導体層５を形成する。

[0059] 例えば、ゲート絶縁膜４上にＩｎＧａＺｎＯ$_X$の透明アモルファス酸化物半導体をスパッタ法等によって成膜し、フォトリソグラフィ法及びエッチング法を用いて透明アモルファス酸化物半導体を加工することにより、ゲート電極３の上方に所定形状の酸化物半導体層５を形成する。

[0060] 次に、図８Ｄに示すように、酸化物半導体層５を覆うようにしてゲート絶縁膜４上に絶縁層６（第２絶縁層）を形成する。例えば、プラズマＣＶＤ法によって、シリコン酸化膜からなる絶縁層６を基板２の全面に成膜する。

[0061] 次に、図８Ｅに示すように、絶縁層６の一部を除去することによって、酸化物半導体層５とソース電極７Ｓ及びドレイン電極７ＤとをコンタクトさせるためのコンタクトホールＣＨ１及びＣＨ２を形成する。例えば、酸化物半導体層５の一部が露出するように、フォトリソグラフィ法及びエッチング法を用いて絶縁層６にコンタクトホールＣＨ１及びＣＨ２を形成する。

[0062] 次に、図８Ｆに示すように、Ｃｕ膜とＣｕＭｎ合金膜との金属積層膜を成膜する。具体的には、絶縁層６のコンタクトホールＣＨ１及びＣＨ２を埋めるようにして絶縁層６上にＣｕ膜からなる第１金属膜Ｍ１をスパッタ法で成膜し、次いで、第１金属膜Ｍ１上にＣｕＭｎ合金膜からなる第２金属膜Ｍ２をスパッタ法で成膜する。

[0063] 次に、図８Ｇに示すように、フォトリソグラフィ法及びエッチング法を用いて第１金属膜Ｍ１（Ｃｕ膜）と第２金属膜Ｍ２（ＣｕＭｎ合金膜）との金属積層膜を所定形状に加工する。本実施の形態では、過酸化水素水を含んだ

ウェットエッチングによって第１金属膜Ｍ１と第２金属膜Ｍ２との金属積層膜をパターニングした。エッチング液としては、例えば、過酸化水素と有機酸との混合水溶液を用いることができる。

[0064] このパターニングによって、同図に示すように、Ｃｕ膜７１ＳとＣｕＭｎ合金膜７２Ｓとの積層構造のソース電極７Ｓと、Ｃｕ膜７１ＤとＣｕＭｎ合金膜７２Ｄとの積層構造のドレイン電極７Ｄとを形成することができる。このように形成されたソース電極７Ｓ及びドレイン電極７Ｄは、酸化物半導体層５に接続するように絶縁層６上に形成される。

[0065] また、同図に示すように、このときのパターニングによって、Ｃｕ膜１５１とＣｕＭｎ合金膜１５２との積層構造の銅配線としてソース配線１５０も形成している。さらに、図示していないが、電源配線１６０も同時に形成している。

[0066] 次に、図８Ｈに示すように、Ｃｕ配線であるソース配線１５０の上に絶縁層８（第３絶縁層）を成膜する。具体的には、ソース電極７Ｓ、ドレイン電極７Ｄ及びソース配線１５０を覆うように絶縁層６上に絶縁層８を成膜する。

[0067] この工程では、２９０℃以下の成膜温度で第１のシリコン酸化膜８１（下層）を成膜する工程と、２９０℃以下の成膜温度で第１のシリコン酸化膜８１の上方に第２のシリコン酸化膜８２（上層）を成膜する工程とを含む。

[0068] 例えば、基板温度（成膜温度）を２９０℃以下に設定して、プラズマＣＶＤ法によって、ソース電極７Ｓ、ドレイン電極７Ｄ及びソース配線１５０を覆うように第１のシリコン酸化膜８１を成膜する。この第１のシリコン酸化膜８１を成膜する工程において、第１のシリコン酸化膜８１を成膜した結果、Ｃｕ膜７１Ｓ及び７１Ｄの一部が、ＣｕＭｎ合金膜７２Ｓ及び７２Ｄに被覆されることなく、第１のシリコン酸化膜８１の少なくとも一部に接触する。第１のシリコン酸化膜８１の成膜に続いて、基板温度を２９０℃以下に設定し、プラズマＣＶＤ法によって、第１のシリコン酸化膜８１上に第２のシリコン酸化膜８２を成膜する。

[0069] このとき、第１のシリコン酸化膜８１及び第２のシリコン酸化膜８２の合計膜厚が４６０ｎｍ以上となるように、第１のシリコン酸化膜８１及び第２のシリコン酸化膜８２を成膜する。

[0070] なお、第１のシリコン酸化膜８１を成膜するときの成膜温度は、２３０℃以下であることがより好ましい。また、第２のシリコン酸化膜８２を成膜するときの成膜温度は、２３０℃よりも大きいことがより好ましい。

[0071] また、図６に示すように、第１のシリコン酸化膜８１と第２のシリコン酸化膜８２との間に中間層として酸化アルミニウム膜８３を成膜する場合は、第１のシリコン酸化膜８１を成膜した後に、酸化アルミニウム膜８３をスパッタ法等によって成膜し、その後、第２のシリコン酸化膜８２を成膜すればよい。

[0072] 次に、図８Ｉに示すように、２９０℃を越える温度で熱処理（アニール処理）を行う。この熱処理工程は、酸化物半導体層５の特性安定化のために行う処理であり、例えば、３００℃の設定温度で熱処理を行う。この熱処理によって、酸化物半導体層５の酸素欠損を修復することができるので、特性を安定化させることができる。

[0073] ［本開示に至った経緯及び絶縁層の成膜条件］

ここで、本開示に至った経緯を含めて、本開示の特徴となる絶縁層８の成膜条件について詳細に説明する。

[0074] 大型の表示装置や有機ＥＬ表示装置では、高速駆動を実現するために、ＴＦＴ基板の配線（ソース配線、ゲート配線、電源配線）には低抵抗の金属配線が用いられる。また、ソース配線や電源配線は、ＴＦＴにおけるソース電極及びドレイン電極と同じ材料を用いて且つ同じ層に形成される。このため、ソース電極、ドレイン電極及びこれらと同層の配線の材料の選定にあたっては、ＴＦＴとしての性能だけではなく配線としての性能も考慮する必要がある。そこで、ソース電極、ドレイン電極及びソース配線の材料として、低抵抗である銅（Ｃｕ）を用いることが検討されている。

[0075] また、酸化物半導体を用いたＴＦＴでは、層間絶縁膜（絶縁層）としてシ

リコン酸化膜が用いられる。例えば、ソース電極、ドレイン電極及びソース配線を覆うようにシリコン酸化膜からなる層間絶縁膜が形成される。

[0076] しかしながら、ＴＦＴ基板において、層間絶縁膜としてシリコン酸化膜を用いることとソース電極、ドレイン電極及びソース配線の材料としてＣｕを用いることとを両立することは難しい。これは、Ｃｕは、表面が酸化しやすく、また、シリコン酸化膜との密着性も低いからである。

[0077] そこで、ソース電極、ドレイン電極及びソース配線におけるＣｕ膜とシリコン酸化膜との間にＣｕＭｎ合金膜等のキャップ膜（保護層）を形成する技術が検討されている。つまり、ソース電極、ドレイン電極及びソース配線を、Ｃｕ膜とキャップ膜との積層構造とすることが考えられている。このようにＣｕ膜の表面にキャップ膜を形成することによって、Ｃｕ膜とシリコン酸化膜との直接接触を避けることができ、プロセスの安定化を図ることができる。

[0078] しかしながら、Ｃｕ膜とキャップ膜との積層膜において、Ｃｕ膜からＣｕが異常成長する現象が起きることが判明した。

[0079] Ｃｕ膜からのＣｕの異常成長は、例えば、図９Ａ、図９Ｂ、図１０Ａ及び図１０Ｂに示すように、ゲート配線との交差部分におけるソース配線のエッジ部分に集中して発生する。

[0080] 図９Ａ及び図９Ｂは、ゲート配線１４０とソース配線１５０との交差する部分において、ソース配線１５０のＣｕ膜１５１からＣｕが異常成長する様子を示すＳＥＭ像であり、図９Ａは平面ＳＥＭ像、図９Ｂは図９ＡのＢ－Ｂ’線における断面ＳＥＭ像である。

[0081] また、図１０Ａ及び図１０Ｂは、ゲート配線１４０とソース配線１５０との交差する部分において、ソース配線１５０のＣｕ膜１５１からＣｕが異常成長する様子を模式的に示す図であり、図１０Ａは平面図、図１０Ｂは図１０ＡのＣ－Ｃ’線における断面図である。

[0082] このＣｕの異常成長する原因について本願発明者が鋭意検討したところ、以下のことが原因でＣｕの異常成長が発生することが分かった。

[0083] つまり、Ｃｕ膜とキャップ膜との積層膜をパターニングした後にシリコン酸化膜を成膜する場合、Ｃｕ膜の上表面はキャップ膜で被覆されているのでシリコン酸化膜とは接触しないが、積層膜の端面（側面）では当該積層膜のパターニングによってＣｕ膜が露出するのでＣｕ膜とシリコン酸化膜とが直接接触することになる。このため、後工程の熱などの影響によってＣｕ膜からＣｕが異常成長すると考えられる。後工程としては、酸化物半導体の特性安定化のために行うは熱処理（例えば３００℃のアニール）がある。Ｃｕ膜からＣｕが異常成長すると、短絡不良による品質不良を引き起こし、所望の性能のＴＦＴ基板が得られないという問題がある。

[0084] このように、本願発明者は、Ｃｕ膜からＣｕが異常成長する原因が、Ｃｕ膜の上方に形成する絶縁層８の成膜条件及び絶縁層８の成膜後のアニール条件に依存することを突き止めた。

[0085] そこで、本願発明者は、図１１に示すように、条件１～条件１０の１０個の条件について、絶縁層８で覆われるソース配線１５０のＣｕ膜１５１からＣｕが異常成長するか否かについての実験を行った。なお、図１１において、絶縁層８（下層、中間層、上層）の条件は膜厚及び成膜温度を示している。また、図１２は、図１１に示す各条件におけるソース配線１５０及び絶縁層８の膜構成を模式的に示している。

[0086] この実験の結果、条件１、条件４～条件７では、Ｃｕの異常成長が発生したが、条件２、条件３、条件８～条件１０では、Ｃｕの異常成長は発生しなかった。図１３は、Ｃｕの異常成長が発生しなかった条件におけるゲート配線１４０とソース配線１５０との交差部分の平面ＳＥＭ像である。

[0087] 図１３と上述の図１０Ａとを比較すると、図１３では、ゲート配線との交差部分におけるソース配線のエッジ部分にＣｕの異常成長が発生していないことが分かる。

[0088] この実験結果を分析すると、Ｃｕの異常成長の発生に関して、以下のことが分かる。

[0089] まず、下層の第１のシリコン酸化膜（第１ＳｉＯ膜）を成膜した後のプロ

セス温度は低くした方がよいことが分かる。例えば、上層の第２のシリコン酸化膜（第２ＳｉＯ膜）の成膜温度及びアニール処理の温度は低い方がよい。

[0090] また、絶縁層のトータル膜厚は一定の値以上に厚くした方がよいことが分かる。絶縁層のトータル膜厚を一定値以上にしておくことで、第２のシリコン酸化膜（第２ＳｉＯ膜）の成膜温度が高かったり、アニール処理を施したりしたとしても、Ｃｕの異常成長が発生しないことが分かる。

[0091] なお、中間層として酸化アルミニウム膜（ＡｌＯ膜）を挿入してもＣｕの異常成長にはほとんど影響しないことも分かる。また、シリコン窒化膜を積層してもＣｕの異常成長にはほとんど影響しないことも分かる。

[0092] 以上まとめると、第１のシリコン酸化膜（第１ＳｉＯ膜）及び第２のシリコン酸化膜（第２ＳｉＯ膜）の成膜温度と、第１のシリコン酸化膜と第２のシリコン酸化膜との合計膜厚とに応じて、Ｃｕの異常成長が発生したりしなかったりすることが分かった。そして、絶縁層８のトータル膜厚が所定の膜厚よりも薄いと、絶縁層８の上層を成膜するときの成膜温度が高い場合又はその後の３００℃のアニールによってＣｕの異常成長が発生することが分かった。

[0093] なお、条件２及び条件３から、絶縁層８のトータル膜厚が薄い場合であっても３００℃のアニール処理をしなければＣｕの異常成長は発生しないが、酸化物半導体層５の特性を安定化させるには、絶縁層８の成膜後にアニール処理を施す方がよい。

[0094] 本開示は、このような知見に基づいてなされたものであり、本願発明者は、絶縁層８を所定の成膜条件で成膜することによって、Ｃｕ配線（ソース配線１５０等）の上に絶縁層８を成膜した後に熱処理を行う場合であってもＣｕ配線からＣｕが異常成長することを抑制できることを見出した。

[0095] すなわち、絶縁層８を成膜する場合、第１のシリコン酸化膜８１及び第２のシリコン酸化膜８２の成膜温度を一定の温度以下とし、かつ、第１のシリコン酸化膜８１と第２のシリコン酸化膜８２との合計膜厚を一定の膜厚以上

とすることによって、Ｃｕ配線からＣｕが異常成長することを抑制することができることが分かった。

[0096] この場合、第１のシリコン酸化膜８１の成膜温度の上限温度としては、２９０℃程度にする必要があると考えられる。なぜなら、図１１に示した条件７において３６０℃として成膜した場合はＣｕ異常成長が発生するのに対して、条件８において２９０℃として成膜した場合はアニール処理後においてもＣｕ異常成長が抑制されるからである。

[0097] 同様に、第２のシリコン酸化膜８２の成膜温度の上限温度も、２９０℃程度にする必要があると考えられる。

[0098] このように、Ｃｕ異常成長抑制の観点から、第１のシリコン酸化膜８１及び第２のシリコン酸化膜８２の成膜温度の上限温度は、２９０℃以下にするとよい。

[0099] 以上、本実施の形態に係る薄膜トランジスタの製造方法によれば、Ｃｕ配線上に絶縁層８を形成する場合、２９０℃以下の成膜温度で第１のシリコン酸化膜８１を成膜し、その後、２９０℃以下の成膜温度で第１のシリコン酸化膜８１の上方に第２のシリコン酸化膜８２を成膜し、かつ、第１のシリコン酸化膜８１と第２のシリコン酸化膜８２との合計膜厚を４６０ｎｍ以上としている。これにより、Ｃｕ配線からＣｕが異常成長することなく、かつ、所望の耐圧特性を有する薄膜トランジスタを備えるＴＦＴ基板１を得ることができる。

[0100] また、本実施の形態において、ＣｕＭｎ合金膜（キャップ膜）直上に形成する第１のシリコン酸化膜８１の成膜温度は、２３０℃以下にすることが望ましい。

[0101] 本願発明者の実験結果によれば、ＣｕＭｎ合金膜直上の第１のシリコン酸化膜８１の成膜温度が２３０℃を越えると、ＣｕＭｎ合金膜の表面が変質することが分かった。具体的には、第１のシリコン酸化膜８１の成膜温度を２３０℃にした場合は、ＣｕＭｎ合金膜の表面は変質しなかったが、第１のシリコン酸化膜８１の成膜温度を２４５℃にした場合は、ＣｕＭｎ合金膜の表

面は変質した。

[0102] ＣｕＭｎ合金膜の表面が変質すると、ＣｕＭｎ膜の効果が劣化する。したがって、第１のシリコン酸化膜８１の成膜温度は、２３０℃以下にすることが望ましい。

[0103] このように、Ｃｕ異常成長抑制の観点に加えて、ＣｕＭｎ膜の表面変質抑制の観点も考慮すると、第１のシリコン酸化膜８１の成膜温度の上限温度は、２３０℃以下にするとよい。

[0104] さらに、第２のシリコン酸化膜８２の成膜温度は、絶縁耐圧を確保できる温度であるとよい。この点について、図１４Ａ及び図１４Ｂを用いて説明する。図１４Ａは、第２のシリコン酸化膜８２の成膜温度を２３０℃として成膜した場合の金属－酸化膜－金属構造における電界強度と電流密度との関係を示す図である。また、図１４Ｂは、第２のシリコン酸化膜８２の成膜温度を２９０℃として成膜した場合の金属－酸化膜－金属構造における電界強度と電流密度との関係を示す図である。なお、図１４Ａでは、３つのサンプルの実験結果を示している。

[0105] 図１４Ａに示すように、第２のシリコン酸化膜８２の成膜温度を２３０℃にして成膜すると、絶縁耐圧が不足していることが分かる。この場合、所望の薄膜トランジスタを得ることができない。

[0106] 一方、図１４Ｂに示すように、第２のシリコン酸化膜８２の成膜温度を２９０℃にして成膜すると、絶縁耐圧が確保できていることが分かる。この場合、所望の薄膜トランジスタを得ることができる。

[0107] このように、第２のシリコン酸化膜８２の成膜温度が少なくとも２９０℃であれば絶縁耐圧を確保することができる。また、絶縁耐圧確保の観点からは、第２のシリコン酸化膜８２の成膜温度の下限温度としては、少なくとも２３０℃よりも大きい温度であればよいことも分かった。

[0108] このように、Ｃｕ異常成長抑制の観点とＣｕＭｎ膜の表面変質抑制の観点に加えて、絶縁耐圧確保の観点も考慮すると、第１のシリコン酸化膜８１の成膜温度は、２３０℃以下、第２のシリコン酸化膜８２の成膜温度は、２３

０℃よりも大きく２９０℃以下にすることが望ましい。

[0109] （変形例等）

以上、薄膜トランジスタ基板、薄膜トランジスタ基板の製造方法及び有機ＥＬ表示装置について、実施の形態に基づいて説明したが、本発明は、上記実施の形態に限定されるものではない。

[0110] 例えば、上記実施の形態において、薄膜トランジスタは、ボトムゲート型としたが、トップゲート型としても構わない。

[0111] また、上記実施の形態において、薄膜トランジスタは、チャネルエッチングストッパー型（チャネル保護型）としたが、チャネルエッチング型としても構わない。つまり、上記実施の形態において、絶縁層６は形成しなくてもよい。

[0112] また、上記実施の形態では、薄膜トランジスタ基板を用いた表示装置として有機ＥＬ表示装置について説明したが、上記実施の形態における薄膜トランジスタ基板は、液晶表示装置等、アクティブマトリクス基板が用いられる他の表示装置にも適用することもできる。

[0113] また、以上説明した有機ＥＬ表示装置等の表示装置（表示パネル）については、フラットパネルディスプレイとして利用することができ、テレビジョンセット、パーソナルコンピュータ、携帯電話等、表示パネルを有するあらゆる電子機器に適用することができる。特に、大画面及び高精細の表示装置に適している。

[0114] その他、各実施の形態及び変形例に対して当業者が思いつく各種変形を施して得られる形態や、本発明の趣旨を逸脱しない範囲で各実施の形態及び変形例における構成要素及び機能を任意に組み合わせることで実現される形態も本発明に含まれる。

産業上の利用可能性

[0115] ここに開示された技術は、酸化物半導体を用いた薄膜トランジスタ基板及びその製造方法、並びに、薄膜トランジスタ基板を用いた有機ＥＬ表示装置等の表示装置等において広く利用することができる。

符号の説明

[0116] １　ＴＦＴ基板

２　基板

３、Ｇ１、Ｇ２　ゲート電極

４　ゲート絶縁膜

５　酸化物半導体層

６、８　絶縁層

７Ｓ、Ｓ１、Ｓ２　ソース電極

７Ｄ、Ｄ１、Ｄ２　ドレイン電極

７１Ｓ、７１Ｄ、１５１　Ｃｕ膜

７２Ｓ、７２Ｄ、１５２　ＣｕＭｎ合金膜

７３Ｓ、７３Ｄ、１５３　下地膜

８１　第１のシリコン酸化膜

８２　第２のシリコン酸化膜

８３　酸化アルミニウム膜

１００　有機ＥＬ表示装置

１１０　画素

１１０Ｒ、１１０Ｇ、１１０Ｂ　サブ画素

１１１　バンク

１２０　画素回路

１３０　有機ＥＬ素子

１３１　陽極

１３２　ＥＬ層

１３３　陰極

１４０　ゲート配線

１５０　ソース配線

１６０　電源配線

ＳｗＴｒ、ＤｒＴｒ　薄膜トランジスタ

Ｃ　キャパシタ

ＣＨ１、ＣＨ２　コンタクトホール

請求の範囲

[請求項1] 酸化物半導体層を有する薄膜トランジスタを備える薄膜トランジスタ基板の製造方法であって、

基板の上方に、銅膜及び当該銅膜上のキャップ膜を含む積層膜からなる銅配線を形成する工程と、

前記銅配線の上に絶縁層を成膜する工程と、

前記絶縁層を成膜した後に、２９０℃を越える温度で熱処理をする工程とを含み、

前記絶縁層を成膜する工程は、

２９０℃以下の成膜温度で第１のシリコン酸化膜を成膜する工程と、

２９０℃以下の成膜温度で前記第１のシリコン酸化膜の上方に第２のシリコン酸化膜を成膜する工程とを含み、

前記第１のシリコン酸化膜と前記第２のシリコン酸化膜との合計膜厚は、４６０ｎｍ以上である

薄膜トランジスタ基板の製造方法。

[請求項2] 前記第１のシリコン酸化膜の成膜温度は２３０℃以下であり、

前記第２のシリコン酸化膜の成膜温度は２３０℃よりも大きい

請求項１に記載の薄膜トランジスタ基板の製造方法。

[請求項3] 前記第１のシリコン酸化膜を成膜する工程では、

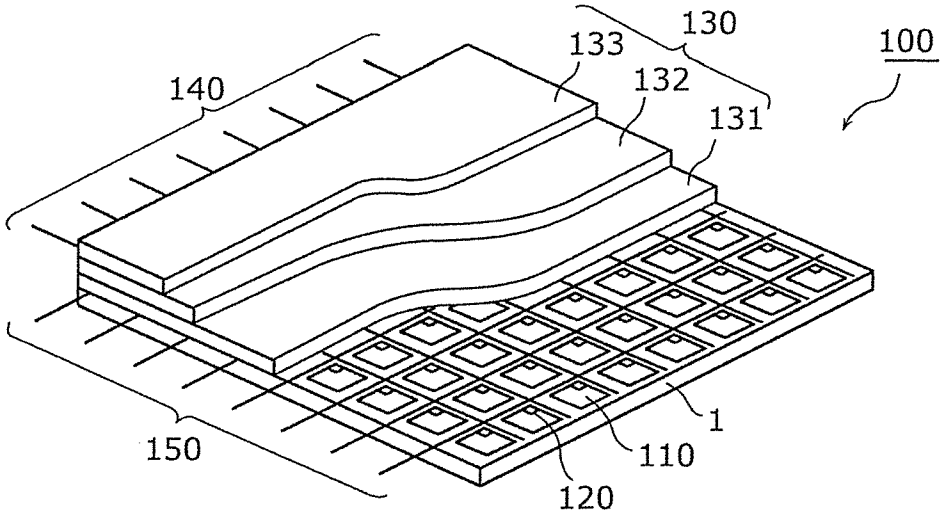
前記第１のシリコン酸化膜を成膜した結果、前記銅膜の一部が、前記キャップ膜に被覆されることなく、前記第１のシリコン酸化膜の少なくとも一部に接触する

請求項１又は２に記載の薄膜トランジスタ基板の製造方法。

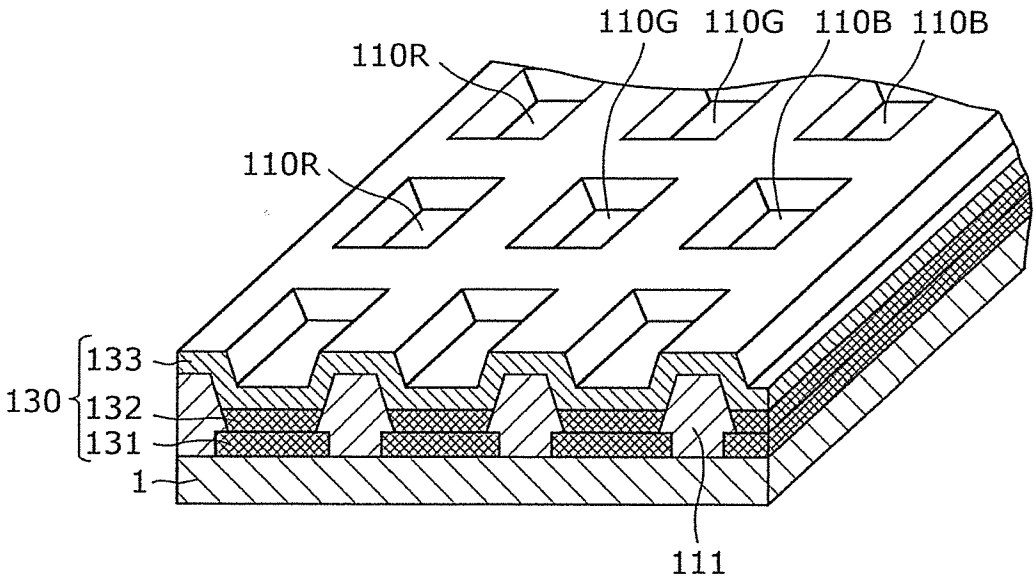
[請求項4] 前記キャップ層は、ＣｕＭｎ合金膜である

請求項１～３のいずれか１項に記載の薄膜トランジスタ基板の製造方法。

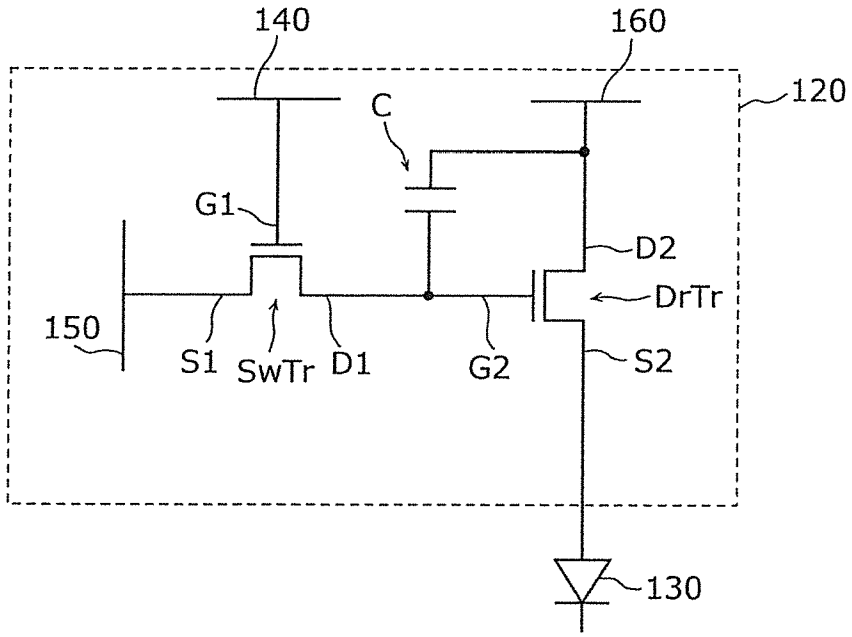
[図1]


130
133
132
131
100
140
150
1
110
120

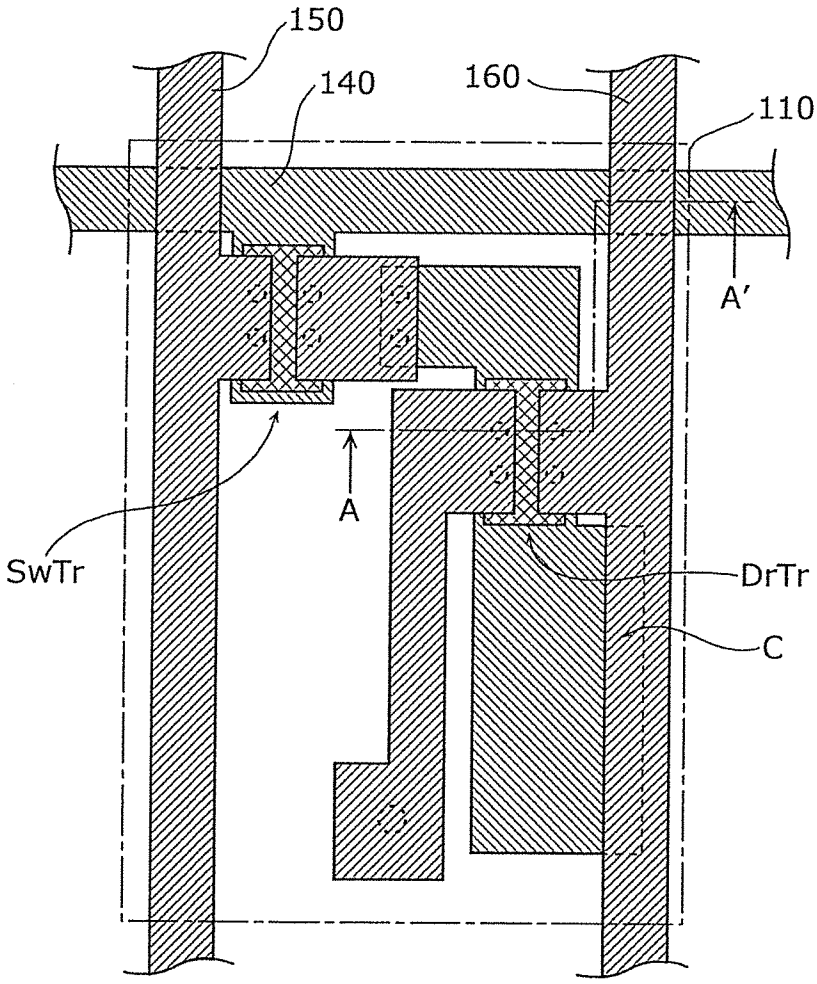
[図2]


110G
110G
110B
110B
110R
110R
133
130
132
131
1
111

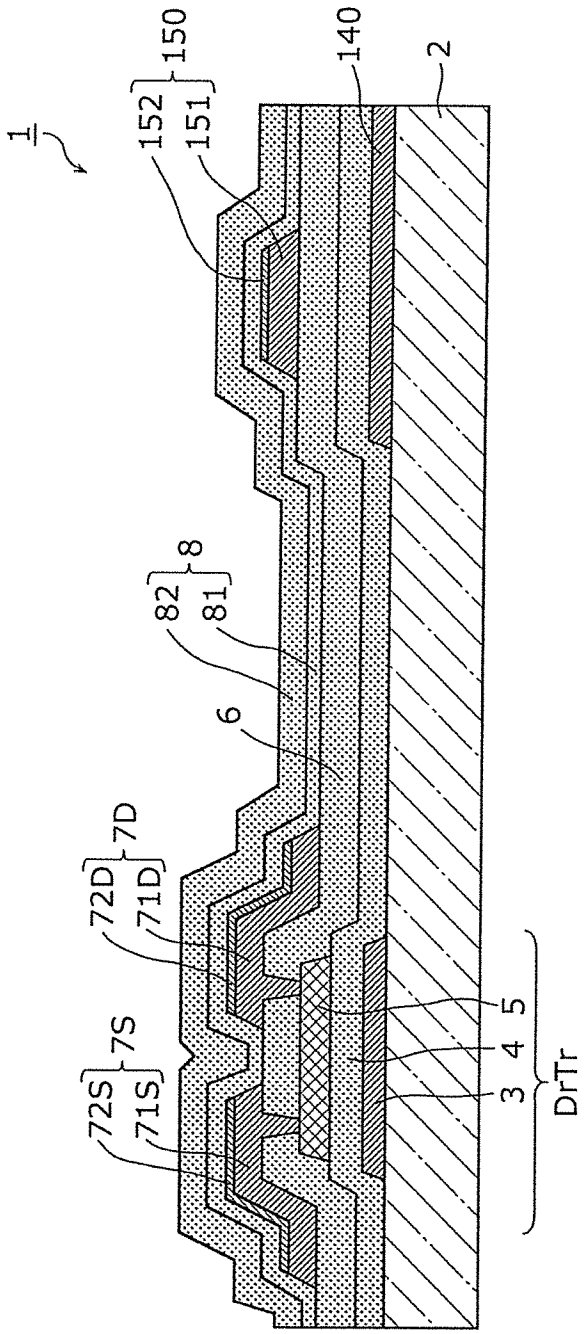
[図3]


140
160
120
C
G1
D2
DrTr
150
S1
SwTr
D1
G2
S2
130

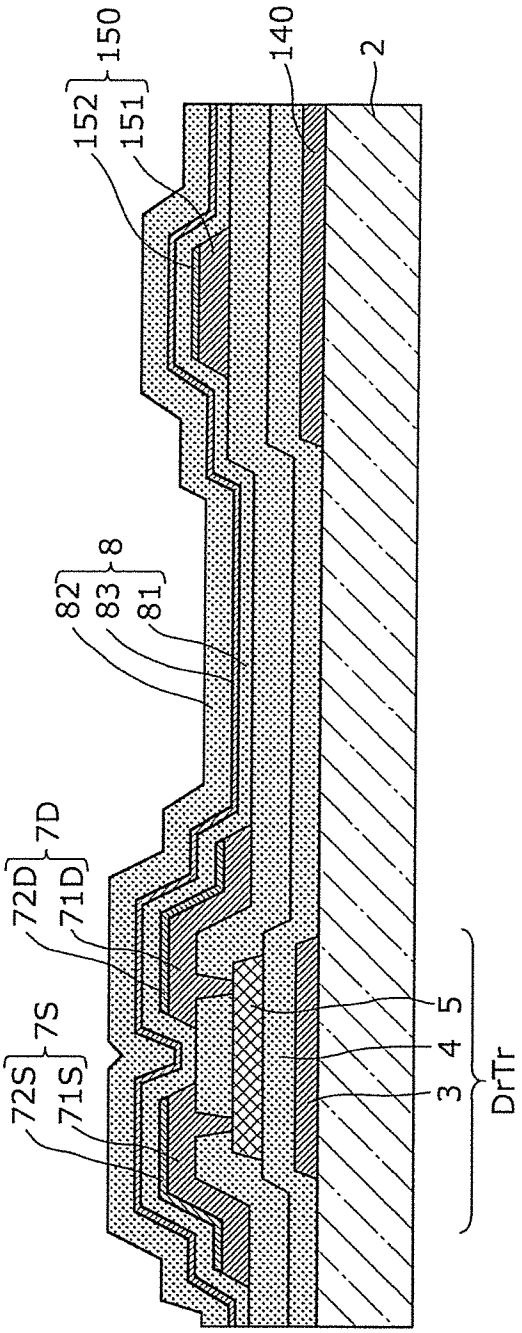
[図4]


150
140
160
110
A'
A
SwTr
DrTr
C

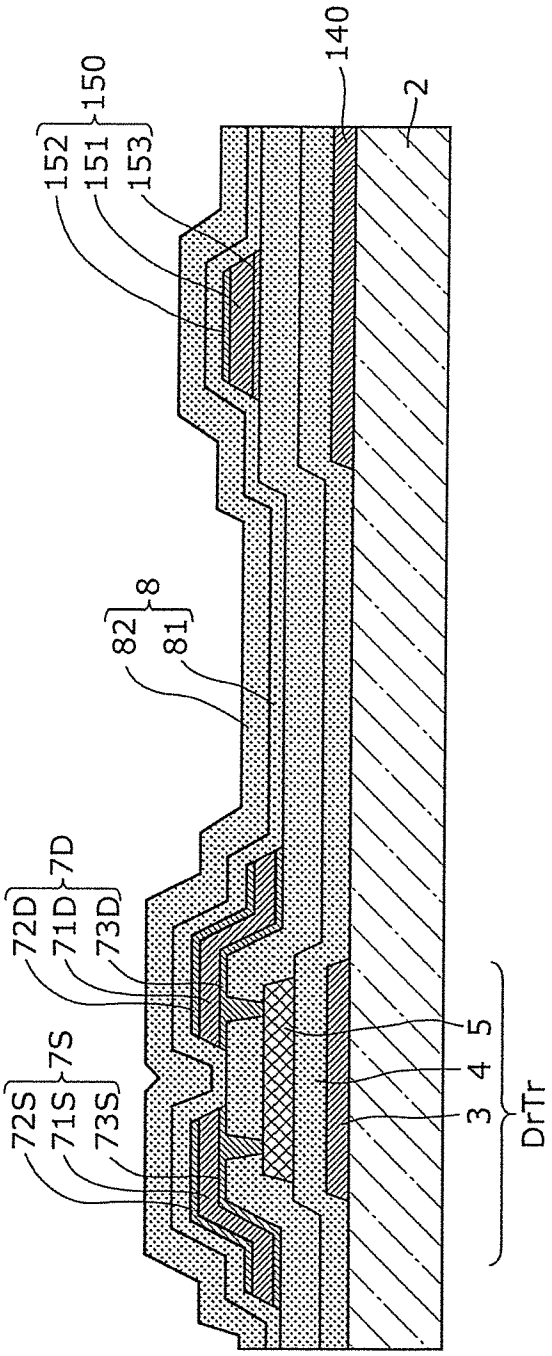
[図5]



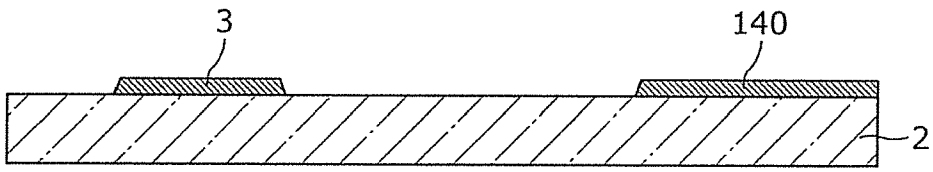
[図6]



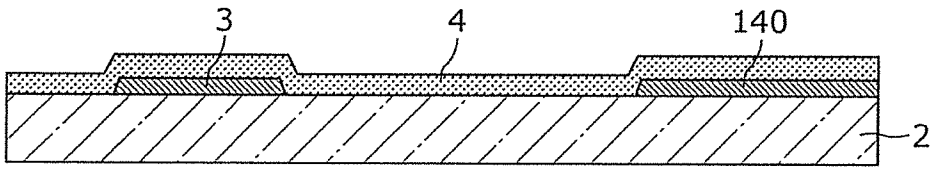
[図7]


140
2
150
152
151
153
8
82
81
7D
72D
71D
73D
7S
72S
71S
73S
5
4
3
DrTr

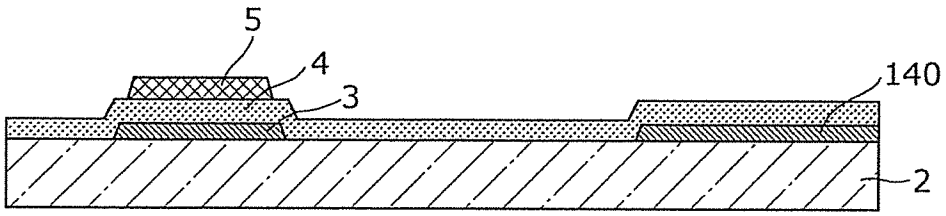
[図8A]



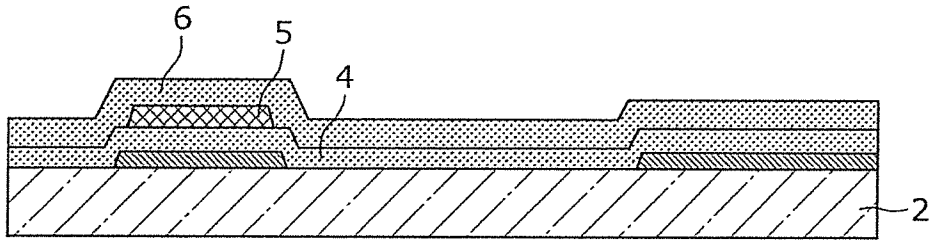
[図8B]



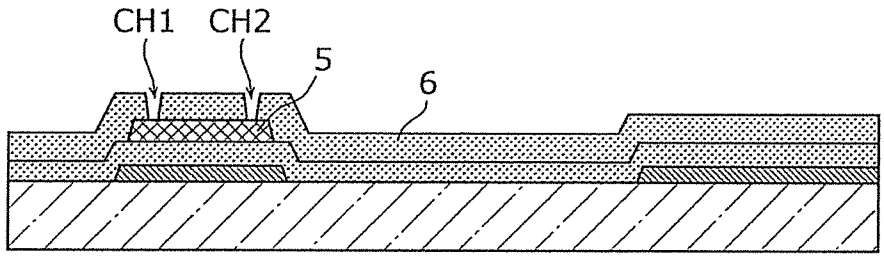
[図8C]



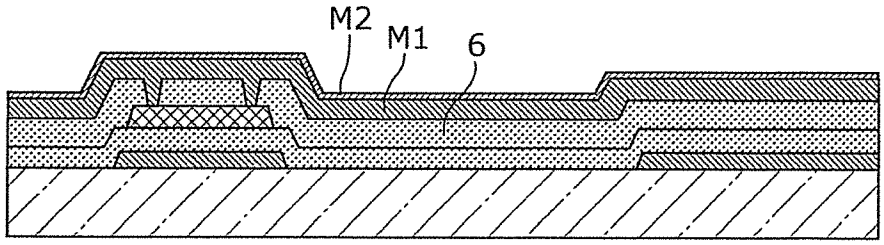
[図8D]



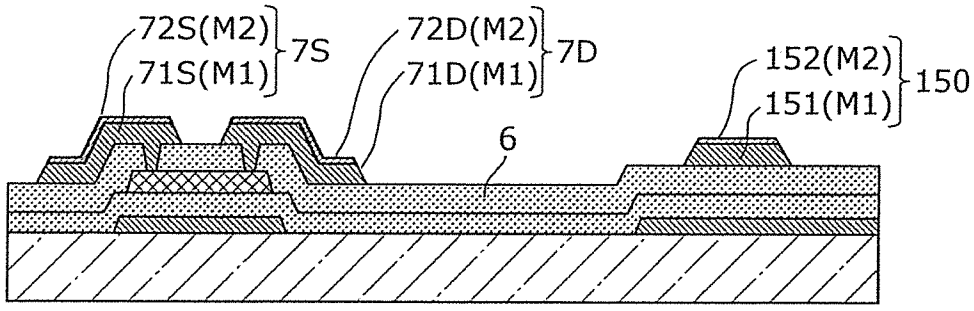
[図8E]



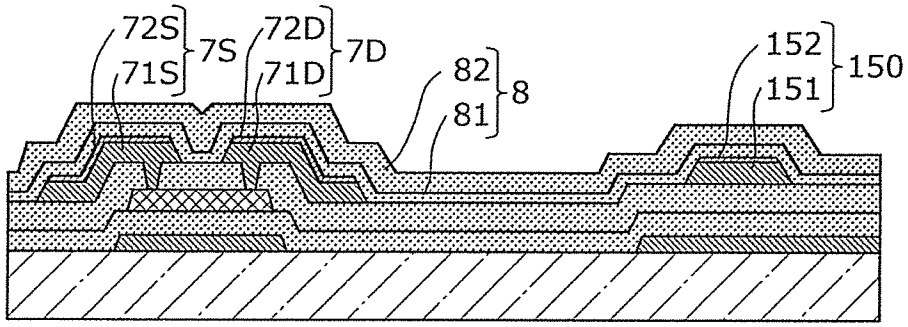
[図8F]



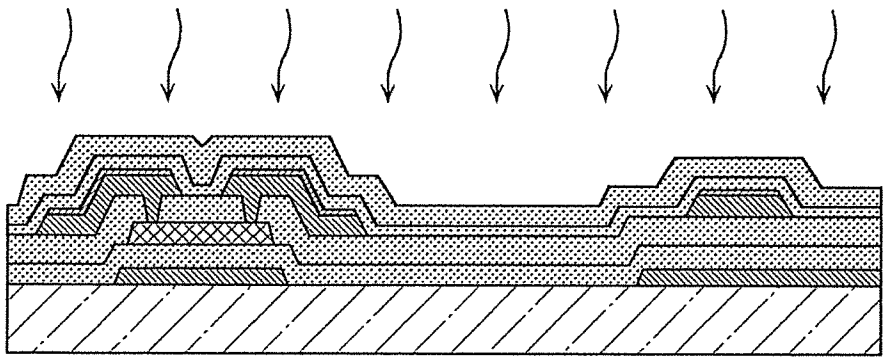
[図8G]


72S(M2)
71S(M1)
7S
72D(M2)
71D(M1)
7D
152(M2)
151(M1)
150
6

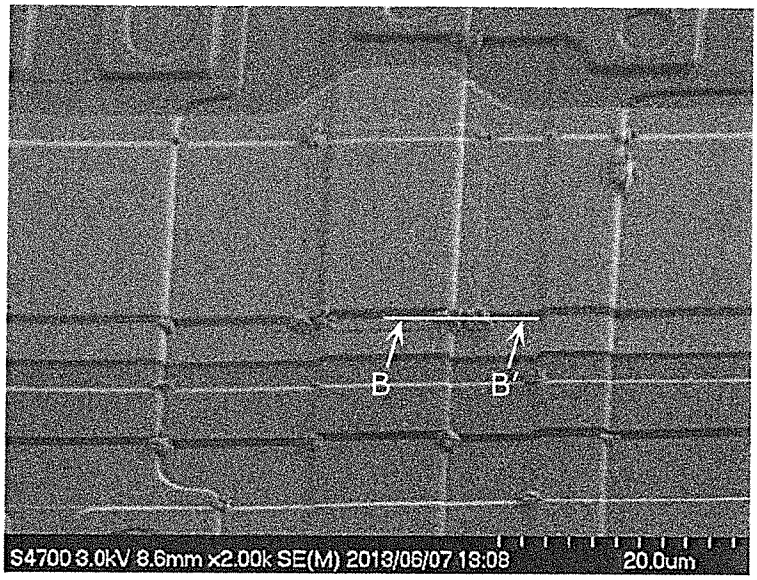
[図8H]


72S
71S
7S
72D
71D
7D
82
81
8
152
151
150

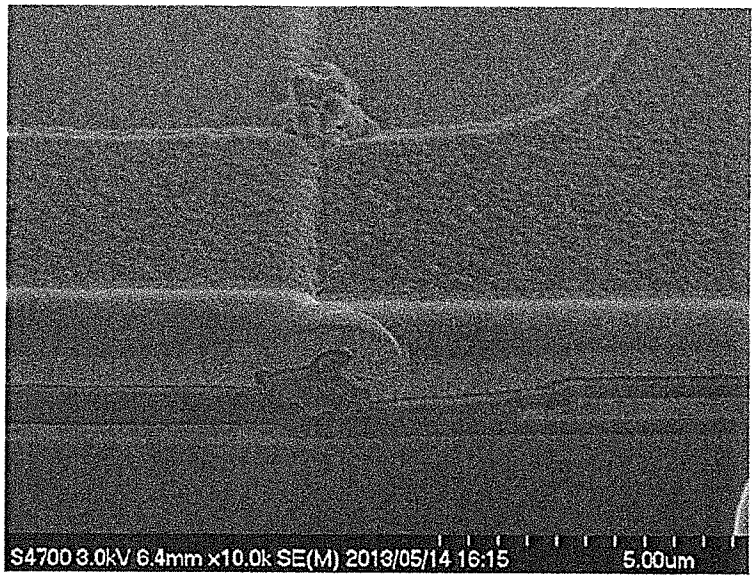
[図8I]



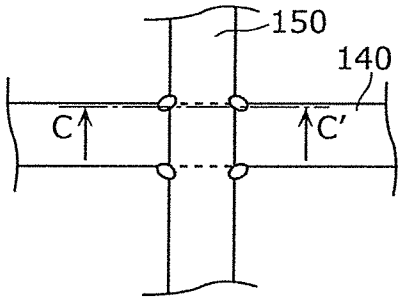
[図9A]


B
B'
S4700 3.0kV 8.6mm x2.00k SE(M) 2013/06/07 13:08
20.0um

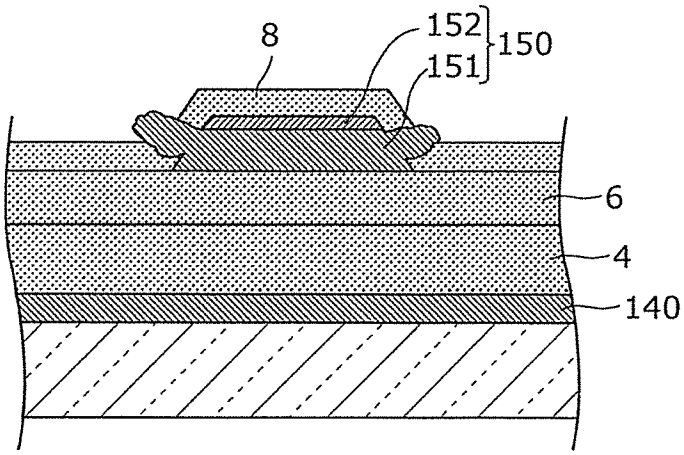
[図9B]


S4700 3.0kV 6.4mm x10.0k SE(M) 2013/05/14 16:15
5.00um

[図10A]



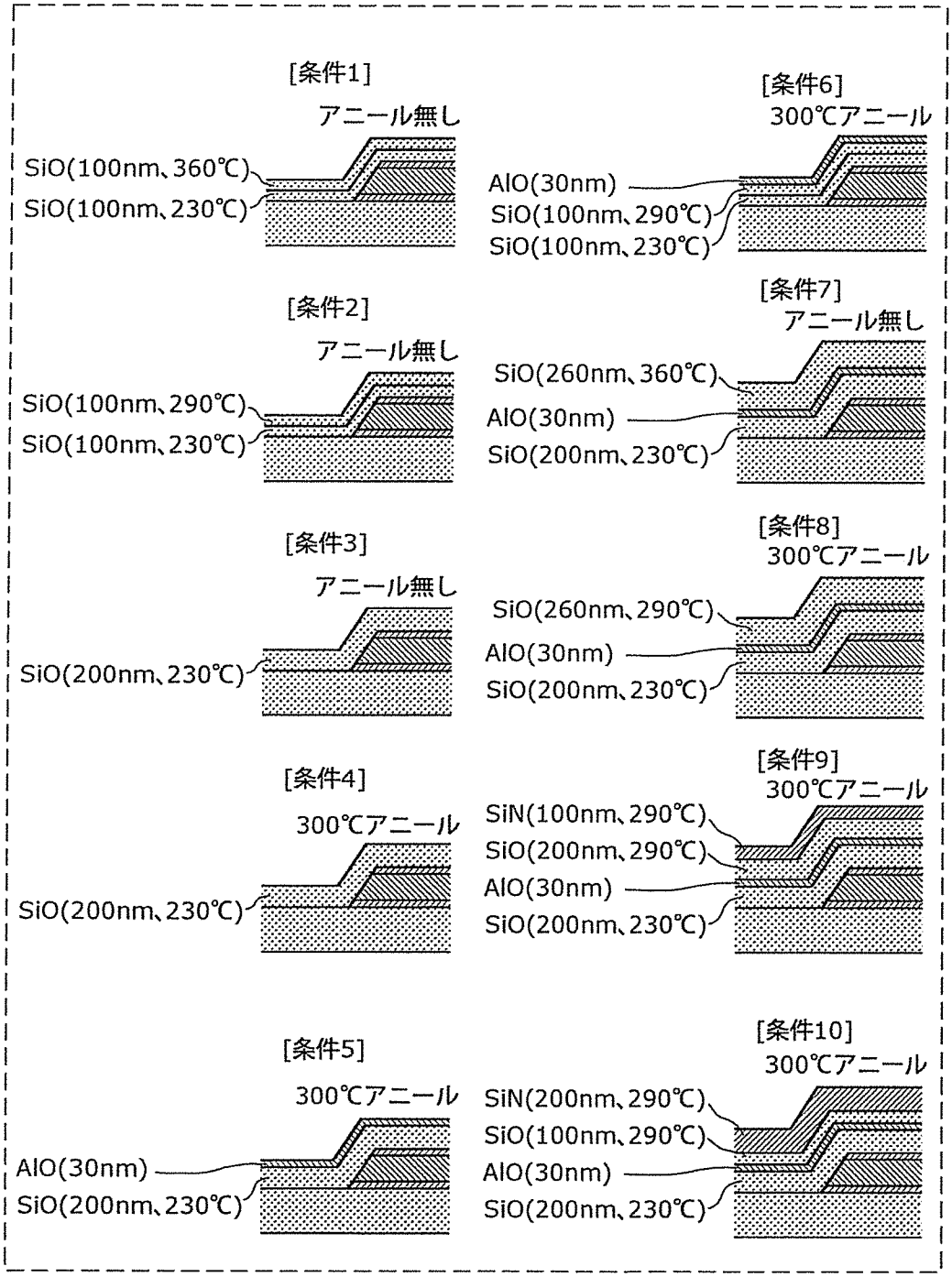
[図10B]



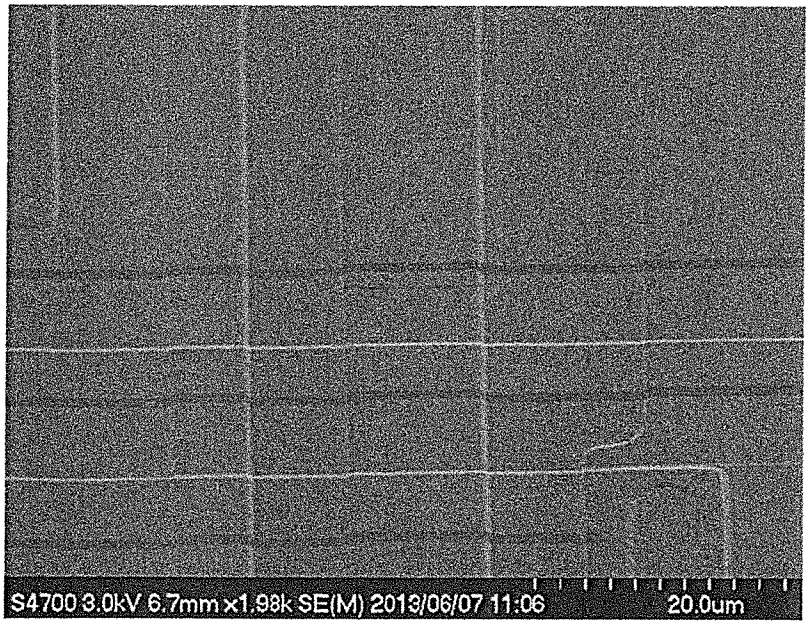
[図11]

	下層	中間層	上層			アニール	Cu異常成長
	第1SiO膜	AlO膜	第2SiO膜	SiN膜	AlO膜		
条件1	100nm 230℃	−	100nm 360℃	−	−	無	発生
条件2	100nm 230℃	−	100nm 290℃	−	−	無	無
条件3	200nm 230℃	−	−	−	−	無	無
条件4	200nm 230℃	−	−	−	−	300℃ (第1SiO膜の成膜後)	発生
条件5	200nm 230℃	−	−	−	30nm	300℃ (AlO膜の成膜後)	発生
条件6	100nm 230℃	−	100nm 290℃	−	30nm	300℃ (AlO膜の成膜後)	発生
条件7	200nm 230℃	30nm	260nm 360℃	−	−	無	発生
条件8	200nm 230℃	30nm	260nm 290℃	−	−	300℃ (第2SiO膜の成膜後)	無
条件9	200nm 230℃	30nm	200nm 290℃	100nm 290℃	−	300℃ (SiN膜の成膜後)	無
条件10	200nm 230℃	30nm	100nm 290℃	200nm 290℃	−	300℃ (SiN膜の成膜後)	無

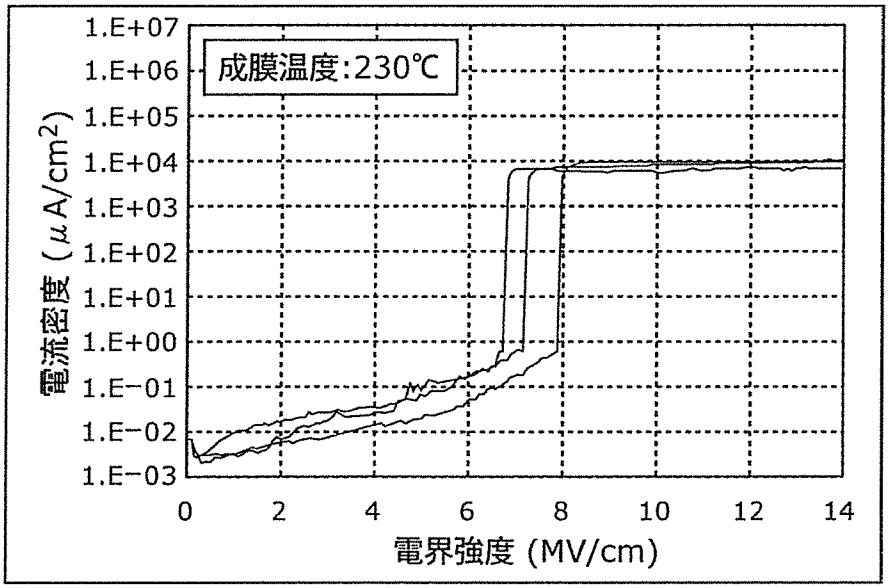
[図12]


[条件1]
アニール無し
SiO(100nm、360℃)
SiO(100nm、230℃)
[条件2]
アニール無し
SiO(100nm、290℃)
SiO(100nm、230℃)
[条件3]
アニール無し
SiO(200nm、230℃)
[条件4]
300℃アニール
SiO(200nm、230℃)
[条件5]
300℃アニール
AlO(30nm)
SiO(200nm、230℃)
[条件6]
300℃アニール
AlO(30nm)
SiO(100nm、290℃)
SiO(100nm、230℃)
[条件7]
アニール無し
SiO(260nm、360℃)
AlO(30nm)
SiO(200nm、230℃)
[条件8]
300℃アニール
SiO(260nm、290℃)
AlO(30nm)
SiO(200nm、230℃)
[条件9]
300℃アニール
SiN(100nm、290℃)
SiO(200nm、290℃)
AlO(30nm)
SiO(200nm、230℃)
[条件10]
300℃アニール
SiN(200nm、290℃)
SiO(100nm、290℃)
AlO(30nm)
SiO(200nm、230℃)

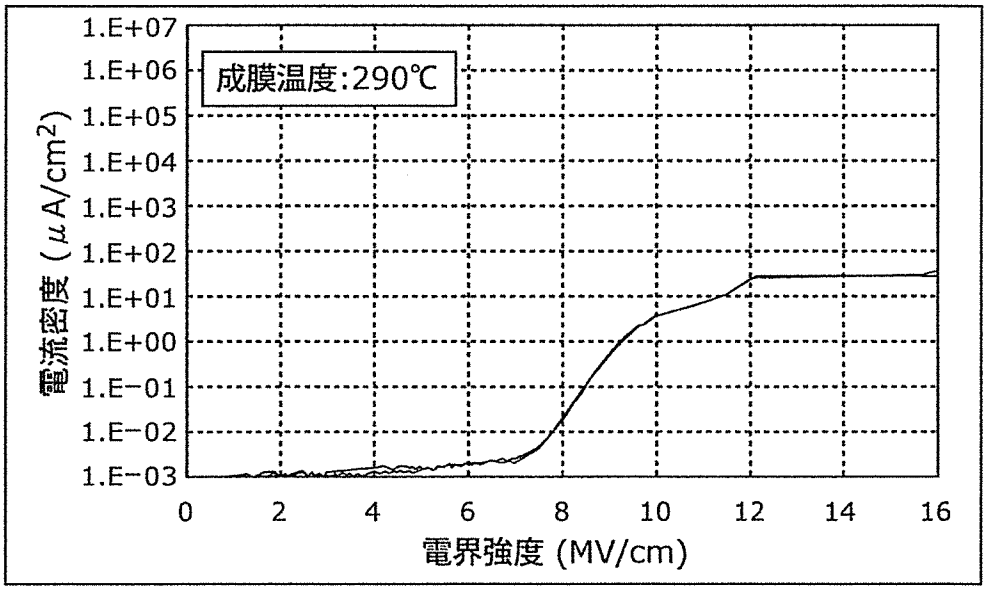
[図13]



[図14A]


成膜温度:230℃
電流密度 (μA/cm²)
1.E+07
1.E+06
1.E+05
1.E+04
1.E+03
1.E+02
1.E+01
1.E+00
1.E−01
1.E−02
1.E−03
0
2
4
6
8
10
12
14
電界強度 (MV/cm)

[図14B]


成膜温度:290℃
電流密度 (μA/cm²)
1.E+07
1.E+06
1.E+05
1.E+04
1.E+03
1.E+02
1.E+01
1.E+00
1.E−01
1.E−02
1.E−03
0
2
4
6
8
10
12
14
16
電界強度 (MV/cm)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2015/002777

A. CLASSIFICATION OF SUBJECT MATTER
H01L29/786(2006.01)i, *G09F9/30*(2006.01)i, *H01L21/28*(2006.01)i, *H01L21/336*(2006.01)i, *H01L51/50*(2006.01)i, *H05B33/02*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L29/786, G09F9/30, H01L21/28, H01L21/336, H01L51/50, H05B33/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2015
Kokai Jitsuyo Shinan Koho 1971-2015 Toroku Jitsuyo Shinan Koho 1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2013-33927 A (Samsung Electronics Co., Ltd.), 14 February 2013 (14.02.2013), claims; fig. 2 & US 2013/0032793 A1 & KR 10-2013-0015170 A & CN 102916016 A	1-4
A	JP 2012-243779 A (Kobe Steel, Ltd.), 10 December 2012 (10.12.2012), claims; fig. 1 & US 2014/0091306 A1 & WO 2012/157326 A1 & TW 201301394 A & CN 103503117 A & KR 10-2013-0133083 A	1-4

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
05 August 2015 (05.08.15)	18 August 2015 (18.08.15)
Name and mailing address of the ISA/ Japan Patent Office 3-4-3,Kasumigaseki,Chiyoda-ku, Tokyo 100-8915,Japan	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2015/002777

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2011-91364 A (Kobe Steel, Ltd.), 06 May 2011 (06.05.2011), claims; fig. 1 & US 2012/0126227 A1 & WO 2011/013683 A1 & TW 201125108 A & CN 102473732 A & KR 10-2012-0031089 A	1-4

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１５／００２７７７

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L29/786(2006.01)i, G09F9/30(2006.01)i, H01L21/28(2006.01)i, H01L21/336(2006.01)i, H01L51/50(2006.01)i, H05B33/02(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L29/786, G09F9/30, H01L21/28, H01L21/336, H01L51/50, H05B33/02

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１５年
日本国実用新案登録公報	１９９６－２０１５年
日本国登録実用新案公報	１９９４－２０１５年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2013-33927 A (三星電子株式会社) 2013.02.14, 特許請求の範囲、図２ & US 2013/0032793 A1 & KR 10-2013-0015170 A & CN 102916016 A	1-4
A	JP 2012-243779 A (株式会社神戸製鋼所) 2012.12.10, 特許請求の範囲、図１ & US 2014/0091306 A1 & WO 2012/157326 A1 & TW 201301394 A & CN 103503117 A & KR 10-2013-0133083 A	1-4

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日 ０５．０８．２０１５	国際調査報告の発送日 １８．０８．２０１５
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　５Ｆ　９３５５ 岩本　勉 電話番号　０３－３５８１－１１０１　内線　３５１６

C（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2011-91364 A (株式会社神戸製鋼所) 2011.05.06, 特許請求の範囲、図１ & US 2012/0126227 A1 & WO 2011/013683 A1 & TW 201125108 A & CN 102473732 A & KR 10-2012-0031089 A	1-4