(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2016년09월01일
(11) 등록번호 10-1652693
(24) 등록일자 2016년08월25일

(51) 국제특허분류(Int. Cl.)
G02F 1/1362 (2006.01) *G02F 1/136* (2006.01)
H01L 29/786 (2006.01) *H01L 51/50* (2006.01)
(21) 출원번호 10-2011-7010133
(22) 출원일자(국제) 2009년09월24일
심사청구일자 2014년09월19일
(85) 번역문제출일자 2011년05월03일
(65) 공개번호 10-2011-0086017
(43) 공개일자 2011년07월27일
(86) 국제출원번호 PCT/JP2009/067118
(87) 국제공개번호 WO 2010/038819
국제공개일자 2010년04월08일
(30) 우선권주장
JP-P-2008-259063 2008년10월03일 일본(JP)
(56) 선행기술조사문헌
JP08179360 A*
KR1020080087744 A*
JP2007250982 A*
JP평성09230383 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
야마자키 순페이
일본국 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 나이
아키모토 켄고
일본국 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 나이
(뒷면에 계속)
(74) 대리인
이화익, 김홍두

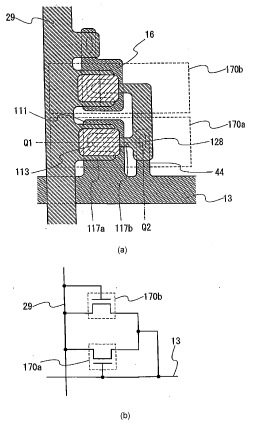
전체 청구항 수 : 총 9 항 심사관 : 차건숙

(54) 발명의 명칭 **표시 장치**

(57) 요 약

게이트 전극(111)을 피복하는 게이트 절연막; 게이트 절연막 위에서 게이트 전극(111)과 단부가 중첩하는 제1배선층(117a) 및 제2배선층(117b); 및 상기 게이트 전극(111) 위에 있고, 상기 제1배선층(117a) 및 제2배선층(117b)의 단부와 상기 게이트 절연막에 접하는 산화물 반도체층(113)을 사용하여 보호회로를 구성한다. 상기 비선형소자(170a)의 게이트 전극(111)과 주사선(13) 또는 신호선은 배선에 포함되고, 상기 비선형소자(170a)의 상기 제 1 또는 제 2 배선층(117a, 117b)는, 상기 게이트 전극(111)의 전위를 인가하도록 상기 배선(13)에 직접 접속된다.

대 표 도 - 도4



(72) 발명자

코모리 시게키

일본국 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 나이

우오치 히데키

일본국 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 나이

후타무라 토모야

일본국 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 나이

카사하라 타카히로

일본국 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 나이

명 세 서

청구범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

기판;

상기 기판 위의 주사선;

상기 기판 위의 상기 주사선과 교차하는 신호선;

매트릭스 상태로 배열되는 화소 전극들을 갖는 화소부; 및

상기 화소부의 외측 영역의 상기 기판 위에 제 1 비선형 소자를 포함한 표시장치로서,

상기 화소부는, 제 1 산화물 반도체막에 채널 형성 영역이 형성되는 박막 트랜지스터를 포함하고,

상기 박막 트랜지스터는,

상기 주사선과 접속하는 제 1 게이트 전극;

상기 신호선 및 상기 제 1 산화물 반도체막과 접속하는 제 1 배선층; 및

상기 화소 전극들 중 하나 및 상기 제 1 산화물 반도체막과 접속하는 제 2 배선층을 포함하고,

상기 제 1 비선형 소자는,

제 2 게이트 전극;

상기 제 2 게이트 전극 위의 게이트 절연막;

상기 게이트 절연막 위의 제 1 배선층 및 제 2 배선층; 및

상기 제 2 게이트 전극과 중첩하는 제 2 산화물 반도체막을 포함하고,

상기 제 1 배선층 및 상기 제 2 배선층의 단부들은 상기 제 2 게이트 전극과 중첩하고,

상기 제 2 산화물 반도체막은 상기 게이트 절연막과 상기 제 1 배선층 및 상기 제 2 배선층의 단부들 위에 있고 상기 게이트 절연막과 상기 제 1 배선층 및 상기 제 2 배선층의 단부들과 접하고,

상기 제 2 게이트 전극은, 상기 주사선과 상기 신호선 중 한쪽에 접속되고,

상기 제 1 비선형 소자의 상기 제 1 배선층은, 상기 제 2 게이트 전극을 갖는 게이트 전극층과, 상기 주사선과 상기 신호선 중 상기 한쪽에 직접 접속되는, 표시장치.

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

제 15 항에 있어서,

공통 배선과, 제 2 비선형 소자를 더 포함하고, 상기 제 2 비선형 소자는,

제 3 게이트 전극;

상기 제 3 게이트 전극 위의 상기 게이트 절연막;

상기 제 3 게이트 전극 위의 제 1 배선층 및 제 2 배선층; 및

상기 게이트 절연막, 상기 제 1 배선층 및 상기 제 2 배선층보다 위에 있고, 상기 게이트 절연막, 상기 제 1 배선층 및 상기 제 2 배선층과 접하는, 제 3 산화물 반도체막을 포함하고,

상기 제 3 게이트 전극은 상기 공통 배선에 접속되는, 표시장치.

청구항 20

삭제

청구항 21

삭제

청구항 22

기판;

상기 기판 위의 주사선;

상기 기판 위의 상기 주사선과 교차하는 신호선;

매트릭스 상태로 배열되는 화소 전극들을 갖는 화소부; 및

상기 화소부의 외측 영역의 상기 기판 위에 제공된 제 1 비선형 소자를 포함한 표시장치로서,

상기 화소부는 박막 트랜지스터를 포함하고, 상기 박막 트랜지스터는,

상기 주사선과 접속하는 제 1 게이트 전극;

상기 제 1 게이트 전극 위의 제 1 게이트 절연막;

상기 제 1 게이트 절연막 위에 있고, 상기 신호선에 접속되는 제 1 배선층;

상기 제 1 게이트 절연막 위에 있고, 상기 화소전극들 중 하나에 접속되는 제 2 배선층; 및

상기 제 1 게이트 절연막, 상기 제 1 배선층 및 상기 제 2 배선층보다 위에 있고, 상기 제 1 게이트 절연막, 상기 제 1 배선층 및 상기 제 2 배선층과 접하는 제 1 산화물 반도체막을 포함하고,

상기 제 1 비선형 소자는,

제 2 게이트 전극;

상기 제 2 게이트 전극 위의 제 2 게이트 절연막;

상기 제 2 게이트 절연막 위의 제 1 배선층 및 제 2 배선층; 및

상기 제 2 게이트 전극과 중첩하는 제 2 산화물 반도체막을 포함하고,

상기 제 1 배선층 및 상기 제 2 배선층의 단부들은 상기 제 2 게이트 전극과 중첩하고,

상기 제 2 산화물 반도체막은 상기 제 2 게이트 절연막과 상기 제 1 배선층 및 상기 제 2 배선층의 단부들 위에 있고 상기 제 2 게이트 절연막과 상기 제 1 배선층 및 상기 제 2 배선층의 단부들과 접하고,

상기 제 2 게이트 전극은, 상기 주사선과 상기 신호선 중 한쪽에 접속되고,

상기 제 1 비선형 소자의 상기 제 1 배선층은, 상기 제 2 게이트 전극을 갖는 게이트 전극층과, 상기 주사선과 상기 신호선 중 상기 한쪽에 직접 접속되는, 표시장치.

청구항 23

제 15 항 또는 제 22 항에 있어서,

상기 제 1 산화물 반도체막과 상기 제 2 산화물 반도체막 각각은, 인듐, 갈륨 및 아연을 포함하는, 표시장치.

청구항 24

제 15 항 또는 제 22 항에 있어서,

상기 제 1 산화물 반도체막과 상기 제 2 산화물 반도체막은, 동일 재료로 형성되는, 표시장치.

청구항 25

제 15 항 또는 제 22 항에 있어서,

상기 제 2 게이트 전극의 동일 전위는, 상기 제 1 비선형 소자의 상기 제 1 배선층에 인가되는, 표시장치.

청구항 26

제 22 항에 있어서,

공통 배선과, 제 2 비선형 소자를 더 포함하고, 상기 제 2 비선형 소자는,

제 3 게이트 전극;

상기 제 3 게이트 전극 위의 제 3 게이트 절연막;

상기 제 3 게이트 전극 위의 제 1 배선층 및 제 2 배선층; 및

상기 제 3 게이트 절연막, 상기 제 1 배선층 및 상기 제 2 배선층보다 위에 있고, 상기 제 3 게이트 절연막, 상기 제 1 배선층 및 상기 제 2 배선층과 접하는, 제 3 산화물 반도체막을 포함하고,

상기 제 3 게이트 전극은 상기 공통 배선에 접속되는, 표시장치.

청구항 27

제 26 항에 있어서,

상기 제 2 산화물 반도체막과 상기 제 3 산화물 반도체막은, 동일 재료로 형성되는, 표시장치.

청구항 28

제 15 항 또는 제 22 항에 있어서,

상기 표시장치는, 포스터, 광고, 전자서적 리더, 텔레비전 장치, 디지털 포토 프레임, 휴대형 유기기, 슬롯 머신 및 휴대 전화기 중 어느 하나에 포함되는, 표시장치.

발명의 설명

기 술 분 야

[0001] 본 발명은 산화물 반도체를 사용하는 표시 장치에 관한 것이다.

배 경 기 술

[0002] 액정 표시 장치로 대표되도록 유리 기판 등의 평판에 형성되는 박막 트랜지스터는, 아모퍼스 실리콘, 다결정 실리콘으로 제작된다. 아모퍼스 실리콘을 사용한 박막 트랜지스터는, 전계 효과 이동도가 낮지만, 유리 기판의 대면적화에 대응할 수 있고, 한편, 다결정 실리콘을 사용한 박막 트랜지스터는 전계 효과 이동도는 높지만, 레이저 어닐 등의 결정화 공정이 필요하고, 유리 기판의 대면적화에는 반드시 적응하지 않는다고 하는 특성을 갖는다.

[0003] 이것에 대해서, 산화물 반도체를 사용하여 박막 트랜지스터를 제작하고 전자 디바이스나 광 디바이스 등으로 응용하는 기술이 주목을 받고 있다. 예를 들어, 산화물 반도체막으로서 산화아연(ZnO)이나 인듐, 갈륨, 및 아연을 포함하는 산화물 반도체를 사용하여 박막 트랜지스터를 제작하고, 화상 표시 장치의 스위칭 소자 등에 사용하는 기술이 특허 문헌 1 및 특허 문헌 2에 개시된다.

[0004] [특허문헌1] 일본특허 공개번호 2007-123861

[0005] [특허문헌2] 일본특허 공개번호 2007-96055

발명의 내용

[0006] 산화물 반도체를 채널 형성 영역으로 하는 박막 트랜지스터는, 아모퍼스 실리콘을 사용한 박막 트랜지스터보다 동작 속도가 빠르고, 다결정 실리콘을 사용한 박막 트랜지스터보다 제조 공정이 간단하다는 특성을 갖는다. 즉, 산화물 반도체를 사용함으로써, 프로세스 온도가 실온 내지 300℃ 이하의 저온이라도 전계 효과 이동도가 높은 박막 트랜지스터를 제작할 수 있다.

[0007] 동작 특성이 뛰어나고, 저온에서 제작할 수 있는 산화물 반도체를 갖는 표시 장치의 특성을 발휘시키고, 신뢰성을 보증하기 위해서는, 적절한 구성을 구비한 보호 회로가 표시장치에 형성되는 것이 필요하다. 또한, 표시 장치의 소형화를 도모하는 데에, 보호 회로의 점유 면적을 작게 하는 것이 필요하다.

[0008] 본 발명의 일 목적은, 보호 회로에 적합한 구조를 제공하는데 있다.

[0009] 본 발명의 다른 목적은, 산화물 반도체 외에, 절연막 및 도전막을 적층하여 제작되는 각종 용도의 표시 장치에 있어서, 보호 회로의 기능을 높이고 그 동작을 안정화시키는데 있다.

[0010] 본 발명의 일 실시형태는, 산화물 반도체를 갖는 비선형 소자를 사용하여 보호 회로가 형성된 표시 장치이다. 또한, 보호회로를 구성하는데 사용된 상기 비선형 소자에 포함된 제 1 배선층 및 제 2 배선층의 적어도 한쪽은, 게이트 전극 또는 게이트 전극과 같은 공정으로 형성된 도전막에 직접 접속된다.

[0011] 본 발명의 예시적인 실시형태는, 절연 표면을 갖는 기판 위에 서로 교차하도록 형성된 주사선들 및 신호선들과, 화소 전극들이 매트릭스 상태로 배열하는 화소부와, 상기 화소부의 외측 영역에 산화물 반도체로 형성된 비선형 소자를 갖는 표시 장치이다. 화소부는 산화물 반도체층에 채널 형성 영역이 형성되는 박막 트랜지스터를 갖는다. 화소부의 박막 트랜지스터는, 주사선과 접속하는 게이트 전극과, 상기 신호선과 접속하여 상기 산화물 반도체층에 접하는 제 1 배선층과, 상기 화소 전극과 접속하여 상기 산화물 반도체층에 접하는 제 2 배선층을 갖는다. 더욱이, 기판의 주변부에 형성되는 신호 입력 단자와 상기 화소부와의 사이에는, 비선형 소자가 형성된다. 비선형 소자는, 게이트 전극; 상기 게이트 전극을 피복하는 게이트 절연막; 상기 게이트 절연막 위에 있고 도전층으로 형성되고 상기 게이트 전극과 중첩하는 단부를 각각 갖는 제 3 배선층 및 제 4 배선층; 및 적어도 상기 게이트 전극과 중첩하고, 상기 게이트 절연막과, 상기 제 3 배선층 및 상기 제 3 배선층의 단부와 접하는 산화물 반도체층을 갖는다. 상기 비선형소자의 게이트 전극은, 상기 주사선 또는 상기 신호선에 접속되고, 상기 비선형소자의 제 3 배선층 또는 제 4 배선층이 상기 게이트 전극의 전위를 상기 제 1 배선층 또는 상기 제 2 배선층에 인가하도록 상기 게이트 전극과 직접 접속된다.

[0012] 본 발명의 예시적인 실시형태는, 절연 표면을 갖는 기판 위에 서로 교차하도록 형성된 주사선들 및 신호선들과, 화소 전극들이 매트릭스 상태로 배열하는 화소부와, 상기 화소부의 외측 영역에 보호 회로를 갖는 표시 장치이다. 화소부는 산화물 반도체층에 채널 형성 영역이 형성되는 박막 트랜지스터를 갖는다. 화소부의 박막 트랜지스터는 상기 주사선과 접속하는 게이트 전극과, 상기 신호선과 접속하여 상기 산화물 반도체층에 접하는 제 1 배선층과, 상기 화소 전극과 접속하여 상기 산화물 반도체층에 접하는 제 2 배선층을 갖는다. 화소부의 외측 영역에는 상기 주사선과 공통 배선을 접속하는 보호 회로와, 상기 신호선과 공통 배선을 접속하는 보호 회로가 형성된다. 보호 회로는, 게이트 전극; 상기 게이트 전극을 피복하는 게이트 절연막; 상기 게이트 절연막 위에 있고 도전층으로 형성되고 상기 게이트 전극과 중첩하는 단부를 각각 갖는 제 3 배선층 및 제 4 배선층; 및 적어도 상기 게이트 전극과 중첩하고, 상기 게이트 절연막과, 상기 제 1 배선층 및 상기 제 2 배선층의 단부와 접하는 산화물 반도체층을 갖는 비선형 소자를 구비한다. 상기 보호회로가 갖는 상기 비선형소자의 게이트 전극은, 상기 제 1 배선층 또는 상기 제 2 배선층에 직접 접속된다.

[0013] 또한, 본 명세서에서의 "제 1" 및 "제 2"라고 붙이는 서수사는 편의상 사용하는 것이며, 공정 순서 또는 적층 순서를 나타내는 것이 아니다. 또한, 본 명세서에 있어서 서수사는, 발명을 특정하기 위한 사항으로서

고유의 명칭을 나타내는 것이 아니다.

[0014] 본 발명의 일 실시형태에 따르면, 산화물 반도체를 갖는 비선형 소자로 보호 회로를 구성함으로써, 보호 회로에 적합한 구조를 갖는 표시 장치를 얻을 수 있다.

[0015] 또한, 제 1 배선층 또는 제 2 배선층에 도달하는 콘택트 홀과, 게이트 전극 또는 게이트 전극과 같은 층으로 형성한 배선에 도달하는 콘택트 홀을 형성하여서 다른 배선층으로 제 1 배선층 또는 제 2 배선층과, 게이트 전극 또는 게이트 전극과 같은 층으로 형성한 배선을 접속하는 방법이 있다. 그러나, 이 방법을 사용하면, 하나의 접속으로 2개의 계면 및 2개의 콘택트 홀이 형성된다.

[0016] 본 발명의 일 실시형태의 보호 회로를 구성하는 비선형 소자는, 제 1 배선층 또는 제 2 배선층의 도전층이 게이트 전극 또는 게이트 전극과 같은 층으로 형성한 배선에 직접 접속하기 때문에 하나의 접속으로 형성되는 계면 및 콘택트 홀은 각 1개에 불과하다. 본 발명의 접속 방법에 의해, 하나의 접속으로 형성된 계면의 수가 하나뿐이기 때문에, 다른 배선층을 사용한 접속 방법과 비교하여 접촉 저항을 억제할 수 있다. 그 결과, 비선형 소자를 사용한 보호 회로가 안정 동작한다. 또한, 본 발명의 접속 방법에 의해, 하나의 접속에 필요한 콘택트 홀이 하나뿐이기 때문에, 다른 배선층을 사용하여 접속하는 방법과 비교하여 접속 부분이 점유하는 면적을 억제할 수 있다. 이에 따라, 보호 회로의 점유 면적을 작게 하여 표시 장치의 소형화를 도모할 수 있다.

도면의 간단한 설명

[0017] 도 1은 표시 장치를 구성하는 신호입력 단자, 주사선, 신호선, 비선형 소자를 포함하는 보호 회로 및 화소부간의 위치 관계를 설명하는 도면이다.

도 2는 보호 회로의 등가회로의 일례를 도시하는 도면이다.

도 3은 보호 회로의 등가회로의 일례를 도시하는 도면이다.

도 4a 및 도 4b는 보호 회로의 평면도와 등가회로의 일례를 각각 도시하는 도면이다.

도 5는 보호 회로의 일례를 도시하는 단면도다.

도 6a 내지 도 6c는 보호 회로의 제작 공정을 설명하는 단면도다.

도 7a 내지 도 7c는 보호 회로의 제작 공정을 설명하는 단면도다.

도 8a 및 도 8b는 보호 회로의 평면도와 등가회로의 일례를 각각 도시하는 도면이다.

도 9a 및 도 9b는 보호 회로의 평면도와 등가회로의 일례를 각각 도시하는 평면도.

도 10은 전자 페이퍼의 단면도다.

도 11a 및 도 11b는 반도체 장치의 각 블록도다.

도 12는 신호선 구동 회로의 구성을 설명하는 도면이다.

도 13은 신호선 구동 회로의 동작의 타이밍 차트다.

도 14는 신호선 구동 회로의 동작의 타이밍 차트다.

도 15는 시프트 레지스터의 구성을 설명하는 도면이다.

도 16은 도 14의 플립플롭의 접속 구성을 설명하는 도면이다.

도 17a, 17b와, 도 17c는 본 발명의 일 실시형태의 반도체 장치를 각각 설명하는 상면도 및 단면도다.

도 18은 본 발명의 일 실시형태의 반도체 장치를 설명하는 단면도다.

도 19는 본 발명의 일 실시형태의 반도체 장치의 화소의 등가 회로를 설명하는 도면이다.

도 20a 내지 도 20c는 본 발명의 일 실시형태의 반도체 장치를 각각 설명하는 도면이다.

도 21a 및 도 21b는 본 발명의 일 실시형태의 반도체 장치를 각각 설명하는 상면도 및 단면도다.

도 22a 및 도 22b는 전자 페이퍼의 사용의 예를 설명하는 도면이다.

도 23은 전자 서적 리더(reader)의 일례를 도시하는 외관도다.

도 24a는 텔레비전 장치의 예를 도시하는 외관도이고, 도 24b는 디지털 포토 프레임의 예를 도시하는 외관도다.

도 25a 및 도 25b는 유기기(game machine)의 예를 각각 도시하는 외관도다.

도 26은 휴대 전화기의 일례를 도시하는 외관도다.

발명을 실시하기 위한 구체적인 내용

[0018] 본 발명의 실시형태에 대해서 도면을 사용하여 이하에 설명한다. 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 범위에서 벗어남이 없이 그 형태 및 상세한 사항은 다양하게 변경될 수 있다는 것은 당업자라면 용이하게 이해할 수 있다. 따라서, 본 발명은 이하에 나타내는 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다. 이하에 설명하는 본 발명의 구성에 있어서, 다른 도면에서 같은 부분을 가리키는 참조부호는 공통적으로 사용한다.

[0019] (실시형태 1)

[0020] 본 실시형태에서는, 화소부와 그 주변에 비선형 소자를 포함하는 보호 회로가 형성된 표시 장치의 일례를 도면들을 참조하여 설명한다.

[0021] 도 1은 표시 장치를 구성하는 신호입력 단자, 주사선, 신호선, 비선형 소자를 포함하는 보호 회로 및 화소부간의 위치 관계를 설명하는 도면이다. 절연 표면을 갖는 기판(10) 위에 주사선(13)과 신호선(14)이 교차하여 화소부(17)가 구성된다.

[0022] 화소부(17)는 복수의 화소(18)가 매트릭스 상태로 배열되어 구성된다. 화소(18)는 주사선(13)과 신호선(14)에 접속하는 화소 트랜지스터(19), 유지 용량부(20), 및 화소 전극(21)을 포함하여 구성된다.

[0023] 여기서 예시하는 화소 구성에 있어서, 유지 용량부(20)는 한쪽의 전극이 화소 트랜지스터(19)와 접속하고, 다른 쪽의 전극이 용량선(22)과 접속하는 경우를 나타낸다. 또한, 화소 전극(21)은 표시 소자(액정 소자, 발광 소자, 또는 매체(전자 잉크) 등)를 구동하는 한쪽의 전극을 구성한다. 이들의 표시 소자의 다른 쪽의 전극은 공통 단자(23)에 접속된다.

[0024] 보호 회로는, 화소부(17)와 주사선 입력 단자(11) 및 신호선 입력 단자(12)의 사이에 형성된다. 도 1에서는, 복수의 보호 회로를 표시 장치에 형성한다. 따라서, 주사선(13), 신호선(14) 및 용량 버스선(27)에 정전기 등에 의하여 서지(surge) 전압이 인가될지라도, 화소 트랜지스터(19) 등이 파괴되지 않는다. 따라서, 보호 회로에는 서지 전압이 인가될 때에 공통 배선(29) 또는 공통 배선(28)에 전하가 빠지도록 구성된다.

[0025] 도 1에서는, 보호 회로(24), 보호 회로(25), 및 보호 회로(26)를 표시 장치내에 형성한다. 말할 필요도 없이, 보호 회로의 구성은 이것들에 한정되지 않는다.

[0026] 도 2는 보호 회로(24)의 일례를 도시한다. 이 보호 회로(24)는 주사선(13)과 공통 배선(29)의 사이에 병렬로 배치된 비선형 소자(30) 및 비선형 소자(31)에 의하여 구성된다. 비선형 소자(30) 및 비선형 소자(31) 각각은, 다이오드와 같은 2단자 소자 또는 트랜지스터와 같은 3단자 소자로 구성된다. 예를 들어, 화소부의 화소 트랜지스터와 같은 공정으로 비선형 소자로서 사용된 트랜지스터를 형성할 수 있다. 예를 들어, 그 트랜지스터의 게이트 단자와 드레인 단자를 접속함으로써 다이오드와 같은 특성을 얻을 수 있다.

[0027] 비선형 소자(30)의 제 1 단자(게이트)와 제 3 단자(드레인)는, 주사선(13)에 접속되고, 제 2 단자(소스)는 공통 배선(29)에 접속된다. 또한, 비선형 소자(31)의 제 1 단자(게이트)와 제 3 단자(드레인)는, 공통 배선(29)에 접속되고, 제 2 단자(소스)는 주사선(13)에 접속된다. 즉, 도 2에서 도시하는 보호 회로는, 2개의 트랜지스터의 각각이 정류 방향을 서로 반대로 하여 주사선(13)과 공통 배선(29)을 접속하는 구성이다. 바꾸어 말하면, 주사선(13)과 공통 배선(29)의 사이에 정류 방향이 주사선(13)으로부터 공통 배선(29)으로 향하는 트랜지스터와 정류 방향이 공통 배선(29)으로부터 주사선(13)으로 향하는 트랜지스터를 접속하는 구성이다.

[0028] 도 2에 도시하는 보호 회로는, 공통 배선(29)에 대해서, 주사선(13)이 정전기 등에 의하여 양 또는 음으로 대전한 경우는, 그 전하를 없애는 방향으로 전류가 흐른다. 예를 들어, 주사선(13)이 양으로 대전한 경우는, 그 양 전하가 공통 배선(29)에 빠지는 방향으로 전류가 흐른다. 이 동작에 의하여, 상기 대전한 주사선(13)에 접속하는 화소 트랜지스터(19)의 정전 파괴 또는 임계값 전압의 시프트를 방지할 수 있다. 또한, 대전하는 주사선(13)과 절연층을 통하여 교차하는 다른 배선과의 사이에서 절연층의 절연 파괴를 방지할 수 있다.

[0029] 또한, 도 2에서, 주사선(13)에 제 1 단자(게이트)를 접속한 비선형 소자(30)와, 공통 배선(29)에 제 1 단자(게이트)를 접속한 비선형 소자(31), 즉 정류 방향이 반대인 한 쌍의 비선형 소자를 사용한다. 각 비선형 소자의 제 2 단자(소스)와 제 3 단자(드레인)로 공통 배선(29)과 주사선(13)을 접속한다; 즉, 비선형 소자(30)와 비선형 소자(31)는 병렬이다. 다른 구성으로서, 병렬로 접속하는 비선형 소자를 더 부가하여 보호 회로의 동작 안정성을 높일 수 있다. 예를 들어, 도 3은 주사선(13)과 공통 배선(29)의 사이에 형성된, 비선형 소자(30a)와 비선형 소자(30b) 및 비선형 소자(31a)와 비선형 소자(31b)로 구성되는 보호 회로를 도시한다. 이 보호 회로는 공통 배선(29)에 제 1 단자(게이트)와 제 3 단자를 각각 접속한 2개의 비선형 소자(30b, 31b)와, 각각, 주사선(13)에 제 1 단자(게이트) 및 제 3 단자를 접속하고 상기 공통 배선(29)에 제 2 단자를 접속한 2개의 비선형 소자(30a, 31a)의 합계 4개의 비선형 소자를 구비한다. 즉, 정류 방향이 서로 반대로 되도록 2개의 비선형 소자를 접속한 한 쌍을 공통 배선(29)과 주사선(13)의 사이에 2쌍 접속한다. 바꾸어 말하면, 주사선(13)과 공통 배선(29)의 사이에 정류 방향이 주사선(13)으로부터 공통 배선(29)으로 향하는 2개의 트랜지스터와 정류 방향이 공통 배선(29)으로부터 주사선(13)으로 향하는 2개의 트랜지스터를 접속하는 구성이다. 이와 같이, 공통 배선(29)과 주사선(13)을 4개의 비선형 소자로 접속함으로써, 주사선(13)에 서지 전압이 인가된 경우뿐만 아니라, 공통 배선(29)이 정전기 등에 의하여 대전한 경우라도, 그 전하가 그대로 주사선(13)에 흐르는 것을 방지할 수 있다. 또한, 도 9a는 4개의 비선형 소자를 기판 위에 배치하는 일례를 나타내고, 도 9b는 그 등가 회로도이다. 도 9b의 등가 회로도는 도 3과 등가이며, 도 9b에 기재된 비선형 소자는 도 3에 기재된 비선형 소자에 대응한다. 구체적으로는, 비선형 소자(740a)는 비선형 소자(30b)에 대응하고, 비선형 소자(740b)는 비선형 소자(31b)에 대응하고, 비선형 소자(740c)는 비선형 소자(30a)에 대응하고, 비선형 소자(740d)는 비선형 소자(31a)에 대응한다. 또한, 도 9a 및 도 9b의 주사선(651)은, 주사선(13)에 대응하고, 공통 배선(650)은 공통 배선(29)에 대응한다. 따라서, 도 9a에 예시하는 4개의 비선형 소자를 기판 위에 배치하여 형성한 보호 회로의 일례는, 도 3에 예시하는 보호 회로의 다른 예이다.

[0030] 홀수개의 비선형 소자를 사용한 보호 회로의 예를 도 8a에 도시하고, 등가 회로도를 도 8b에 도시한다. 이 회로에서는, 비선형 소자(730c)에 대하여, 비선형 소자 730a, 730b가 스위칭 소자로서 접속한다. 이와 같이, 비선형 소자를 직렬로 접속함으로써, 보호 회로를 구성하는 비선형 소자에 가해지는 순간적인 부하(負荷)를 분산할 수 있다.

[0031] 도 2는, 보호 회로의 예를 도시한다. 그렇지만, 같은 구성의 보호 회로는 보호회로 25와 보호회로 26에 적용할 수 있다.

[0032] 도 4a는 보호 회로(24)의 일례를 도시하는 평면도이며, 도 4b는 그 등가 회로도를 도시한다. 또한, 도 4a의 Q1-Q2 절단선에 대응한 단면도를 도 5에 도시한다. 이하의 설명에서는, 도 4a, 4b 및 도 5를 참조하여 보호 회로(24)의 하나의 구성예를 설명한다.

[0033] 비선형 소자(170a) 및 비선형 소자(170b)는, 주사선(13)과 같은 층으로 형성되는 게이트 전극(111) 및 게이트 전극(16)을 각각 갖는다. 게이트 전극(111) 및 게이트 전극(16) 위에는, 게이트 절연막(102)이 형성된다. 게이트 절연막(102) 위에는 게이트 전극(111) 위에서 대향하도록 제 1 배선층(117a) 및 제 2 배선층(117b)이 형성된다. 또한, 비선형 소자(170a) 및 비선형 소자(170b)는 주요부에 있어서 같은 구성을 갖는다.

[0034] 본 발명의 본 실시형태에서는, 게이트 절연막(102)에 형성한 콘택트 홀(128)을 통하여 게이트 전극(111)과 같은 층으로 형성되는 주사선(13)과, 비선형 소자(170a)의 제 3 단자(드레인)를 직접 접속한다. 이에 따라, 주사선(13)과 제 3 단자를 접속하는데 필요한 계면의 수는 하나로 억제할 수 있고, 주사선(13)과 제 3 단자를 접속하는데 필요한 콘택트 홀의 수는 하나로 억제할 수 있다.

[0035] 산화물 반도체층(113)은, 게이트 전극(111) 위에서 대향하는 제 1 배선층(117a)과 제 2 배선층(117b)의 사이의 부분을 피복하도록 형성된다. 즉, 산화물 반도체층(113)은, 게이트 전극(111)과 중첩하여, 게이트 절연막(102)과, 제 1 및 제 2 배선층(117a, 117b)과 접하여 있도록 형성된다.

[0036] 산화물 반도체막은 성막 조건에 따라 도전율이 변화된다. 여기에서는, 막중의 산소농도가 높은 조건으로 산화물 반도체막을 성막하여, 그 막의 도전율을 낮게 한다. 또한, 도전율을 낮게 함으로써 오프 전류의 저감을 꾀할 수 있기 때문에, 온/오프비가 높은 박막트랜지스터를 형성할 수 있다.

[0037] 본 명세서 중에서, 산화물 반도체로서, $InMO_3(ZnO)_m$(m>0)라고 표기되는 조성식의 재료로 이루어진 박막을 형성하고, 그 박막을 반도체층으로서 사용하여 비선형 소자 및 박막 트랜지스터를 제작한다. 또한, M은, Ga, Fe, Ni, Mn 및 Co 중에서 선택된 하나의 금속 원소를 나타낸다. 예를 들어, M으로서 Ga만을 포함하는 경우

외에, M이, Ga와, Ga와 Ni, 또는 Ga와 Fe 등, Ga 이외의 상기 금속 원소 중 어느 하나를 포함하는 경우가 있다. 또한, 상기 산화물 반도체는, M으로서 포함되는 금속 원소 외에, 불순물 원소로서 Fe 또는 Ni등의 천이금속원소, 또는 천이금속의 산화물을 포함한다. 본 명세서에 있어서는, 이 박막을 In-Ga-Zn-O계 비단결정막이라고도 부른다.

[0038] 유도 결합 플라즈마 질량 분석법(ICP-MS: Inductively Coupled Plasma Mass Spectrometry)에 의하여 In-Ga-Zn-O계 비단결정막의 측정 결과를 표 1에 나타낸다. 산화인듐(In_2O_3), 산화갈륨(Ga_2O_3) 및 산화아연(ZnO)의 조성 비율을 1:1:1(=In_2O_3:Ga_2O_3:ZnO)로 한 타깃(In:Ga:Zn=1:1:0.5)을 사용하여 스퍼터법에서의 아르곤 가스의 유량을 40sccm로 한 조건 1에서 얻어지는 산화물 반도체막은, $InGa_{0.95}Zn_{0.41}O_{3.33}$이다. 또한, 산화인듐($In_2O_3$), 산화갈륨($Ga_2O_3$) 및 산화아연(ZnO)의 조성 비율을 1:1:1(=In_2O_3:Ga_2O_3:ZnO)로 한 타깃(In:Ga:Zn=1:1:0.5)을 사용하여 스퍼터법에서의 아르곤 가스의 유량을 10sccm, 산소를 5sccm로 한 조건 2에서 얻어지는 산화물 반도체막은, $InGa_{0.94}Zn_{0.40}O_{3.31}$이다.

표 1

[0039]

유량 비율	조성 (atomic%)				조성식
Ar/O_2	In	Ga	Zn	O	
40/0	17.6	16.7	7.2	58.6	$InGa_{0.95}Zn_{0.41}O_{3.33}$
10/5	17.7	16.7	7	58.6	$InGa_{0.94}Zn_{0.40}O_{3.31}$

[0040] 또한, ICP-MS 방법 대신에, 러더퍼드 후방 산란 분석법(RBS: Rutherford Backscattering Spectrometry)으로 행한 정량화(定量化)의 측정 결과를 표 2에 나타낸다.

표 2

[0041]

유량 비율	조성(atomic%)					조성식
Ar/O_2	In	Ga	Zn	O	Ar	
40/0	17	15.8	7.5	59.4	0.3	$InGa_{0.93}Zn_{0.44}O_{3.49}$
10/5	16	14.7	7.2	61.7	0.4	$InGa_{0.92}Zn_{0.45}O_{3.86}$

[0042] 조건 1의 시료를 RBS 분석에 의하여 측정한 결과, 산화물 반도체막의 조성식은 $InGa_{0.93}Zn_{0.44}O_{3.49}$이다. 또한, 조건 2의 시료를 RBS 분석에 의하여 측정한 결과, 산화물 반도체막의 조성식은 $InGa_{0.92}Zn_{0.45}O_{3.86}$이다.

[0043] In-Ga-Zn-O계 비단결정막에서 아모퍼스 구조가 X선 회절(XRD: X-ray diffraction)의 분석으로 관찰된다. 또한, 측정한 샘플의 In-Ga-Zn-O계 비단결정막은, 스퍼터법으로 성막한 후, 가열 처리를 200℃ 내지 500℃, 대표적으로는, 300℃ 내지 400℃에서 10분 내지 100분 행한다. 또한, 박막 트랜지스터의 전기 특성도 게이트 전압 ±20V에 있어서, 온/오프 비율이 10^9 이상, 이동도가 $10cm^2/V \cdot S$ 이상의 것을 제작할 수 있다.

[0044] 산화물 반도체층(113) 위에는 층간 절연막(107)이 설치된다. 층간 절연막(107)은, 산화 실리콘 또는 산화알루미늄등의 산화물로 형성된다. 또한, 산화 실리콘 또는 산화알루미늄 위에 질화 실리콘, 질화알루미늄, 산화 질화 실리콘 또는 산화 질화알루미늄을 적층함으로써, 층간 절연막(107)의 보호막으로서 보다 기능을 높일 수 있다.

[0045] 어쨌든, 산화물 반도체층(113)과 접하는 층간 절연막은 산화물층으로써, 산화물 반도체층(113)으로부터 산소가 추출되는 것을 방지하고, 산화물 반도체층(113)이 산소 결핍형으로 변질하는 것을 방지할 수 있다. 또한, 산화물 반도체층(113)이 질화물에 의한 절연층과 직접적으로 접하지 않는 구성으로 하는 경우에, 질화물 중의 수소가 확산하여 산화물 반도체층(113)에 수산기 등에 기인하는 결함을 생성하는 것을 방지할 수 있다.

[0046] 본 실시형태에 따르면, 산화물 반도체에 의하여 구성되는 보호 회로를 갖는 표시 장치를 얻을 수 있다.

또한, 게이트 절연막(102)에 형성한 콘택트 홀(128)을 통하여 게이트 전극(111)과 같은 층으로 형성되는 주사선(13)과, 비선형 소자(170a)의 제 3 단자(드레인)를 직접 접속함으로써, 주사선(13)과 제 3 단자를 접속하는데 하나의 계면만을 필요로 하고, 주사선(13)과 제 3 단자를 접속하는데 하나의 콘택트 홀만을 필요로 한다. 결과적으로는, 보호 회로의 기능을 높이고, 동작의 안정화를 도모할 수 있을 뿐만 아니라, 보호 회로의 점유 면적을 작게 하여 표시 장치의 소형화를 도모할 수 있다. 특히, 보호 회로를 구성하는 비선형 소자의 수가 3개 또는 4개로 증가할수록, 접속을 위한 계면의 형성과 콘택트 홀의 형성을 억제하는 효과가 커진다.

[0047] 또한, 도 4a, 4b 및 도 5에서는 보호회로(24)의 예를 예시하였지만, 유사한 보호회로를 상기 보호회로(25) 및 보호회로(26)에 적용할 수 있다.

[0048] 본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시할 수 있다.

[0049] (실시형태 2)

[0050] 본 실시형태에서는, 실시형태 1에 있어서 도 4a에 도시한 보호 회로의 제작 공정의 일례를 도 6a-6c 및 도 7a-7c를 참조하여 설명한다. 도 6a-6c 및 도 7a-7c는, 도 4a 중의 Q1-Q2 절단선에 대응한 단면도를 도시한다.

[0051] 도 6a에 있어서, 투광성을 갖는 기판(100)에는, 시판되는 바륨 보로실리케이트 유리, 알루미노 보로실리케이트 유리 및 알루미노실리케이트 유리 등의 유리 기판을 사용할 수 있다. 예를 들어, 성분 비율로서, 붕산(B_2O_3)보다 산화바륨(BaO)을 많이 포함하고, 왜곡점이 730℃ 이상인 유리 기판을 사용하면 바람직하다. 산화물 반도체층을 700℃ 정도의 고온에서 열 처리하는 경우라도, 유리 기판이 왜곡하지 않기 때문이다.

[0052] 다음, 게이트 전극(111) 및 주사선(13)을 포함하는 게이트 배선, 용량 배선, 및 단자부의 단자가 되는 도전막을 기판(100) 전체 면에 형성한다. 도전막은, 알루미늄(Al)이나, 구리(Cu) 등의 저저항 도전성 재료로 형성하는 것이 바람직하지만, Al 자체는 내열성이 뒤떨어지고, 또 부식하기 쉬운 등의 문제점이 있기 때문에, 내열성 도전성 재료와 조합하여 형성한다. 내열성 도전성 재료로서는, 티타늄(Ti), 탄탈(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), 네오디뮴(Nd), 스칸듐(Sc) 중에서 선택된 원소, 또는 상술한 원소 중 어느 하나를 포함하는 합금, 또는 상술한 원소를 조합한 합금막, 또는 상술한 원소 중 어느 하나를 포함하는 질화막으로 형성한다.

[0053] 게이트 전극(111) 및 주사선(13)을 포함하는 게이트 배선이 되는 도전막은, 두께 50nm 이상 300nm 이하로 형성한다. 게이트 전극(111) 및 주사선(13)을 포함하는 게이트 배선이 되는 도전막의 두께를 300nm 이하로 함으로써, 후에 형성되는 반도체막이나 배선의 단선을 방지할 수 있다. 또한, 게이트 전극(111) 및 주사선(13)을 포함하는 게이트 배선이 되는 도전막의 두께를 150nm 이상으로 함으로써, 게이트 배선의 저항을 저감할 수 있고, 대면적화가 가능하다.

[0054] 여기서는, 기판(100) 전체 면에 도전막으로서 알루미늄을 주성분으로 하는 막과 티타늄막을 스퍼터법에 의하여 적층하여 형성한다.

[0055] 다음, 본 실시형태에 있어서의 제 1 포토 마스크를 사용하여 형성한 레지스트 마스크를 사용하여 기판 위에 형성된 도전막의 불필요한 부분을 에칭하여 제거함으로써, 배선 및 전극(게이트 전극(111) 및 주사선(13)을 포함하는 게이트 배선, 용량 배선, 및 단자)을 형성한다. 이때, 적어도 게이트 전극(111)의 단부에 테이퍼 형상이 형성되도록 에칭한다. 이 단계에서의 단면도를 도 6a에 도시한다.

[0056] 다음, 게이트 절연막(102)을 형성한다. 게이트 절연막(102)으로서 이용할 수 있는 절연막으로서는, 산화실리콘막, 질화실리콘막, 산화질화실리콘막, 질화산화실리콘막, 산화알루미늄막, 산화마그네슘막, 질화알루미늄막, 산화이트륨막, 산화하프늄막, 산화탄탈막을 그 예로서 들 수 있다.

[0057] 여기서, 산화질화실리콘막이란, 그 조성으로서 질소보다 산소의 함유량이 많은 것이며, 농도 범위로서 산소가 55at.% 내지 65at.%, 질소가 1at.% 내지 20at.%, 실리콘이 25at.% 내지 35at.%, 수소가 0.1at.% 내지 10at.%의 범위로 포함되는 것을 가리킨다. 또한, 질화산화실리콘막이란, 그 조성으로서 산소보다 질소의 함유량이 많은 것이며, 농도 범위로서 산소가 15at.% 내지 30at.%, 질소가 20at.% 내지 35at.%, 실리콘이 25at.% 내지 35at.%, 수소가 15at.% 내지 25at.%의 범위로 포함되는 것을 가리킨다.

[0058] 게이트 절연막(102)은 단층으로 형성한 구조여도 좋고, 절연막을 2층 또는 3층 적층하여 형성한 구조여도 좋다. 예를 들어, 기판에 접하는 게이트 절연막을 질화실리콘막, 또는 질화산화실리콘막을 사용하여 형성하는 경우, 기판과 게이트 절연막의 밀착력이 높아지고, 기판으로서 유리 기판을 사용한 경우, 기판으로부터의 불

순물이 산화물 반도체층에 확산하는 것을 방지할 수 있고, 더욱 게이트 전극(111) 및 주사선(13)을 포함하는 게이트 배선의 산화를 방지할 수 있다. 즉, 막 박리를 방지할 수 있는 것과 함께, 후에 완료되는 박막 트랜지스터의 전기 특성을 향상시킬 수 있다.

[0059] 또한, 게이트 절연막(102)의 두께는 50nm 내지 250nm로 한다. 게이트 절연막의 두께가 50nm 이상이라면, 게이트 전극(111) 및 주사선(13)을 포함하는 게이트 배선의 요철을 피복할 수 있기 때문에 바람직하다. 여기서는, 게이트 절연막(102)으로서 플라즈마 CVD법 또는 스퍼터법에 의하여 100nm의 두께의 산화실리콘막을 형성한다.

[0060] 다음, 본 실시형태에 있어서의 제 2 포토 마스크를 사용하여 형성한 레지스트 마스크에 의하여 게이트 절연막(102)을 에칭하여, 주사선(13)에 도달하는 콘택트 홀(128)을 형성한다. 도 6b는 이 단계에서의 단면도를 나타낸다.

[0061] 다음에, 소스 전극층 및 드레인 전극층이 되는 도전막을 스퍼터링법이나 진공증착법으로 형성한다. 도전막의 재료로서는, Al, Cr, Ta, Ti, Mo 또는 W로부터 선택된 원소, 또는 전술한 원소를 포함하는 합금, 전술한 원소의 일부를 조합한 합금막 등을 들 수 있다.

[0062] 또한, 200℃ 내지 600℃의 열 처리를 행하는 경우에는, 이 열 처리에 견딜 수 있는 내열성을 도전막에 갖게 하는 것이 바람직하다. Al 자체에서는, 내열성이 뒤떨어지고, 또한 부식하기 쉬운 등의 문제점이 있기 때문에, 내열성 도전성 재료와 조합하여 사용한다. Al과 조합하여 사용되는 내열성 도전성 재료로서는, 티타늄(Ti), 탄탈(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), 네오디뮴(Nd), 스칸듐(Sc) 중에서 선택된 원소, 또는 상술한 원소 중 어느 하나를 포함하는 합금, 또는 상술한 원소의 조합을 포함한 합금막, 또는 상술한 원소 중 어느 하나를 포함하는 질화막을 사용할 수 있다.

[0063] 여기서는, 상기 도전막은, Ti막이 형성되고, 그 Ti막 위에 Nd를 포함하는 알루미늄막, 즉 Al-Nd막을 적층하고, 그 위에 다른 Ti막을 적층하는 3층 구조를 갖는다. 또한, 도전막은, 알루미늄막 위에 티타늄막을 적층한 2층 구조로 하여도 좋다. 또한, 도전막은, 실리콘을 포함하는 알루미늄막의 단층 구조나 티타늄막의 단층 구조로 하여도 좋다.

[0064] 또한, 게이트 절연막(102)에는 콘택트 홀(128)이 형성되기 때문에, 성막시에 소스 전극층 및 드레인 전극층이 되는 도전막(105)은 콘택트 홀(128)을 통하여 주사선(13)과 접속한다.

[0065] 다음에, 본 실시예에 있어서의 제3 포토마스크를 사용해서 도전막 위에 레지스트 마스크(131)를 형성하고, 에칭에 의해 도전막의 불필요한 부분을 제거한다. 이렇게 하여, 소스 전극층 및 드레인 전극층(117a, 117b)을 형성한다. 이 때, 에칭 방법으로서 건식 에칭 또는 습식 에칭을 사용할 수 있다. 여기에서는, $SiCl_4$, Cl_2, BCl_3의 혼합 가스를 사용하여 건식 에칭을 채용하여, Ti막, Al-Nd막 및 Ti막을 적층한 도전막을 에칭해서, 소스 전극층 및 드레인 전극층(117a, 117b)을 형성한다. 이 단계에서의 단면도를 도 6c에 나타낸다.

[0066] 레지스트 마스크를 제거한 후, 플라즈마 처리를 행한다. 여기에서는, 산소 가스와 아르곤 가스를 도입한 후 플라즈마를 발생시키는 반대 스퍼터를 행하여, 노출하고 있는 게이트 절연막은 산소 라디칼 또는 산소를 사용하여 처리된다. 이렇게 해서, 표면에 부착되고 있는 먼지를 제거한다. 이 단계에서의 단면도를 도 7a에 나타낸다.

[0067] 다음, 플라즈마 처리된 기판을 대기에 노출시키지 않도록 산화물 반도체막을 형성한다. 이렇게 플라즈마 처리 후 산화물 반도체막의 형성은, 게이트 절연막(102)과 산화물 반도체막의 계면에 먼지나 수분이 부착하는 결함을 방지할 수 있다. 산화물 반도체막은, 앞에서 역 스퍼터를 행한 챔버와 동일 챔버에서 형성되어도 되거나, 대기에 노출시키지 않고 성막할 수 있다면, 앞에서 역 스퍼터를 행한 챔버와 다른 챔버에서 형성되어도 된다.

[0068] 여기서는, 직경 8인치의 In, Ga, 및 Zn를 포함하는 산화물 반도체 타깃(조성 비율로서 In_2O_3:Ga_2O_3:ZnO=1:1:1)을 사용하고 상기 기판과 타깃의 사이의 거리를 170mm, 압력 0.4Pa, 직류(DC) 전원 0.5kW의 조건하의 산소분위기에서(또는 산소가스의 유량이 아르곤 가스 유량 이하) 산화물 반도체막을 형성한다. 또한, 펄스 직류(DC) 전원을 사용하면, 먼지를 경감할 수 있고, 막 두께가 균일하게 되기 때문에 바람직하다. 산화물 반도체막의 두께는, 5nm 내지 200nm로 한다. 본 실시형태에서는, 산화물 반도체막의 두께는 100nm로 한다.

[0069] 산화물 반도체막은 막중의 산소농도가 높게 되는 조건으로 형성되어, 그 막의 도전율을 낮게 할 수 있다. 게다가, 많은 산소를 산화물 반도체막 중에 포함시키는 경우, 오프 전류의 양을 저감할 수 있기 때문에, 온/오프비가 높은 박막 트랜지스터를 얻을 수 있다.

[0070] 다음, 200℃ 내지 600℃, 대표적으로는, 300℃ 내지 500℃의 열 처리를 행하는 것이 바람직하다. 이 경우에, 노에 넣고, 질소 분위기하 또는 대기 분위기하에서 350℃, 1시간의 열 처리를 행한다. 이 열 처리에 의하여 In-Ga-Zn-O계 비단결정막의 원자의 재배열이 행하여진다. 이 열 처리에 의하여 캐리어의 이동을 저해하는 왜곡이 해방되기 때문에, 여기서의 열 처리(광 어닐링 포함)는 중요하다. 또한, 열 처리를 행하는 타이밍은, 산화물 반도체막의 형성 후라면 특히 한정되지 않고, 예를 들어 화소 전극 형성 후에 행하여도 좋다.

[0071] 다음에, 본 실시예에 있어서의 제4 포토마스크를 사용해서 레지스트 마스크를 형성하고, 에칭에 의해 산화물 반도체막의 불필요한 부분을 제거해서 산화물 반도체층(113)을 형성한다. 여기에서는 ITO07N(간토(Kanto) 화학사제)을 사용한 습식 에칭에 의해, 산화물 반도체막의 불필요한 부분을 제거해서, 산화물 반도체층(113)을 형성한다. 또한, 여기서의 에칭은, 습식 에칭에 한정되지 않고 건식 에칭을 사용해도 된다. 이상의 공정으로, 산화물 반도체층(113)을 채널 형성 영역이라고 하는 비선형소자(170a)를 형성할 수 있다. 이 단계에서의 단면도를 도 7b에 나타낸다.

[0072] 또한, 산화물 반도체층(113)에 플라즈마 처리를 행해도 된다. 플라즈마 처리을 함으로써, 산화물 반도체층(113)의 에칭에 의한 데미지를 회복할 수 있다. 플라스마 처리는, O_2, N_2O, 바람직하게는 산소를 포함하는 N_2, He 또는 Ar분위기 하에서 행하는 것이 바람직하다. 또한, 상기 분위기에서 Cl_2 또는 CF_4을 첨가한 분위기 하에서 플라즈마 처리를 행해도 된다. 또한, 플라즈마 처리는, 무바이어스를 인가하여 행하는 것이 바람직하다.

[0073] 다음, 비선형 소자(170a)를 덮는 층간 절연막(107)을 형성한다. 층간 절연막(107)은 스퍼터법 등에 의해 질화실리콘막, 산화실리콘막, 산화질화실리콘막, 산화알루미늄막, 산화탄탈막 등을 사용하여 형성될 수 있다. 이상과 같이, 4번의 포토리소그래피 공정에 의하여 4장의 포토마스크를 사용하여 복수의 비선형 소자를 갖는(본 실시형태에서는 170a, 170b의 2개의 비선형 소자를 갖는) 보호 회로를 완성시킬 수 있다.

[0074] 보호 회로의 형성에 계속해서, 비선형 소자와 동일한 프로세스로 형성한 표시 장치의 화소 부분의 박막 트랜지스터에 접속되도록 화소 전극을 형성한다. 또한, 화소 부분의 박막 트랜지스터는 도시하지 않는다. 제 5 레지스트 마스크를 사용하여, 그 화소 부분의 박막 트랜지스터의 드레인 전극에 도달하는 콘택트 홀을 층간 절연막(107)에 형성한다. 이 단계에서의 단면도를 도 7c에 도시한다.

[0075] 이어서, 레지스트 마스크를 제거하고, 투명 도전막을 형성한다. 투명 도전막의 재료로서는, 산화인듐(In_2O_3)이나 산화인듐산화주석 합금(In_2O_3-SnO_2, ITO라고 생략하여 기재한다) 등을 스퍼터법이나 진공 증착법 등을 사용하여 형성할 수 있다. 이와 같은 재료의 에칭 처리는 염산계의 용액에 의하여 행한다. 그러나, 특히 ITO의 에칭은 잔사(殘渣)가 발생하기 쉽기 때문에, 에칭 가공성을 개선하기 위해서 산화인듐산화아연 합금(In_2O_3-ZnO)을 사용하여도 좋다.

[0076] 다음, 제 6 포토리소그래피 공정을 행한다. 레지스트 마스크를 형성하고, 에칭에 의하여 투명 도전막의 불필요한 부분을 제거하여 화소 전극을 형성한다. 또한, 용량부에 있어서의 게이트 절연막(102) 및 층간 절연막(107)을 유전체로 하여 용량 배선과 화소 전극으로 유지 용량을 형성한다. 또한, 단자부에 투명 도전막을 남겨, FPC와의 접속에 사용하는 전극 또는 배선을 형성하거나 소스 배선의 입력단자로서 기능하는 접속용의 단자 전극을 형성한다.

[0077] 이와 같이, 비선형 소자와 동일한 프로세스로 형성한 화소전극들과 복수의 박막 트랜지스터를 화소부에 형성할 수 있음으로써, n채널형 TFT를 갖는 화소부의 제작과 보호 회로의 제작을 동시에 행할 수 있다. 또한, 게이트 절연막(102)에 형성한 콘택트 홀(128)을 통하여 게이트 전극(111)과 같은 층으로 형성되는 주사선(13)과 비선형 소자(170a)의 제 3 단자(드레인)를 직접 접속함으로써, 하나의 접속을 구성하는데 하나의 계면만을 필요로 하고, 하나의 접속을 구성하는데 하나의 콘택트 홀만을 필요로 한다. 결과적으로, 보호 회로의 기능을 높이고, 동작의 안정화를 도모할 수 있을 뿐만 아니라, 보호 회로의 점유 면적을 작게 하여 표시 장치의 소형화를 도모할 수 있다. 즉, 본 실시형태에 나타낸 단계에 따르면, 보호 회로의 기능을 높이고, 동작의 안정화를 도모할 수 있을 뿐만 아니라, 점유 면적이 작은 보호 회로를 탑재한 액티브 매트릭스형의 표시 장치용 기판(board)을 제작할 수 있다.

[0078] 본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시할 수 있다.

[0079] (실시형태 3)

[0080] 본 실시형태에서는, 본 발명의 일 실시형태를 적용한 표시 장치로서, 동일 기판 위에 보호 회로와 화소부에 배치하는 박막 트랜지스터를 갖는 전자 페이퍼의 예를 나타낸다.

[0081] 도 10은 본 발명의 일 실시형태를 적용한 표시 장치의 예로서 액티브 매트릭스형의 전자 페이퍼를 도시한다. 반도체 장치에 사용되는 박막 트랜지스터(581)로서는, 실시형태 2에서 나타내는 비선형 소자와 마찬가지로 제조할 수 있고, In, Ga, 및 Zn를 포함하는 산화물 반도체를 반도체층으로서 사용한 전기 특성이 우수한 박막 트랜지스터이다.

[0082] 도 10의 전자 페이퍼는 트위스트 볼 표시 방식을 사용한 표시 장치의 예이다. 트위스트 볼 표시 방식이란, 백과 흑으로 나누어 칠해진 구형 입자를 표시 소자에 사용하여 전극층인 제 1 전극층 및 제 2 전극층의 사이에 배치하고, 제 1 전극층 및 제 2 전극층에 전위차를 발생시켜서 구형 입자의 방향을 제어함으로써, 표시를 행하는 방법이다.

[0083] 기판(580)과 기판(596) 사이에 형성된 박막 트랜지스터(581)는, 게이트 절연층(585)에 형성된 개구를 통해 소스 전극층 또는 드레인 전극층이 제 1 전극층(587)과 전기적으로 접속된 보텀 게이트 구조이다. 제 1 전극층(587)과 제 2 전극층(588)의 사이에는, 구형 입자(589)가 형성된다. 각 구형 입자(589)는, 흑색 영역(590a) 및 백색 영역(590b)을 갖고, 그 흑색 영역(590a) 및 백색 영역(590b) 주위에 액체로 채워져 있는 캐비티(594)를 포함한다. 구형 입자(589)의 주위는, 수지 등의 충전재(595)로 충전된다(도 10 참조).

[0084] 또한, 트위스트 볼 대신에, 전기 영동 소자를 사용할 수 있다. 투명한 액체, 양으로 대전한 흰 미립자 및 음으로 대전한 검은 미립자로 채워진 직경 10㎛ 내지 20㎛ 정도의 마이크로 캡슐을 사용한다. 제 1 전극층과 제 2 전극층의 사이에 형성되는 마이크로 캡슐은, 제 1 전극층과 제 2 전극층에 의해서, 전장(電場)이 주어지면, 흰 미립자와, 검은 미립자가 반대 방향으로 이동하여, 백 또는 흑을 표시할 수 있다. 이 원리를 응용한 표시 소자가 전기 영동 표시 소자이고, 일반적으로 전자 페이퍼라고 불리고 있다. 전기 영동 표시 소자는 액정 표시 소자와 비교하여 반사율이 높기 때문에, 보조 라이트는 불필요하다. 또한, 소비전력이 작고, 어두컴컴한 장소에서도 표시부를 인식하는 것이 가능하다. 또한, 표시부에 전원이 공급되지 않은 경우라도, 한번 표시한 화상을 유지하는 것이 가능하다. 따라서, 전원 공급원이 되는 전파 발신원으로부터 표시 기능을 갖는 반도체 장치(단순히 표시 장치, 또는 표시 장치를 구비하는 반도체 장치라고도 한다)를 멀리한 경우라도, 표시된 화상을 보존해 두는 것이 가능해진다.

[0085] 상술한 공정에 의하여 제작한 전자 페이퍼가 보호 회로에 탑재된다. 보호 회로는, 제 1 배선층 또는 제 2 배선층의 도전층이 상기 게이트 전극이나 그 게이트 전극과 같은 층으로 형성된 배선에 직접 접속된 비선형 소자를 구비한다. 이렇게 하여, 보호 회로의 동작을 안정화시키고, 보호 회로의 점유 면적이 작다. 따라서, 신뢰성이 높은 소형 전자 페이퍼를 제조할 수 있다.

[0086] 본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시할 수 있다.

[0087] (실시형태 4)

[0088] 본 실시형태에서는, 본 발명의 일 실시형태에 따른 반도체 장치의 일례인 표시 장치를 도 11a, 11b, 도 12, 도 13, 도 14, 도 15 및 도 16을 사용하여 설명한다. 이 표시장치에서는, 동일 기판 위에, 적어도 보호 회로와, 구동 회로의 일부와, 화소부에서의 박막 트랜지스터를 형성한다.

[0089] 보호 회로와 같은 기판 위의 화소부에 배치하는 박막 트랜지스터는, 실시형태 2에서 나타내는 비선형 소자와 마찬가지로 형성한다. 또한, 형성한 박막 트랜지스터는 n채널형 TFT이기 때문에, n채널형 TFT로 구성할 수 있는 구동 회로의 일부를 화소부의 박막 트랜지스터와 동일 기판 위에 형성한다.

[0090] 본 발명의 일 실시형태에 따른 반도체장치의 일례인 액티브 매트릭스형 액정 표시 장치의 블록도의 일례를 도 11a에 도시한다. 도 11a에 도시하는 표시 장치는, 기판(5300) 위에 표시 소자를 각각 구비한 복수의 화소를 갖는 화소부(5301)와, 화소를 선택하는 주사선 구동 회로(5302)와, 선택된 화소에의 비디오 신호의 입력을 제어하는 신호선 구동 회로(5303)를 갖는다.

[0091] 화소부(5301)는 신호선 구동 회로(5303)로부터 열 방향으로 연장하여 배치된 복수의 신호선(S1) 내지 신호선(Sm)(도시하지 않는다))에 의하여 신호선 구동 회로(5303)와 접속되고, 주사선 구동 회로(5302)로부터 행 방향으로 연장하여 배치된 복수의 주사선(G1) 내지 주사선(Gn)(도시하지 않는다))에 의하여 주사선 구동 회로(5302)와 접속되고, 신호선(S1) 내지 신호선(Sm) 및 주사선(G1) 내지 주사선(Gn)에 대응하여 매트릭스 상태로

배치된 복수의 화소(도시하지 않는다)를 갖는다. 그리고, 각 화소는 신호선(Sj)(신호선(S1) 내지 신호선(Sm) 중 어느 하나), 주사선(Gi)(주사선(G1) 내지 주사선(Gn) 중 어느 하나)과 접속된다.

[0092] 또한, 실시형태 2에 나타내는 비선형 소자와 함께, 같은 방법에 의하여 형성할 수 있는 박막 트랜지스터는, n채널형 TFT이다. n채널형 TFT로 구성하는 신호선 구동 회로에 대해서 도 12를 사용하여 설명한다.

[0093] 도 12에 도시하는 신호선 구동 회로는, 드라이버 IC(5601), 스위치 군(5602_1 내지 5602_M), 제 1 배선(5611), 제 2 배선(5612), 제 3 배선(5613) 및 배선(5621_1 내지 5621_M)을 갖는다. 스위치 군(5602_1 내지 5602_M)의 각각은, 제 1 박막 트랜지스터(5603a), 제 2 박막 트랜지스터(5603b) 및 제 3 박막 트랜지스터(5603c)를 갖는다.

[0094] 드라이버 IC(5601)는 제 1 배선(5611), 제 2 배선(5612), 제 3 배선(5613) 및 배선(5621_1 내지 5621_M)에 접속된다. 그리고, 스위치 군(5602_1 내지 5602_M)의 각각은, 제 1 배선(5611), 제 2 배선(5612) 및 제 3 배선(5613)에 접속된다. 또한, 스위치 군(5602_1 내지 5602_M)은, 각각 배선(5621_1 내지 5621_M)에 접속된다. 그리고, 배선(5621_1 내지 5621_M)의 각각은, 제 1 박막 트랜지스터(5603a), 제 2 박막 트랜지스터(5603b), 제 3 박막 트랜지스터(5603c)를 통하여 3개의 신호선에 접속된다. 예를 들어, J열째의 배선(5621_J)(배선(5621_1) 내지 배선(5621_M) 중 어느 하나)은, 스위치 군(5602_J)이 갖는 제 1 박막 트랜지스터(5603a), 제 2 박막 트랜지스터(5603b), 및 제 3 박막 트랜지스터(5603c)를 통하여 신호선(Sj-1), 신호선(Sj), 신호선(Sj+1)에 접속된다.

[0095] 또한, 제 1 배선(5611), 제 2 배선(5612) 및 제 3 배선(5613)에는 각각 신호가 입력된다.

[0096] 또한, 드라이버 IC(5601)는 단결정 기판 위에 형성되는 것이 바람직하다. 또한, 스위치 군(5602_1 내지 5602_M)은, 화소부와 동일 기판 위에 형성되는 것이 바람직하다. 따라서, 드라이버 IC(5601)와 스위치 군(5602_1 내지 5602_M)은 FPC 등을 통하여 접속하면 좋다.

[0097] 다음, 도 12에 도시한 신호선 구동 회로의 동작에 대해서 도 13의 타이밍 차트를 참조하여 설명한다. 또한, 도 13의 타이밍 차트는 i행째의 주사선(Gi)이 선택되어 있는 경우의 타이밍 차트를 도시한다. 또한, i행째의 주사선(Gi)의 선택 기간은, 제 1 서브 선택 기간 T1, 제 2 서브 선택 기간 T2 및 제 3 서브 선택 기간 T3으로 분할되어 있다. 또한, 도 12의 신호선 구동 회로는, 다른 행의 주사선이 선택되는 경우에도 도 13과 같은 동작을 한다.

[0098] 또한, 도 13의 타이밍 차트는, J열째의 배선(5621_J)이 제 1 박막 트랜지스터(5603a), 제 2 박막 트랜지스터(5603b) 및 제 3 박막 트랜지스터(5603c)를 통하여 신호선(Sj-1), 신호선(Sj), 신호선(Sj+1)에 접속되는 경우에 대해서 도시한다.

[0099] 또한, 도 13의 타이밍 차트는 i행째의 주사선(Gi)이 선택되는 타이밍, 제 1 박막 트랜지스터(5603a)의 온 및 오프의 타이밍(5703a), 제 2 박막 트랜지스터(5603b)의 온/오프의 타이밍(5703b), 제 3 박막 트랜지스터(5603c)의 온/오프의 타이밍(5703c) 및 J열째의 배선(5621_J)에 입력되는 신호(5721_J)를 도시한다.

[0100] 또한, 배선(5621_1) 내지 배선(5621_M)에는 제 1 서브 선택 기간 T1, 제 2 서브 선택 기간 T2 및 제 3 서브 선택 기간 T3에 있어서, 다른 비디오 신호가 입력된다. 예를 들어, 제 1 서브 선택 기간 T1에서 배선(5621_J)에 입력되는 비디오 신호는 신호선(Sj-1)에 입력되고, 제 2 서브 선택 기간 T2에서 배선(5621_J)에 입력되는 비디오 신호는 신호선(Sj)에 입력되고, 제 3 서브 선택 기간 T3에 있어서 배선(5621_J)에 입력되는 비디오 신호는 신호선(Sj+1)에 입력된다. 또한, 제 1 서브 선택 기간 T1, 제 2 서브 선택 기간 T2 및 제 3 서브 선택 기간 T3에 있어서, 배선(5621_J)에 입력되는 비디오 신호를 각각 Data_j-1, Data_j, Data_j+1로 한다.

[0101] 도 13에 도시하는 바와 같이, 제 1 서브 선택 기간 T1에 있어서 제 1 박막 트랜지스터(5603a)가 온하고, 제 2 박막 트랜지스터(5603b) 및 제 3 박막 트랜지스터(5603c)가 오프한다. 이 때, 배선(5621_J)에 입력되는 Data_j-1이, 제 1 박막 트랜지스터(5603a)를 통하여 신호선(Sj-1)에 입력된다. 제 2 서브 선택 기간 T2에서는, 제 2 박막 트랜지스터(5603b)가 온하고, 제 1 박막 트랜지스터(5603a) 및 제 3 박막 트랜지스터(5603c)가 오프한다. 이 때, 배선(5621_J)에 입력되는 Data_j가, 제 2 박막 트랜지스터(5603b)를 통하여 신호선 Sj에 입력된다. 제 3 서브 선택 기간 T3에서는, 제 3 박막 트랜지스터(5603c)가 온하고, 제 1 박막 트랜지스터(5603a) 및 제 2 박막 트랜지스터(5603b)가 오프한다. 이 때, 배선(5621_J)에 입력되는 Data_j+1이, 제 3 박막 트랜지스터(5603c)를 통하여 신호선(Sj+1)에 입력된다.

[0102] 이상과 같이, 도 12의 신호선 구동 회로는 1 게이트 선택 기간을 3개로 분할함으로써, 1 게이트 선택

기간 중에 1개의 배선(5621)으로부터 3개의 신호선에 비디오 신호를 입력할 수 있다. 따라서, 도 12의 신호선 구동 회로는 드라이버 IC(5601)가 형성되는 기판과, 화소부가 형성되는 기판과의 접속수를 신호선의 수와 비교하여 약 1/3로 할 수 있다. 접속수가 약 1/3이 됨으로써, 도 12의 신호선 구동 회로는, 신뢰성, 수율 등을 향상시킬 수 있다.

[0103] 또한, 도 12에 도시하는 바와 같이, 1 게이트 선택 기간을 복수의 서브 선택 기간으로 분할하여, 복수의 서브 선택 기간 각각에 있어서 어떤 1개의 배선으로부터 복수의 신호선에 비디오 신호를 입력할 수 있으면, 박막 트랜지스터의 배치나 수, 구동 방법 등은 한정되지 않는다.

[0104] 예를 들어, 서브 선택 기간 각각에 있어서 1개의 배선으로부터 3개 이상의 신호선에 비디오 신호를 입력하는 경우, 박막 트랜지스터 및 그 박막 트랜지스터를 제어하기 위한 배선을 추가하면 좋다. 다만, 1 게이트 선택 기간을 4개 이상의 서브 선택 기간으로 분할하면, 1개의 서브 선택 기간이 짧아진다. 따라서, 1 게이트 선택 기간은, 2개 또는 3개의 서브 선택 기간으로 분할되는 것이 바람직하다.

[0105] 다른 예로서, 도 14의 타이밍 차트에 나타낸 바와 같이, 1개의 선택 기간을 프리차지 기간 Tp, 제 1 서브 선택 기간 T1, 제 2 서브 선택 기간 T2, 제 3 서브 선택 기간 T3으로 분할하여도 좋다. 또한, 도 14의 타이밍 차트는, i행째의 주사선(Gi)이 선택되는 타이밍, 제 1 박막 트랜지스터(5603a)의 온/오프의 타이밍(5803a), 제 2 박막 트랜지스터(5603b)의 온/오프의 타이밍(5803b), 제 3 박막 트랜지스터(5603c)의 온/오프의 타이밍(5803c) 및 J열째의 배선(5621_J)에 입력되는 신호(5821_J)를 도시한다. 도 14에 도시하는 바와 같이, 프리차지 기간 Tp에 있어서, 제 1 박막 트랜지스터(5603a), 제 2 박막 트랜지스터(5603b) 및 제 3 박막 트랜지스터(5603c)가 온한다. 이 때, 배선(5621_J)에 입력되는 프리차지 전압 Vp이 제 1 박막 트랜지스터(5603a), 제 2 박막 트랜지스터(5603b) 및 제 3 박막 트랜지스터(5603c)를 통하여 각각 신호선(Sj-1), 신호선(Sj), 신호선(Sj+1)에 입력된다. 제 1 서브 선택 기간 T1에 있어서 제 1 박막 트랜지스터(5603a)가 온하고, 제 2 박막 트랜지스터(5603b) 및 제 3 박막 트랜지스터(5603c)가 오프한다. 이 때, 배선(5621_J)에 입력되는 Data_j-1이, 제 1 박막 트랜지스터(5603a)를 통하여 신호선 Sj-1에 입력된다. 제 2 서브 선택 기간 T2에서는, 제 2 박막 트랜지스터(5603b)가 온하고, 제 1 박막 트랜지스터(5603a) 및 제 3 박막 트랜지스터(5603c)가 오프한다. 이 때, 배선(5621_J)에 입력되는 Data_j가, 제 2 박막 트랜지스터(5603b)를 통하여 신호선(Sj)에 입력된다. 제 3 서브 선택 기간 T3에서는, 제 3 박막 트랜지스터(5603c)가 온하고, 제 1 박막 트랜지스터(5603a) 및 제 2 박막 트랜지스터(5603b)가 오프한다. 이 때, 배선(5621_J)에 입력되는 Data_j+1이, 제 3 박막 트랜지스터(5603c)를 통하여 신호선(Sj+1)에 입력된다.

[0106] 이상으로부터, 도 14의 타이밍 차트를 적용한 도 12의 신호선 구동 회로는, 서브 선택 기간 전에 프리차지 기간을 설정함으로써, 신호선을 프리차지할 수 있다. 이 때문에, 화소에의 비디오 신호의 기록을 고속으로 행할 수 있다. 또한, 도 14에 있어서, 도 13과 같은 것에 관해서는 공통의 부호를 사용하여 나타내고, 동일 부분 또는 같은 기능을 갖는 부분의 자세한 설명은 생략한다.

[0107] 또한, 주사선 구동 회로의 구성에 대해서 설명한다. 주사선 구동 회로는 시프트 레지스터, 버퍼를 갖는다. 또한, 경우에 따라서는, 레벨 시프터를 가져도 좋다. 주사선 구동 회로에 있어서, 시프트 레지스터에 클록 신호(CLK) 및 스타트 펄스 신호(SP)가 입력됨으로써, 선택 신호가 생성된다. 생성된 선택 신호는 버퍼에 있어서 완충 증폭되고, 대응하는 주사선에 공급된다. 주사선에는, 1라인분의 화소의 트랜지스터의 게이트 전극이 접속된다. 그리고, 1라인분의 화소의 트랜지스터를 일제히 온으로 하여야 하기 때문에, 버퍼는 큰 전류를 흘릴 수 있는 것이 사용된다.

[0108] 주사선 구동 회로의 일부에 사용하는 시프트 레지스터의 일례에 대해서 도 15 및 도 16을 사용하여 설명한다.

[0109] 도 15에 시프트 레지스터의 회로 구성을 도시한다. 도 15에 도시하는 시프트 레지스터는, 플립플롭(5701_1) 내지 플립플롭(5701_n)이라고 하는 복수의 플립플롭으로 구성된다. 또한, 시프트 레지스터는, 제 1 클록 신호, 제 2 클록 신호, 스타트 펄스 신호, 리셋 신호가 입력되어 동작한다.

[0110] 도 15의 시프트 레지스터의 접속 관계에 대해서 설명한다. 도 15의 시프트 레지스터는 i단째의 플립플롭(5701_i)(플립플롭(5701_1) 내지 플립플롭(5701_n)중 어느 하나)은, 도 16에 도시한 제 1 배선(5501)이 제 7 배선(5717_i-1)에 접속되고, 도 16에 도시한 제 2 배선(5502)이 제 7 배선(5717_i+1)에 접속되고, 도 16에 도시한 제 3 배선(5503)이 제 7 배선(5717_i)에 접속되고, 도 16에 도시한 제 6 배선(5506)이 제 5 배선(5715)에 접속된다.

[0111] 또한, 도 16에 도시한 제 4 배선(5504)이 홀수 단째의 플립플롭에서는 제 2 배선(5712)에 접속되고, 짝수 단째 플립플롭에서는 제 3 배선(5713)에 접속되고, 도 16에 도시한 제 5 배선(5505)이 제 4 배선(5714)에 접속된다.

[0112] 다만, 1단째의 플립플롭(5701_1)의 도 16에 도시하는 제 1 배선(5501)은 제 1 배선(5711)에 접속되고, n단째의 플립플롭(5701_n)의 도 16에 도시하는 제 2 배선(5502)은 제 6 배선(5716)에 접속된다.

[0113] 또한, 제 1 배선(5711), 제 2 배선(5712), 제 3 배선(5713), 제 6 배선(5716)을 각각 제 1 신호선, 제 2 신호선, 제 3 신호선, 제 4 신호선이라고 불러도 좋다. 또한, 제 4 배선(5714), 제 5 배선(5715)을, 각각 제 1 전원선, 제 2 전원선이라고 불러도 좋다.

[0114] 다음, 도 15에 도시하는 플립플롭의 자세한 내용에 대해서 도 16에 도시한다. 도 16에 도시하는 플립플롭은 제 1 박막 트랜지스터(5571), 제 2 박막 트랜지스터(5572), 제 3 박막 트랜지스터(5573), 제 4 박막 트랜지스터(5574), 제 5 박막 트랜지스터(5575), 제 6 박막 트랜지스터(5576), 제 7 박막 트랜지스터(5577) 및 제 8 박막 트랜지스터(5578)를 갖는다. 또한, 제 1 박막 트랜지스터(5571), 제 2 박막 트랜지스터(5572), 제 3 박막 트랜지스터(5573), 제 4 박막 트랜지스터(5574), 제 5 박막 트랜지스터(5575), 제 6 박막 트랜지스터(5576), 제 7 박막 트랜지스터(5577) 및 제 8 박막 트랜지스터(5578)는, n채널형 트랜지스터이며, 게이트-소스간 전압(V_{gs})이 임계값 전압(V_{th})을 상회하였을 때 도통 상태가 되는 것으로 한다.

[0115] 다음, 도 16에 도시하는 플립플롭의 접속 구성에 대해서 이하에 설명한다.

[0116] 제 1 박막 트랜지스터(5571)의 제 1 전극(소스 전극 또는 드레인 전극의 한쪽)이 제 4 배선(5504)에 접속되고, 제 1 박막 트랜지스터(5571)의 제 2 전극(소스 전극 또는 드레인 전극의 다른 쪽)이 제 3 배선(5503)에 접속된다.

[0117] 제 2 박막 트랜지스터(5572)의 제 1 전극이 제 6 배선(5506)에 접속된다. 제 2 박막 트랜지스터(5572)의 제 2 전극이 제 3 배선(5503)에 접속된다.

[0118] 제 3 박막 트랜지스터(5573)의 제 1 전극이 제 5 배선(5505)에 접속되고, 제 3 박막 트랜지스터(5573)의 제 2 전극이 제 2 박막 트랜지스터(5572)의 게이트 전극에 접속되고, 제 3 박막 트랜지스터(5573)의 게이트 전극이 제 5 배선(5505)에 접속된다.

[0119] 제 4 박막 트랜지스터(5574)의 제 1 전극이 제 6 배선(5506)에 접속되고, 제 4 박막 트랜지스터(5574)의 제 2 전극이 제 2 박막 트랜지스터(5572)의 게이트 전극에 접속되고, 제 4 박막 트랜지스터(5574)의 게이트 전극이 제 1 박막 트랜지스터(5571)의 게이트 전극에 접속된다.

[0120] 제 5 박막 트랜지스터(5575)의 제 1 전극이 제 5 배선(5505)에 접속되고, 제 5 박막 트랜지스터(5575)의 제 2 전극이 제 1 박막 트랜지스터(5571)의 게이트 전극에 접속되고, 제 5 박막 트랜지스터(5575)의 게이트 전극이 제 1 배선(5501)에 접속된다.

[0121] 제 6 박막 트랜지스터(5576)의 제 1 전극이 제 6 배선(5506)에 접속되고, 제 6 박막 트랜지스터(5576)의 제 2 전극이 제 1 박막 트랜지스터(5571)의 게이트 전극에 접속되고, 제 6 박막 트랜지스터(5576)의 게이트 전극이 제 2 박막 트랜지스터(5572)의 게이트 전극에 접속된다.

[0122] 제 7 박막 트랜지스터(5577)의 제 1 전극이 제 6 배선(5506)에 접속되고, 제 7 박막 트랜지스터(5577)의 제 2 전극이 제 1 박막 트랜지스터(5571)의 게이트 전극에 접속되고, 제 7 박막 트랜지스터(5577)의 게이트 전극이 제 2 배선(5502)에 접속된다. 제 8 박막 트랜지스터(5578)의 제 1 전극이 제 6 배선(5506)에 접속되고, 제 8 박막 트랜지스터(5578)의 제 2 전극이 제 2 박막 트랜지스터(5572)의 게이트 전극에 접속되고, 제 8 박막 트랜지스터(5578)의 게이트 전극이 제 1 배선(5501)에 접속된다.

[0123] 또한, 제 1 박막 트랜지스터(5571)의 게이트 전극, 제 4 박막 트랜지스터(5574)의 게이트 전극, 제 5 박막 트랜지스터(5575)의 제 2 전극, 제 6 박막 트랜지스터(5576)의 제 2 전극 및 제 7 박막 트랜지스터(5577)의 제 2 전극의 접속 개소를 노드(node)(5543)로 한다. 또한, 제 2 박막 트랜지스터(5572)의 게이트 전극, 제 3 박막 트랜지스터(5573)의 제 2 전극, 제 4 박막 트랜지스터(5574)의 제 2 전극, 제 6 박막 트랜지스터(5576)의 게이트 전극 및 제 8 박막 트랜지스터(5578)의 제 2 전극의 접속 개소를 노드(5544)로 한다.

[0124] 또한, 제 1 배선(5501) 및 제 2 배선(5502), 제 3 배선(5503) 및 제 4 배선(5504)을, 각각 제 1 신호선, 제 2 신호선, 제 3 신호선, 제 4 신호선이라고 불러도 좋다. 또한, 제 5 배선(5505)을 제 1 전원선, 제 6

배선(5506)을 제 2 전원선이라고 불러도 좋다.

[0125] 또한, 신호선 구동 회로 및 주사선 구동 회로를 실시형태 2에 나타내는 비선형 소자와 함께 같은 방법에 의하여 형성할 수 있는 n채널형 TFT만으로 제작할 수도 있다. 실시형태 2에 나타내는 비선형 소자와 함께 같은 방법에 의하여 형성할 수 있는 n채널형 TFT는 트랜지스터의 이동도가 크기 때문에, 구동 회로의 구동 주파수를 높일 수 있다. 예를 들어, 실시형태 2에 나타내는 비선형 소자와 함께 같은 방법에 의하여 형성할 수 있는 n채널형 TFT를 사용한 주사선 구동 회로는, 고속으로 동작시킬 수 있기 때문에, 프레임 주파수를 높이는 것 또는 흑색 화면의 삽입 등도 실현할 수 있다.

[0126] 또한, 주사선 구동 회로의 트랜지스터의 채널 폭을 크게 하는 것이나, 복수의 주사선 구동 회로를 배치하는 것 등에 의해서, 더 높은 프레임 주파수를 실현할 수 있다. 복수의 주사선 구동회로를 배치하는 경우는, 짝수 행의 주사선을 구동하기 위한 주사선 구동 회로를 한쪽에 배치하고, 홀수 행의 주사선을 구동하기 위한 주사선 구동회로를 그 반대 측에 배치함으로써, 프레임 주파수를 높이는 것을 실현할 수 있다. 또한, 복수의 주사선 구동회로에 의하여 동일한 주사선에 신호를 출력하면, 표시 장치의 대형화에 유리하다.

[0127] 또한, 본 발명의 일 실시형태를 적용한 반도체 장치의 일례인 액티브 매트릭스형 발광 표시 장치를 제작하는 경우, 적어도 하나의 화소에 복수의 박막 트랜지스터를 배치하기 때문에, 주사선 구동 회로를 복수 배치하는 것이 바람직하다. 액티브 매트릭스형 발광 표시 장치의 블록도의 일례를 도 11b에 도시한다.

[0128] 도 11b에 도시하는 발광 표시 장치는, 기판(5400) 위에, 표시 소자를 각각 구비한 복수의 화소를 갖는 화소부(5401)와, 각 화소를 선택하는 제 1 주사선 구동 회로(5402) 및 제 2 주사선 구동 회로(5404)와, 선택된 화소로의 비디오 신호의 입력을 제어하는 신호선 구동 회로(5403)를 갖는다.

[0129] 도 11b에 도시하는 발광 표시 장치의 화소에 입력되는 비디오 신호를 디지털 형식으로 하는 경우, 화소는 트랜지스터의 온/오프의 변환에 따라, 발광 상태 또는 비발광 상태가 된다. 따라서, 면적 계조법 또는 시간 계조법을 사용하여 계조의 표시를 행할 수 있다. 면적 계조법은 1화소를 복수의 부(副)화소로 분할하여 각 부화소를 독립적으로 비디오 신호에 따라 구동시킴으로써, 계조 표시를 행하는 구동 방법이다. 또한, 시간 계조법은 화소가 발광하는 기간을 제어함으로써 계조 표시를 행하는 구동 방법이다.

[0130] 발광 소자는 액정 소자 등과 비교하여 응답 속도가 빠르기 때문에, 액정 소자보다 시간 계조법에 적합하다. 구체적으로, 시간 계조법에 의하여 표시를 행하는 경우, 1프레임 기간을 복수의 서브 프레임 기간으로 분할한다. 그리고 비디오 신호에 따라, 각 서브 프레임 기간에 있어서 화소의 발광 소자를 발광 상태 또는 비발광 상태로 한다. 일 프레임을 복수의 서브 프레임 기간으로 분할함으로써, 1프레임 기간 중에 화소가 실제로 발광하는 기간의 합계 길이를 비디오 신호에 따라 제어할 수 있기 때문에, 계조를 표시할 수 있다.

[0131] 또한, 도 11b에 도시하는 발광 장치에서는, 하나의 화소에 2개의 스위치용 TFT를 배치하는 경우, 한쪽의 스위칭용 TFT의 게이트 배선인 제 1 주사선에 입력되는 신호를 제 1 주사선 구동 회로(5402)로 생성하고, 다른 쪽의 스위칭용 TFT의 게이트 배선인 제 2 주사선에 입력되는 신호를 제 2 주사선 구동 회로(5404)로 생성하는 예를 도시하지만, 제 1 주사선에 입력되는 신호와 제 2 주사선에 입력되는 신호의 양쪽 모두를 1개의 주사선 구동 회로로 생성하도록 하여도 좋다. 또한, 예를 들어, 1개의 화소가 갖는 스위칭 TFT의 수에 따라 스위칭 소자의 동작을 제어하기 위해서 사용되는 주사선이 각 화소에 복수 형성되는 일도 있다. 이 경우, 복수의 주사선에 입력되는 신호를 모두 1개의 주사선 구동 회로에서 생성하여도 좋거나, 복수의 주사선 구동 회로에서 생성하여도 좋다.

[0132] 또한, 발광 표시 장치에 있어서도 구동 회로 중, n채널형 TFT로 구성할 수 있는 구동 회로의 일부를 화소부의 박막 트랜지스터와 동일 기판 위에 형성할 수 있다. 또한, 신호선 구동 회로 및 주사선 구동 회로를 실시형태 2에 나타내는 비선형 소자와 함께 같은 방법에 의하여 형성할 수 있는 n채널형 TFT만으로 제작할 수도 있다.

[0133] 또한, 상술한 구동 회로는 액정 표시 장치나 발광 표시 장치뿐만 아니라, 스위칭 소자와 전기적으로 접속하는 소자를 이용하여 전자 잉크를 구동시키는 전자 페이퍼에 사용하여도 좋다. 전자 페이퍼는, 전기 영동(泳動) 표시 장치(전기 영동 디스플레이)라고도 불리고, 종이와 같이 읽기 쉽다는 이점, 다른 표시 장치와 비교하여 저소비 전력, 얇고 가벼운 형상으로 할 수 있는 이점을 갖는다.

[0134] 전기 영동 디스플레이에는 다양한 형태가 있다. 전기 영동 디스플레이는, 양 전하를 갖는 제 1 입자와 음 전하를 갖는 제 2 입자를 포함하는 마이크로 캡슐이 용매 또는 용질에 복수 분산되고, 마이크로 캡슐에 전계를 인가함으로써 마이크로 캡슐 중의 입자를 서로 반대 방향으로 이동시켜 한쪽에 모은 입자의 색만을 표시하는

것이다. 또한, 제 1 입자 또는 제 2 입자는 염료를 포함하여, 전계가 없는 경우에 있어서, 이동하지 않는 것이다. 또한, 제 1 입자의 색과 제 2 입자의 색은 다른 것(그 입자는 무색이어도 된다)으로 한다.

[0135] 이와 같이, 전기 영동 디스플레이는 유전 상수가 높은 물질이 높은 전계 영역에 이동하는, 소위 유전 영동적 효과를 이용한 디스플레이이다. 전기 영동 디스플레이는, 액정 표시 장치에는 필요한 편광판, 대향 기판도 전기 영동 표시 장치에는 필요가 없고, 두께나 무게가 반감한다.

[0136] 전자 잉크에 있어서, 상기 마이크로 캡슐은 용매 중에 분산되고, 이 전자 잉크는 유리, 플라스틱, 피륙, 종이 등의 표면에 인쇄될 수 있다. 또한, 컬러 필터나 색소를 갖는 입자를 사용함으로써, 컬러 표시도 가능하다.

[0137] 또한, 액티브 매트릭스 기판 위에 적절히 2개의 전극 사이에 끼워지도록 상기 마이크로 캡슐을 복수 배치하면, 액티브 매트릭스형의 표시 장치가 완성되며, 마이크로 캡슐에 전계를 인가하면 표시할 수 있다. 예를 들어, 실시형태 2에 나타내는 비선형 소자와 함께 같은 방법에 의하여 형성할 수 있는 박막 트랜지스터에 의하여 얻어지는 액티브 매트릭스 기판을 사용할 수 있다.

[0138] 또한, 마이크로 캡슐 중의 제 1 입자 및 제 2 입자는, 도전체 재료, 절연체 재료, 반도체 재료, 자성(磁性) 재료, 액정 재료, 강유전성 재료, 일렉트로 루미네센스 재료, 일렉트로크로믹 재료, 자기 영동 재료 중으로부터 선택된 일종의 재료, 또는, 이들의 복합 재료를 사용하면 좋다.

[0139] 상술한 단계에 따라, 신뢰성이 높고, 안정화된 동작 및 점유 면적이 작은 보호회로가 탑재된 표시장치를 제작할 수 있다.

[0140] 본 실시형태는 또 다른 실시형태에 기재한 구성과 적절히 조합하여 실시할 수 있다.

[0141] (실시형태 5)

[0142] 본 발명의 일 실시형태에 있어서는, 비선형 소자와 함께 박막 트랜지스터를 제작하여 상기 박막 트랜지스터를 화소부, 또 구동 회로에 사용하여 표시 기능을 갖는 반도체 장치(표시 장치라고도 부른다)를 제작할 수 있다. 또한, 본 발명의 일 실시형태에 있어서는, 비선형 소자와 박막 트랜지스터를 구동 회로의 일부 또는 전체에 사용하여 화소부와 같은 기판 위에 일체 형성하여 시스템 온 패널을 형성할 수 있다.

[0143] 표시 장치는 표시 소자를 포함한다. 표시 소자로서는 액정 소자(액정 표시 소자라고도 한다), 발광 소자(발광 표시 소자라고도 한다)를 사용할 수 있다. 발광 소자는 전류 또는 전압에 의해서 휘도가 제어되는 소자를 그 범주에 포함하고 있고, 구체적으로는 무기 일렉트로루미네센스(EL) 소자, 또는 유기 EL 소자 등이 포함된다. 또한, 전자 잉크 등, 전기적 작용에 의하여 콘트라스트가 변화되는 표시 매체도 적용할 수 있다.

[0144] 또한, 표시 장치는, 표시 소자가 밀봉된 상태에 있는 패널과, 상기 패널에 컨트롤러를 포함하는 IC 등을 실장한 상태에 있는 모듈을 포함한다. 또한, 본 발명의 일 실시형태는, 상기 표시 장치를 제작하는 과정에 있어서의, 표시 소자가 완성되기 전의 일 형태에 상당하는 소자 기판에 관한 것으로, 상기 소자 기판에는 전류를 표시 소자에 공급하기 위한 수단을 각각 갖는 복수의 화소가 구비된다. 소자 기판은, 구체적으로는, 표시 소자의 화소 전극만이 형성된 후의 상태이어도 좋고, 화소 전극이 되는 도전막을 성막한 후의 상태이며, 도전막을 에칭하여 화소 전극을 형성하기 전의 상태라도 좋고, 또는 어떠한 다른 상태라도 좋다.

[0145] 또한, 본 명세서 중에서의 표시 장치란, 화상 표시 디바이스, 표시 디바이스, 또는 광원(조명 장치도 포함한다)을 가리킨다. 또한, 커넥터, 예를 들어, 플렉시블 인쇄회로(FPC) 또는 테이프 자동 접합(TAB) 테이프, 또는 테이프 캐리어 패키지(TCP)가 부착된 모듈, TAB 테이프나 TCP의 끝에 프린트 배선판이 설치된 모듈, 또는 표시 소자에 칩 온 글래스(COG) 방식에 의하여 집적회로(IC)가 직접 실장된 모듈도 모두 표시 장치에 포함하는 것으로 한다.

[0146] 본 실시형태에서는, 본 발명의 일 실시형태에 따른 표시 장치의 일 형태인 액정 표시 패널의 외관 및 단면에 대하여 도 17a 내지 도 17c를 사용하여 설명한다. 도 17a 및 도 17b는, 상기 제 1 기판(4001)과 제 2 기판(4006) 사이에 씰재(4005)로 제 1 기판(4001) 위에 형성된 박막 트랜지스터(4010, 4011) 및 액정소자(4013)를 형성한 패널의 상면도이다. 박막 트랜지스터(4010, 4011)는 비선형 소자와 마찬가지로 형성될 수 있고, 각각은 In, Ga, 및 Zn를 포함하는 반도체 산화물을 갖는 반도체층을 포함하고 전기적 특성이 우수하다. 도 17c는 도 17a 및 도 17b의 M-N에 있어서의 단면도다.

[0147] 제 1 기판(4001) 위에 형성된 화소부(4002)와, 주사선 구동 회로(4004)를 둘러싸도록 씰재(4005)가 형

성된다. 또한, 화소부(4002)와, 주사선 구동 회로(4004) 위에 제 2 기판(4006)이 형성된다. 따라서, 화소부(4002)와, 주사선 구동 회로(4004)는, 제 1 기판(4001)과 씰재(4005)와 제 2 기판(4006)에 의하여, 액정층(4008)과 함께 밀봉된다. 또한, 제 1 기판(4001) 위의 씰재(4005)에 의하여 둘러싸여 있는 영역과는 다른 영역에, 별도 준비된 기판 위에 단결정 반도체막 또는 다결정 반도체막으로 형성된 신호선 구동 회로(4003)가 실장된다.

[0148] 또한, 별도 형성한 구동 회로의 접속 방법은, 특히 한정되지 않고, COG 방법, 와이어 본딩 방법, 또는 TAB 방법 등을 사용할 수 있다. 도 17a는 COG 방법에 의하여 신호선 구동 회로(4003)를 실장하는 예이며, 도 17b는 TAB 방법에 의하여 신호선 구동 회로(4003)를 실장하는 예이다.

[0149] 또한, 제 1 기판(4001) 위에 형성된 화소부(4002)와 주사선 구동 회로(4004)는 박막 트랜지스터를 복수 갖는다. 도 17c에서는 화소부(4002)에 포함되는 박막 트랜지스터(4010)와 주사선 구동 회로(4004)에 포함되는 박막 트랜지스터(4011)를 예시한다. 박막 트랜지스터(4010, 4011) 위에는 절연층(4020, 4021)이 형성된다.

[0150] 박막 트랜지스터(4010, 4011) 각각은, In, Ga, 및 Zn를 포함하는 반도체 산화물을 갖는 반도체층을 갖고 전기적 특성이 높다. 또한, 박막 트랜지스터(4010, 4011)는 실시형태 2에 나타내는 비선형 소자와 함께 비선형소자를 형성하는 방법과 같은 방법에 의하여 형성될 수 있다. 본 실시형태에 있어서, 박막 트랜지스터(4010, 4011)는, n채널형 박막 트랜지스터이다.

[0151] 또한, 액정 소자(4013)가 갖는 화소 전극층(4030)은, 박막 트랜지스터(4010)와 전기적으로 접속된다. 그리고, 액정 소자(4013)의 대향 전극층(4031)은 제 2 기판(4006) 위에 형성된다. 화소 전극층(4030)과 대향 전극층(4031)과 액정층(4008)이 중첩하는 부분이 액정 소자(4013)에 상당한다. 또한, 화소 전극층(4030), 대향 전극층(4031)은 각각 배향막으로서 기능하는 절연층(4032, 4033)이 형성되고, 절연층(4032, 4033)을 통하여 액정층(4008)을 협지한다.

[0152] 또한, 제 1 기판(4001) 및 제 2 기판(4006)으로서는, 유리, 금속(대표적으로는, 스테인리스), 세라믹스, 플라스틱을 사용할 수 있다. 플라스틱으로서는, 유리섬유 강화 플라스틱(FRP)판, 폴리비닐플루오라이드(PVF) 필름, 폴리에스테르 필름 또는 아크릴수지 필름을 사용할 수 있다. 또한, 알루미늄 포일을 PVF 필름이나 폴리에스테르 필름으로 끼운 구조의 시트를 사용할 수도 있다.

[0153] 또한, 부호 4035는 절연막을 선택적으로 에칭함으로써 얻어지는 기둥 형상의 스페이서이며, 화소 전극층(4030)과 대향 전극층(4031)의 사이의 거리(셀 갭)를 제어하기 위하여 형성된다. 또한, 구 형상의 스페이서를 사용하여도 좋다.

[0154] 또한, 배향막이 불필요한 블루 상(blue phase)을 나타내는 액정을 사용하여도 좋다. 블루 상은 액정상의 하나이며, 콜레스테릭(cholesteric) 액정을 승온하면, 콜레스테릭 상으로부터 등방상으로 전이하기 직전에 발현하는 상이다. 블루 상은 좁은 온도 범위만으로 발현하기 때문에, 온도 범위를 개선하기 위해서 5wt% 이상의 키랄(chiral)제를 혼합시킨 액정 조성물을 사용하여 액정층(4008)에 사용한다. 블루 상을 나타내는 액정과 키랄제를 포함하는 액정 조성물은 응답 속도가 10㎲ 내지 100㎲이며 짧고, 광학적 등방성이기 때문에 배향 처리가 불필요하고, 시야각 의존성이 작다.

[0155] 또한, 본 실시형태는 투과형 액정 표시 장치의 예이지만, 본 발명의 일 실시형태는 반사형 액정 표시 장치라도 반투과형 액정 표시 장치라도 적용할 수 있다.

[0156] 또한, 본 실시형태의 액정 표시 장치에서는, 기판의 외측(시인측)에 편광판을 형성하고, 내측에 착색층, 표시 소자에 사용하는 전극층의 순서로 형성하는 예를 나타내지만, 편광판은 기판의 내측에 형성하여도 좋다. 또한, 편광판과 착색층의 적층 구조도 본 실시형태에 한정되지 않고, 편광판 및 착색층의 재료나 제작 공정 조건에 의하여 적절히 설정하면 좋다. 또한, 블랙 매트릭스로서 기능하는 차광막을 형성하여도 좋다.

[0157] 또한, 본 실시형태에서는, 박막 트랜지스터의 표면의 요철을 저감시키기 위해서 및 박막 트랜지스터의 신뢰성을 향상시키기 위해서, 실시형태 2에 나타내는 비선형 소자와, 비선형 소자와 함께 같은 방법에 의하여 형성할 수 있는 박막 트랜지스터를 보호막이나 평탄화 절연막으로서 기능하는 절연층(4020, 4021)으로 덮는 구성이 된다. 또한, 보호막은 대기 중에 부유하는 유기물이나 금속물, 수증기 등의 오염 불순물의 침입을 방지하는 것이며, 치밀한 막이 바람직하다. 보호막은 스퍼터법을 사용하여 산화실리콘막, 질화실리콘막, 산화질화실리콘막, 질화산화실리콘막, 산화알루미늄막, 질화알루미늄막, 산화질화알루미늄막, 또는 질화산화알루미늄막의 단층, 또는 적층으로 형성하면 좋다. 본 실시형태에서는, 보호막을 스퍼터법에 의하여 형성하는 예를 나타내지

만, 상기 방법은 특정 방법에 한정되지 않고, 다양한 방법으로부터 선택되어도 된다.

[0158] 여기서는, 보호막으로서 적층 구조의 절연층(4020)을 형성한다. 여기서는, 절연층(4020)의 1층째로서 스퍼터법을 사용하여 산화실리콘막을 형성한다. 보호막으로서 산화실리콘막을 사용하면, 소스 전극층 및 드레인 전극층으로서 사용하는 알루미늄막의 힐록 방지에 효과가 있다.

[0159] 또한, 보호막의 2층째로서 절연층을 형성한다. 여기서는, 절연층(4020)의 2층째로서 스퍼터법을 사용하여 질화실리콘막을 형성한다. 보호막으로서 질화실리콘막을 사용하면, 나트륨 등의 가동 이온이 반도체 영역 중에 침입하여 TFT의 전기적 특성을 변화시키는 것을 억제할 수 있다.

[0160] 또한, 보호막을 형성한 후에, 산화물 반도체층의 어닐링(300℃ 내지 400℃)을 행하여도 좋다.

[0161] 또한, 평탄화 절연막으로서 절연층(4021)을 형성한다. 절연층(4021)으로서는, 폴리이미드, 아크릴, 벤조시클로부텐, 폴리아미드 또는 에폭시 등의 내열성을 갖는 유기 재료를 사용할 수 있다. 또한, 상기 유기 재료 이외에, 저유전율 재료(low-k 재료), 실록산계 수지, 인 유리(PSG), 인붕소 유리(BPSG) 등을 사용할 수 있다. 실록산계 수지는, 치환기에 수소 외에 불소, 알킬기, 또는 아릴기 중 적어도 1종을 가져도 좋다. 또한, 이들 재료로 형성되는 절연막을 복수 적층시킴으로써, 절연층(4021)을 형성하여도 좋다.

[0162] 또한, 실록산계 수지란, 실록산계 재료를 출발 재료로 하여 형성된 Si-O-Si 결합을 포함하는 수지에 상당한다. 실록산계 수지는 치환기에 수소 외에 불소, 알킬기, 또는 방향족 탄화 수소 중, 적어도 1종을 가져도 좋다.

[0163] 절연층(4021)의 형성 방법은 특정 방법에 한정되지 않고, 그 재료에 따라, 스퍼터법, SOG법, 스핀코팅, 딥 코팅, 스프레이 도포, 액적 토출법(잉크젯법, 스크린 인쇄, 또는 오프셋 인쇄 등), 닥터 나이프, 롤 코터, 커튼 코터, 나이프 코터 등을 사용할 수 있다. 절연층(4021)을 재료액을 사용하여 형성하는 경우, 베이크하는 공정에서 동시에 산화물 반도체층의 어닐링(300℃ 내지 400℃)을 행하여도 좋다. 절연층(4021)의 소성 공정과 산화물 반도체층의 어닐링을 겸함으로써, 효율 좋게 반도체 장치를 제작할 수 있다.

[0164] 화소 전극층(4030) 및 대향 전극층(4031)은 산화텅스텐을 포함하는 인듐산화물, 산화텅스텐을 포함하는 인듐아연산화물, 산화티타늄을 포함하는 인듐산화물, 산화티타늄을 포함하는 인듐주석산화물, 인듐주석산화물(이하, ITO라고 기재한다), 인듐아연산화물, 산화실리콘을 첨가한 인듐주석산화물 등의 투광성을 갖는 도전성 재료를 사용할 수 있다.

[0165] 또한, 화소 전극층(4030) 및 대향 전극층(4031)으로서 도전성 고분자(도전성 폴리머라고도 한다)를 포함하는 도전성 조성물을 사용하여 형성할 수 있다. 도전성 조성물을 사용하여 형성한 화소 전극은 시트 저항이 10000Ω/□ 이하, 파장 550nm에 있어서의 투광률이 70% 이상인 것이 바람직하다. 또한, 도전성 조성물에 포함되는 도전성 고분자의 저항률이 0.1Ω·cm 이하인 것이 바람직하다.

[0166] 도전성 고분자로서는, 이른바 π전자 공액계 도전성 고분자를 사용할 수 있다. 예를 들어, 폴리아닐린 또는 그 유도체, 폴리피롤 또는 그 유도체, 폴리티오펜 또는 그 유도체, 또는 이들의 2종 이상의 공중합체 등을 들 수 있다.

[0167] 또한, 별도 형성된 신호선 구동 회로(4003)와, 주사선 구동 회로(4004)와, 화소부(4002)에 주어지는 각종 신호 및 전위는, FPC(4018)로부터 공급되어 있다.

[0168] 본 실시형태에서는, 접속 단자 전극(4015)이 액정 소자(4013)가 갖는 화소 전극층(4030)과 같은 도전막으로 형성되고, 단자 전극(4016)은, 박막 트랜지스터(4010, 4011)의 소스 전극층 및 드레인 전극층과 같은 도전막으로 형성된다.

[0169] 접속 단자 전극(4015)은 FPC(4018)가 갖는 단자와 이방성 도전막(4019)을 통하여 전기적으로 접속된다.

[0170] 또한, 도 17a-17c에 있어서는, 신호선 구동 회로(4003)를 별도 형성하여 제 1 기판(4001)에 실장하는 예를 나타내지만, 본 실시형태는 이 구성에 한정되지 않는다. 주사선 구동 회로를 별도 형성하여 실장하여도 좋고, 신호선 구동 회로의 일부 또는 주사선 구동 회로의 일부만을 별도 형성하여 실장하여도 좋다.

[0171] 도 18은 본 발명의 일 실시형태에 따라 제작된 TFT 기판(2600)을 사용하여 반도체 장치로서 액정 표시 모듈을 형성하는 일례를 도시한다.

[0172] 도 18은 액정 표시 모듈의 일례이며, TFT 기판(2600)과 대향 기판(2601)이 씰재(2602)에 의하여 고착되

고, 그 사이에 TFT 등을 포함하는 화소부(2603), 액정층을 포함하는 표시 소자(2604), 착색층(2605)이 형성되어 표시 영역을 형성한다. 착색층(2605)은 컬러 표시를 행하는 경우에 필요하고, RGB 방식의 경우에는, 적, 녹, 청의 각 색에 대응한 착색층이 각 화소에 대응하여 제공된다. TFT 기판(2600)과 대향 기판(2601)의 외측에는 편광판(2606, 2607), 확산판(2613)이 배치되어 있다. 광원은 냉음극관(2610)과 반사판(2611)에 의하여 구성되고, 회로 기판(2612)은, 플렉시블 배선 기판(2609)에 의하여 TFT 기판(2600)의 배선 회로부(2608)와 접속되고, 컨트롤 회로나 전원회로 등의 외부 회로가 내장되어 있다. 또한, 편광판과, 액정층의 사이에 위상차판을 갖는 상태로 적층하여도 좋다.

[0173] 액정 표시 모듈에는 TN(Twisted Nematic) 모드, IPS(In-Plane-Switching) 모드, FFS(Fringe Field Switching) 모드, MVA(Multi-domain Vertical Alignment) 모드, PVA(Patterned Vertical Alignment) 모드, ASM(Axially Symmetric aligned Micro-cell) 모드, OCB(Optical Compensated Birefringence) 모드, FLC(Ferroelectric Liquid Crystal) 모드, AFLC(AntiFerroelectric Liquid Crystal) 모드 등을 사용할 수 있다.

[0174] 상술한 단계에 따라, 신뢰성이 높고, 안정화된 동작 및 점유 면적이 작은 보호회로가 탑재된 액정 패널을 제작할 수 있다.

[0175] 본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시할 수 있다.

[0176] (실시형태 6)

[0177] 본 발명의 일 실시형태에 있어서는, 비선형 소자와 함께 박막 트랜지스터를 제작하고, 상기 박막 트랜지스터를 화소부, 또한 구동 회로에 사용하여 표시 기능을 갖는 반도체 장치(표시 장치라고도 한다)를 제작할 수 있다.

[0178] 본 실시형태에서는, 본 발명의 일 실시형태의 표시 장치로서 발광 표시 장치의 예를 나타낸다. 표시 장치가 갖는 표시 소자로서는, 여기서는 일렉트로루미네센스를 이용하는 발광 소자를 사용하여 나타낸다. 일렉트로루미네센스를 이용하는 발광 소자는, 발광 재료가 유기 화합물인지, 무기 화합물인지에 의하여 구별되어, 일반적으로는, 전자(前者)는 유기 EL 소자, 후자(後者)는 무기 EL 소자라고 불린다.

[0179] 유기 EL 소자는 발광 소자에 전압을 인가함으로써, 한 쌍의 전극으로부터 전자 및 정공이 각각 발광성의 유기 화합물을 포함하는 층에 주입되어, 전류가 흐른다. 그리고, 그들 캐리어(즉, 전자 및 정공)가 재결합함으로써, 발광성의 유기 화합물이 여기 상태를 형성한다. 발광성의 유기 화합물이 그 여기 상태가 기저 상태로 되돌아올 때에 발광한다. 이러한 메커니즘 때문에, 이러한 발광 소자는 전류 여기형의 발광 소자라고 불린다.

[0180] 무기 EL 소자는, 그 소자 구성에 의하여, 분산형 무기 EL 소자와 박막형 무기 EL 소자로 분류된다. 분산형 무기 EL 소자는, 발광 재료의 입자를 바인더 중에 분산시킨 발광층을 갖고, 발광 메카니즘은, 도너 준위와 억셉터 준위를 이용하는 도너-억셉터 재결합형 발광이다. 박막형 무기 EL 소자는, 발광층을 유전체층으로 협지하고, 또한 그것을 전극 사이에 끼운 구조이며, 발광 메커니즘은 금속 이온의 내각(內殼) 전자 천이를 이용하는 국재(局在)형 발광이다. 또한, 본 예에서는, 발광 소자로서 유기 EL 소자를 사용한다.

[0181] 도 19는 본 발명의 일 실시형태를 적용한 반도체 장치의 예로서 디지털 시간 계조 구동을 적용할 수 있는 화소 구성의 일례를 도시하는 도면이다.

[0182] 디지털 시간 계조 구동을 적용할 수 있는 화소의 구성 및 화소의 동작에 대해서 설명한다. 여기서는, 실시형태 2에 나타내는 비선형 소자와 함께 같은 방법에 의하여 형성할 수 있는 산화물 반도체층을 채널 형성 영역에 사용하는 n채널형 트랜지스터를 1개의 화소에 2개 사용하는 예를 나타낸다.

[0183] 화소(6400)는, 스위칭용 트랜지스터(6401), 구동용 트랜지스터(6402), 발광 소자(6404) 및 용량 소자(6403)를 갖는다. 스위칭용 트랜지스터(6401)는, 게이트가 주사선(6406)에 접속되고, 제 1 전극(소스 전극 및 드레인 전극의 한쪽)이 신호선(6405)에 접속되고, 제 2 전극(소스 전극 및 드레인 전극의 다른 쪽)이 구동용 트랜지스터(6402)의 게이트에 접속된다. 구동용 트랜지스터(6402)는, 게이트가 용량 소자(6403)를 통하여 전원선(6407)에 접속되고, 제 1 전극이 전원선(6407)에 접속되고, 제 2 전극이 발광 소자(6404)의 제 1 전극(화소 전극)에 접속된다. 발광 소자(6404)의 제 2 전극은 공통 전극(6408)에 상당한다.

[0184] 또한, 발광 소자(6404)의 제 2 전극(공통 전극(6408))에는 저전원 전위가 설정된다. 또한, 저전원 전위란, 전원선(6407)에 설정되는 고전원 전위를 기준으로 하여 고전원 전위보다 낮은 전위이다. 저전원 전위로서는, 예를 들어, GND, 0V 등이 설정되어도 좋다. 이 고전원 전위와 저전원 전위의 전위차를 발광 소자(6404)에

인가하여 발광 소자(6404)에 전류를 흘려 발광 소자(6404)을 발광시키기 위해서, 고전원 전위와 저전원 전위의 전위차가 발광 소자(6404)의 순방향 임계값 전압 이상이 되도록 각각의 전위를 설정한다.

[0185] 또한, 용량 소자(6403)는 구동용 트랜지스터(6402)의 게이트 용량을 대용(代用)하여 생략할 수도 있다. 구동용 트랜지스터(6402)의 게이트 용량은, 채널 영역과 게이트 전극의 사이에 형성되어도 좋다.

[0186] 전압 입력 전압 구동 방식의 경우에는, 구동용 트랜지스터(6402)의 게이트에는, 구동용 트랜지스터(6402)가 실질적으로 온되거나 오프되도록 비디오 신호를 입력한다. 즉, 구동용 트랜지스터(6402)는 선형 영역에서 동작시킨다. 구동용 트랜지스터(6402)는, 선형 영역에서 동작시키므로, 전원선(6407)의 전압보다 높은 전압을 구동용 트랜지스터(6402)의 게이트에 인가한다. 또한, 신호선(6405)에는 전원선 전압과 구동용 트랜지스터(6402)의 Vth의 합계 이상의 전압을 인가한다.

[0187] 또한, 디지털 시간 계조 구동 대신에 아날로그 계조 구동을 행하는 경우, 신호의 입력을 다르게 함으로써, 도 19와 같은 화소 구성을 사용할 수 있다.

[0188] 아날로그 계조 구동을 행하는 경우, 구동용 트랜지스터(6402)의 게이트에 발광 소자(6404)의 순 방향 전압과 구동용 트랜지스터(6402)의 Vth의 합계 이상의 전압을 인가한다. 발광 소자(6404)의 순 방향 전압이란, 원하는 휘도로 하는 경우의 전압을 가리키고, 적어도 순방향 임계값 전압을 포함한다. 또한, 구동용 트랜지스터(6402)가 포화 영역에서 동작하는 비디오 신호를 입력함으로써, 발광 소자(6404)에 전류를 흘릴 수 있다. 구동용 트랜지스터(6402)를 포화 영역에서 동작시키기 위해서, 전원선(6407)의 전위는 구동용 트랜지스터(6402)의 게이트 전위보다 높게 한다. 비디오 신호를 아날로그로 함으로써, 발광 소자(6404)에 비디오 신호에 따른 전류를 흘려, 아날로그 계조 구동을 행할 수 있다.

[0189] 또한, 도 19에 도시하는 화소 구성은 이것에 한정되지 않는다. 예를 들어, 도 19에 도시하는 화소에 새롭게 스위치, 저항 소자, 용량 소자, 트랜지스터 또는 논리 회로 등을 추가하여도 좋다.

[0190] 다음, 발광 소자의 구성에 대해서 도 20a 내지 도 20c를 사용하여 설명한다. 여기서는, 구동용 TFT가 n채널형일 경우를 예로 들어, 화소의 단면 구조에 대해서 설명한다. 도 20a, 도 20b 및 도 20c의 반도체 장치에 사용되는 구동용 TFT인 TFT(7001, 7011, 7021)는, 실시형태 2에서 나타내는 비선형 소자와 함께 같은 방법에 의하여 형성될 수 있다. TFT(7001, 7011, 7021)는, 전기적 특성이 높고, In, Ga, 및 Zn를 포함하는 반도체 산화물을 포함한 반도체층을 각각 갖는다.

[0191] 또한, 발광 소자로부터 방출된 광을 추출하기 위해서, 적어도 양극 또는 음극의 한쪽이 투광하면 좋다. 그리고, 기판 위에 박막 트랜지스터 및 발광 소자를 형성한다. 기판과는 반대측의 면으로부터 발광을 추출하는 상면 사출이나, 기판 측의 면으로부터 발광을 추출하는 하면 사출이나, 기판 측 및 기판과는 반대 측의 면으로부터 발광을 추출하는 양면 사출 구조의 발광 소자가 있다. 본 발명의 일 실시형태의 화소 구성은 어떠한 사출 구조의 발광 소자에나 적용할 수 있다.

[0192] 상면 사출 구조의 발광 소자에 대해서 도 20a를 사용하여 설명한다.

[0193] 도 20a에, 구동용 TFT인 TFT(7001)가 n채널형 TFT이며, 발광 소자(7002)로부터 방출되는 광이 양극(7005) 측으로 사출되는 경우의, 화소의 단면도를 도시한다. 도 20a에서는, 발광 소자(7002)의 음극(7003)과 구동용 TFT인 TFT(7001)가 전기적으로 접속되고, 음극(7003) 위에 발광층(7004), 양극(7005)이 순차로 적층된다. 음극(7003)은 일 함수가 작고 또 광을 반사하는 어떠한 도전재료를 사용하여도 형성될 수 있다. 예를 들어, Ca, Al, CaF, MgAg, AlLi 등을 사용하는 것이 바람직하다. 그리고, 발광층(7004)은 단층으로 구성되어도 좋고, 복수의 층이 적층되도록 구성되어도 좋다. 발광층(7004)이 복수의 층으로 구성되는 경우, 발광층(7004)은, 음극(7003) 위에 전자 주입층, 전자 수송층, 발광층, 홀 수송층, 홀 주입층의 순서로 적층한다. 또한, 이들 층을 모두 형성할 필요는 없다. 양극(7005)은 광을 투과하는 투광성을 갖는 도전성 재료를 사용하여 형성하고, 예를 들어, 산화텅스텐을 포함하는 인듐산화물, 산화텅스텐을 포함하는 인듐아연산화물, 산화티타늄을 포함하는 인듐산화물, 산화티타늄을 포함하는 인듐주석산화물, 인듐주석산화물(이하, ITO라고 기재한다), 인듐아연산화물, 산화실리콘을 첨가한 인듐주석산화물 등의, 투광성을 갖는 도전막을 사용하여도 좋다.

[0194] 음극(7003) 및 양극(7005)에서 발광층(7004)을 끼우는 영역이 발광 소자(7002)에 상당한다. 도 20a에 도시한 화소의 경우, 발광 소자(7002)로부터 방출되는 광은 화살표로 도시하는 바와 같이, 양극(7005) 측으로 사출된다.

[0195] 다음에, 하면 사출 구조의 발광 소자에 대하여 도 20b를 사용하여 설명한다. 도 20b는 구동용

TFT(7011)가 n채널형 TFT이고, 발광 소자(7012)로부터 방출되는 광이 음극(7013) 측으로 사출되는 경우의 화소의 단면도를 도시한다. 도 20b에서는, 구동용 TFT(7011)와 전기적으로 접속된 투광성을 갖는 도전막(7017) 위에, 발광 소자(7012)의 음극(7013)이 형성되고, 음극(7013) 위에 발광층(7014) 및 양극(7015)이 순차로 적층된다. 또한, 양극(7015)이 투광성을 갖는 경우, 양극(7015)를 덮도록, 광을 반사 혹은 차폐하기 위한 차광막(7016)이 형성되어도 좋다. 음극(7013)은, 도 20a의 경우와 마찬가지로, 일 함수가 작은 도전성 재료라면 어떠한 재료도 사용할 수 있다. 이때, 음극(7013)은, 음극(7013)이 투광할 수 있는 두께(바람직하게는, 5nm 내지 30nm 정도)로 한다. 예를 들어, 20nm의 두께를 갖는 알루미늄막을 음극(7013)으로서 사용할 수 있다. 그리고, 발광층(7014)은, 도 20a의 경우와 마찬가지로, 단층으로 구성되어도 좋고, 복수의 층이 적층되도록 구성되어도 좋다. 양극(7015)은, 광을 투과할 필요는 없지만, 도 20a의 경우와 마찬가지로, 투광성을 갖는 도전성 재료를 사용하여 형성될 수 있다. 그리고, 차광막(7016)은 예를 들어 광을 반사하는 금속 등을 사용할 수 있지만, 금속막에 한정되지 않는다. 예를 들어, 흑색의 안료를 첨가한 수지 등을 사용할 수도 있다.

[0196] 음극(7013)과 양극(7015) 사이에 발광층(7014)을 끼우는 영역이 발광 소자(7012)에 상당한다. 도 20b에 도시하는 화소의 경우, 발광 소자(7012)로부터 방출되는 광은, 화살표로 도시하는 바와 같이, 음극(7013) 측으로 사출된다.

[0197] 다음에, 양면 사출 구조의 발광 소자에 대하여 도 20c를 사용하여 설명한다. 도 20c에서는, 구동용 TFT(7021)와 전기적으로 접속된 투광성을 갖는 도전막(7027) 위에, 발광 소자(7022)의 음극(7023)이 형성되고, 음극(7023) 위에 발광층(7024), 양극(7025)이 순차로 적층된다. 음극(7023)은, 도 20a의 경우와 마찬가지로, 일 함수가 작은 어떠한 도전성 재료도 형성할 수 있다. 이때, 음극(7023)은, 그 음극(7023)이 광을 투과하는 두께를 갖도록 형성된다. 예를 들어, 20nm의 두께를 갖는 Al막을, 음극(7023)으로서 사용할 수 있다. 그리고, 발광층(7024)은, 도 20a의 경우와 마찬가지로, 단층으로 구성되어도 좋고, 복수의 층이 적층되도록 구성되어도 좋다. 양극(7025)은, 도 20a와 마찬가지로, 광을 투과하는 도전성 재료를 사용하여 형성될 수 있다.

[0198] 음극(7023)과, 발광층(7024)과, 양극(7025)이 중첩하는 부분이 발광 소자(7022)에 상당한다. 도 20c에 도시한 화소의 경우, 발광 소자(7022)로부터 방출되는 광은 화살표로 도시하는 바와 같이, 양극(7025) 측과 음극(7023) 측의 양쪽으로 사출한다.

[0199] 또한, 여기서는, 발광 소자로서 유기 EL 소자에 대하여 설명하였지만, 발광 소자로서 무기 EL 소자를 형성할 수도 있다.

[0200] 또한, 본 실시형태에서는, 발광 소자의 구동을 제어하는 박막 트랜지스터(구동용 TFT)와 발광 소자가 전기적으로 접속되는 예를 나타내지만, 구동용 TFT와 발광 소자 사이에 전류 제어용 TFT가 접속되는 구성이라도 좋다.

[0201] 또한, 본 실시형태에서 나타내는 반도체 장치는, 도 20a 내지 도 20c에 도시한 구성에 한정되지 않고, 본 발명의 실시형태의 기술의 사상에 의거한 각종 변형이 가능하다.

[0202] 다음에, 본 발명의 일 형태의 발광 표시 패널(발광 패널이라고도 한다)의 외관 및 단면에 대하여 도 21a 및 도 21b를 사용하여 설명한다. 도 21a는, 발광소자와 박막 트랜지스터가 제1기판과 제2기판 사이에 씰재로 밀봉한 패널의 상면도이다. 박막 트랜지스터는, 비선형 소자와 마찬가지로, In, Ga, 및 Zn를 포함하는 반도체 산화물을 갖는 반도체층을 포함하고, 전기적 특성이 높다. 도 21b는 도 21a의 H-I에 있어서의 단면도다.

[0203] 제 1 기판(4501) 위에 형성된 화소부(4502), 신호선 구동 회로(4503a, 4503b), 및 주사선 구동 회로(4504a, 4504b)를 둘러싸도록 씰재(4505)가 형성된다. 또한, 화소부(4502), 신호선 구동 회로(4503a, 4503b) 및 주사선 구동 회로(4504a, 4504b) 위에 제 2 기판(4506)이 형성된다. 따라서, 화소부(4502), 신호선 구동 회로(4503a, 4503b), 및 주사선 구동 회로(4504a, 4504b)는 제 1 기판(4501)과 씰재(4505)와 제 2 기판(4506)에 의하여 충전재(4507)와 함께 밀봉된다. 이와 같이, 외기에 노출되지 않도록 기밀성이 높고, 탈 가스가 적은 보호 필름(접합 필름, 자외선 경화 수지 필름 등)이나 커버재로 패키징(밀봉)하는 것이 바람직하다.

[0204] 또한, 제 1 기판(4501) 위에 형성된 화소부(4502), 신호선 구동 회로(4503a, 4503b), 및 주사선 구동 회로(4504a, 4504b) 각각은, 박막 트랜지스터를 복수 갖는다. 도 21b에서는 화소부(4502)에 포함되는 박막 트랜지스터(4510)와 신호선 구동 회로(4503a)에 포함되는 박막 트랜지스터(4509)를 예시한다.

[0205] 박막 트랜지스터(4509, 4510) 각각은, In, Ga, 및 Zn를 포함하는 반도체층을 포함하고 전기적 특성이 높다. 실시형태 2에 나타내는 비선형 소자와 함께 비선형 소자를 형성하는 방법과 같은 방법에 의하여 형성될 수 있는 박막 트랜지스터를, 박막 트랜지스터(4509, 4510)로서 사용할 수 있다. 본 실시형태에 있어서, 박막

트랜지스터(4509, 4510)는, n채널형 박막 트랜지스터이다.

[0206] 또한, 부호 4511은 발광 소자에 상당하고, 발광 소자(4511)가 갖는 화소 전극인 제 1 전극층(4517)은, 박막 트랜지스터(4510)의 소스 전극층 또는 드레인 전극층과 전기적으로 접속된다. 또한, 발광 소자(4511)의 구성은 제 1 전극층(4517), 전계 발광층(4512), 제 2 전극층(4513)의 적층 구조이지만, 본 실시형태에 나타낸 구성에 한정되지 않는다. 발광 소자(4511)로부터 추출하는 광의 방향 등에 맞추어 발광 소자(4511)의 구성은 적절히 변화시킬 수 있다.

[0207] 격벽(4520)은, 유기 수지막, 무기 절연막 또는 유기폴리실록산을 사용하여 형성한다. 특히, 감광성을 갖는 재료를 사용하여 제 1 전극층(4517) 위에 개구부를 형성하고, 그 개구부의 측벽이 연속된 곡률을 가져 형성되는 경사면이 되도록 형성하는 것이 바람직하다.

[0208] 전계 발광층(4512)은, 단층으로 구성되어도 좋고, 복수의 층이 적층되도록 구성되어도 좋다.

[0209] 발광 소자(4511)에 산소, 수소, 수분, 이산화 탄소 등이 침입하지 않도록 제 2 전극층(4513) 및 격벽(4520) 위에 보호막을 형성하여도 좋다. 보호막으로서는, 질화실리콘막, 질화산화실리콘막, DLC막 등을 형성할 수 있다.

[0210] 또한, 신호선 구동 회로(4503a, 4503b), 주사선 구동 회로(4504a, 4504b), 또는 화소부(4502)에 주어지는 각종 신호 및 전위는 FPC(4518a, 4518b)로부터 공급된다.

[0211] 본 실시형태에서는, 접속 단자 전극(4515)은, 발광 소자(4511)가 갖는 제 1 전극층(4517)과 같은 도전막으로 형성된다. 단자 전극(4516)은 박막 트랜지스터(4509, 4510)가 갖는 소스 전극층 및 드레인 전극층과 같은 도전막으로 형성된다.

[0212] 접속 단자 전극(4515)은 FPC(4518a)가 갖는 단자와 이방성 도전막(4519)을 통하여 전기적으로 접속된다.

[0213] 발광 소자(4511)로부터의 광의 추출 방향에 위치하는 제 2 기판(4506)은 투광성이 아니면 안 된다. 그 경우에는, 유리 기판, 플라스틱 기판, 폴리에스테르 필름 또는 아크릴 필름과 같은 투광성을 갖는 재료를 사용한다.

[0214] 또한, 충전재(4507)로서는, 질소나 아르곤 등의 불활성 기체 이외에, 자외선 경화 수지 또는 열 경화 수지를 사용할 수 있다. 예를 들면, 폴리비닐 클로라이드(PVC), 아크릴, 폴리이미드, 에폭시 수지, 실리콘(silicone) 수지, 폴리비닐 부티랄(PVB) 또는 에틸렌비닐 아세테이트(EVA)를 사용할 수 있다. 본 실시형태에서는 충전재(4507)로서 질소를 사용한다.

[0215] 또한, 필요하다면, 발광 소자의 사출면에 편광판, 또는 원형 편광판(타원 편광판을 포함한다), 위상차판(1/4 파장판, 1/2 파장판), 컬러 필터 등의 광학 필름을 적절히 형성하여도 좋다. 또한, 편광판 또는 원 편광판에 반사 방지막을 형성하여도 좋다. 예를 들어, 표면의 요철에 따라 반사광을 확산하여 반사를 절감할 수 있는 안티-글레어(anti-glare) 처리를 실시할 수 있다.

[0216] 신호선 구동 회로(4503a, 4503b) 및 주사선 구동 회로(4504a, 4504b)로서, 별도 준비된 기판 위에 단결정 반도체막 또는 다결정 반도체막에 의하여 형성된 구동 회로가 실장되어도 좋다. 또한, 신호선 구동 회로만, 또는 신호선 구동 회로의 일부, 또는 주사선 구동 회로만, 또는 주사선 구동 회로의 일부만을 별도 형성하여 실장하여도 좋다. 본 실시형태는 도 21a 및 도 21b의 구성에 한정되지 않는다.

[0217] 상술한 단계에 따라, 신뢰성이 높고, 안정화된 동작 및 점유 면적이 작은 보호회로가 탑재된 발광 표시 장치(표시 패널)를 제작할 수 있다.

[0218] 본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시할 수 있다.

[0219] (실시형태 7)

[0220] 본 발명의 일 실시형태의 표시 장치는, 전자 페이퍼로서 적용할 수 있다. 전자 페이퍼는, 정보를 표시하는 것이라면 다양한 분야의 전자 기기에 사용할 수 있다. 예를 들어, 전자 페이퍼를 사용하여 전자 서적 리더(전자 북 리더), 포스터, 전차 등의 탈 것류의 차내 광고, 신용 카드 등의 각종 카드에 있어서의 표시 등에 적용할 수 있다. 그 전자 기기의 일례를 도 22a, 22b 및 도 23에 도시한다.

[0221] 도 22a는 전자 페이퍼로 제작된 포스터(2631)를 도시한다. 광고 매체가 종이의 인쇄물인 경우는, 광고

의 교환은 사람들이 행하지만, 본 발명의 일 실시형태를 적용한 전자 페이퍼를 사용하면, 단시간에 광고의 표시를 바꿀 수 있다. 또한, 표시도 흐트러지지 않고, 안정한 화상을 얻을 수 있다. 또한, 포스터는 무선으로 정보를 송수신할 수 있는 구성으로 하여도 좋다.

[0222] 또한, 도 22b는 전차 등의 탈 것류의 차내 광고(2632)를 도시한다. 광고 매체가 종이인 인쇄물의 경우는, 광고의 교환은 사람들이 행하지만, 본 발명의 일 실시형태를 적용한 전자 페이퍼를 사용하면, 사람들을 많이 필요로 하지 않고, 단시간에 광고의 표시를 바꿀 수 있다. 또한, 표시도 흐트러지지 않고, 안정한 화상을 얻을 수 있다. 또한, 차내 광고는 무선으로 정보를 송수신할 수 있는 구성으로 하여도 좋다.

[0223] 또한, 도 23은 전자 서적 리더(2700)의 일례를 도시한다. 예를 들어, 전자 서적 리더(2700)는 2개의 하우징(2701, 2703)으로 구성된다. 그 하우징(2701, 2703)은, 힌지(2711)에 의하여 접합되어, 전자 서적 리더(2700)가 상기 힌지(2711)를 따라 개폐(開閉) 동작을 행할 수 있다. 이러한 구성에 의하여, 전자 서적 리더(2700)는, 종이의 서적처럼 처리될 수 있다.

[0224] 하우징(2701)에는 표시부(2705)가 내장되고, 하우징(2703)에는 표시부(2707)가 내장된다. 표시부(2705) 및 표시부(2707)는 하나의 화상을 표시하여도 되거나, 다른 화상을 표시하여도 된다. 표시부(2705) 및 표시부(2707)에 다른 화상이 표시되는 구성에서, 예를 들면, 오른쪽의 표시부(도 23에서는 표시부(2705))에 문장을 표시하고, 왼쪽의 표시부(도 23에서는 표시부(2707))에 화상을 표시할 수 있다.

[0225] 도 23은 하우징(2701)에 조작부 등을 구비한 예를 도시한다. 예를 들어, 하우징(2701)에 있어서, 전원 스위치(2721), 조작키(2723), 스피커(2725) 등을 구비한다. 조작키(2723)에 의하여 페이지를 넘길 수 있다. 또한, 하우징의 표시부와 동일면에 키보드나 포인팅 디바이스 등을 구비하는 구성으로 하여도 좋다. 또한, 하우징의 이면이나 측면에 외부 접속용 단자(이어폰 단자, USB 단자, 또는 AC 어댑터나 USB 케이블 등의 각종 케이블과 접속할 수 있는 단자 등), 기록 매체 삽입부 등을 구비하는 구성으로 하여도 좋다. 또한, 전자 서적 리더(2700)는 전자 사전으로서의 기능을 갖는 구성으로 하여도 좋다.

[0226] 또한, 전자 서적 리더(2700)는 무선으로 정보를 송수신할 수 있는 구성으로 하여도 좋다. 무선에 의하여 전자 서적 서버로부터 원하는 서적 데이터 등을 구매하여, 다운로드할 수 있다.

[0227] 상술한 단계에 따라, 신뢰성이 높고, 안정화된 동작 및 점유 면적이 작은 보호회로가 탑재된 전자기기를 제작할 수 있다.

[0228] 본 실시형태는 다른 실시형태에 기재한 구성과 적절히 조합하여 실시할 수 있다.

[0229] (실시형태 8)

[0230] 본 발명의 일 실시형태에 따른 반도체 장치는, 다양한 전자 기기(유기기도 포함한다)에 적용할 수 있다. 전자 기기로서는, 예를 들어, 텔레비전 장치(텔레비, 또는 텔레비전 수신기라고도 한다), 컴퓨터용 등의 모니터, 디지털 카메라, 디지털 비디오 카메라, 디지털 포토 프레임, 휴대 전화기(휴대 전화, 또는 휴대 전화 장치라고도 한다), 휴대형 게임기, 휴대 정보 단말, 음향 재생 장치, 파친코(pachinko)기 등의 대형 게임기 등을 들 수 있다.

[0231] 도 24a에는 텔레비전 장치(9600)의 일례를 도시한다. 텔레비전 장치(9600)는 하우징(9601)에 표시부(9603)가 내장된다. 표시부(9603)에 의하여 영상을 표시할 수 있다. 또한, 여기서는 스탠드(9605)에 의하여 하우징(9601)을 지지한 구성을 도시한다.

[0232] 텔레비전 장치(9600)의 조작은 하우징(9601)이 구비하는 조작 스위치나, 별체의 리모트 컨트롤러(9610)에 의하여 행할 수 있다. 리모트 컨트롤러(9610)가 구비하는 조작 키(9609)에 의하여 채널이나 음량을 조작할 수 있어 표시부(9603)에 표시되는 화상을 제어할 수 있다. 또한, 리모트 컨트롤러(9610)는, 상기 리모트 컨트롤러(9610)로부터 출력하는 정보를 표시하는 표시부(9607)를 가져도 된다.

[0233] 또한, 텔레비전 장치(9600)는 수신기, 모뎀 등을 구비한 구성으로 한다. 수신기에 의하여, 일반의 텔레비전 방송을 수신할 수 있다. 또한, 모뎀을 통하여 유선 또는 무선에 의한 통신 네트워크에 접속함으로써, 일방향(송신자로부터 수신자) 또는 쌍방향(송신자와 수신자간, 또는 수신자끼리 등)의 정보 통신을 할 수 있다.

[0234] 도 24b는 디지털 포토 프레임(9700)의 일례를 도시한다. 예를 들어, 디지털 포토 프레임(9700)은 하우징(9701)에 표시부(9703)가 내장된다. 표시부(9703)는 각종 화상을 표시할 수 있고, 예를 들어, 디지털 카메라 등으로 촬영한 화상 데이터를 표시시킴으로써, 보통의 포토 프레임과 마찬가지로 기능시킬 수 있다.

[0235] 또한, 디지털 포토 프레임(9700)은, 조작부, 외부 접속용 단자(USB 단자, USB 케이블 등의 각종 케이블과 접속할 수 있는 단자 등), 기록 매체 삽입부 등을 구비하는 구성으로 한다. 이들의 구성은 표시부와 동일면에 내장되어도 좋지만, 측면이나 이면에 구비하면 디자인성이 향상되기 때문에 바람직하다. 예를 들어, 디지털 포토 프레임의 기록 매체 삽입부에 디지털 카메라를 사용하여 촬영한 화상 데이터를 기억한 메모리를 삽입하여 화상 데이터를 취득한다. 그 취득한 화상 데이터를 표시부(9703)에 표시시킬 수 있다.

[0236] 디지털 포토 프레임(9700)은, 무선으로 정보를 송수신하여도 좋다. 무선통신에 의하여, 원하는 화상의 데이터를 무선으로 디지털 포토 프레임(9700)에 취득하여 표시할 수 있다.

[0237] 도 25a는 휴대형 유기기이며, 하우징(9881)과 하우징(9891)으로 구성되고, 연결부(9893)에 의하여 개폐 가능하도록 연결된다. 하우징(9881)에는 표시부(9882)가 내장되고, 하우징(9891)에는 표시부(9883)가 내장된다. 또한, 도 25a에 도시하는 휴대형 유기기는, 그 외에 스피커부(9884), 기록 매체 삽입부(9886), LED 램프(9890), 입력 수단(조작키(9885), 접속 단자(9887), 센서(9888)(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 빛, 액체, 자기, 온도, 화학물질, 음성, 시간, 경도, 전기장, 전류, 전압, 전력, 방사선, 유량, 습도, 경도, 진동, 냄새 또는 적외선을 측정하는 기능을 포함한 것), 마이크로폰(9889)) 등을 포함한다. 물론, 휴대형 유기기의 구성은 상술한 것에 한정되지 않고, 적어도 본 발명의 일 실시형태에 따른 반도체 장치를 구비한 구성이라면 좋다. 또한, 그 외에 부속 설비가 적절히 설치되어도 된다. 도 25a에 도시하는 휴대형 유기기는 기록 매체에 기록되는 프로그램 또는 데이터를 판독하여 표시부에 표시하는 기능이나, 다른 휴대형 유기기와 무선 통신을 행하여 정보를 공유하는 기능을 갖는다. 또한, 도 25a에 도시하는 휴대형 유기기는, 상기의 기능 외에 다양한 기능을 가질 수 있다.

[0238] 도 25b는 대형 유기기인 슬롯머신(9900)의 일례를 도시한다. 슬롯머신(9900)은, 하우징(9901)에 표시부(9903)가 내장된다. 또한, 슬롯머신(9900)은, 그 외에 스타트 레버(lever)나 스톱 스위치 등의 조작 수단, 코인 투입구, 스피커 등을 구비한다. 물론, 슬롯머신(9900)의 구성은 상술한 것에 한정되지 않고, 적어도 본 발명의 일 실시형태에 따른 반도체 장치를 구비한 구성이라면 좋다. 그 외 부속 설비가 적절히 설치되어도 된다.

[0239] 도 26은 휴대 전화기(1000)의 일례를 도시한다. 휴대 전화기(1000)는, 하우징(1001)에 내장된 표시부(1002) 외에 조작 버튼(1003), 외부 접속 포트(1004), 스피커(1005), 마이크(1006) 등을 구비한다.

[0240] 도 26에 도시하는 휴대 전화기(1000)는 표시부(1002)를 손가락 등으로 터치(touch)함으로써, 정보를 입력할 수 있다. 또한, 전화를 거는 조작, 또는 문자를 보내는 조작 등은 표시부(1002)를 손가락 등에 의하여 터치함으로써 행할 수 있다.

[0241] 표시부(1002)의 화면은 주로 3개의 모드가 있다. 제 1 모드는 화상의 표시가 주된 표시 모드이다. 제 2 모드는 문자 등의 정보의 입력이 주된 입력 모드이다. 제 3 모드는 표시 모드와 입력 모드의 2개의 모드가 혼합한 표시-앤드-입력 모드이다.

[0242] 예를 들어, 전화를 거는 경우 또는 문자 메시지를 보내는 경우에, 표시부(1002)를 문자의 입력이 주된 문자 입력 모드로 하여, 화면에 문자의 입력 조작을 행할 수 있다. 이 경우, 표시부(1002)의 화면의 대부분에 키 보드 또는 번호 버튼을 표시시키는 것이 바람직하다.

[0243] 또한, 휴대 전화기(1000) 내부에 자이로스코프(gyroscope), 가속도 센서 등의 기울기를 검출하는 센서를 갖는 검출 장치를 설치하면, 휴대 전화기(1000)의 방향(휴대 전화기(1000)가 풍경모드나 인물모드를 위해 가로 또는 세로로 놓여 있는지)을 판단하여, 표시부(1002)의 화면 표시를 자동적으로 전환할 수 있다.

[0244] 또한, 화면 모드의 전환은 표시부(1002)를 터치함으로써, 또는 하우징(1001)의 조작 버튼(1003)을 조작함으로써 행해진다. 또한, 표시부(1002)에 표시된 화상의 종류에 따라 화면 모드를 전환할 수 있다. 예를 들어, 표시부에 표시하는 화상 신호가 동화상의 데이터라면, 그 화면 모드를 표시 모드로 전환한다. 그 신호가 텍스트 데이터라면, 그 화면 모드를 입력 모드로 전환한다.

[0245] 또한, 입력 모드에 있어서, 표시부(1002)의 광 센서에 의하여 검출되는 신호를 검지하여 표시부(1002)의 터치 조작에 의한 입력이 일정 기간 없는 경우에는, 화면의 모드를 입력 모드로부터 표시 모드로 전환하도록 제어하여도 좋다.

[0246] 표시부(1002)는, 이미지 센서로서 기능시킬 수도 있다. 예를 들어, 표시부(1002)에 손바닥이나 손가락으로 터치하여 장문이나 지문을 촬상함으로써, 본인 인증을 행할 수 있다. 또한, 표시부에 근적외광을 발광하

는 백 라이트 또는 근적외광을 발광하는 검출용 광원을 사용하면, 손가락 정맥, 손바닥 정맥 등을 촬상할 수도 있다.

[0247] 상술한 단계에 따라, 신뢰성이 높고, 안정화된 동작 및 점유 면적이 작은 보호회로가 탑재된 전자기기를 제작할 수 있다.

[0248] 본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시할 수 있다.

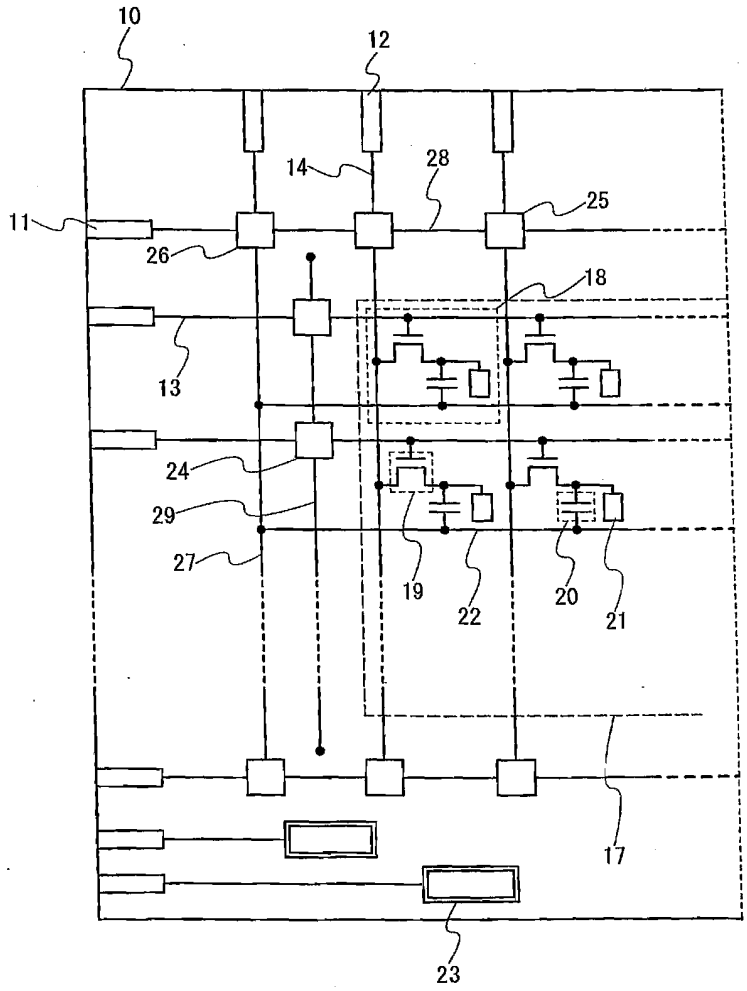
[0249] 본 출원은, 전체 내용이 참고로 포함된 일본특허청에 2008년 10월 3일에 출원된 일본특허출원번호 2008-259063을 기초로 한다.

부호의 설명

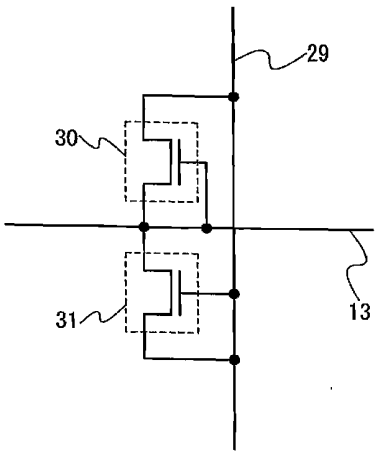
[0250] 10: 기판, 11: 주사선 입력 단자, 12: 신호 입력 단자, 13: 주사선, 14: 신호선, 16: 게이트 전극, 17: 화소부, 18: 화소, 19: 화소 트랜지스터, 20: 유지용량부, 21: 화소전극, 22: 용량선, 23: 공통 단자, 24: 보호 회로, 25: 보호 회로, 26: 보호 회로, 27: 용량 버스선, 28: 공통 배선, 29: 공통 배선, 30: 비선형소자, 30a: 비선형소자, 30b: 비선형소자, 31: 비선형소자, 31a: 비선형소자, 31b: 비선형소자, 100: 기판, 102: 게이트 절연막, 107: 층간 절연막, 111: 게이트 전극, 113: 산화물 반도체층, 117a: 배선층, 117b: 배선층, 128: 컨택트 홀, 131: 레지스트 마스크, 170a: 비선형소자, 170b: 비선형소자, 581: 박막트랜지스터, 585: 절연층, 587: 전극층, 588: 전극층, 589: 구형입자, 590a: 흑색영역, 590b: 백색영역, 594: 캐비티, 595: 충전재, 596: 기판, 730c: 비선형소자, 1000: 휴대전화기, 1001: 하우징, 1002: 표시부, 1003: 조작 버튼, 1004: 외부접속포트, 1005: 스피커, 1006:마이크, 2600: T F T기판, 2601: 대향기판, 2602: 씰재, 2603: 화소부, 2604: 표시 소자, 2605: 착색층, 2606: 편광판, 2607: 편광판, 2608: 배선회로부, 2609: 플렉시블 배선 기판, 2610: 냉음극관, 2611: 반사판, 2612: 회로기판, 2613: 확산판, 2631: 포스터, 2632: 차내광고, 2700: 전자서적 리더, 2701: 하우징, 2703: 하우징, 2705: 표시부, 2707: 표시부, 2711: 힌지, 2721: 전원, 2723: 조작 키, 2725: 스피커, 4001: 기판, 4002: 화소부, 40003: 신호선 구동회로, 4004: 주사선 구동회로, 4005: 씰재, 4006: 기판, 4008: 액정층, 4010: 박막트랜지스터, 4011: 박막트랜지스터, 4013: 액정소자, 4015: 접속 단자 전극, 4016: 단자 전극, 4018: F P C, 4019: 이방성 도전막, 4020: 절연층, 4021: 절연층, 4030: 화소전극층, 4031: 대향전극층, 4032: 절연층, 4501: 기판, 4502: 화소부, 4503a: 신호선 구동회로, 4504a: 주사선 구동회로, 4505: 씰재, 4506: 기판, 4507: 충전재, 4509: 박막트랜지스터, 4510: 박막트랜지스터, 4511: 발광소자, 4512: 전계발광층, 4513: 전극층, 4515: 접속 단자전극, 4516: 단자전극, 4517: 전극층, 4518a: F P C, 4519: 이방성도전막, 4520: 격벽, 5300: 기판, 5301: 화소부, 5302: 주사선 구동회로, 5303: 신호선 구동회로, 5400: 기판, 5401: 화소부, 5402: 주사선 구동회로, 5403: 신호선 구동회로, 5404: 주사선 구동회로, 5501: 배선, 5502: 배선, 5503: 배선, 5504: 배선, 5505: 배선, 5506: 배선, 5543: 노드, 5544: 노드, 5571: 박막트랜지스터, 5572: 박막트랜지스터, 5573: 박막트랜지스터, 5574: 박막트랜지스터, 5575: 박막트랜지스터, 5576: 박막트랜지스터, 5577: 박막트랜지스터, 5578: 박막트랜지스터, 5601: 드라이버 IC, 5602: 스위치 군, 5603a: 박막트랜지스터, 5603b: 박막트랜지스터, 5603c: 박막트랜지스터, 5611: 배선, 5612: 배선, 5613: 배선, 5621: 배선, 5701: 플립플롭, 5703a: 타이밍, 5703b: 타이밍, 5703c: 타이밍, 5711: 배선, 5713: 배선, 5714: 배선, 5715: 배선, 5716: 배선, 5717: 배선, 5721: 신호, 5803a: 타이밍, 5803b: 타이밍, 5803c: 타이밍, 5821: 신호, 6400: 화소, 6401: 스위칭용 트랜지스터, 6402: 구동용 트랜지스터, 6403: 용량소자, 6404: 발광소자, 6405: 신호선, 6406: 주사선, 6407: 전원선, 6408: 공통전극, 7001: TFT, 7002: 발광소자, 7003: 음극, 7004: 발광층, 7005: 양극, 7011: 구동용 TFT, 7012: 발광소자, 7013: 음극, 7014: 발광층, 7015: 양극, 7016: 차광막, 7017: 도전막, 7021: 구동용 TFT, 7022: 발광소자, 7023: 음극, 7024: 발광층, 7025: 양극, 7027: 도전막, 9600: 텔레비전 장치, 9601: 하우징, 9603: 표시부, 9605: 스탠드, 9607: 표시부, 9609: 조작 키, 9610: 리모트 컨트롤러, 9700: 디지털 포토 프레임, 9701: 하우징, 9703: 표시부, 9881: 하우징, 9882: 표시부, 9883: 표시부,9884: 스피커부, 9885: 입력수단(조작 키), 9886: 기록 매체 삽입부, 9887: 접속 단자, 9888: 센서, 9889: 마이크, 9890: L E D램프, 9891: 하우징, 9893: 연결부, 9900: 슬롯 머신, 9901: 하우징, 9903: 표시부

도면

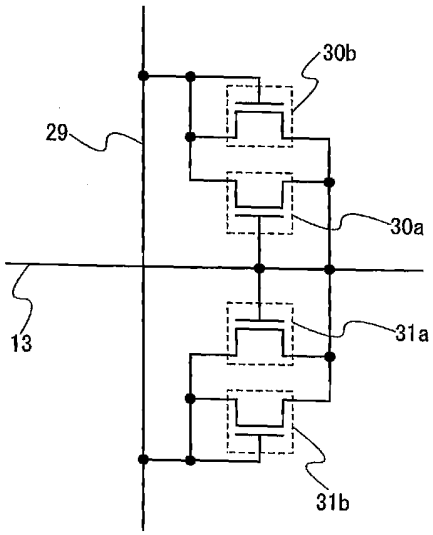
도면1



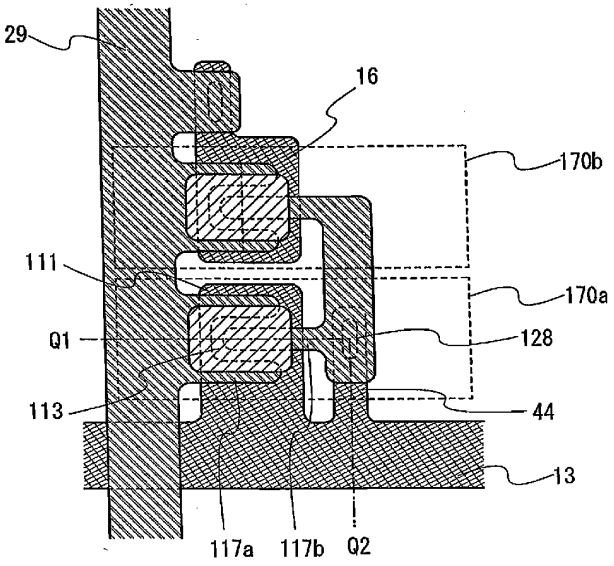
도면2



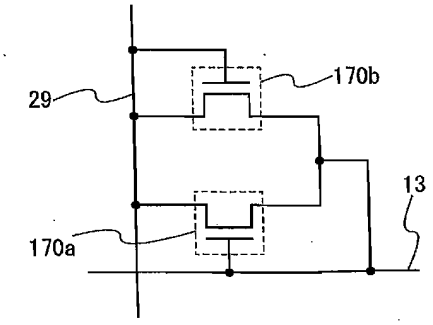
도면3


30b
29
30a
13
31a
31b

도면4

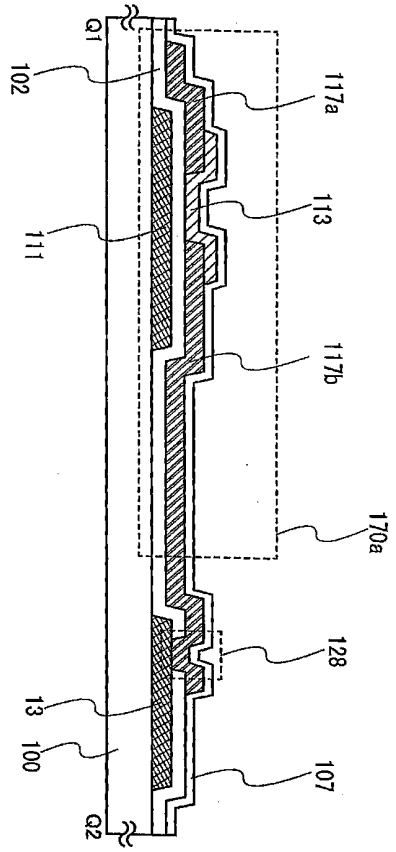

29
16
170b
111
170a
Q1
128
113
44
13
117a
117b
Q2

(a)

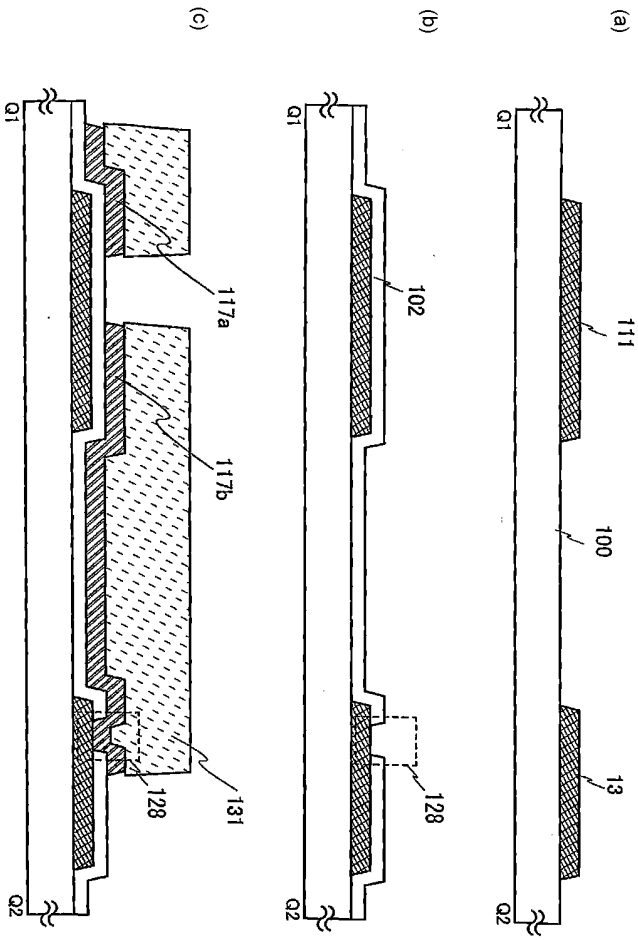

29
170b
13
170a

(b)

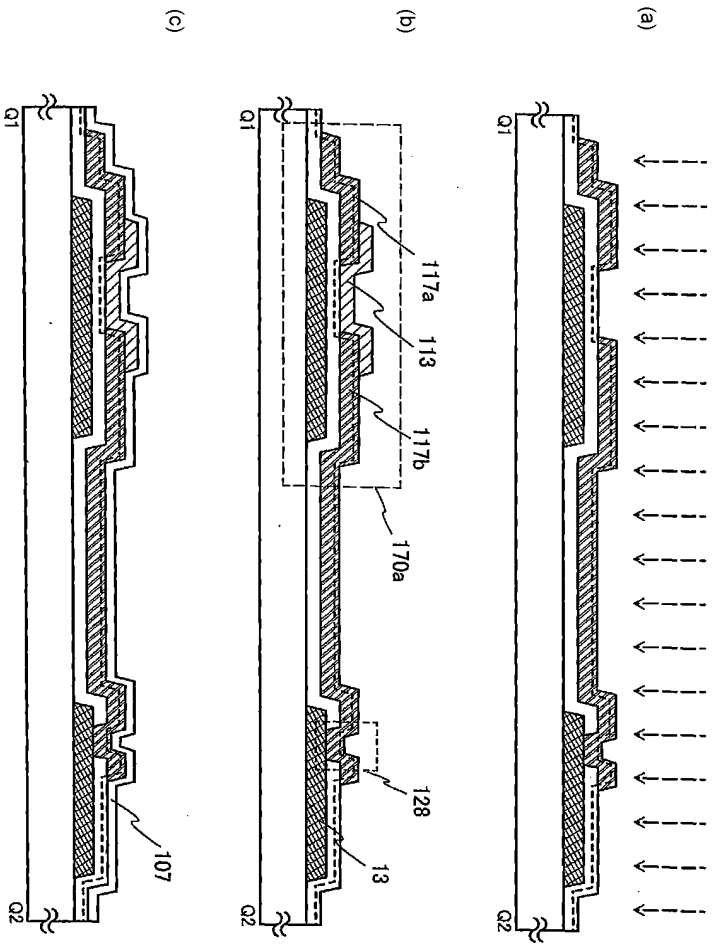
도면5



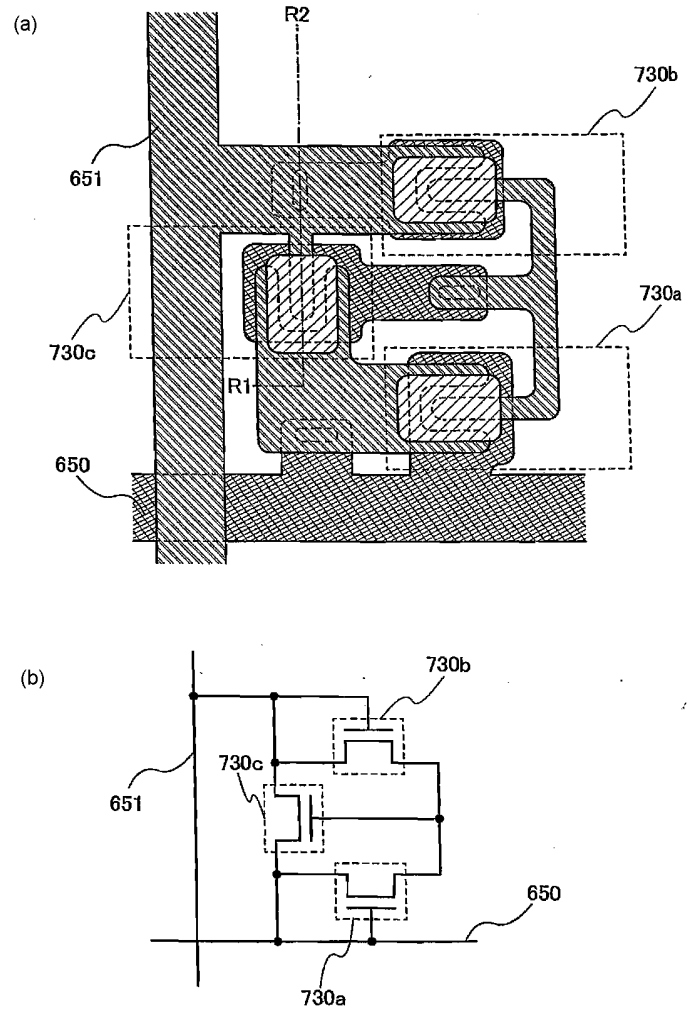
도면6



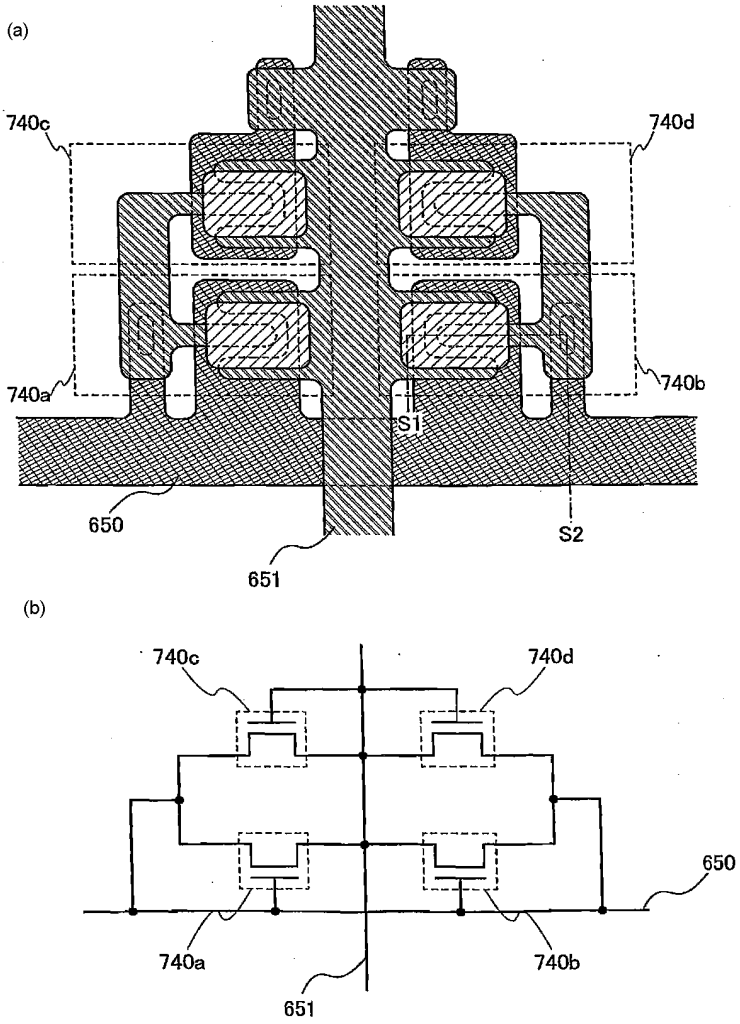
도면7



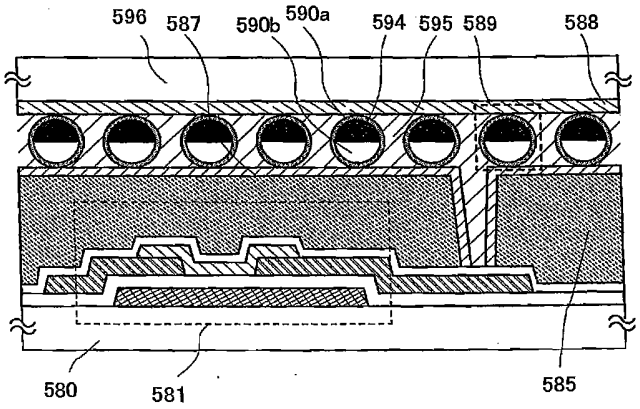
도면8



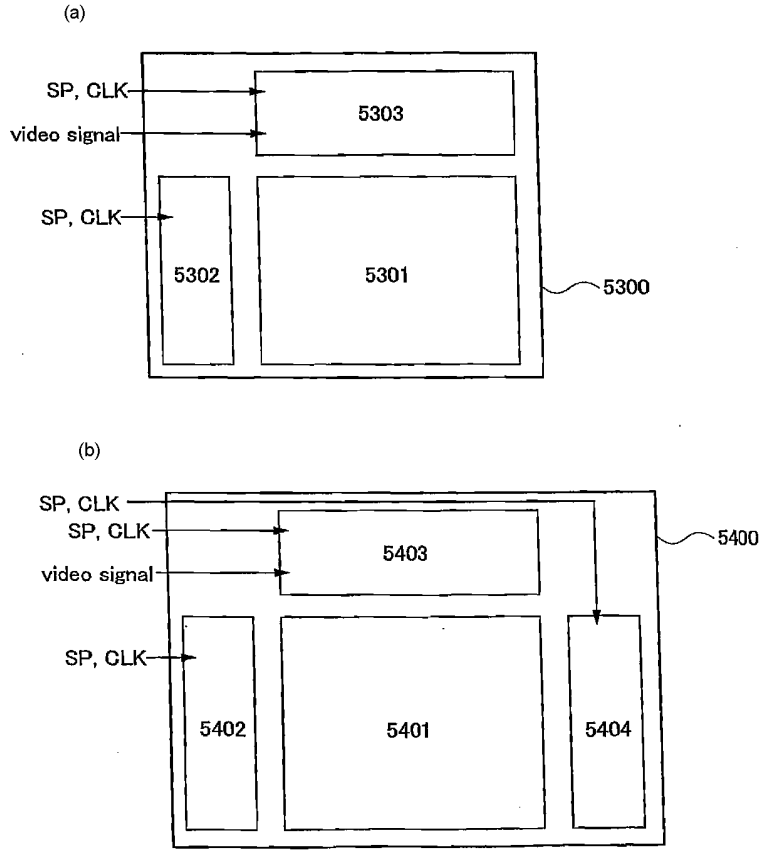
도면9


(a)
740c
740d
740a
740b
S1
650
S2
651
(b)
740c
740d
650
740a
740b
651

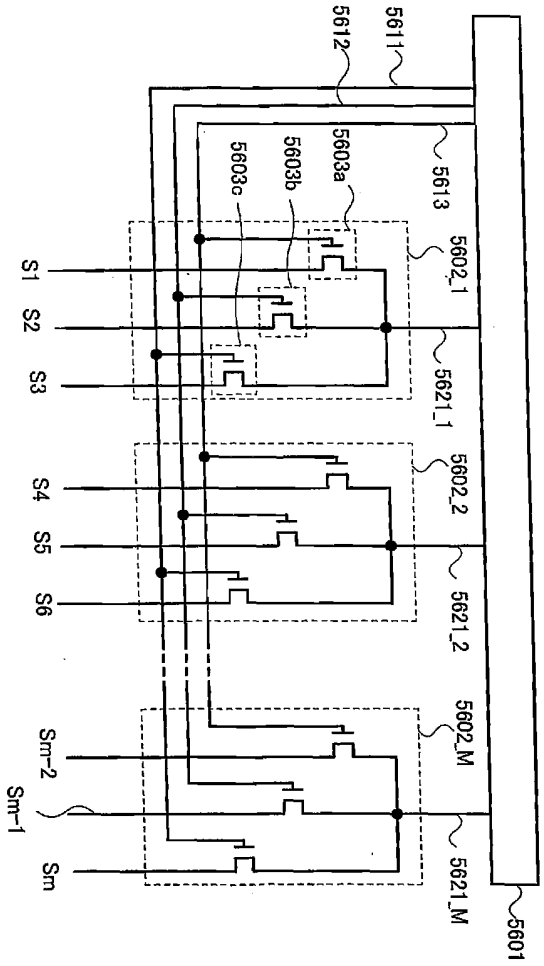
도면10


596
587
590b
590a
594
595
589
588
580
581
585

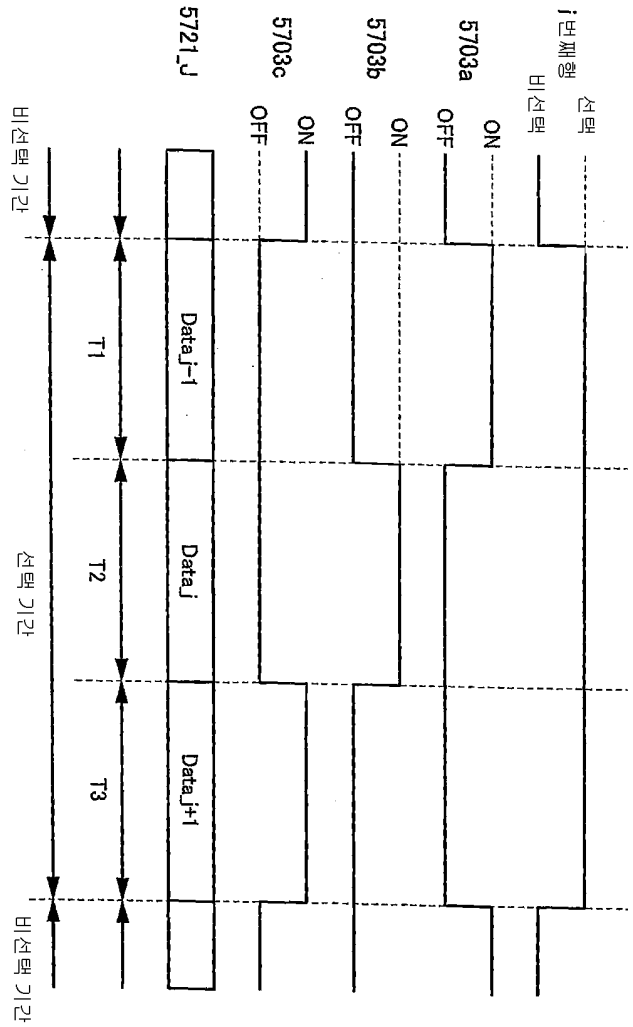
도면11


(a)
SP, CLK
video signal
SP, CLK
5303
5302
5301
5300
(b)
SP, CLK
SP, CLK
video signal
SP, CLK
5403
5402
5401
5404
5400

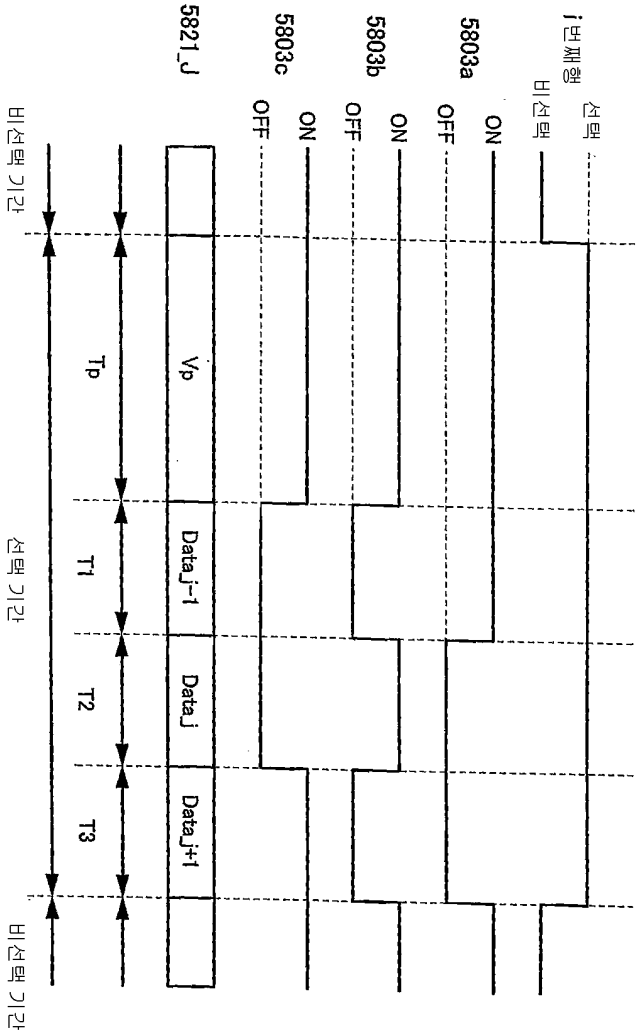
도면12


5612
5611
5603a
5603b
5603c
5613
5602_1
5621_1
5602_2
5621_2
5602_M
5621_M
5601
S1
S2
S3
S4
S5
S6
Sm-2
Sm-1
Sm

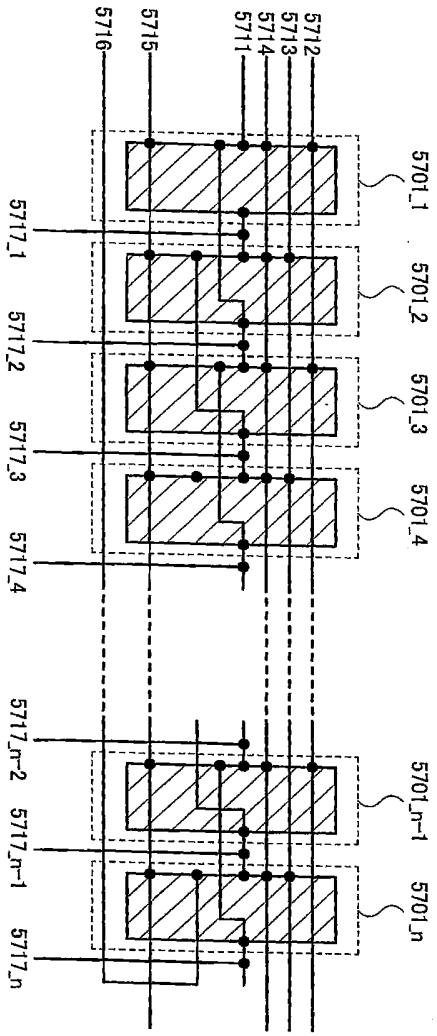
도면13


5721_J
5703c
5703b
5703a
j번째행
선택
비선택
ON
OFF
ON
OFF
ON
OFF
비선택 기간
T1
T2
T3
Data_j-1
Data_j
Data_j+1
선택 기간
비선택 기간

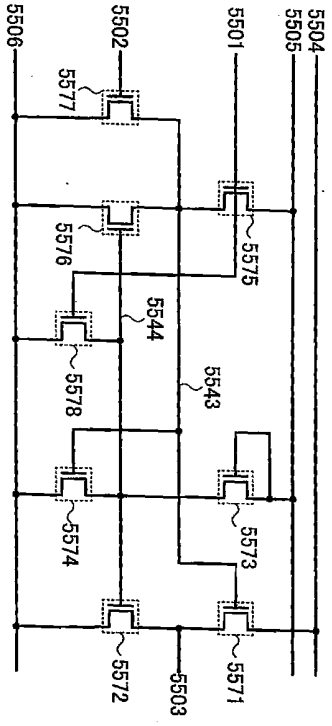
도면14


i번째행
선택
비선택
5803a
ON
OFF
5803b
ON
OFF
5803c
ON
OFF
5821_J
Vp
Data_j-1
Data_j
Data_j+1
Tp
T1
T2
T3
비선택 기간
선택 기간
비선택 기간

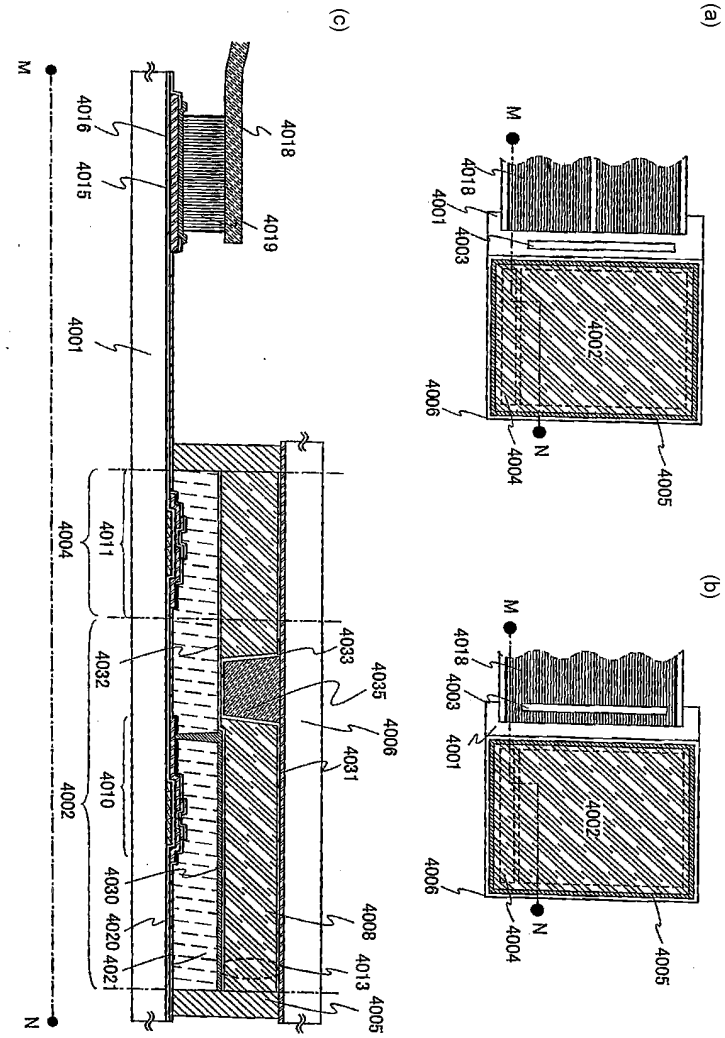
도면15


5716
5715
5711
5714
5713
5712
5701_1
5701_2
5701_3
5701_4
5701_n-1
5701_n
5717_1
5717_2
5717_3
5717_4
5717_n-2
5717_n-1
5717_n

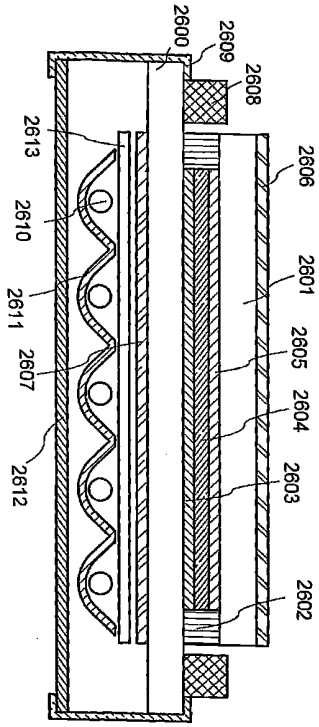
도면16


5506
5502
5501
5505
5504
5577
5576
5575
5544
5543
5578
5574
5573
5572
5503
5571

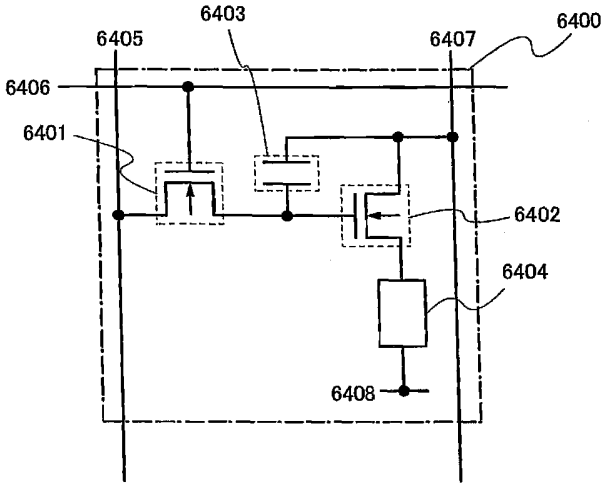
도면17


(a)
M
4018
4001
4003
4002
4006
N
4004
4005
(b)
M
4018
4003
4001
4002
4006
N
4004
4005
(c)
M
4016
4015
4018
4019
4001
4004
4011
4032
4033
4035
4006
4031
4010
4002
4030
4020
4021
4008
4013
4005
N

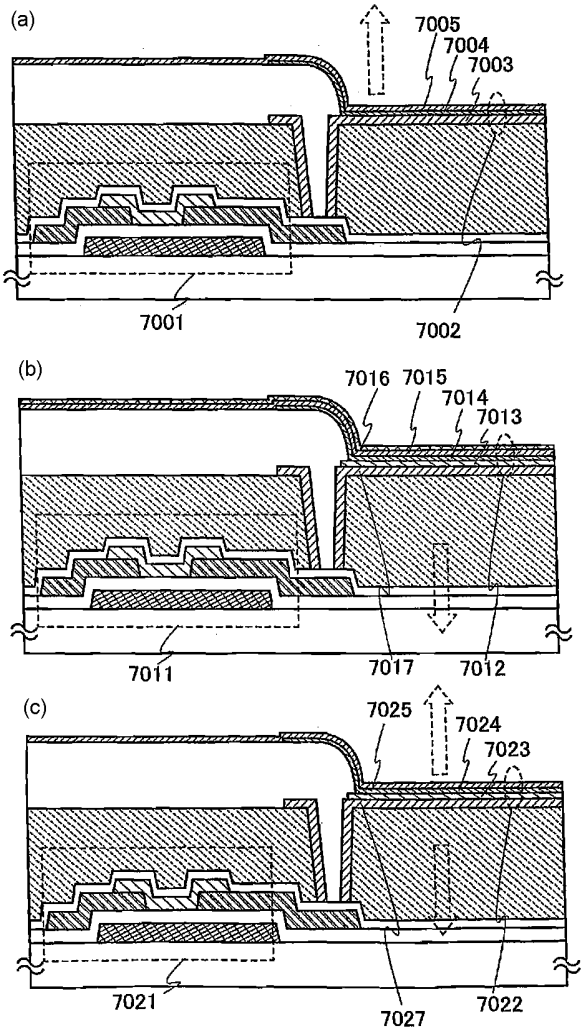
도면18


2600
2609
2608
2613
2610
2611
2607
2612
2606
2601
2605
2604
2603
2602

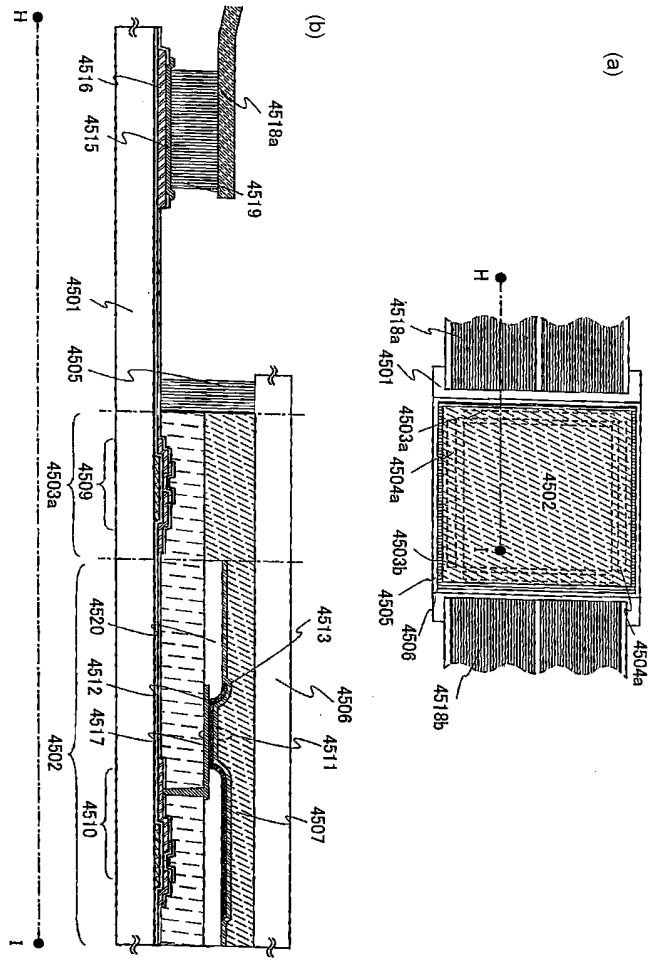
도면19


6403
6405
6407
6400
6406
6401
6402
6404
6408

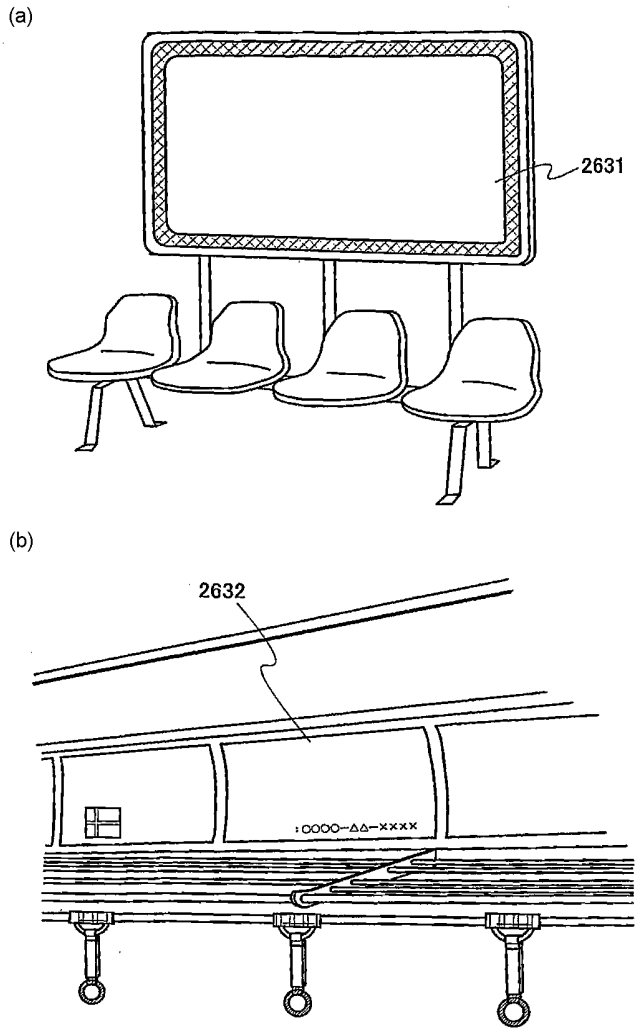
도면20


(a)
7005
7004
7003
7001
7002
(b)
7016
7015
7014
7013
7011
7017
7012
(c)
7025
7024
7023
7021
7027
7022

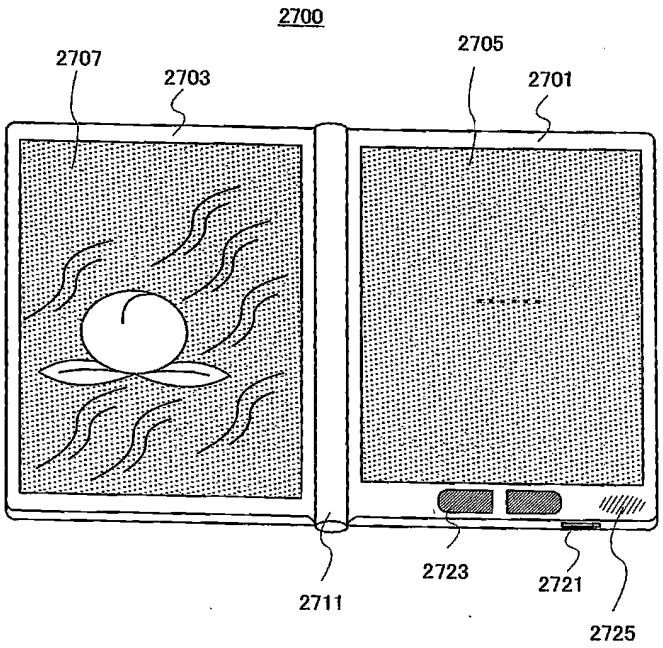
도면21


(a)
H
4518a
4501
4503a
4504a
4502
4503b
4505
4506
4504a
4518b
(b)
H
4516
4515
4518a
4519
4501
4505
4503a
4509
4520
4512
4517
4502
4510
4513
4506
4511
4507
I

도면22

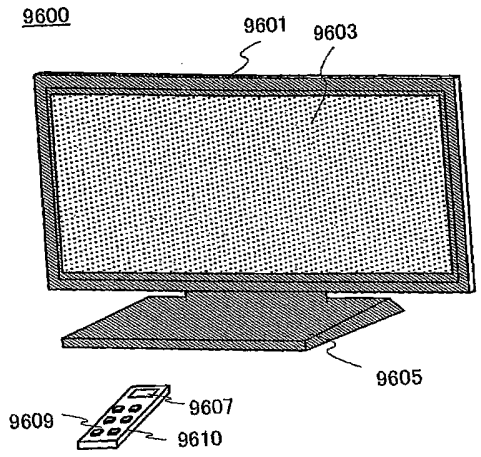


도면23

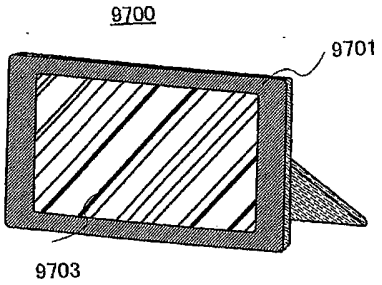


도면24

(a)

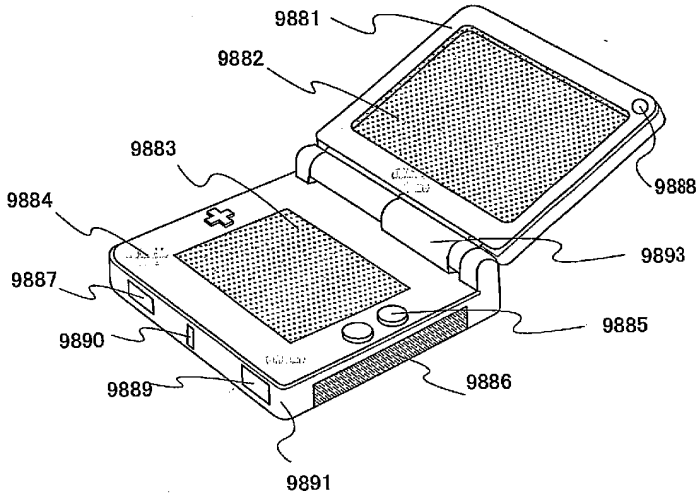


(b)

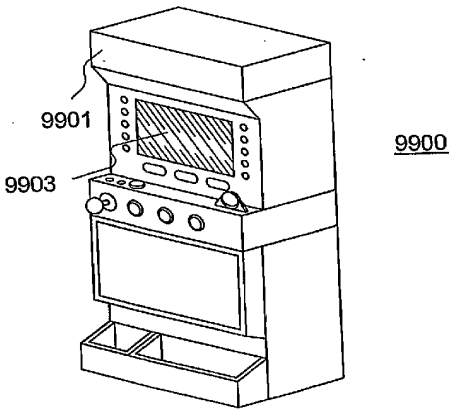


도면25

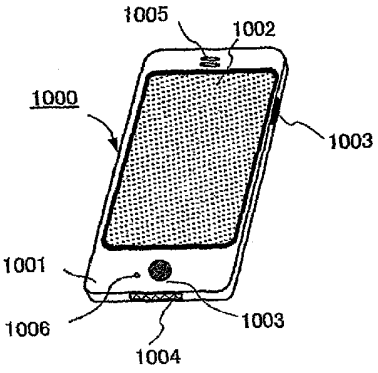
(a)


9881
9882
9883
9884
9887
9890
9889
9891
9886
9885
9893
9888

(b)


9901
9903
9900

도면26


1005
1002
1000
1003
1001
1006
1003
1004