

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】令和4年3月16日(2022.3.16)

【国際公開番号】WO2020/255655

【出願番号】特願2021-527511(P2021-527511)

【国際特許分類】

H 0 1 L 2 1 / 8 2 4 4 (2 0 0 6 . 0 1)

H 0 1 L 2 1 / 8 2 3 8 (2 0 0 6 . 0 1)

G 1 1 C 1 1 / 4 1 2 (2 0 0 6 . 0 1)

10

【F I】

H 0 1 L 2 7 / 1 1

H 0 1 L 2 7 / 0 9 2 G

H 0 1 L 2 7 / 0 9 2 C

H 0 1 L 2 7 / 0 9 2 A

G 1 1 C 1 1 / 4 1 2 1 2 0

【手続補正書】

【提出日】令和3年12月9日(2021.12.9)

【手続補正1】

20

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

2ポートSRAMセルを含む半導体記憶装置であって、

前記2ポートSRAMセルは、

一方のノードが第1電圧を供給する第1電源に、他方のノードが第1ノードに、ゲートが第2ノードにそれぞれ接続された第1トランジスタと、

30

一方のノードが前記第1電源に、他方のノードが前記第2ノードに、ゲートが前記第1ノードにそれぞれ接続された第2トランジスタと、

一方のノードが前記第1ノードに、他方のノードが前記第1電圧と異なる第2電圧を供給する第2電源に、ゲートが前記第2ノードにそれぞれ接続された第3トランジスタと、

一方のノードが前記第2ノードに、他方のノードが前記第2電源に、ゲートが前記第1ノードにそれぞれ接続された第4トランジスタと、

一方のノードが第1ライトビット線に、他方のノードが前記第1ノードに、ゲートがライトワード線にそれぞれ接続された第5トランジスタと、

一方のノードが前記第1ライトビット線と相補ビット線対を構成する第2ライトビット線に、他方のノードが前記第2ノードに、ゲートが前記ライトワード線にそれぞれ接続された第6トランジスタと、

40

一方のノードが前記第2電源に、ゲートが前記第2ノードにそれぞれ接続された第7トランジスタと、

一方のノードが前記第7トランジスタの他方のノードに、他方のノードがリードビット線に、ゲートがリードワード線にそれぞれ接続された第8トランジスタと

を備え、

前記第3～第6トランジスタは、それぞれ、第1層に形成された第1導電型の立体構造トランジスタからなり、

前記第1および第2トランジスタは、それぞれ、前記第1層と異なる第2層に形成された前記第1導電型と異なる第2導電型の立体構造トランジスタからなり、かつ、少なくとも

50

一部が前記第 3 および第 4 トランジスタとそれぞれ平面視で重なっており、
前記第 7 および第 8 トランジスタは、前記第 1 層に形成された前記第 1 導電型の立体構造
トランジスタを含み、かつ、前記第 1 ~ 第 8 トランジスタのチャンネル部が延びる方向であ
る第 1 方向に並んで形成されている
ことを特徴とする半導体記憶装置。

【請求項 2】

請求項 1 記載の半導体記憶装置において、
前記第 3 ~ 第 8 トランジスタは、並列に接続された複数の立体構造トランジスタからなる
ことを特徴とする半導体記憶装置。

【請求項 3】

請求項 1 記載の半導体記憶装置において、
前記第 3 および第 5 トランジスタは、前記第 1 方向に並んで形成されており、
前記第 4 および第 6 トランジスタは、前記第 1 方向に並んで形成されていることを特徴と
する半導体記憶装置。

【請求項 4】

請求項 1 記載の半導体記憶装置において、
前記第 3、第 6 および第 7 トランジスタは、前記第 1 方向と垂直をなす第 2 方向に並んで
形成されており、
前記第 4、第 5 および第 8 トランジスタは、前記第 2 方向に並んで形成されていることを
特徴とする半導体記憶装置。

【請求項 5】

請求項 1 記載の半導体記憶装置において、
前記第 2 層は、深さ方向において、前記第 1 層よりも高い位置にあることを特徴とする半
導体記憶装置。

【請求項 6】

請求項 1 記載の半導体記憶装置において、
前記第 7 および第 8 トランジスタは、それぞれ、
前記第 1 層に形成された第 1 立体構造トランジスタと、
少なくとも一部が前記第 1 立体構造トランジスタと平面視で重なるように、前記第 2 層に
形成された第 2 立体構造トランジスタと
を含むことを特徴とする半導体記憶装置。

【請求項 7】

請求項 1 記載の半導体記憶装置において、
前記第 1 および第 3 トランジスタは、ゲートに同一のゲート配線である、第 1 ゲート配線
が直接接続されており、
前記第 2 および第 4 トランジスタは、ゲートに同一のゲート配線である、第 2 ゲート配線
が直接接続されていることを特徴とする半導体記憶装置。

【請求項 8】

請求項 1 記載の半導体記憶装置において、
前記第 3 および第 7 トランジスタは、ゲートに同一のゲート配線である、第 1 ゲート配線
が直接接続されていることを特徴とする半導体記憶装置。

【請求項 9】

2 ポート S R A M セルを含む半導体記憶装置であって、
前記 2 ポート S R A M セルは、
一方のノードが第 1 電圧を供給する第 1 電源に、他方のノードが第 1 ノードに、ゲートが
第 2 ノードにそれぞれ接続された第 1 トランジスタと、
一方のノードが前記第 1 電源に、他方のノードが前記第 2 ノードに、ゲートが前記第 1 ノ
ードにそれぞれ接続された第 2 トランジスタと、
一方のノードが前記第 1 ノードに、他方のノードが前記第 1 電圧と異なる第 2 電圧を供給
する第 2 電源に、ゲートが前記第 2 ノードにそれぞれ接続された第 3 トランジスタと、

10

20

30

40

50

一方のノードが前記第 2 ノードに、他方のノードが前記第 2 電源に、ゲートが前記第 1 ノードにそれぞれ接続された第 4 トランジスタと、
 一方のノードが第 1 ライトビット線に、他方のノードが前記第 1 ノードに、ゲートがライトワード線にそれぞれ接続された第 5 トランジスタと、
 一方のノードが前記第 1 ライトビット線と相補ビット線対を構成する第 2 ライトビット線に、他方のノードが前記第 2 ノードに、ゲートが前記ライトワード線にそれぞれ接続された第 6 トランジスタと、
 一方のノードが前記第 1 電源に、ゲートが前記第 2 ノードにそれぞれ接続された第 7 トランジスタと、
 一方のノードが前記第 7 トランジスタの他方のノードに、他方のノードがリードビット線に、ゲートがリードワード線にそれぞれ接続された第 8 トランジスタと

10

を備え、
 前記第 3 ~ 第 6 トランジスタは、それぞれ、第 1 層に形成された第 1 導電型の立体構造トランジスタからなり、
 前記第 1 および第 2 トランジスタは、それぞれ、前記第 1 層と異なる第 2 層に形成された前記第 1 導電型と異なる第 2 導電型の立体構造トランジスタからなり、かつ、少なくとも一部が前記第 3 および第 4 トランジスタとそれぞれ平面視で重なっており、
 前記第 7 および第 8 トランジスタは、前記第 2 層に形成された前記第 2 導電型の立体構造トランジスタを含み、かつ、前記第 1 ~ 第 8 トランジスタのチャンネル部が延びる方向である第 1 方向に並んで形成されている

20

ことを特徴とする半導体記憶装置。

【請求項 10】

請求項 9 記載の半導体記憶装置において、
 前記第 3 ~ 第 8 トランジスタは、並列に接続された複数の立体構造トランジスタからなることを特徴とする半導体記憶装置。

【請求項 11】

請求項 9 記載の半導体記憶装置において、
 前記第 1、第 2、第 3 および第 4 トランジスタは、前記第 7、第 8、第 6 および第 5 トランジスタと、それぞれ前記第 1 方向と垂直をなす第 2 方向に並んで形成されていることを特徴とする半導体記憶装置。

30

【請求項 12】

請求項 9 記載の半導体記憶装置において、
 前記第 3 および第 5 トランジスタは、前記第 1 方向に並んで形成されており、
 前記第 4 および第 6 トランジスタは、前記第 1 方向に並んで形成されていることを特徴とする半導体記憶装置。

【請求項 13】

請求項 9 記載の半導体記憶装置において、
 前記第 2 層は、深さ方向において、前記第 1 層よりも高い位置にあることを特徴とする半導体記憶装置。

【請求項 14】

請求項 9 記載の半導体記憶装置において、
 前記第 7 および第 8 トランジスタは、それぞれ、
 前記第 1 層に形成された第 1 立体構造トランジスタと、
 少なくとも一部が前記第 1 立体構造トランジスタと平面視で重なるように、前記第 2 層に形成された第 2 立体構造トランジスタと
 を含むことを特徴とする半導体記憶装置。

40

【請求項 15】

請求項 9 記載の半導体記憶装置において、
 前記第 1 および第 3 トランジスタは、ゲートに同一のゲート配線である、第 1 ゲート配線が直接接続されており、

50

前記第 2 および第 4 トランジスタは、ゲートに同一のゲート配線である、第 2 ゲート配線が直接接続されていることを特徴とする半導体記憶装置。

【請求項 16】

請求項 9 記載の半導体記憶装置において、

前記第 3 および第 7 トランジスタは、ゲートに同一のゲート配線である、第 1 ゲート配線が直接接続されていることを特徴とする半導体記憶装置。

【請求項 17】

2 ポート S R A M セルを含む半導体記憶装置であって、

前記 2 ポート S R A M セルは、

一方のノードが第 1 電圧を供給する第 1 電源に、他方のノードが第 1 ノードに、ゲートが第 2 ノードにそれぞれ接続された第 1 トランジスタと、 10

一方のノードが前記第 1 電源に、他方のノードが前記第 2 ノードに、ゲートが前記第 1 ノードにそれぞれ接続された第 2 トランジスタと、

一方のノードが前記第 1 ノードに、他方のノードが前記第 1 電圧と異なる第 2 電圧を供給する第 2 電源に、ゲートが前記第 2 ノードにそれぞれ接続された第 3 トランジスタと、

一方のノードが前記第 2 ノードに、他方のノードが前記第 2 電源に、ゲートが前記第 1 ノードにそれぞれ接続された第 4 トランジスタと、

一方のノードが第 1 ライトビット線に、他方のノードが前記第 1 ノードに、ゲートがライトワード線にそれぞれ接続された第 5 トランジスタと、

一方のノードが前記第 1 ライトビット線と相補ビット線対を構成する第 2 ライトビット線に、他方のノードが前記第 2 ノードに、ゲートが前記ライトワード線にそれぞれ接続された第 6 トランジスタと、 20

一方のノードが前記第 1 電源または前記第 2 電源に、ゲートが前記第 2 ノードにそれぞれ接続された第 7 トランジスタと、

一方のノードが前記第 7 トランジスタの他方のノードに、他方のノードがリードビット線に、ゲートがリードワード線にそれぞれ接続された第 8 トランジスタと

を備え、

前記第 3 ~ 第 6 トランジスタは、それぞれ、

第 1 層に形成された第 1 導電型の立体構造トランジスタである、第 1 立体構造トランジスタと、 30

少なくとも一部が、前記第 1 立体構造トランジスタと平面視で重なるように、前記第 1 層と異なる第 2 層に形成された前記第 1 導電型の立体構造トランジスタである、第 2 立体構造トランジスタと

を含み、

前記第 1 および第 2 トランジスタは、それぞれ、

前記第 2 層に形成された前記第 1 導電型と異なる第 2 導電型の立体構造トランジスタを含み、

前記第 7 および第 8 トランジスタは、それぞれ、

前記第 1 層に形成された前記第 1 または第 2 導電型の立体構造トランジスタである第 3 立体構造トランジスタと、 40

少なくとも一部が前記第 3 立体構造トランジスタと平面視で重なるように、前記第 2 層に形成された、前記第 3 立体構造トランジスタと同じ導電型の立体構造トランジスタである、第 4 立体構造トランジスタと

を含むことを特徴とする半導体記憶装置。

【請求項 18】

請求項 17 記載の半導体記憶装置において、

前記第 3 および第 5 トランジスタは、前記第 1 ~ 第 8 トランジスタのチャンネル部が延びる方向である第 1 方向に並んで形成されており、

前記第 4 および第 6 トランジスタは、前記第 1 方向に並んで形成されており、

前記第 7 および第 8 トランジスタは、前記第 1 方向に並んで形成されていることを特徴と 50

する半導体記憶装置。

【請求項 19】

請求項 17 記載の半導体記憶装置において、

前記第 1、第 3、第 6 および第 7 トランジスタは、前記第 1 ~ 第 8 トランジスタのチャンネル部が延びる方向である第 1 方向と垂直をなす第 2 方向に並んで形成されており、
前記第 2、第 4、第 5 および第 8 トランジスタは、前記第 2 方向に並んで形成されていることを特徴とする半導体記憶装置。

【請求項 20】

2 ポート S R A M セルを含む半導体記憶装置であって、

前記 2 ポート S R A M セルは、

一方のノードが第 1 電圧を供給する第 1 電源に、他方のノードが第 1 ノードに、ゲートが第 2 ノードにそれぞれ接続された第 1 トランジスタと、

一方のノードが前記第 1 電源に、他方のノードが前記第 2 ノードに、ゲートが前記第 1 ノードにそれぞれ接続された第 2 トランジスタと、

一方のノードが前記第 1 ノードに、他方のノードが前記第 1 電圧と異なる第 2 電圧を供給する第 2 電源に、ゲートが前記第 2 ノードにそれぞれ接続された第 3 トランジスタと、

一方のノードが前記第 2 ノードに、他方のノードが前記第 2 電源に、ゲートが前記第 1 ノードにそれぞれ接続された第 4 トランジスタと、

一方のノードが第 1 ライトビット線に、他方のノードが前記第 1 ノードに、ゲートがライトワード線にそれぞれ接続された第 5 トランジスタと、

一方のノードが前記第 1 ライトビット線と相補ビット線対を構成する第 2 ライトビット線に、他方のノードが前記第 2 ノードに、ゲートが前記ライトワード線にそれぞれ接続された第 6 トランジスタと、

一方のノードが前記第 1 電源に、ゲートが前記第 2 ノードにそれぞれ接続された第 7 トランジスタと、

一方のノードが前記第 7 トランジスタの他方のノードに、他方のノードがリードビット線に、ゲートがリードワード線にそれぞれ接続された第 8 トランジスタと

を備え、

前記第 3 ~ 第 6 トランジスタは、それぞれ、第 1 層に形成された第 1 導電型の立体構造トランジスタからなり、

前記第 1 および第 2 トランジスタは、それぞれ、前記第 1 層と異なる第 2 層に形成された前記第 1 導電型と異なる第 2 導電型の立体構造トランジスタを含み、

前記第 7 トランジスタは、前記第 2 層に形成された前記第 2 導電型の立体構造トランジスタを含み、かつ、少なくとも一部が前記第 3 トランジスタと平面視で重なっており、

前記第 8 トランジスタは、前記第 2 層に形成された前記第 2 導電型の立体構造トランジスタを含み、かつ、前記第 7 トランジスタと前記第 1 ~ 第 8 トランジスタのチャンネル部が延びる方向である第 1 方向に垂直をなす方向である第 2 方向に並んで形成されていることを特徴とする半導体記憶装置。

10

20

30

40

50