

A4
C4

312824

申請日期	85.12.-6
案 號	85115054
類 別	1701221/56

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	硬式 T A B 封裝方法
	英 文	
二、發明 創作人	姓 名	林定皓
	國 籍	中華民國
	住、居所	桃園縣蘆竹鄉新莊村大新路814巷91號
三、申請人	姓 名 (名稱)	華通電腦股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	桃園縣蘆竹鄉新莊村大新路814巷91號
	代 表 人 姓 名	吳 健

裝
訂
線

五、發明說明 (1)

本發明係為一種硬式 T A B 封裝方法，為構成一種可降低封裝作業複雜度及可提昇作業效率之 T A B 包裝型式之積體電路的封裝方法。

按現今 T A B (TAPE AUTOMATED BONDING) 積體電路封裝型式，為一種可形成較 S M T 封裝更窄的接腳間距 (PITCH) (約在 0.25 ~ 0.3 mm) 之積體電路外包裝型態，期令積體電路之封裝體積大幅縮小者，然以習知之 T A B 封裝方式上，即有製程過於複雜、作業緩慢與良率低之各項缺點，現概略說明其製程如下。

如第二 A ~ J 圖所示，為在第二 A 圖中，首先為進行一“單面乾膜線路形成”之步驟，此步驟為在附著有銅箔 (71) 之軟板 (70) 上覆蓋乾膜 (72)，然後於第二 B 圖之“填充膠蝕銅作線路”之步驟，為在該軟板 (70) 之中央之凹孔內填入“填充膠 (73)”以供適當的支撐作用下，再對該未被乾膜 (72) 覆蓋的位置進行下方銅箔 (71) 的蝕刻，以使銅箔 (71) 轉變為線路者，其次，為如第二 C 圖所示，去除覆蓋在外表面之乾膜 (72)，而在第二 D 圖之“壓合聚醯氨膜”之步驟中，則對該已形成線路之銅箔進行覆蓋聚醯氨膜 (74)，以使銅箔 (71) 完全包覆於內，其次，則為如第二 E 圖之壓合一蝕刻膜 (75) (乾膜)，以供進行如第二 F 圖之對前述聚醯氨膜 (74) 外露的部份蝕刻，以形成可與內層銅箔 (71) 迴路連通之接點 (供做為後續結合錫球之用

五、發明說明(2)

), 在第二 G 圖中, 為去除前述蝕刻膜 (75) 及去除填充於該底層之軟板 (70) 中央的填充膠 (73), 並同時進行濺鍍形成如圖面中央朝下延伸之凸點 (77) (供焊接晶片接點之用), 之後, 為如第二 H 圖所示, 於底面外圍附加一補強板 (76) (硬板), 以補強整個結構強度後, 再進行如第二 I、J 圖之進行植入晶片 (80)、灌膠形成覆蓋於晶片外圍之保護膠 (90) 以及於上表面各外露的銅箔位置進行焊接錫球 (91), 據以形成 T A B 封裝作業者。

然以上述傳統製程觀之, 有著如下各項缺點:

- (1) 製程實施較為困難、良率不佳: 在第二 A ~ G 圖之製程中, 均僅以位在底面之軟板 (70) 做為基板, 此舉, 在操作上即較為困難而不易實施, 更由於其整個製程亦較為複雜之故, 更導致製程良率不佳。
- (2) 作業速度緩慢, 製程效率不彰: 為以濺鍍方式形成凸點之型態, 製程速度較為緩慢, 且濺鍍機台昂貴, 機具成本投資較高。
- (3) 於製作完成後更須附加一補強板做為支撐, 導致作業複雜度增加。
- (4) 附加之補強板與線路距離較遠, 封裝電性較差。
- (5) 無法形成細線路的效果: 僅使用乾膜蝕刻銅箔的線路形成方式, 無法提供極細線路的高密度效果, 使得包裝密度受到相當限制。

五、發明說明 ()

故基於前述習知 T A B 封裝之為在軟板上操作困難、良率不佳、濺鍍作業緩慢缺乏效率以及補強板材料耗用量過大等缺失下，本發明人欲提供一種解決此等問題的改善方案。

亦即，本發明之主要目的在於提供一種硬式 T A B 封裝方法，為提供一種於作業期間均有銅片支撐而解決製程作業之不便外，凸點為採用較具效率之電鍍方式直接形成，另於製程中使用直接壓合薄金屬板之方式，可解決習知製程於後續再額外附加補強板之複雜度，再者，形成線路之方式亦為運用電鍍形成電鍍層的方式進行，亦使得線路可達到極細線寬的高密度效果，據以形成一種具有製程效率佳、無需濺鍍作業、製程實施較為簡便與可獲得細線路效果之硬式 T A B 封裝方法者。

本發明之次一目的在於提供一種硬式 T A B 封裝方法，其封裝步驟依序為以單面線路鍍鎳銅、選擇性鍍鎳金、壓合絕緣層及薄金屬板、去除乾膜、填膠壓膜蝕銅作綠漆、去膜除膠、植晶片、灌膠與植球等作業據以完成者。

本發明之又一目的在於提供一種硬式 T A B 封裝方法，其中該單面線路鍍鎳銅之步驟中，為在一銅片上覆乾膜與進行電鍍鎳、銅材料形成突起之線路電鍍層，此電鍍形成線路之方式，可獲得極細的線寬效果，有著提高線路密度之積極效果。

本發明之另一目的在於提供一種硬式 T A B 封裝方法

五、發明說明(4)

· 其中該選擇性鍍鍍金之步驟，亦為以覆乾膜與形成可供與晶片焊接之電鍍凸點，此舉，可免除傳統製程之濺鍍形成凸點的作業速度過度緩慢與機具投資過大的缺點。

為使 貴審查委員能進一步瞭解本發明之方法，特徵及其他目的，茲 附以圖式詳細說明如后：

(一) · 圖式部份：

第一 A ~ I 圖：係本發明之製法流程示意圖。

第二 A ~ J 圖：係傳統製程之製法流程示意圖。

(二) · 圖號部份：

(10) 銅片	(11) (111) 乾膜
(112) 缺口	(12) 電鍍層
(13) 電鍍凸點	(20) 絕緣層
(30) 薄金屬板	(40) 膠料
(50) 綠漆	(60) 晶片
(61) 保護膠	(62) 錫球
(70) 軟板	(71) 銅箔
(72) 乾膜	(73) 填充膠
(74) 聚醯氨膜	(75) 乾膜
(76) 補強板	(80) 晶片
(90) 保護膠	(77) 凸點

如第一 A ~ I 圖所示，為本發明之封裝流程剖面示意圖，依序為以一單面乾膜線路鍍鍍銅之步驟、一選擇性鍍鍍金作凸點之步驟、一壓合絕緣層及薄金屬板之步驟、一

五、發明說明(5)

去除乾膜之步驟、一填膠壓膜蝕銅作綠漆之步驟、一去膜除膠之步驟、一安裝晶片之步驟、一灌膠之步驟以及一植錫球等步驟所組成，其中，在第一 A 圖之單面乾膜線路鍍鎳銅的步驟中，為在一銅片 (1 0) 上進行覆蓋乾膜 (1 1)，並在未被乾膜 (1 1) 覆蓋的位置依序進行電鍍形成電鍍鎳與電鍍銅所疊合而成之電鍍層 (1 2)，此電鍍層 (1 2) 形成後，即為線路部份，其次，為在第一 B 圖之“選擇性鍍鎳金作凸點”的步驟中，為在上、下表面覆蓋另一乾膜 (1 1 1)，而僅在接近頂面的中央位置形成缺口 (1 1 2)，此時，即可對該缺口 (1 1 2) 位置進行電鍍鎳及電鍍金之步驟，而該缺口 (1 1 2) 位置形成電鍍凸點 (1 3)，其次，在第一 C 圖之“去除乾膜”之步驟中，則為去除第一 B 圖之兩層乾膜 (1 1) (1 1 1)，而僅留下前述之銅片 (1 0)、電鍍層 (1 2) 以及電鍍凸點 (1 3) 等構造，在第一 D 圖之“壓合絕緣層與壓合薄金屬板”之步驟中，為在中央位置留下空孔，而外圍位置依序壓合一絕緣層 (2 0) (可為樹脂材料) 以及一薄金屬板 (3 0) (厚度可設為約在 0 . 5 m m)，藉此壓合步驟後，即直接賦予其適當的支撐力，在第一 E 圖之“填膠壓膜蝕銅作綠漆”之步驟中，為在該第一 D 圖之凹孔內填入膠料 (4 0)，以保護該電鍍凸點 (1 3) 不致受損，於填膠完成後，則進行蝕刻去除該原位在底層之銅片 (1 0) 部份，而僅留下電鍍層 (1 2) 部位而已

五、發明說明(6)

，並於適當處上綠漆(50)以防止氧化，在第一F圖之“去膜除膠”之步驟中，為去除前述填入之膠料(40)而使得中央位置呈中空狀態，後續之第一G~I圖，為類似於傳統方式，依序進行安裝晶片(60)、灌膠形成覆蓋在外圍之保護膠(61)以及植入錫球(62)等步驟，據以完成整個封裝流程。

在前述第一A圖之形成單面線路之步驟中，為使用銅片乾膜電鍍方式形成線路者，即可獲得極細與高密度線路的效果，此製程即較傳統蝕刻方式優異，而第一B圖之選擇性鍍鍍金而形成電鍍凸點之電鍍步驟中，僅以電鍍方式即可形成電鍍凸點，不僅可有效地解決傳統濺鍍形成金屬凸點之作業複雜度及作業速度緩慢的缺點，更無需額外機具輔助作業的不便性，相較之下，當較之具進步性，在第一D圖中為採用一次直接壓合薄金屬板(30)而免除傳統製程於最後之步驟再予附加補強板之不便性，當有較為準確與較為簡便之優點，且此薄金屬板(30)更以極薄的絕緣層(20)與線路電鍍層(12)相互隔開，其間距離相當接近，更有提高封裝電性之效果(以薄金屬板視為接地層時)，誠為一確具改良進步性之TAB封裝方法者。

經以前述說明可知，可歸納具有如下各項優點：

- (1)可製出細線路：線路為運用銅片上電鍍形成線路電鍍層，可獲致精準、穩定的線路與達到細線寬的效果，可符合高

五、發明說明(7)

密度之要求。

- (2) 於作業期間以為銅片支撐，作業較為簡便：無傳統軟板上作業之不便性。
- (3) 金屬凸點形成方式簡便迅速：亦為使用電鍍方式形成，無需額外機具的投資費用，且無傳統濺鍍作業之耗時與不便現象。
- (4) 在前段步驟即採用壓合形成薄金屬板，較為精準、簡便：解決傳統於薄膜作業完成後另額外附加補強板之不便性。
- (5) 壓合薄金屬板為提供較佳的封裝電性：壓合之薄金屬板為與線路相當接近，具有良好的訊號隔離及提昇電性的效果。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

四、中文發明摘要(發明之名稱：)

硬式 T A B 封裝方法

本發明係關於一種硬式 T A B 封裝方法，尤指一種可改善傳統 T A B 封裝作業複雜與良率不易提昇者，本案之封裝方式上，主要為以單面線路鍍鎳銅、選擇性鍍鎳金、去除乾膜、壓合絕緣層及薄金屬板、填膠壓膜蝕銅作綠漆、去膜除膠、植晶片、灌膠與植球等步驟組成，其中，形成單面線路之電鍍作業可獲得極細的線路，即較傳統蝕刻形成線路更形精確與達到更細線寬要求，而選擇性鍍鎳金為形成供晶片連結的電鍍凸點，可改善傳統濺鍍形成凸點之作業緩慢問題，據以形成一種可獲致細線路且作業複雜度較低之硬式 T A B 封裝方法者。

英文發明摘要(發明之名稱：)

六、申請專利範圍

1 . 一種硬式 T A B 封裝方法，包括：

一為在銅片上單面覆乾膜與電鍍形成線路電鍍層之步驟；

一為在表面再行覆蓋另一乾膜，而在電鍍層之局部位置再行電鍍形成電鍍凸點之步驟；

一去除所有乾膜之步驟；

一壓合絕緣層與金屬板之步驟；

一填膠料於該形成電鍍凸點之區域內，並蝕刻去除前述銅片而使電鍍層外露與在該電鍍層外露之區域塗佈綠漆之步驟；

一去除前述膠料之步驟；及

依次進行安裝晶片、灌膠與結合錫球之步驟者。

2 . 如申請專利範圍第 1 項所述之硬式 T A B 封裝方法，其中該電鍍層為依序以鍍鎳及鍍銅兩種材料疊合而成。

3 . 如申請專利範圍第 1 項所述之硬式 T A B 封裝方法，其中該電鍍凸點為以鍍鎳及鍍金兩種材料疊合而成者。

4 . 如申請專利範圍第 1 項所述之硬式 T A B 封裝方法，其中該絕緣層可為樹脂材料者。

5 . 如申請專利範圍第 1 項所述之硬式 T A B 封裝方法，其中該金屬板為一厚度約在 0 . 5 m m 厚度者。

6 . 如申請專利範圍第 1 項所述之硬式 T A B 封裝方

六、申請專利範圍

法，其中該絕緣層及金屬板為位在銅片的外圍位置，中央為形成一凹陷孔者。

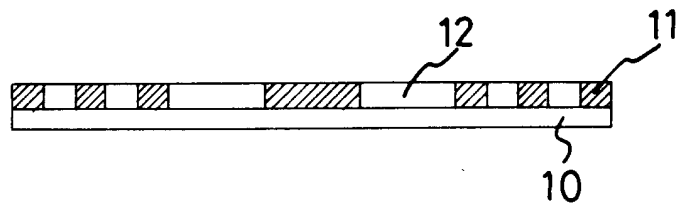
(請先閱讀背面之注意事項再填寫本頁)

裝

訂

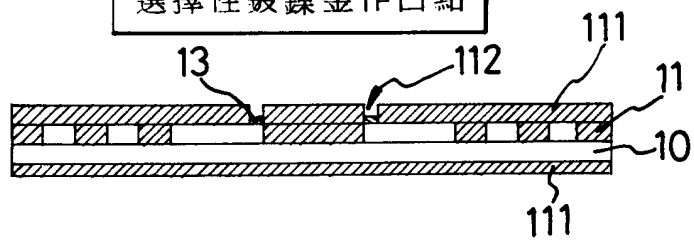
線

單面線路鍍銀銅



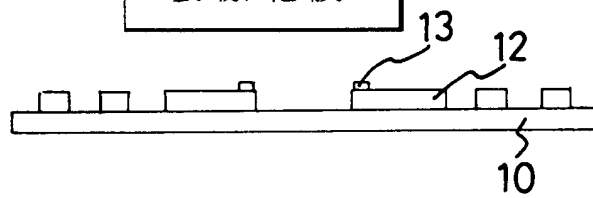
第一 A 圖

選擇性鍍銀金作凸點



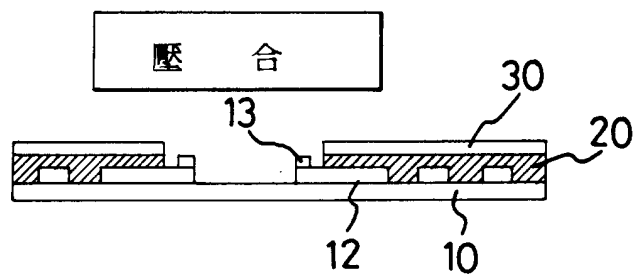
第一 B 圖

去除乾膜



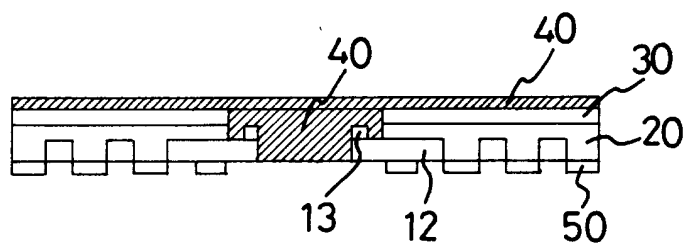
第一 C 圖

(3)



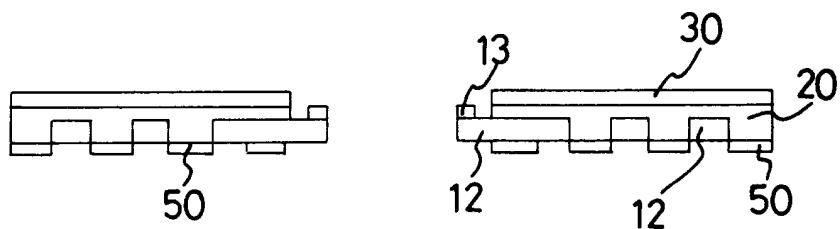
第一D圖

填膠壓膜蝕銅鍍作綠漆

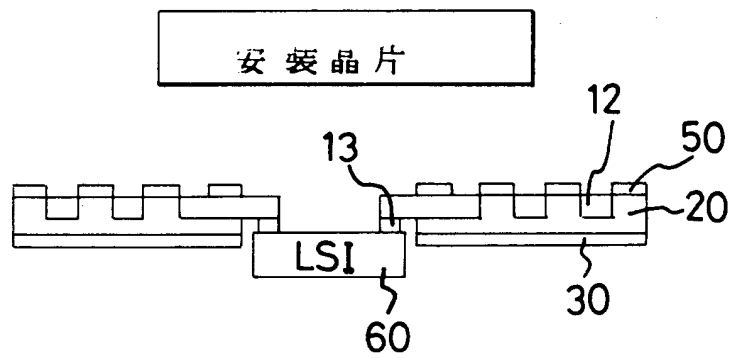


第一E圖

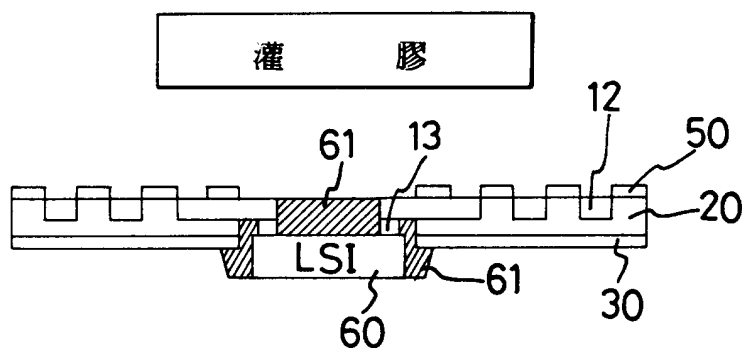
去膜除膠



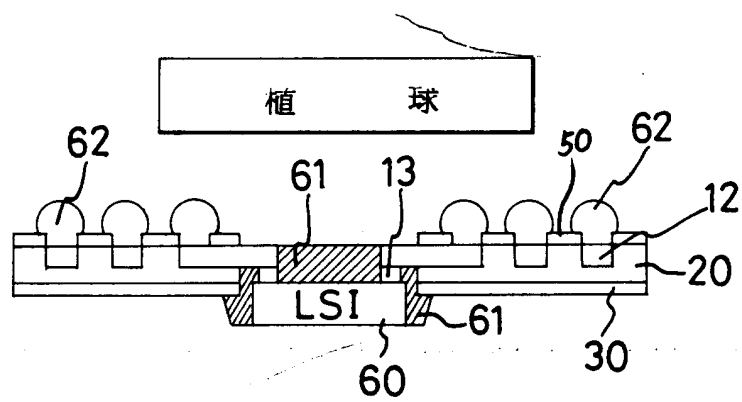
第一F圖



第一 G 圖

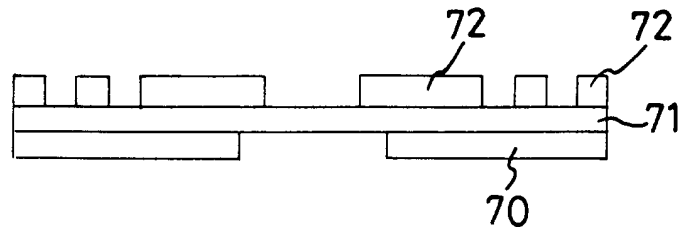


第一 H 圖



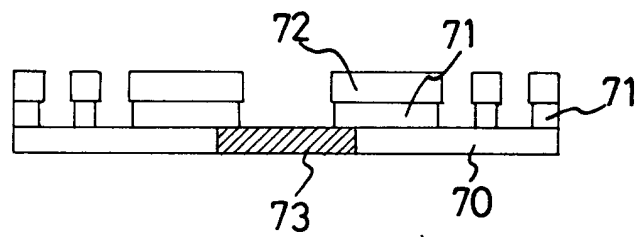
第一 I 圖

單面乾膜線路形成



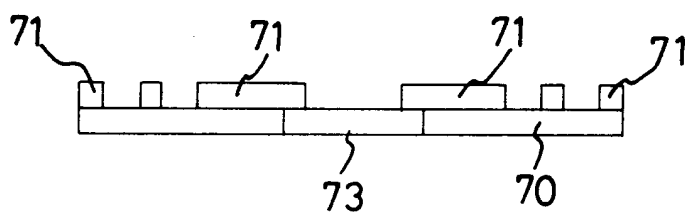
第二 A 圖

填充膠蝕銅作線路

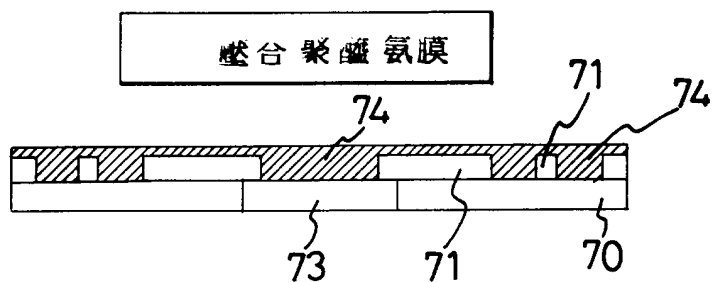


第二 B 圖

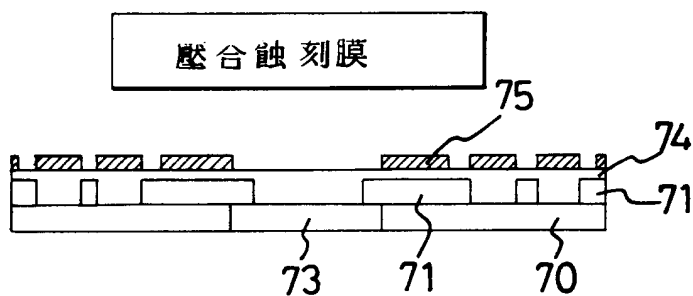
去除乾膜



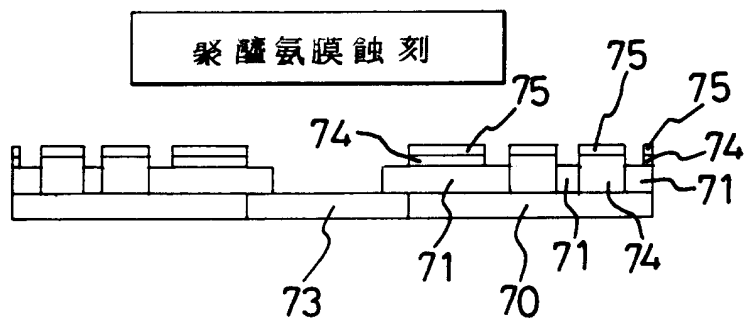
第二 C 圖



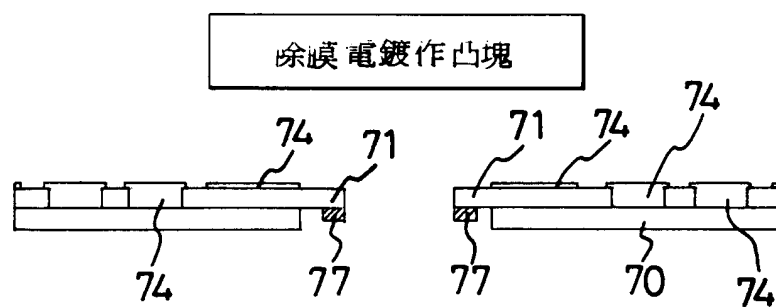
第二D圖



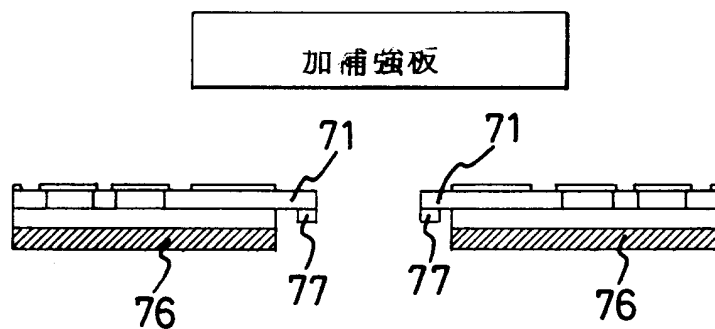
第二E圖



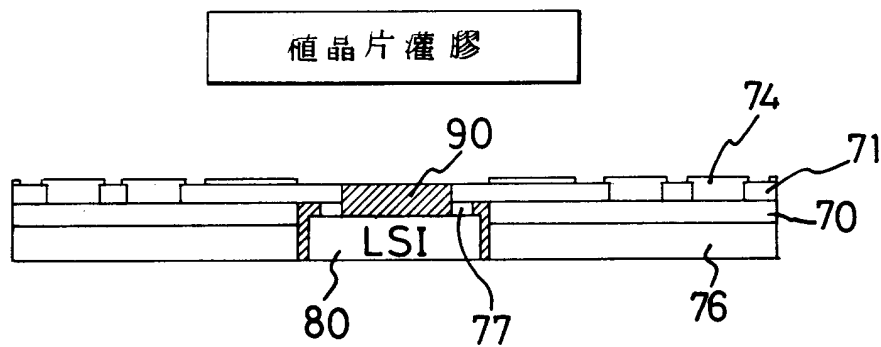
第二F圖



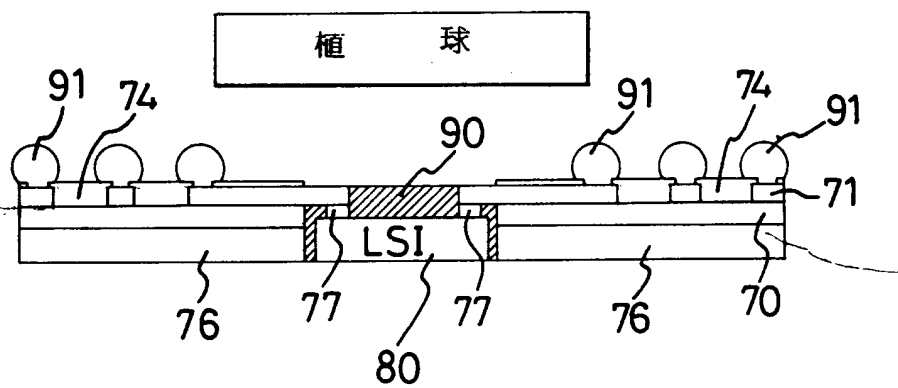
第 二 G 圖



第 二 H 圖



第二 I 圖



第二 J 圖