



(12) **DEMANDE DE BREVET EUROPEEN**

(43) Date de publication:
14.01.2004 Bulletin 2004/03

(51) Int Cl.7: **G05F 3/24**

(21) Numéro de dépôt: **03300056.3**

(22) Date de dépôt: **09.07.2003**

(84) Etats contractants désignés:
AT BE BG CH CY CZ DE DK EE ES FI FR GB GR
HU IE IT LI LU MC NL PT RO SE SI SK TR
 Etats d'extension désignés:
AL LT LV MK

(72) Inventeurs:
 • **Pons, Alexandre**
38600, Fontaine (FR)
 • **Bernard, Christophe**
38640, Claix (FR)

(30) Priorité: **09.07.2002 FR 0208624**

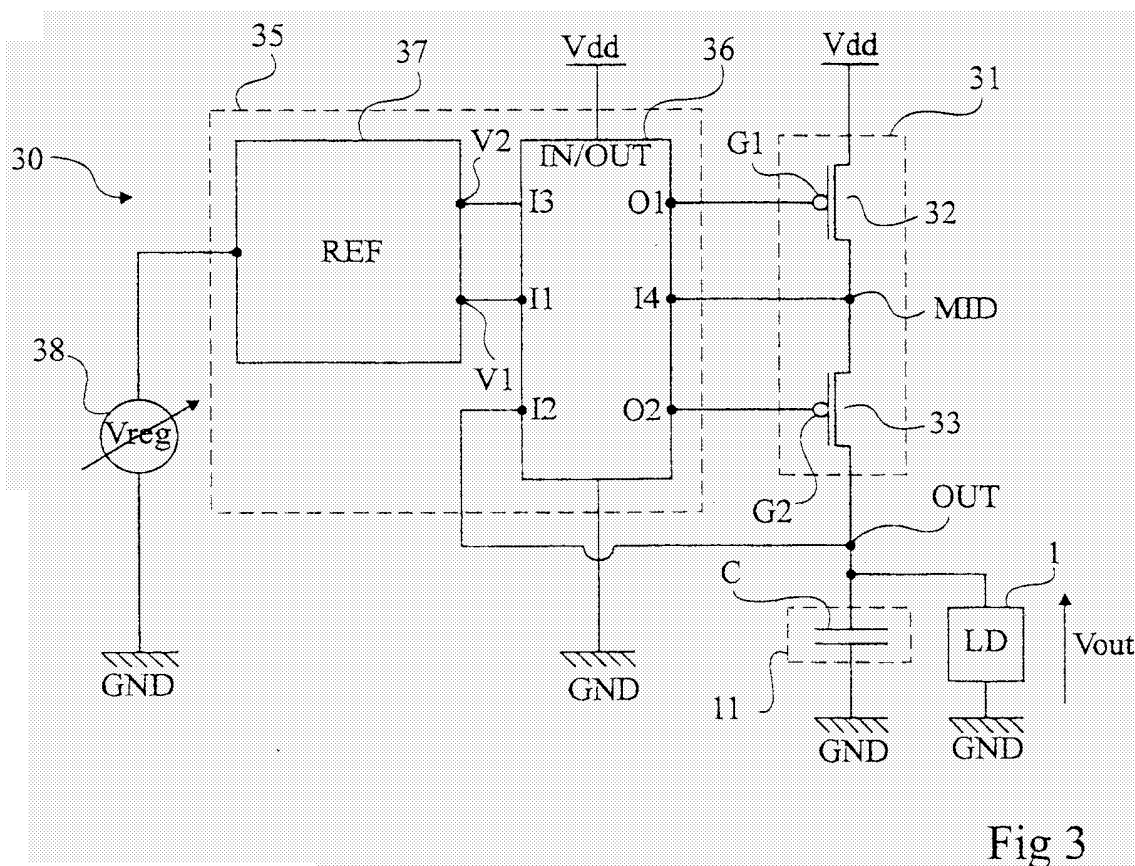
(74) Mandataire: **de Beaumont, Michel et al**
1bis, rue Champollion
38000 Grenoble (FR)

(71) Demandeur: **ST MICROELECTRONICS S.A.**
92120 Montrouge (FR)

(54) **Régulateur de tension linéaire**

(57) L'invention concerne un régulateur linéaire comportant un étage de sortie (31) comprenant des premier et second transistors MOS à canal P (32, 33), connectés en série entre une première borne d'alimentation continue (Vdd) et une borne de sortie (OUT) fournissant

une tension de sortie régulée (Vout), et un circuit de commande (35) des premier et second transistors propre à leur fournir des premier et second signaux de commande en fonction de la tension de sortie et de la tension au point milieu (MID) de la connexion en série.



Description

[0001] La présente invention concerne de façon générale la régulation d'une tension aux bornes d'une charge. Plus particulièrement, la présente invention concerne une telle régulation effectuée de façon linéaire.

[0002] La figure 1 illustre, de façon schématique et partielle, un exemple classique de régulateur linéaire d'une tension Vout aux bornes d'une charge (LD) 1. Le régulateur comporte un transistor MOS à canal P 2 dont la source est connectée à un rail d'alimentation de tension haute Vdd et dont le drain constitue la borne de sortie OUT du régulateur. La charge 1 est connectée entre la borne OUT et un rail d'alimentation basse ou de tension de référence ou masse GND. Le transistor 2 fonctionne en régime linéaire, c'est-à-dire que l'on utilise sa transconductance pour faire varier son courant de sortie en fonction de la tension de commande appliquée sur sa grille G. La tension de commande de la grille G est régulée en fonction de la tension Vout aux bornes de la charge 1. La régulation est effectuée par un comparateur différentiel 3 comportant un étage d'entrée/sortie 4 et un étage de sortie 5. L'étage d'entrée/sortie 4 comprend deux branches différentielles comportant chacune un transistor MOS à canal P 61, 62 connecté en série avec un transistor MOS à canal N 63, 64. Les sources des transistors 61 et 62 sont connectées à une borne de sortie d'une source de courant 60 dont une borne d'entrée est reliée à l'alimentation haute Vdd. Les sources des transistors 63 et 64 sont connectées à l'alimentation basse GND. Les grilles des transistors 63 et 64 sont interconnectées. Une branche 61-63 constitue une branche d'entrée, alors que l'autre branche 62-64 constitue une branche de sortie. Le transistor 61 de la branche d'entrée reçoit une consigne de tension continue constante Vreg fournie par un générateur de tension 8, connecté entre la grille du transistor 61 et la masse GND. La grille du transistor 63 est connectée à son drain, c'est-à-dire également au drain du transistor 61. La grille du transistor 63 reçoit la tension Vout aux bornes de la charge 1 par une connexion à la borne de sortie OUT du régulateur, éventuellement à une prise intermédiaire d'un pont de résistances. Le point de connexion 65 des drains des transistors 62 et 64 constitue la sortie de l'étage d'entrée/sortie 4 du comparateur 3.

[0003] L'étage de sortie 5 est constitué de la connexion en série, entre les alimentations haute Vdd et basse GND, d'une impédance 9 généralement résistive (R) et d'un transistor MOS à canal N 10. Le point de connexion de l'impédance 9 et du transistor 10 constitue la borne de sortie du comparateur différentiel 3 reliée à la grille G du transistor de régulation 2. La grille du transistor 10 est connectée au point 65 de la branche différentielle d'entrée/sortie 62-64.

[0004] Le régulateur comporte en outre une impédance (C) 11, généralement capacitive, destinée à stabiliser la tension de sortie Vout.

[0005] Les figures 2A-2C illustrent, par des chronogrammes, un exemple de variation en fonction du temps t de la consigne de tension Vreg aux bornes de la source 8, de la tension de sortie Vout aux bornes de la charge 1, et de la tension Vds entre les bornes de drain et de source du transistor 2. Lors du démarrage du circuit, à un instant t0, on valide le générateur de tension constante continue 8 de façon qu'il délivre une consigne de régulation nominale non nulle stable Vref jusqu'à un instant t1 d'extinction du circuit. Le comparateur différentiel 3 force alors, comme l'illustre la figure 2B, la tension de sortie Vout à suivre la tension de régulation Vreg et à s'aligner sur le niveau de référence Vref. La tension Vout est ensuite régulée de façon stable au niveau Vref par la commande de grille jusqu'à l'instant t1 d'extinction ou de mise en veille du circuit. Cette régulation est effectuée par une commande en mode linéaire du transistor 2 qui est utilisé comme une transconductance variable dont le courant de sortie dépend de la tension de commande sur la grille G.

[0006] On considère plus particulièrement dans la présente description les applications dans lesquelles la charge 1 doit être alimentée à un niveau de tension de l'ordre de 3,3 à 5,5 volts. Une telle valeur est relativement élevée par rapport à la tension maximale de l'ordre de 2,4 à 2,8 volts que peuvent tenir les composants (en particulier le transistor MOS 2) utilisés dans des filières technologiques d'intégration standard. Toutefois, lors des périodes d'extinction de la charge 1, le transistor MOS 2 doit tenir la tension Vdd à ses bornes.

[0007] En effet, comme l'illustre la figure 2C, lors des phases d'extinction de la charge 1 (Vreg=0, figure 2A), c'est-à-dire avant l'instant de démarrage t0 et après l'instant d'extinction t1, le transistor 2 de commande de la charge 1 doit supporter, entre ses bornes de drain et de source, une différence de potentiels Vds égale à l'amplitude d'alimentation Vdd-GND. Par contre, pendant le fonctionnement de la charge 1 (Vreg=Vref), la tension Vds est réduite à la différence entre l'alimentation haute Vdd et la tension Vout aux bornes de la charge 1, c'est-à-dire la valeur de régulation nominale Vref.

[0008] Pour permettre la tenue en tension du transistor 2 pendant les phases d'extinction, on a modifié la filière de fabrication standard 2,5 volts pour insérer des transistors MOS susceptibles de tenir une tension maximale supérieure à 5 volts entre leur drain et leur source. On a notamment modifié les masques de définition du transistor de régulation 2 par rapport aux transistors voisins, de façon à accroître considérablement l'épaisseur d'une partie d'un isolant de grille proche d'une des régions de drain/source et à augmenter la surface de cette même région de drain/source. Mais alors, la capacité parasite de grille du transistor 2 est accrue, et sa transconductance est réduite. Or, pour permettre une commande linéaire du transistor 2 telle que décrite précédemment avec des niveaux de commande suffisamment faibles, il faut que la transconductance soit relativement élevée. Pour l'augmenter, on doit alors accroître

encore plus la surface d'intégration du transistor 2.

[0009] L'accroissement de surface entraîne qu'il faut parfois intégrer ces commutateurs de commande en dehors de la puce dans laquelle est réalisé le reste du circuit de puissance constituant le régulateur de tension. En outre, il faut alors tenir compte d'une capacité parasite relativement élevée par rapport aux capacités parasites des autres éléments du circuit. De plus, la tension de déchet, c'est-à-dire l'écart entre la consigne de régulation V_{ref} et la tension de sortie V_{out} peut difficilement être réduite à moins de 500 mV. Ceci est particulièrement désavantageux dans des dispositifs portables tels que des agendas électroniques, des téléphones satellites, des ordinateurs portables ou des organiseurs de poche. En effet, obtenir le niveau de sortie nominal nécessaire au bon fonctionnement de la charge, impose le recours à une consigne d'un niveau plus élevé. Ceci accroît l'encombrement du circuit et/ou, plus généralement, provoque alors une décharge accélérée des batteries alimentant l'ensemble du circuit et permettant de fournir la consigne de référence V_{ref} . Dans ce dernier cas, il faut effectuer de fréquentes recharges des batteries du dispositif, ce qui est en contradiction avec leur caractère portable.

[0010] Par ailleurs, les modifications de la filière de fabrication nécessaires à la formation du transistor MOS de régulation sont particulièrement gênantes en termes de complication du procédé global et de coût.

[0011] Pour pallier ces problèmes, on a proposé d'utiliser un transistor de régulation de type bipolaire haute tension, qui présente l'avantage de demander une moindre surface d'intégration par rapport au MOS spécifique, notamment car il peut plus facilement être intégré de façon verticale dans un substrat de silicium. Toutefois, le recours à un transistor bipolaire pose de nombreux problèmes.

[0012] Notamment, il faut recourir à une filière BiCMOS qui est plus complexe que la filière MOS. Il faut également prévoir un circuit spécifique pour fixer le point de fonctionnement du transistor bipolaire, et notamment prévoir une limitation du courant de base. En outre, un transistor de régulation bipolaire conduit à des tensions de déchet plus élevées qu'un transistor MOS avec une plage de linéarité plus restreinte. Ceci est particulièrement désavantageux dans le cas de dispositifs de type portable pour lesquels il est souhaitable de réduire le plus possible la tension de déchet, c'est-à-dire de la rendre, de préférence, inférieure à 200 mV.

[0013] La présente invention vise à proposer un régulateur linéaire qui pallie les inconvénients des circuits connus.

[0014] La présente invention vise en particulier à proposer un régulateur linéaire qui présente une tension de déchet réduite.

[0015] La présente invention vise à proposer un tel régulateur qui peut être fabriqué à l'aide d'une filière MOS standard.

[0016] Pour atteindre ces objets et d'autres, la présente invention prévoit un régulateur linéaire comportant un étage de sortie comprenant des premier et second transistors MOS à canal P, connectés en série entre une première borne d'alimentation continue et une borne de sortie fournissant une tension de sortie régulée, et un circuit de commande des premier et second transistors propre à fournir des premier et second signaux de commande en fonction de la tension de sortie et de la tension au point milieu de la connexion en série.

[0017] Selon un mode de réalisation de la présente invention, le circuit de commande comprend un circuit d'entrée/sortie et un circuit de référence, le circuit d'entrée/sortie comportant une première entrée, recevant une première consigne de tension fournie par ledit circuit de référence ; une deuxième entrée, connectée à ladite borne de sortie ; une troisième entrée recevant une seconde consigne de tension fournie par ledit circuit de référence ; une quatrième entrée connectée audit point milieu ; une première sortie connectée à la grille du premier transistor ; et une deuxième sortie connectée à la grille du deuxième transistor.

[0018] Selon un mode de réalisation de la présente invention, le circuit d'entrée/sortie est un double comparateur différentiel à quatre entrées et deux sorties.

[0019] Selon un mode de réalisation de la présente invention, le circuit d'entrée/sortie comporte des premier et second comparateurs différentiels à deux entrées et deux sorties, les bornes d'entrée du premier comparateur différentiel étant les première et deuxième bornes d'entrée du circuit d'entrée/sortie et sa sortie étant la deuxième sortie dudit circuit d'entrée/sortie ; et les bornes d'entrée du second comparateur différentiel étant les troisième et quatrième bornes d'entrée dudit circuit d'entrée/sortie et sa sortie en étant la première sortie.

[0020] Selon un mode de réalisation de la présente invention, le premier comparateur différentiel comporte un étage d'entrée/sortie et un étage de sortie, ledit étage d'entrée/sortie comportant deux branches différentielles dont chacune comprend un transistor MOS à canal P connecté en série avec un premier transistor MOS à canal N, les sources des transistors à canal P étant interconnectées à une borne de sortie d'une source de courant dont une borne d'entrée est reliée à ladite borne d'alimentation continue, les sources des premiers transistors à canal N étant interconnectées à une borne de masse, les grilles desdits premiers transistors MOS à canal N étant interconnectées, les grilles des transistors à canal P constituant les première et deuxième bornes d'entrée du circuit d'entrée/sortie, la grille du premier transistor MOS à canal N de la branche comportant la première entrée étant connectée à son drain, le point milieu de connexion des drains des transistors complémentaires de l'autre branche étant relié à la grille d'un deuxième transistor MOS à canal N connecté, dans ledit étage de sortie, en série entre les bornes d'alimentation, avec une première impédance, le point milieu de la connexion en série de ladite première impédance et du

deuxième transistor constituant la borne de sortie dudit premier comparateur différentiel.

[0021] Selon un mode de réalisation de la présente invention, le second comparateur différentiel comporte deux branches différentielles symétriques constituées chacune de la connexion en série d'une seconde impédance, et d'un troisième transistor MOS à canal N, respectivement, les sources des troisièmes transistors à canal N étant interconnectées au drain d'un quatrième transistor MOS à canal N dont la source est connectée à la masse, la grille du quatrième transistor à canal N étant connectée à la grille du deuxième transistor MOS à canal N de l'étage de sortie du premier comparateur différentiel.

[0022] Ces objets, caractéristiques et avantages, ainsi que d'autres de la présente invention seront exposés en détail dans la description suivante de modes de réalisation particuliers faite à titre non-limitatif en relation avec les figures jointes parmi lesquelles :

la figure 1, qui a été décrite précédemment, représente de façon partielle et schématique la structure d'un régulateur linéaire connu associé à une charge ;

les figures 2A à 2C, qui ont été décrites précédemment, sont des chronogrammes illustrant le fonctionnement du régulateur de la figure 1 ;

la figure 3 représente, sous forme d'un schéma-blocs partiel et schématique, un régulateur linéaire selon un mode de réalisation de la présente invention associé à une charge ;

la figure 4A est un chronogramme illustrant une première consigne de tension du régulateur de la figure 3 ;

la figure 4B est un chronogramme illustrant la tension de sortie du régulateur de la figure 3 ;

la figure 4C est un chronogramme illustrant une deuxième consigne de tension du régulateur de la figure 3 ;

la figure 4D est un chronogramme illustrant une tension aux bornes d'un composant d'un étage de sortie du régulateur de la figure 3 ;

la figure 5 représente, partiellement et schématiquement, un mode de réalisation d'un étage d'entrée/sortie du régulateur de la figure 3 ; et

la figure 6 représente un mode de réalisation d'un générateur de première et deuxième consignes de tension utilisable dans le régulateur de la figure 3.

[0023] Par souci de clarté, de mêmes éléments ont été désignés aux différentes figures par de mêmes références. En outre, seuls les éléments qui sont nécessaires à la compréhension de la présente invention ont été représentés. Ainsi, d'éventuels circuits de validation des générateurs de tension de référence ne sont ni représentés, ni décrits.

[0024] La figure 3 représente, sous forme d'un schéma-blocs, un régulateur linéaire 30 selon un mode de

réalisation de la présente invention. Le régulateur 30 comporte un étage de sortie 31 constitué de la connexion en série, entre un rail d'alimentation haute Vdd et une borne de sortie OUT, de deux transistors MOS à canal P 32 et 33. La borne de sortie OUT est destinée à être connectée à une première borne d'alimentation d'une charge (LD) 1 dont une deuxième borne d'alimentation est reliée à un rail d'alimentation basse ou masse GND. Pour stabiliser rapidement la tension de sortie régulée, le régulateur linéaire 30 comprend également, de préférence, une impédance de stabilisation 11, par exemple un condensateur C.

[0025] La régulation de la tension Vout aux bornes de la charge 1, c'est-à-dire sur la borne de sortie OUT, est effectuée en modulant des signaux de commande des grilles G1 et G2 des transistors 32 et 33, respectivement, de façon à modifier leur transconductance.

[0026] Les signaux de commande de l'étage de sortie 31 sont produits par un circuit de commande 35. Le circuit 35 module le signal de commande de la grille G1 du transistor 32 de façon à réguler la tension au point milieu MID de la connexion en série des transistors 32 et 33 de l'étage de sortie 31. Il module également le signal de commande de la grille G2 du transistor 32 de façon à réguler la tension de sortie Vout. Le circuit 35 comporte un étage d'entrée/sortie (IN/OUT) 36 destiné à produire les signaux de commande et un étage de référence (REF) 37. L'étage d'entrée/sortie 36 comprend quatre bornes d'entrée I1, I2, I3 et I4 et deux bornes de sortie O1 et O2. La borne I1 reçoit une consigne de tension de régulation V1 de la tension de sortie Vout. La borne I2 reçoit la tension de sortie Vout. La borne I3 reçoit une consigne de tension de régulation V2 de la tension au point milieu MID. La borne I4 reçoit la tension Vmid du point milieu MID par une connexion directe à ce point. Les bornes de sortie O1 et O2 sont respectivement connectées aux grilles G1, G2.

[0027] Les consignes de régulation V1 et V2 reçues sur les bornes I1 et I3 de l'étage 36, respectivement, sont fournies par le circuit de référence (REF) 37 à partir d'une source variable 38 de tension continue (Vreg). Plus particulièrement, pour réguler le point milieu MID de façon à garantir une équipartition des tensions aux bornes de chacun des deux transistors en série 32 et 33, la consigne de régulation V2 du point milieu MID est égale à la moitié de la somme de la tension d'alimentation haute Vdd et de la première consigne de régulation V1 ($V2 = (Vdd + V1)/2$). La source 38 fournit donc, de préférence, directement la première consigne V1 ($Vreg = V1$) à partir de laquelle le circuit 37 fournit la seconde consigne V2 selon la relation précédente.

[0028] Les figures 4A, 4B, 4C et 4D illustrent respectivement, par des chronogrammes, la variation en fonction du temps t de la consigne de régulation V1 de la tension de sortie Vout du régulateur 30 de la figure 3, de la tension de sortie Vout, de la consigne de régulation V2 de la tension du point milieu MID et de la tension courante Vmid au point milieu MID, c'est-à-dire la ten-

sion de drain du transistor 32.

[0029] Lors d'une mise en route du régulateur 30, à un instant t10, le circuit de référence 37 est validé par une mise en route de la source 38 et produit les consignes de régulation V1 et V2. Comme l'illustrent les figures 4A et 4C, les consignes de régulation V1 et V2 sont, pendant une phase d'amorçage (instants t10 à t11), des rampes parallèles. En effet, comme cela a été indiqué précédemment, pour assurer un équilibre de répartition des tensions aux bornes des transistors 32 et 33, il faut assurer qu'à tout instant le potentiel au point milieu MID est égal à la moitié de la différence entre la tension d'alimentation haute Vdd et la tension Vout aux bornes de la charge 1 ($V_{mid} = (V_{dd} - V_{out})/2$). Pour ce faire, il faut appliquer une consigne égale à la demi-somme de la tension d'alimentation haute Vdd et de la première consigne V1. Lors de la variation de la consigne V1 d'une valeur nulle à une consigne nominale Vref, le circuit de commande 35 doit pouvoir assurer une telle condition. Pour permettre un suivi linéaire, il est alors préférable que la consigne V1 varie lentement plutôt que brutalement comme dans le cas d'une consigne standard (figure 2A).

[0030] Comme l'illustre la figure 4B, pendant la phase d'amorçage, la tension de sortie Vout suit, à partir de l'instant t10, la première consigne V1 jusqu'à se stabiliser à l'instant t11 à la valeur nominale Vref. La tension Vmid au point milieu MID, illustrée en figure 4D, décroît par contre de façon contrôlée de la moitié de l'alimentation haute ($V_{dd}/2$) jusqu'à la valeur stable ($(V_{dd} - V_{ref})/2$). En fonctionnement nominal, entre les instants t11 et t12, les tensions de sortie Vout et du point milieu Vmid sont maintenues stables par des consignes V1 et V2 stables. Lors d'une commande d'extinction de la charge 1 à un instant t12, pour permettre un suivi linéaire de la deuxième consigne V2, la première consigne V1 est progressivement ramenée à zéro selon une rampe jusqu'à un instant t13. L'alimentation Vdd se répartit alors symétriquement sur les transistors 32 et 33.

[0031] En régime nominal (de t11 à t12), le circuit de commande 35 assure que toute fluctuation éventuelle de la puissance au niveau de la charge 1 se traduit par une variation des consignes V1 et V2 de façon à rétablir le régime nominal et à répartir la variation de puissance de façon symétrique sur les deux transistors de puissance 32 et 33. Ainsi, aucun des deux transistors 32 et/ou 33 ne se trouve confronté à une tension drain/source excessive.

[0032] On a représenté en figure 4 des rampes d'amorçage et d'extinction de pente respective différente. Plus particulièrement, on a représenté une extinction plus rapide (t12-t13) que l'amorçage (t10-t11). En pratique, la pente des rampes dépend des performances techniques des circuits et notamment de la capacité du circuit de commande 35 à suivre, transformer et transmettre, la variation de la première consigne V1. Les pentes peuvent être plus rapides ou plus lentes que représentées. En outre, elles peuvent être symétriques ou

présenter une asymétrie inverse de celle représentée, c'est-à-dire que l'amorçage peut être plus rapide que l'extinction.

[0033] La figure 5 illustre, schématiquement et partiellement, la structure d'un mode de réalisation de l'étage d'entrée/sortie 36 d'un circuit de commande 35 d'un étage de sortie 31 d'un régulateur 30 selon la présente invention.

[0034] Le circuit d'entrée/sortie 36 à quatre entrées et deux sorties est un comparateur différentiel. Plus particulièrement, le circuit 36 est constitué de l'association d'un premier comparateur différentiel 50 et d'un deuxième comparateur différentiel 51 entrelacés de la façon suivante.

[0035] Le premier comparateur 50, délimité par un cadre en pointillés en figure 5, est destiné à réguler la tension de sortie Vout à partir de la première consigne V1. Le comparateur 50 a donc une structure similaire à celle d'un comparateur différentiel connu tel que le comparateur 3 décrit en relation avec la figure 1. Par souci de clarté, la structure du comparateur 50 est décrite ci-après à l'aide des mêmes références qu'en figure 1.

[0036] Le comparateur 50 comporte un étage d'entrée/sortie 4 et un étage de sortie 5. L'étage 4 comprend deux branches différentielles comportant chacune un transistor MOS à canal P 61, 62 connecté en série avec un transistor MOS à canal N 63, 64. Les sources des transistors 61 et 62 sont connectées à une borne de sortie d'une source de courant 60 dont une borne d'entrée est reliée à l'alimentation haute Vdd. Les sources des transistors 63 et 64 sont connectées à l'alimentation basse GND. Les grilles des transistors 63 et 64 sont interconnectées. La grille du transistor 61 constitue la borne I1 et reçoit la consigne V1. La grille du transistor 63 est connectée à son drain, c'est-à-dire également au drain du transistor 61. La grille du transistor 62 constitue la borne I2 et reçoit la tension courante Vout aux bornes de la charge 1 par une connexion à la borne de sortie OUT du régulateur. Le point de connexion 65 des drains des transistors 62 et 64 constitue la sortie de l'étage d'entrée/sortie 4 du comparateur 50.

[0037] L'étage de sortie 5 est constitué de la connexion en série, entre l'alimentation haute Vdd et la masse GND, d'une impédance 9, de préférence résistive (R), et d'un transistor MOS à canal N 10. Le point de connexion de l'impédance 9 et du transistor 10 constitue la borne de sortie 02 fournissant le signal de commande de la grille G2 du transistor 33. La grille du transistor 10 est connectée au point milieu 65 de la branche différentielle 62-64 de l'étage d'entrée 4.

[0038] Le deuxième comparateur différentiel 51 est destiné à commander la régulation de la tension au point MID. Il fournit sur la borne de sortie 01 le signal de commande de la grille G1. Le deuxième comparateur 51 comporte deux branches différentielles symétriques constituées chacune de la connexion en série d'une impédance 52, 53, de préférence résistive, et d'un transistor MOS à canal N 54, 55, respectivement. Les sources

des transistors 54 et 55 sont connectées au drain d'un transistor MOS à canal N 56 dont la source est connectée à la masse GND. La grille du transistor 56 est connectée à la sortie 65 de l'étage d'entrée/sortie 4 et à la grille du transistor 10 de l'étage de sortie 5 du premier comparateur différentiel 50. Par conséquent, le point de fonctionnement du deuxième comparateur différentiel 51 dépend de celui de l'étage de sortie 5 du premier comparateur différentiel 50. Ceci permet de stabiliser le signal de commande de la grille G1 du transistor 32 au plus à un niveau requis, qui dépend du niveau du signal de commande de la grille G2 du transistor 33 fourni par le premier comparateur 50. En particulier, lorsque la charge 1 est invalidée et que le transistor 33 est ouvert, le transistor 56 sera complètement passant et permettra une commande de la grille G1 propre à limiter la tension Vmid à la moitié ($V_{dd}/2$) de l'alimentation haute, comme cela a été décrit précédemment en relation avec la figure 4. Les grilles des transistors 54 et 55 constituent, respectivement, les bornes I3 et I4 d'application des tensions V2 et Vmid.

[0039] La figure 6 représente, schématiquement et partiellement, un mode de réalisation d'un générateur 37 des consignes V1 et V2. Le circuit de référence 37 est, selon un mode de réalisation de la présente invention, un diviseur de tension résistif. Le diviseur résistif comporte la connexion en série entre les rails d'alimentation haute Vdd et basse GND de trois résistances successives 71, 72 et 73. Le point de connexion 74 des résistances 72 et 73 est la borne de sortie d'un comparateur différentiel 75 à deux entrées et une sortie, par exemple similaire au comparateur 3 de la figure 1. La borne d'entrée non-inverseuse du comparateur 75 reçoit la consigne de régulation Vreg de la tension de sortie Vout du régulateur 30, par exemple, par une connexion à la source 38. La borne d'entrée inverseuse du comparateur 75 est reliée à la borne de sortie 74. Ainsi, on recopie aux bornes de la résistance 73 la première consigne nommée V1. En choisissant des résistances 71 et 72 de mêmes valeurs, le point milieu de ces deux résistances est contrôlé de façon linéaire par le comparateur 75 à la valeur voulue V2 de la demi-somme de la tension d'alimentation et de la première consigne V1.

[0040] La présente invention fournit avantageusement un régulateur linéaire de puissance réalisable totalement par une filière MOS standard basse tension et de petites dimensions. En effet, le remplacement du transistor MOS haute tension des régulateurs connus par deux transistors basse tension permet de réduire la surface d'intégration. De plus, l'accroissement de surface de la partie commande 35 par rapport au circuit de commande d'un régulateur connu est négligeable par rapport au gain de surface lié au changement de commutateur de puissance.

[0041] En outre, le régulateur linéaire selon la présente invention présente une tension de déchet inférieure à celle des régulateurs connus. A titre d'exemple non limitatif, si la tension d'alimentation haute Vdd vaut de

3,3 à 5,5 volts, chaque transistor 32 et 33 de l'étage de sortie 31 du régulateur linéaire 30 de la présente invention est un transistor MOS standard propre à tenir une tension drain/source d'environ 2,5 volts. La tension de déchet du régulateur est alors réduite jusqu'à des valeurs de l'ordre de 200 mV.

[0042] Bien entendu, la présente invention est susceptible de diverses variantes et modifications qui apparaîtront à l'homme de l'art. En particulier, on notera que le condensateur C (impédance 11) de stabilisation de la tension de sortie Vout a été décrit comme faisant fonctionnellement partie du régulateur linéaire 30. En pratique, la valeur de la capacité du condensateur C est relativement élevée et varie en fonction de l'application, c'est-à-dire de la charge 1. Le condensateur C est donc, de préférence, réalisé à l'extérieur d'une puce de circuit intégré comportant l'ensemble du régulateur 30, et est monté directement en parallèle sur la charge 1. Par ailleurs, l'homme du métier saura modifier les caractéristiques des divers composants à la filière utilisée.

Revendications

1. Régulateur linéaire comportant un étage de sortie (31) comprenant des premier et second transistors MOS à canal P (32, 33), connectés en série entre une première borne d'alimentation continue (Vdd) et une borne de sortie (OUT) fournissant une tension de sortie régulée (Vout), et un circuit de commande (35) des premier et second transistors propre à leur fournir des premier et second signaux de commande en fonction de la tension de sortie et de la tension au point milieu (MID) de la connexion en série.

2. Régulateur selon la revendication 1, **caractérisé en ce que** le circuit de commande (35) comprend un circuit d'entrée/sortie (36) et un circuit de référence (37), le circuit d'entrée/sortie comportant :

une première entrée (I1), recevant une première consigne de tension (V1) fournie par ledit circuit de référence ;
une deuxième entrée (I2), connectée à ladite borne de sortie (OUT) ;
une troisième entrée (I3) recevant une seconde consigne de tension (V2) fournie par ledit circuit de référence ;
une quatrième entrée (I4) connectée audit point milieu (MID) ;
une première sortie (O1) connectée à la grille (G1) du premier transistor (32) ; et
une deuxième sortie (O2) connectée à la grille (G2) du deuxième transistor (33).

3. Régulateur selon la revendication 2, **caractérisé en ce que** le circuit d'entrée/sortie (36) est un dou-

ble comparateur différentiel à quatre entrées et deux sorties.

de sortie (5) du premier comparateur différentiel (50).

4. Régulateur selon la revendication 2 ou 3, **caractérisé en ce que** le circuit d'entrée/sortie (36) comporte des premier (50) et second (51) comparateurs différentiels à deux entrées et deux sorties, les bornes d'entrée du premier comparateur différentiel étant les première (I1) et deuxième (I2) bornes d'entrée du circuit d'entrée/sortie et sa sortie étant la deuxième sortie (O2) dudit circuit d'entrée/sortie ; et les bornes d'entrée du second comparateur différentiel étant les troisième (13) et quatrième (14) bornes d'entrée dudit circuit d'entrée/sortie et sa sortie en étant la première sortie (O1).

5
10
15
5. Régulateur selon la revendication 4, **caractérisé en ce que** le premier comparateur différentiel (50) comporte un étage d'entrée/sortie (4) et un étage de sortie (5), ledit étage d'entrée/sortie comportant deux branches différentielles dont chacune comprend un transistor MOS à canal P (61, 62) connecté en série avec un premier transistor MOS à canal N (63, 64), les sources des transistors à canal P étant interconnectées à une borne de sortie d'une source de courant (60) dont une borne d'entrée est reliée à ladite borne d'alimentation continue (Vdd), les sources des premiers transistors à canal N étant interconnectées à une borne de masse (GND), les grilles desdits premiers transistors MOS à canal N étant interconnectées, les grilles des transistors à canal P constituant les première (I1) et deuxième (12) bornes d'entrée du circuit d'entrée/sortie (36), la grille du premier transistor MOS à canal N de la branche (61-63) comportant la première entrée étant connectée à son drain, le point milieu (65) de connexion des drains des transistors complémentaires de l'autre branche (62-64) étant relié à la grille d'un deuxième transistor MOS à canal N (10) connecté, dans ledit étage de sortie (5), en série entre les bornes d'alimentation, avec une première impédance (9), le point milieu de la connexion en série de ladite première impédance et du deuxième transistor constituant la borne de sortie (O2) dudit premier comparateur différentiel.

20
25
30
35
40
45
6. Régulateur selon la revendication 5, **caractérisé en ce que** le second comparateur différentiel (51) comporte deux branches différentielles symétriques constituées chacune de la connexion en série d'une seconde impédance (52, 53), et d'un troisième transistor MOS à canal N (54, 55), respectivement, les sources des troisièmes transistors à canal N étant connectées au drain d'un quatrième transistor MOS à canal N (56) dont la source est connectée à la masse (GND), la grille du quatrième transistor à canal N étant connectée à la grille du deuxième transistor MOS à canal N (10) de l'étage

50
55

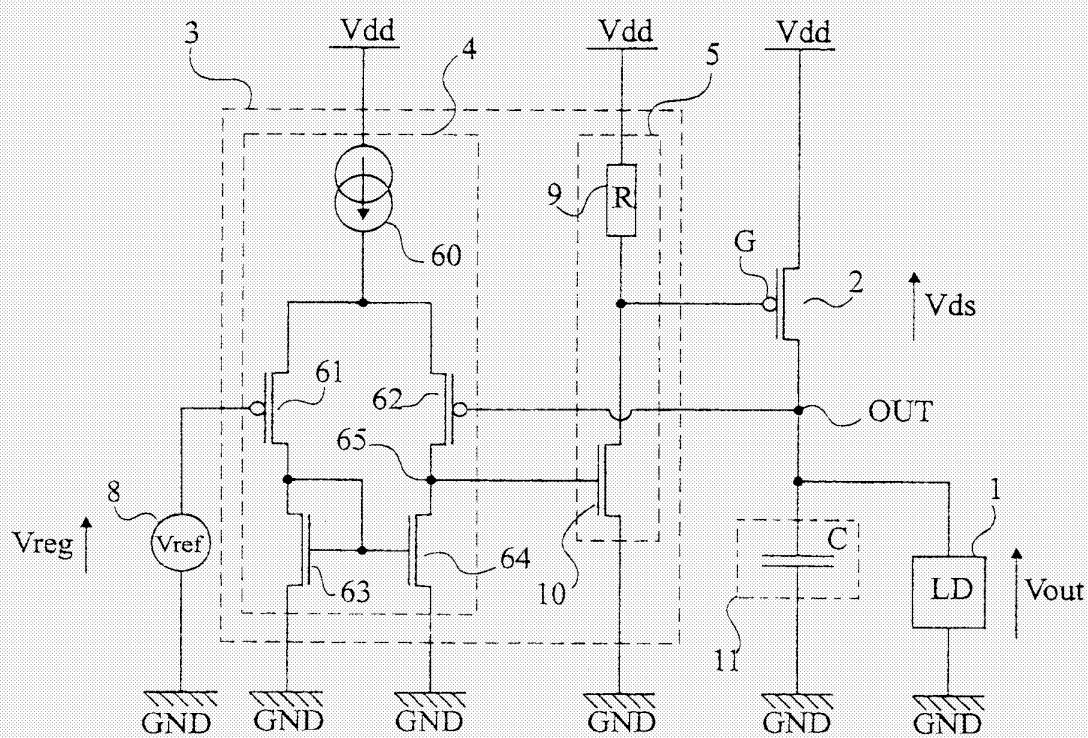


Fig 1

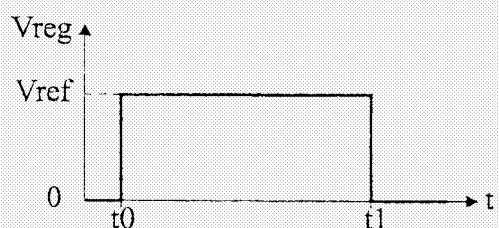


Fig 2A



Fig 2B

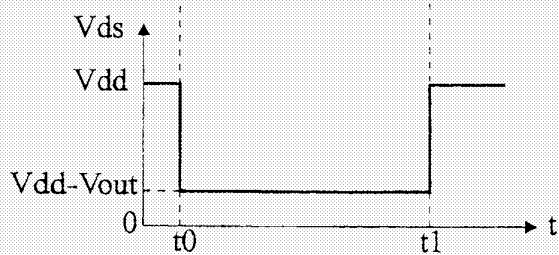


Fig 2C

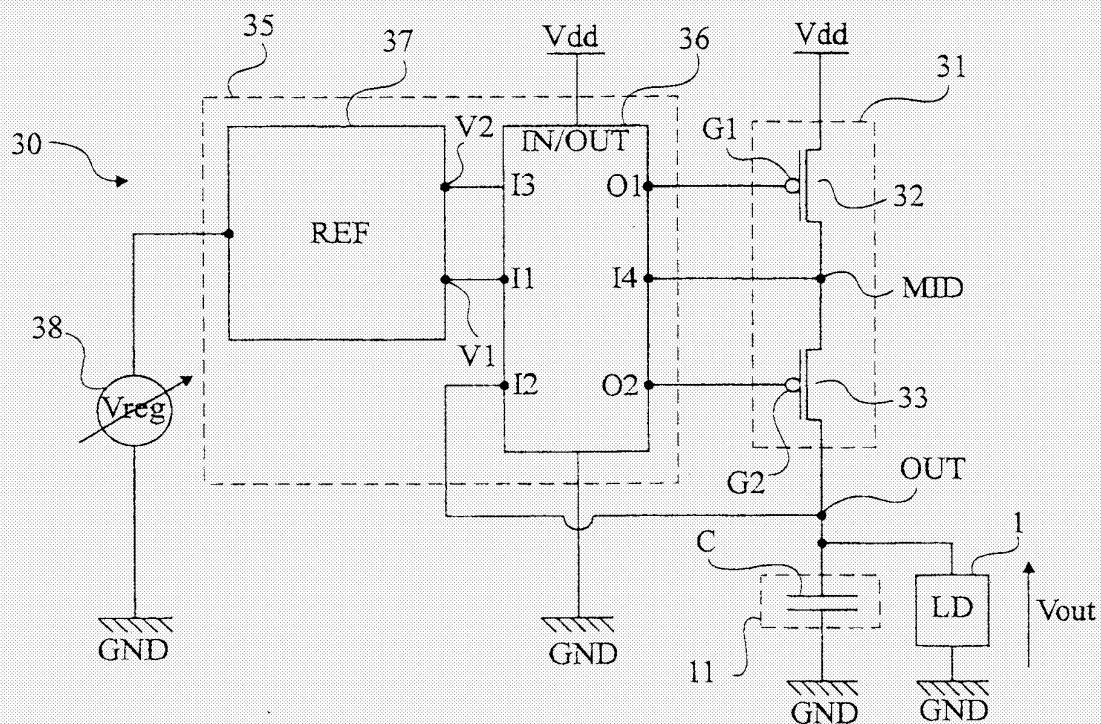


Fig 3

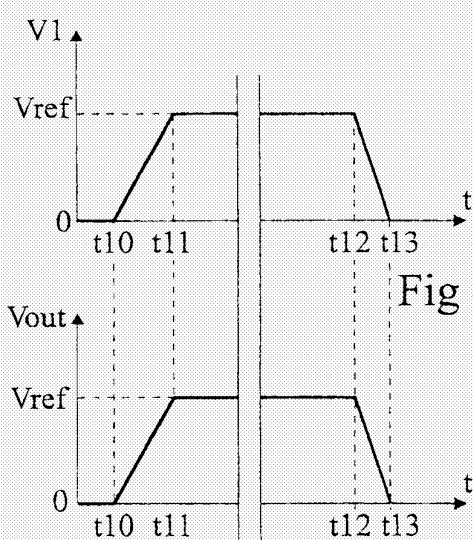


Fig 4A

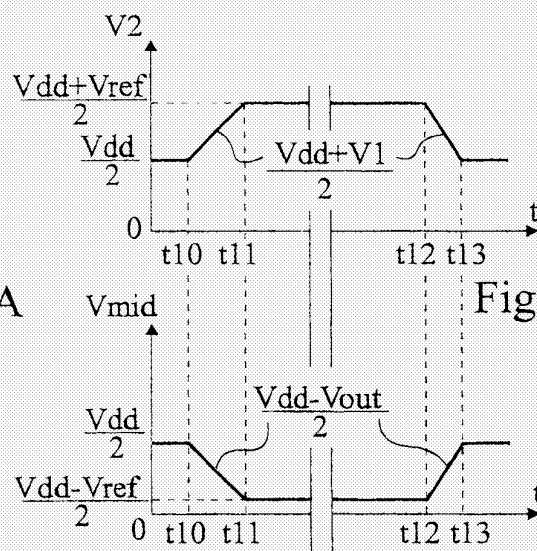


Fig 4C

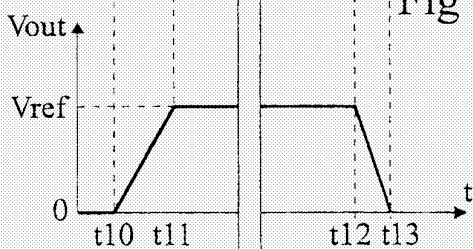


Fig 4B

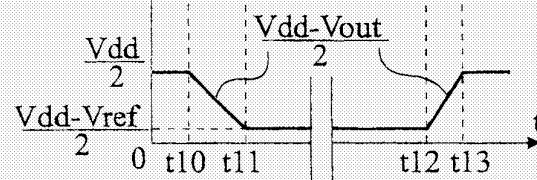


Fig 4D

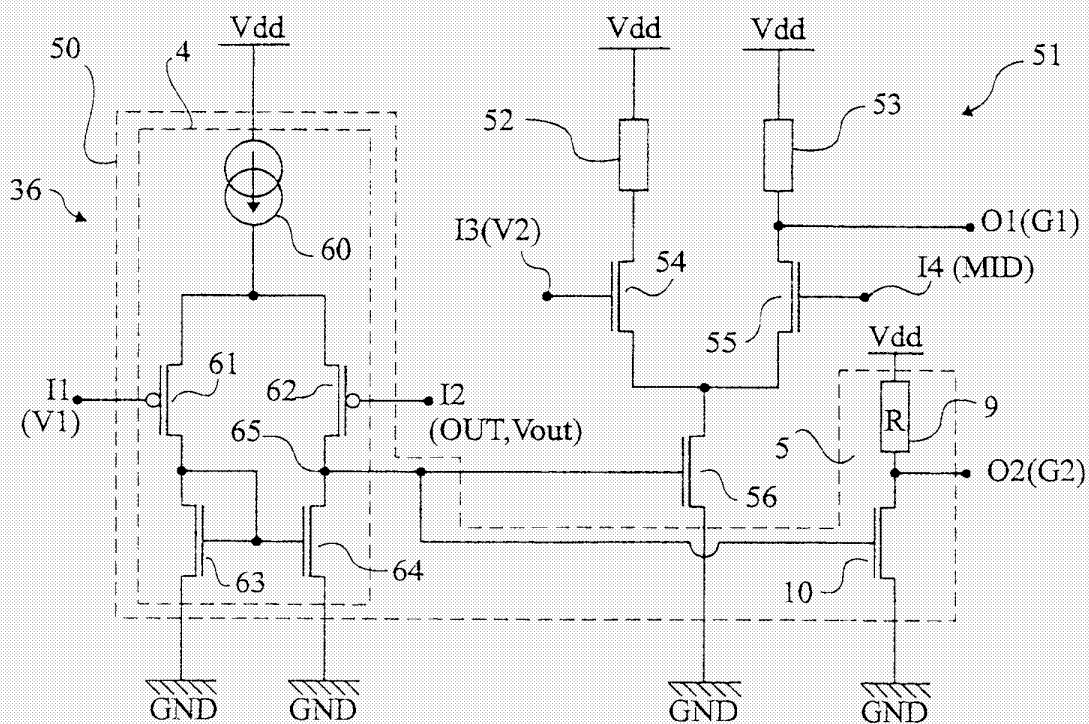


Fig 5

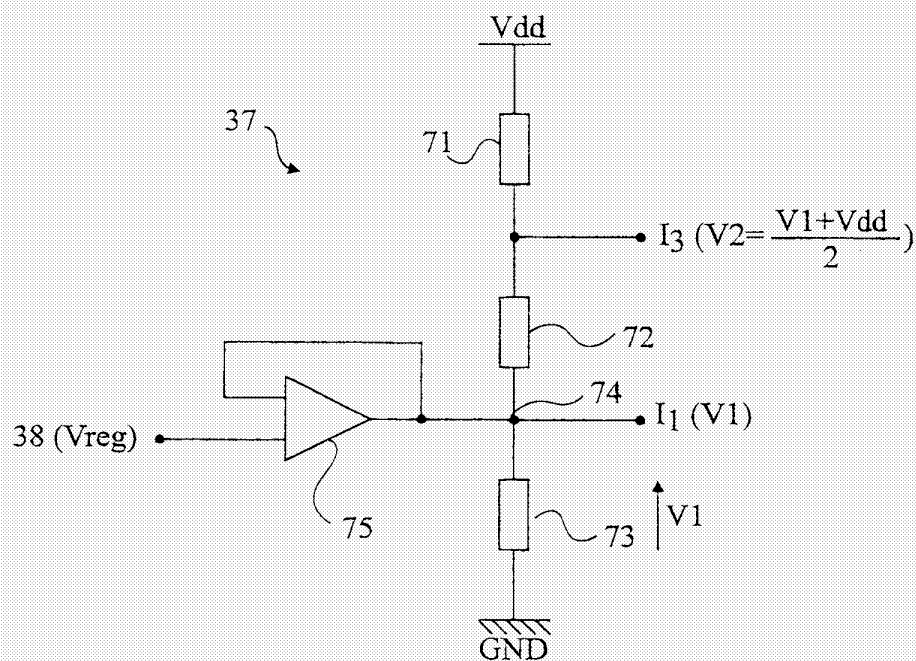


Fig 6



Office européen
des brevets

RAPPORT DE RECHERCHE EUROPEENNE

Numéro de la demande
EP 03 30 0056

DOCUMENTS CONSIDERES COMME PERTINENTS			
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	Revendication concernée	CLASSEMENT DE LA DEMANDE (Int.Cl.7)
A	US 6 104 179 A (YUKAWA AKIRA) 15 août 2000 (2000-08-15) * le document en entier *	1-6	G05F3/24
A	EP 1 089 154 A (ST MICROELECTRONICS SA) 4 avril 2001 (2001-04-04) * le document en entier *	1-6	
A	US 2001/007537 A1 (ANTHEUNIS) 30 août 2001 (2001-08-30) * abrégé *	1-6	
			DOMAINES TECHNIQUES RECHERCHES (Int.Cl.7)
			G05F
Le présent rapport a été établi pour toutes les revendications			
Lieu de la recherche		Date d'achèvement de la recherche	Examineur
LA HAYE		15 octobre 2003	Schobert, D
CATEGORIE DES DOCUMENTS CITES X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire T : théorie ou principe à la base de l'invention E : document de brevet antérieur, mais publié à la date de dépôt ou après cette date D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant			

EPO FORM 1503 03.02 (P04C02)

**ANNEXE AU RAPPORT DE RECHERCHE EUROPEENNE
RELATIF A LA DEMANDE DE BREVET EUROPEEN NO.**

EP 03 30 0056

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche européenne visé ci-dessus.

Lesdits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du

Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets.

15-10-2003

Document brevet cité au rapport de recherche		Date de publication		Membre(s) de la famille de brevet(s)	Date de publication
US 6104179	A	15-08-2000	JP	2000039923 A	08-02-2000

EP 1089154	A	04-04-2001	FR	2799317 A1	06-04-2001
			EP	1089154 A1	04-04-2001
			US	6583607 B1	24-06-2003

US 2001007537	A1	12-07-2001	JP	2001195885 A	19-07-2001
			TW	486632 B	11-05-2002

EPO FORM P0460

Pour tout renseignement concernant cette annexe : voir Journal Officiel de l'Office européen des brevets, No.12/82