(19) RÉPUBLIQUE FRANÇAISE

INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE

PARIS

(11) N° de publication : **2 576 731**
(à n'utiliser que pour les commandes de reproduction)

(21) N° d'enregistrement national : **86 00485**

(51) Int Cl⁴ : H 04 L 7/00; G 11 B 20/00.

(12) DEMANDE DE BREVET D'INVENTION A1

(22) Date de dépôt : 15 janvier 1986.

(30) Priorité : US, 29 janvier 1985, n° 695 995.

(43) Date de la mise à disposition du public de la demande : BOPI « Brevets » n° 31 du 1er août 1986.

(60) Références à d'autres documents nationaux apparentés :

(71) Demandeur(s) : *Société dite : AMPEX CORPORATION.* — US.

(72) Inventeur(s) : Alan J. Adler.

(73) Titulaire(s) :

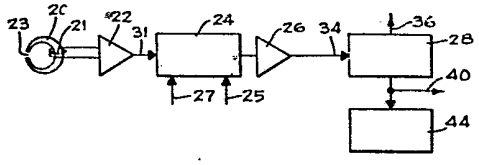
(74) Mandataire(s) : Cabinet Bonnet-Thirion et G. Foldés.

(54) Procédé et dispositif de détection et de réduction de la dispersion de phase.

(57) L'invention concerne les techniques de réduction de la dispersion de phase dans un canal de transmission.

Le dispositif de l'invention comporte notamment un égaliseur 24 destiné à compenser une réponse d'amplitude non constante et/ou une réponse de phase non linéaire du canal de transmission; un circuit de synchronisation de bit 28 qui produit un signal d'horloge de référence synchronisé avec les données transmises; et un détecteur de fréquence 44 qui détermine la valeur de la dispersion de phase dans le signal égalisé, en contrôlant la fréquence de commutation du signal de sortie d'un détecteur de phase qui fait partie du circuit de synchronisation de bit. L'égaliseur peut être réglé automatiquement de façon à minimiser cette fréquence, pour réduire ainsi la dispersion de phase.

Application aux systèmes d'enregistrement/reproduction magnétiques.



FR 2 576 731 - A1

La présente invention concerne de façon générale un circuit et un procédé destinés à détecter et à réduire une dispersion de phase dans des signaux d'information transmis par un canal, comprenant des signaux numériques enregistrés et reproduits au moyen d'un support d'enregistrement magnétique.

Des signaux d'information transmis sur un canal subissent une distorsion du fait des phénomènes bien connus de réponse d'amplitude non constante et de réponse de phase non linéaire en fonction de la fréquence qui sont inhérentes à de tels canaux. Lorsqu'on transmet un train de donnés numériques, il peut subir une distorsion et une atténuation du fait de la réponse en fréquence non uniforme indiquée ci-dessus, à un point tel que l'information d'origine qu'il contient peut être fortement dégradée ou même perdue.

Un dispositif d'enregistrement/reproduction magnétique constitue un exemple d'un tel canal de transmission de signaux, dans lequel la réponse d'amplitude en reproduction diminue aux fréquences élevées, à cause des effets combinés de l'écartement entre le transducteur et le support d'enregistrement, de l'épaisseur du support, des pertes dues à la longueur de l'entrefer de transducteur, et d'autres facteurs bien connus. Une exigence fondamentale pour un canal d'enregistrement/reproduction magnétique idéal consiste dans la possibilité de transmettre des signaux de toutes les fréquences sans introduire des variations d'amplitude ou de phase qui dépendent de la fréquence, pour éviter une distorsion des signaux. On a donc utilisé couramment des égaliseurs d'amplitude de reproduction qui fournissent une réponse d'égalisation compensant la réponse d'amplitude indiquée ci-dessus, de façon à pouvoir obtenir une réponse résultante relativement plate dans une gamme de fréquence désirée. Cependant, ces égaliseurs, ainsi qu'une tête et un préamplificateur

de reproduction, qu'on utilise couramment dans des circuits de reproduction, peuvent introduire un déphasage. Un tel déphasage est particulièrement indésirable dans des systèmes d'enregistrement/reproduction numériques, du fait qu'il nuit à une détection précise de transitions de signal dans le signal reproduit. Les égaliseurs d'amplitude sont donc souvent suivis par des égaliseurs de phase qui procurent une réponse d'égalisation compensant le déphasage.

Dans certains cas, il peut être souhaitable de compenser une réponse de phase non linéaire d'un canal, mentionnée précédemment, en utilisant des égaliseurs de phase, sans utiliser d'égaliseurs d'amplitude.

Lorsque des signaux numériques à densité élevée sont transmis sur un canal de transmission de nature essentiellement analogique, comme cela peut se produire lorsque les signaux sont reproduits à partir d'un support magnétique pré-enregistré, l'égaliseur doit être soigneusement réglé pour donner une distorsion de phase minimale. Une dispersion de phase se produit lorsque le retard du train de données numériques transmis n'est pas uniforme sur la bande de réponse en fréquence. Il en résulte que certaines transitions de signal apparaissent plus tôt et d'autres apparaissent plus tard, par rapport à des transitions d'un signal d'horloge de référence qui est en synchronisme avec les données d'origine. Ceci diminue l'aptitude à distinguer de façon précise entre des "zéros" et des "uns" du signal numérique transmis. Par exemple, lorsque des signaux numériques auto-synchronisés sont transmis ou enregistrés, la dispersion de phase rend moins discernables les passages au niveau de l'axe zéro au moment de la réception ou de la reproduction, ce qui augmente le taux d'erreur de bit du signal.

Une technique connue consiste à détecter la dispersion de phase sur un oscilloscope en contrôlant la relation d'amplitude et de phase du signal de sortie d'un

égaliseur de reproduction. L'oscilloscope est déclenché de façon externe par un signal d'horloge verrouillé en phase sur le signal de sortie de l'égaliseur. On appelle généralement "diagramme de l'oeil" le signal qu'on obtient ainsi sur l'écran de l'oscilloscope, du fait que sa forme ressemble à celle d'un oeil humain. On règle ensuite manuellement l'égaliseur pour obtenir la dispersion de phase minimale, c'est-à-dire pour obtenir des passages du diagramme de l'oeil au niveau de l'axe zéro présentant la plus faible valeur d'étalement dans le temps. Lorsqu'on obtient par le réglage manuel l'image la plus nette du diagramme de l'oeil aux passages par l'axe zéro, ce réglage correspond à une dispersion de phase minimale.

La description faite ci-dessus montre que le procédé précédent pour minimiser la dispersion de phase est imprécis et sujet à des erreurs de l'opérateur. De plus, le procédé décrit ci-dessus n'est pas utilisable dans des systèmes ayant un faible rapport signal à bruit, dans lesquels il est difficile de faire la distinction entre le diagramme de l'oeil et le bruit. En outre, ce procédé ne convient pas pour le réglage de la dispersion de phase par une commande automatique.

Une technique connue dans des systèmes d'enregistrement/reproduction magnétiques numériques consiste à utiliser un circuit de synchronisation de bit. Ce circuit utilise un oscillateur commandé par tension et un détecteur de phase numérique qui sont connectés ensemble pour former un boucle de verrouillage de phase. Le détecteur de phase reçoit un train de données numériques égalisé provenant d'un égaliseur de reproduction, et un signal de sortie de l'oscillateur, et il produit un signal d'horloge en synchronisme avec ce train de données. La demanderesse a découvert qu'on obtenait une dispersion de phase minimale du signal égalisé lorsque la fréquence du signal de sortie du détecteur de phase numérique était à un minimum. Par

conséquent, conformément à l'invention, on détecte la valeur de la dispersion de phase en contrôlant la fréquence de commutation à la sortie du détecteur de phase numérique. En réglant l'égaliseur pour obtenir une fréquence minimale du signal de sortie du détecteur de phase, on minimise la dispersion de phase.

Un avantage particulier du dispositif et du procédé de détection de dispersion de phase de la présente invention consiste en ce qu'ils ne dépendent pas d'une évaluation subjective par un opérateur, comme par exemple par l'observation d'un diagramme de l'oeil, comme dans l'art antérieur. En outre, la présente invention permet d'effectuer un réglage automatique de l'égaliseur pour obtenir une dispersion de phase minimale.

Un avantage important supplémentaire de la présente invention consiste en ce qu'elle permet d'effectuer une mesure reproductible de la dispersion de phase. On peut utiliser cette mesure pour évaluer la qualité d'un canal de transmission ou de parties de celui-ci, comme un système d'enregistrement et de reproduction.

Des essais effectués sur le circuit de détection et de réduction de dispersion de phase de la présente invention ont fait apparaître une réduction dans un rapport de dix du taux d'erreur de bit dans des données reproduites à partir d'un support magnétique, par rapport à la réduction obtenue par l'art antérieur.

L'invention sera mieux comprise à la lecture de la description qui va suivre de modes de réalisation, et en se référant aux dessins annexés sur lesquels :

La figure 1 est un schéma synoptique représentant un mode de réalisation préféré d'un circuit de détection de dispersion de phase de l'invention.

La figure 2 est un schéma plus détaillé correspondant à une partie de la figure 1.

La figure 3 est un schéma synoptique représentant

un mode de réalisation préféré d'un circuit de réduction de dispersion de phase de l'invention.

La figure 4 représente un autre mode de réalisation correspondant à une partie de la figure 2.

Les figures 5A et 5B sont des parties consécutives d'un schéma de circuit détaillé correspondant à une partie de la figure 1 ;

La figure 6 montre un exemple d'une caractéristique de signal de sortie d'un circuit de détection de dispersion de phase de l'invention, en fonction du réglage de l'égaliseur ; et

La figure 7 est un organigramme du fonctionnement d'une partie du circuit représenté sur la figure 3.

Dans la description qui suit, on utilisera des références numériques semblables pour désigner des éléments semblables sur toutes les figures, afin de faciliter la comparaison.

La figure 1 montre un exemple d'une partie d'un canal d'enregistrement/reproduction magnétique de type classique, comprenant une tête de reproduction 20 et un préamplificateur 22, qui utilise le circuit de détection de dispersion de phase de l'invention. La tête de reproduction comporte un enroulement de reproduction 21 connecté au préamplificateur 22, comme il est bien connu dans la technique. La tête de reproduction 20 détecte des configurations de flux magnétique enregistrées sur un support d'enregistrement magnétique (non représenté), tel qu'une bande, un disque, un tambour, etc. Dans cet exemple, le signal est enregistré sous la forme d'un train de données numériques, utilisant par exemple le code carré de Miller, le code non retour à zéro ou tout autre code numérique bien connu. Le signal de sortie de la tête 20 est amplifié par le préamplificateur 22.

Un circuit d'égalisation d'amplitude et de phase 24 est connecté à une sortie 31 du préamplificateur 22.

Comme il a été mentionné précédemment, le circuit 24 compense une réponse d'amplitude non constante et/ou une réponse de phase non linéaire inhérentes au canal d'enregistrement/reproduction, de façon à obtenir respectivement une réponse d'amplitude désirée qui ne varie pratiquement pas avec la fréquence, et une réponse de phase désirée qui varie selon une fonction pratiquement linéaire de la fréquence. L'égaliseur 24 peut avoir une structure classique bien connue. On utilise cependant de préférence un égaliseur d'amplitude commandé par tension, ayant une structure originale, qui constitue le sujet de la demande de brevet FR du même jour pour : "Egaliseur commandé par tension". On décrira de façon plus détaillée le mode de réalisation préféré de l'égaliseur 24 de la figure 1 en se référant aux figures 5A et 5B.

Le signal égalisé qui est obtenu à la sortie du circuit égaliseur 24 est un signal analogique. L'amplitude de ce signal est limitée par un limiteur 26, pour obtenir un train numérique de données de reproduction correspondant aux données enregistrées, comme il est bien connu dans la technique. Le signal de sortie du limiteur 26 est appliqué par la ligne 34 à un circuit de synchronisation de bit 28. Le circuit 28 est d'une structure classique et il est connu de l'utiliser avec des égaliseurs de reproduction pour obtenir un signal d'horloge de référence de système interne qui est synchronisé avec le train de données de reproduction. Plus précisément, le circuit de synchronisation de bit 28 génère sur la ligne 36 un signal d'horloge de référence qui est verrouillé en phase sur le signal de sortie du limiteur 26, et on appelle généralement ce signal d'horloge un signal d'horloge de reproduction. Conformément à la présente invention, un détecteur de fréquence 44 est connecté à une ligne de sortie 40 d'un détecteur de phase incorporé dans le circuit de synchronisation de bit 28, pour contrôler la cadence de tran-

sitions binaires, qu'on appelle également la fréquence de commutation, sur la ligne de sortie 40. Comme il a été mentionné précédemment, la cadence des transitions binaires sur la ligne de sortie 40 du détecteur de phase correspond à la valeur de la dispersion de phase des données de reproduction égalisées sur la ligne 34. On peut régler l'égaliseur 24 par les entrées de commande 25, 27 pour obtenir une cadence de transitions minimale sur la ligne 40, comme on le décrira ultérieurement de façon plus détaillée.

La figure 2 montre un exemple d'un schéma de circuit plus détaillé du circuit de synchronisation de bit 28 et du détecteur de fréquence 44 de la figure 1. Le circuit de synchronisation de bit 28 comprend un générateur de signal d'horloge de référence, constitué de préférence par un oscillateur commandé par tension (OCT) 30 dont la sortie est connectée par la ligne 36 à un détecteur de phase numérique 32. Dans le mode de réalisation préféré, on utilise une bascule de type D pour le détecteur de phase numérique 32.

Le circuit de synchronisation de bit 28 fonctionne comme une boucle de verrouillage de phase bien connue, de la manière suivante. Le signal numérique égalisé provenant du limiteur 26 de la figure 1 est reçu sur la ligne 34 et il est appliqué à l'entrée d'horloge de la bascule 32. L'entrée D de la bascule 32 reçoit, par la ligne 36, un signal de sortie provenant de l'OCT 30. Le signal de sortie de la bascule 32 est appliqué par la ligne 42 à une entrée de commande 41 de l'OCT 30, en tant que signal de réaction continu, de la manière suivante. A chaque front montant des données numériques sur la ligne 34 qui coïncide avec un signal de niveau haut sur la ligne 36 provenant de l'OCT 30, la bascule 32 applique un signal de sortie de niveau haut sur la ligne 42. De façon analogue, à chaque front montant du signal sur la ligne 34 qui

coïncide avec un signal de niveau bas sur la ligne 36 provenant de l'OCT 30, un signal de sortie de niveau bas est présent sur la ligne 40. Comme il est bien connu d'après le fonctionnement des circuits de synchronisation de bit, lorsque le signal de réaction sur la ligne 42 est positif, la fréquence du signal de sortie de l'OCT sur la ligne 36 est réduite. De façon analogue, la fréquence du signal sur la ligne 36 augmente lorsque le signal présent sur la ligne 42 est négatif.

Le signal de sortie résultant sur la ligne 36 provenant de l'OCT 30 est le signal d'horloge de reproduction décrit précédemment, c'est-à-dire un signal d'horloge de référence interne qui est verrouillé en phase sur le train de données de reproduction égalisé présent sur la ligne 34. Comme il est bien connu, on utilise le signal d'horloge de reproduction dans des circuits de transmission de signaux classiques, comprenant des circuits d'enregistrement/reproduction magnétiques, pour régénérer et resynchroniser les données numériques reproduites, de façon à obtenir un signal reproduit qui soit pratiquement identique au signal enregistré à l'origine.

Conformément à l'invention, la demanderesse a découvert que la fréquence de commutation définie par le signal de sortie du détecteur de phase sur la ligne 40 est proportionnelle à la valeur de la distorsion de phase du signal numérique présent sur la ligne 34. Dans le mode de réalisation préféré, cette fréquence de commutation correspond à la cadence des transitions du signal bistable sur la sortie 40 de la bascule 32. Par conséquent, conformément à un aspect de l'invention, on contrôle la fréquence du signal de sortie sur la ligne 40 pour détecter la valeur de la dispersion de phase dans les données présentes sur la ligne 34. Selon un autre aspect de l'invention, on règle l'égaliseur 24 de la figure 1 pour minimiser cette fréquence de commutation contrôlée, afin de

minimiser ainsi la dispersion de phase.

Dans le mode de réalisation préféré de la figure 2, on utilise un circuit détecteur de fréquence analogique 44 pour contrôler la fréquence de commutation, de la manière suivante. Le détecteur de fréquence 44 est constitué de préférence par un générateur d'impulsions d'aire constante 48 et par un intégrateur 50. Un voltmètre différentiel 46 est connecté à une sortie de l'intégrateur 50. Le générateur d'impulsions d'aire constante 48 comprend deux transistors 52, 53, par exemple du type 2N2222, qui sont connectés de façon à fonctionner en interrupteur à mode de courant, de la manière suivante. Les émetteurs des transistors 52, 53 sont connectés à une source de tension continue négative par l'intermédiaire d'une résistance 55. Le collecteur d'un transistor 52 est connecté à la masse et le collecteur de l'autre transistor 53 est connecté à une borne d'une inductance 54 dont l'autre borne est connectée à la masse. La base du transistor 52 reçoit le signal de sortie mentionné précédemment, sur la ligne 40, provenant de la bascule 32. La base du transistor 53 est connectée à une tension de polarisation continue qui a une valeur médiane dans la plage des niveaux logiques de la bascule 32. On obtient cette valeur médiane à un point de connexion entre deux résistances série 95, 96 qui sont connectées entre la tension de polarisation continue et la masse. Le point de connexion 58 entre le collecteur du transistor 53 et l'inductance 54 est connecté à une entrée d'une diode 57.

En fonctionnement, le générateur d'impulsions d'aire constante 48 reçoit les impulsions de sortie provenant de la bascule 32 par la ligne 40. Lorsque la tension sur la ligne 40 est négative, le transistor 52 ne conduit pas et l'inductance 54 est chargée par un courant qui circule par le transistor 53. Lorsque la tension sur la ligne 40 est positive, le transistor 52 conduit tandis que

le transistor 53 est bloqué. Le courant emmagasiné dans l'inductance 54 se décharge ensuite vers l'intégrateur 50 par la diode 57. Par conséquent, chaque fois qu'il y a sur la ligne 40 un changement de tension d'une valeur négative à une valeur positive, une pointe de tension positive apparaît au point de connexion 58, en correspondance avec la décharge de l'inductance 54. Ces pointes de tension représentent des impulsions d'aire constante. La diode 57 redresse le signal présent au point de connexion 58, de façon que seules les pointes de tension positives soient appliquées à l'intégrateur 50.

L'intégrateur 50 comporte une résistance série 61 connectée entre une résistance parallèle 60 et un condensateur parallèle 62. Les autres bornes de la résistance 60 et du condensateur 62 sont connectées à la masse. Le point de connexion entre les résistances 60, 61 est connecté à une sortie de la diode 57. L'intégrateur 50 reçoit les impulsions de sortie d'aire constante mentionnées précédemment, par l'intermédiaire de la diode 57, et il applique sur la ligne 63 un signal de sortie continu dont le niveau est proportionnel à l'aire moyenne par unité de temps de ces impulsions d'aire constante. Du fait que chaque impulsion a une aire constante, le niveau du signal de sortie sur la ligne 63 est proportionnel au nombre d'apparitions de ces impulsions par unité de temps, c'est-à-dire à la fréquence de ces impulsions, comme il est bien connu. Pour détecter le niveau du signal de sortie sur la ligne 63 provenant de l'intégrateur 50, on utilise de préférence un voltmètre différentiel classique, par exemple du type 825A fabriqué par Fluke Manufacturing Company. Le voltmètre produit une tension correspondant au niveau du signal sur la ligne 63, qui est lui-même proportionnel à la cadence des transitions binaires, ou à la fréquence de commutation, à la sortie 40 du détecteur de phase 32.

A titre d'exemple, dans le mode de réalisation

préféré de l'invention, la fréquence du signal de sortie présent sur la ligne 36 et provenant de l'OCT 30 a été choisie égale à 66 MHz, et la fréquence du signal de sortie sur la ligne 40 provenant du détecteur de phase 32 est de façon caractéristique de 1,3 MHz.

Conformément au mode de réalisation préféré des figures 1 et 2, le signal de sortie de l'intégrateur 50, qui correspond à la cadence des transitions du signal bistable sur la ligne 40, est contrôlé par le voltmètre différentiel 46. On peut régler l'égaliseur 24 de la figure 1 par l'intermédiaire de ses lignes de commande 25 et 27, pour minimiser le signal contrôlé. Comme il a été décrit précédemment, une valeur minimale du signal contrôlé correspond à une dispersion de phase minimale, et donc à un taux d'erreur de bit minimal du train de données de reproduction égalisé sur la ligne 34.

La figure 6 montre un exemple illustrant le fonctionnement précédent, et on voit sur cette figure une caractéristique 65 de valeurs de signal contrôlées par le voltmètre différentiel 46 de la figure 2, cette caractéristique étant fonction du réglage de l'égaliseur 24 de la figure 1. Le point A sur la caractéristique 65 correspond à une tension minimale indiquée sur le voltmètre 46 et donc à une dispersion de phase minimale du signal égalisé sur la ligne 34.

Il résulte de la description précédente que dans le mode de réalisation préféré des figures 1 et 2, on minimise le taux d'erreur de bit en contrôlant la cadence des transitions binaires à la sortie du détecteur de phase 32, au moyen du détecteur de fréquence 44, et en réglant l'égaliseur 24 de façon correspondante pour maintenir cette cadence à un minimum. A titre d'exemple, dans le mode de réalisation préféré, on obtient une plage de tension caractéristique de 10 millivolts, entre des valeurs de tension maximale et minimale B et C de la caractéristi-

que 65.

Les figures consécutives 5A et 5B, qu'on décrira ci-après, montrent un exemple d'un schéma de circuit détaillé comprenant l'égaliseur 24, le limiteur 26, le circuit de synchronisation de bit 28 et le détecteur de fréquence 44. Dans le mode de réalisation préféré des figures 5A, 5B, l'égaliseur 24 comprend un égaliseur d'amplitude en cosinus commandé par tension 152 et un égaliseur de phase réglable 171. L'égaliseur d'amplitude commandé par tension constitue le sujet de la demande de brevet précitée, et il est décrit en détail dans cette dernière.

Le circuit des figures 5A et 5B fonctionne de la manière suivante. Une borne d'entrée 31 de la figure 5A, qui correspond à la ligne 31 de la figure 1, est connectée de façon à recevoir un signal de sortie provenant du préamplificateur 22 de la figure 1, obtenu sous la forme d'un signal de reproduction résultant d'un signal numérique enregistré de façon magnétique, comme décrit précédemment. Le signal d'entrée sur la ligne 31 est isolé par un amplificateur séparateur classique 155, comprenant des transistors 156, 157, pour obtenir une faible impédance d'attaque pour l'égaliseur d'amplitude 152 placé à la suite.

L'égaliseur en cosinus commandé par tension 152 comprend une ligne à retard 126 et un amplificateur différentiel 122 constitué par des transistors 136, 137, dont les collecteurs sont connectés à une source de tension positive par l'intermédiaire de résistances respectives 201 et 138. Ces collecteurs correspondent à des sorties différentielles 144, 244 de l'égaliseur. Chacun des émetteurs des transistors 136, 137 est connecté par une résistance série 139, 140 à une borne d'une source de courant 142. L'autre borne de la source de courant 142 est connectée à une source de tension d'alimentation continue négative. La base du transistor 136 forme une entrée non inver-

seuse 124, tandis que la base du transistor 137 forme une entrée inverseuse 134 de l'amplificateur différentiel 22.

La source de courant 142 est réalisée d'une manière bien connue par un transistor 160 dont le collecteur est connecté aux émetteurs des transistors 136, 137, par l'intermédiaire des résistances respectives 139, 140. L'émetteur du transistor 160 est connecté à une source de tension d'alimentation continue négative par l'intermédiaire d'une résistance série 163. La base du transistor 160 est connectée à cette source de tension d'alimentation par l'intermédiaire d'un diviseur de tension formé par des résistances série 161 et 162, parmi lesquelles la résistance 161 est connectée à la masse.

La ligne à retard 126 est connectée à l'entrée non inverseuse 124 de l'amplificateur différentiel 122. Un diviseur de tension comprenant une résistance 200 en série avec un potentiomètre 132 et une résistance 153 est connecté à l'entrée de la ligne à retard 126. L'entrée inverseuse 134 de l'amplificateur différentiel 122 est connectée à un curseur du potentiomètre 132.

Un amplificateur commandé par tension 146 est connecté en parallèle sur la voie de signal formée par l'entrée inverseuse 134 et la sortie 144, 244 de l'amplificateur différentiel 122. L'amplificateur commandé par tension comporte deux transistors 148, 149 dont les émetteurs sont connectés ensemble à une source de tension d'alimentation continue négative par l'intermédiaire d'un transistor de commande 150. La base du transistor 149 est connectée au diviseur de tension 132, 153. La base du transistor 148 est connectée à la masse. Le collecteur du transistor 148 est connecté au collecteur du transistor 136. Le collecteur du transistor 149 est connecté au collecteur du transistor 137. Les collecteurs des transistors 136, 148 et 137, 149 représentent la sortie différentielle 144, 244, mentionnée précédemment, de l'égaliseur 152. Le

collecteur du transistor de commande 150 est connecté de façon à interconnecter les émetteurs des transistors 148, 149, et son émetteur est connecté à la source de tension d'alimentation continue négative par l'intermédiaire d'une résistance de réglage de courant 151.

La base du transistor de commande 150 constitue une entrée de commande 25 destinée à recevoir une tension de commande Vc. En faisant varier la tension de commande Vc qui est appliquée à l'entrée de commande 25, on fait varier la valeur du courant qui circule dans les transistors 148 et 149 de l'amplificateur commandé par tension 146. On commande ainsi par cette tension de commande le gain de l'amplificateur 146. Les signaux de sortie différentiels respectifs de l'amplificateur différentiel 122 et de l'amplificateur commandé par tension 146 sont sommés au niveau des sorties 144, 244 de l'égaliseur d'amplitude commandé par tension 152. Le signal de sortie de l'égaliseur 152 qui est ainsi obtenu sur les lignes 144, 244 présente une suramplification variable de la caractéristique de réponse en fréquence, qui dépend de la tension de commande en 25. La tension de commande présente sur la ligne 25 peut être appliquée à partir d'un emplacement éloigné, ou par exemple automatiquement sous la commande d'un ordinateur, comme on le décrira ultérieurement. On sélectionne les transistors 136, 137 et 148, 149 de façon que les retards des signaux dans les voies de signal respectives passant par les transistors 136, 137 soient pratiquement égaux aux retards produits par la voie parallèle passant par les transistors 148 et 149. On obtient ainsi des caractéristiques temporelles résultantes appropriées pour les signaux qui sont sommés sur les sorties 144, 244.

Dans le mode de réalisation préféré de la figure 5A, la ligne à retard 126 est constituée par une ligne à retard de 15 nanosecondes du type MDO15Z100, et les transistors 136, 137, 148, 149, 150 et 160 sont du type

2N4259.

La plage de réglage du circuit d'égalisation de la figure 5 qui peut être commandée par tension est fixée par un choix approprié des valeurs des résistances 200, 132, 151 et 153. Le fait de diminuer le rapport des valeurs de résistance R2/R1, en désignant par R1 la valeur combinée des résistances 132, 200 et par R2 la valeur de la résistance 153, ou bien le fait de diminuer la valeur R3 de la résistance 51, augmente la plage qu'il est possible de commander par tension. Cependant, dans la plupart des applications, il est souhaitable de limiter cette plage pour éviter une distorsion harmonique produite par l'amplificateur commandé par tension 146. La limitation de la plage pouvant être commandée par tension évite également de régler accidentellement le système à un point trop éloigné de son réglage correct.

En fonctionnement, on peut télécommander la suramplification de l'égaliseur en cosinus 152 en faisant varier la tension Vc sur l'entrée de commande 25. En plus de la télécommande, on peut également commander manuellement la suramplification, par le potentiomètre 132. On peut par exemple régler le potentiomètre 132 pour obtenir une valeur grossière d'une suramplification désirée, et on peut effectuer un réglage fin de la suramplification par la tension de commande appliquée en 25. On peut choisir la plage de réglage grossier de la suramplification de façon qu'elle soit supérieure d'un ordre de grandeur à la plage de réglage fin. La description précédente montre que le gain de l'amplificateur commandé par tension 146 dépend du courant fourni par le transistor 150, qui est lui-même commandé par sa tension de base Vc.

L'égaliseur de phase 171 mentionné précédemment est connecté à l'égaliseur d'amplitude 152 par des lignes 144, 244, chacune d'elles étant connectée au collecteur d'un transistor 136, 137 de l'amplificateur différentiel

122, comme décrit précédemment. L'égaliseur de phase 171 est d'un type bien connu. On règle la caractéristique de phase en fonction de la fréquence de l'égaliseur de phase en faisant varier la tension de commande sur l'entrée 27, qui fait elle-même varier la tension de polarisation et donc la capacité de diodes de type varactor 204, 205.

Le signal de sortie résultant de l'égaliseur 24 de la figure 5A, égalisé en amplitude et en phase et présent sur la ligne 182, est appliqué à un amplificateur séparateur 183, constitué par des transistors 184, 185 et 186 connectés en série. L'amplificateur séparateur 183 procure une impédance stable pour attaquer un filtre passe-bas 188.

Le signal de sortie de l'amplificateur séparateur 183 sur la ligne 187, est appliqué au filtre passe-bas 188, qui est de structure classique, et qui comprend un certain nombre d'étages de filtre consécutifs, pour éliminer du signal égalisé des fréquences supérieures à la gamme de signal utile, comme il est bien connu dans la technique.

En considérant de façon plus détaillée la figure 5B, on note que le signal ainsi filtré provenant du filtre passe-bas 188 est appliqué par la ligne 189 au limiteur 26 qui a une structure classique. Le limiteur 26 comprend un amplificateur différentiel 190 dont une entrée est connectée de façon à recevoir le signal égalisé sur la ligne 189, et dont une autre entrée est connectée à une tension de référence prédéterminée. Le signal limité en amplitude résultant sur la ligne 34 provenant du limiteur 26 est appliqué à l'entrée d'horloge de la bascule 32, comme décrit précédemment en relation avec la figure 2.

La figure 5B montre également de façon plus détaillée l'oscillateur commandé par tension 30 de la figu-

re 2, encore appelé OCT 30. L'OCT 30 fait partie de la boucle de verrouillage de phase 28 qui est représentée sur les figures 2 et 4.

La figure 3 montre un exemple d'un circuit de réduction de dispersion de phase conforme à l'invention, dans lequel on utilise un circuit de commande 70 pour réaliser un réglage optimal de l'égaliseur 24, afin d'obtenir une dispersion de phase minimale. Le circuit de commande 70 est de préférence constitué par un microprocesseur et un circuit de mémoire. Il comporte une entrée qui reçoit par la ligne 74 un signal de sortie provenant du détecteur de fréquence 44. Ce détecteur de fréquence peut être constitué par un circuit analogique, comme le circuit 44 de la figure 2. Selon une variante, il peut être constitué par un circuit numérique, comme il est représenté en 71 sur la figure 4 et comme on le décrira ci-après.

Le détecteur de fréquence numérique 71 de la figure 4 reçoit sur la ligne 40 un signal de sortie provenant du détecteur de phase numérique 32, décrit précédemment, dont la fréquence de commutation doit être détectée. Le signal présent sur la ligne 40 est appliqué à une entrée d'une porte ET 75. L'autre entrée de la porte ET 75 est connectée de façon à recevoir un signal de commande sur la ligne 76. Le signal de commande est appliqué de façon à ouvrir la porte 75 pendant un intervalle de temps prédéterminé, par exemple 100 millisecondes. Pendant cet intervalle, les transitions du signal bistable présent sur la ligne 40 sont transmises à la sortie 78 de la porte ET 75. Le signal présent sur la ligne 78 est appliqué à un compteur numérique 72, qui fournit un compte correspondant au nombre total de transitions obtenues pendant l'intervalle de temps prédéterminé.

Le signal de sortie sur les lignes de sortie

parallèles 74 provenant du compteur 72 correspond à la fréquence de commutation du détecteur de phase numérique 32. Ainsi, le signal présent sur les lignes 74 correspond à la valeur de la dispersion de phase du signal égalisé.

En considérant à nouveau la figure 3, on note que le signal de sortie du compteur 72, sur les lignes 74, est appliqué au microprocesseur/circuit de mémoire 70. Le compteur 72 est ensuite remis à zéro par l'intermédiaire de la ligne 80 représentée sur la figure 4, et il est prêt à être mis en fonction pendant un autre intervalle prédéterminé, sous l'effet d'un signal de commande appliqué sur la ligne 76. Le cycle de fonctionnement précédent peut être continu ou peut se répéter par intermittence.

Selon une variante, lorsqu'on utilise le détecteur de fréquence analogique 44, le circuit 70 peut comprendre un convertisseur analogique-numérique connu (non représenté), pour convertir en un signal numérique le signal analogique présent sur la ligne 74, d'une manière bien connue.

Du fait que la caractéristique de la fréquence du signal de sortie du détecteur de phase 32 en fonction du réglage de l'égaliseur n'est pas une fonction monotone, comme le montre la figure 6, il est nécessaire de déterminer un certain nombre de valeurs de réglage d'essai, de façon à pouvoir déterminer une valeur de réglage optimale qui correspond à une dispersion de phase minimale. On peut réaliser ceci en appliquant successivement un certain nombre de valeurs de signal de réglage discrètes aux entrées de commande 25, 27 de l'égaliseur 24, dans une plage sélectionnée de valeurs de réglage, de façon à pouvoir déterminer un réglage optimal désiré. La valeur du réglage optimal correspond au point A de la caractéristique de la figure 6, comme il a été décrit précédemment.

Un exemple de fonctionnement du circuit de la figure 3 est décrit ci-dessous en relation avec un organigramme représenté sur la figure 7. Comme l'indique la case 220 de la figure 7, des valeurs prédéterminées de tension de commande de réglage d'essai, comprises dans une plage de tension de commande sélectionnée, sont enregistrées par le circuit 70 et sont appliquées par ce dernier à l'égaliseur 24, par la ligne 25. Une entrée de commande d'un égaliseur d'amplitude commandé par tension, tel que celui qui a été décrit précédemment et qui est représenté en 152 sur la figure 5A, reçoit la tension présente sur la ligne 25. Le signal de sortie correspondant du détecteur de fréquence 44 ou 71 pour chaque valeur de tension de commande présente sur la ligne 25 est détecté, et la valeur détectée est transmise par la ligne 74 et est enregistrée dans une mémoire dans le microprocesseur/circuit de mémoire 70. Comme le montre la case 221 de l'organigramme, les valeurs de signal de sortie enregistrées sont comparées mutuellement de façon à trouver une valeur enregistrée minimale. Si une valeur enregistrée minimale valide est trouvée, correspondant à un point d'inflexion représenté en A sur la courbe caractéristique 65 de la figure 6, comme l'indique la case 222 de l'organigramme, une valeur de tension de commande optimale qui correspond à la valeur enregistrée minimale valide est ensuite appliquée par la ligne 25 de façon à régler l'égaliseur 24. Si une telle valeur minimale valide n'est pas trouvée, l'opération décrite ci-dessus est répétée pour un ensemble différent de valeurs de tension de commande Vc dans une plage différente, comme l'indique la case 223, jusqu'à ce que la valeur minimale valide soit déterminée.

Le microprocesseur est de préférence programmé d'une manière bien connue pour accomplir l'opération décrite ci-dessus. Après avoir déterminé une valeur opti-

male pour le réglage de l'égaliseur, le microprocesseur règle automatiquement l'égaliseur 24 à cette valeur optimale, par l'intermédiaire de l'entrée de commande 25, comme l'indique la case 224 sur la figure 7.

Dans le cas où l'égaliseur comporte plus d'une entrée de commande réglable, comme une entrée de commande supplémentaire 27 représentée sur la figure 3, qui correspond à l'entrée réglable de l'égaliseur de phase 171, l'opération décrite ci-dessus est répétée pour chaque entrée de commande supplémentaire, comme l'indique la case 225.

Il résulte de la description précédente que dans le mode de réalisation de la figure 3, le microprocesseur est programmé de façon à détecter une valeur optimale de signal de commande pour régler l'égaliseur de façon à obtenir une valeur minimale de dispersion de phase. Le microprocesseur règle ensuite automatiquement l'égaliseur à cette valeur détectée.

Selon une variante, le circuit de commande 70 de la figure 3 peut être supprimé, comme il est représenté sur les figures 1 ou 2, et le signal de sortie du détecteur de fréquence numérique 71 peut être contrôlé sur un dispositif de signalisation visuel ou audible. On peut ensuite régler manuellement l'égaliseur 24 par les lignes 25, 27, de la manière décrite précédemment en relation avec la figure 1.

Il va de soi que diverses autres modifications peuvent être apportées au dispositif et au procédé décrits et représentés, sans sortir du cadre de l'invention.

REVENDICATIONS

1. Dispositif destiné à détecter une dispersion de phase dans un signal numérique transmis par un canal, ayant une réponse d'amplitude non constante et/ou une réponse de phase non linéaire, caractérisé en ce qu'il comprend : un circuit d'égalisation (24) ayant une entrée connectée de façon à recevoir le signal transmis et une sortie, ce circuit d'égalisation étant connecté de façon à fournir un signal égalisé et ayant une réponse qui compense la réponse du canal ; une boucle de verrouillage de phase (28) connectée de façon à produire un signal de référence en synchronisme avec le signal égalisé, cette boucle de verrouillage de phase comprenant un générateur de signal d'horloge de référence (30) ayant une sortie (36) connectée de façon à fournir un signal d'horloge de référence, et un détecteur de phase (32) ayant une première entrée (D) connectée de façon à recevoir le signal d'horloge de référence, et une seconde entrée (34) connectée de façon à recevoir le signal égalisé, ce détecteur de phase (32) ayant une sortie (40) qui fournit un signal de sortie bistable correspondant à une différence de phase entre ses signaux d'entrée, cette sortie (40) du détecteur de phase étant connectée à une entrée de commande du générateur de signal (30), afin de commander la fréquence du signal d'horloge de différence que produit ce générateur ; et un détecteur de fréquence (44 ; 71) connecté à la sortie (40) du détecteur de phase (32), pour contrôler la cadence des transitions du signal de sortie bistable.

2. Dispositif selon la revendication 1, caractérisé en ce que le circuit d'égalisation (24) comporte une entrée de commande (25, 27) qui est connectée de façon à recevoir un signal de commande destiné à régler la réponse d'amplitude ou de phase de ce circuit, ce dispositif comprenant en outre des moyens de commande (70) ayant une

entrée (74) connectée de façon à recevoir un signal de sortie du détecteur de fréquence (44 ; 71) et ayant une sortie connectée à l'entrée de commande (25, 27) du circuit d'égalisation (24), et en ce que les moyens de commande (70) sont connectés de façon à détecter une valeur optimale de signal de commande correspondant à une valeur de signal d'entrée minimale provenant du détecteur de fréquence (44 ; 71), et à appliquer cette valeur optimale à l'entrée de commande (25, 27) du circuit d'égalisation (24).

3. Dispositif selon la revendication 2, caractérisé en ce que les moyens de commande consistent en un microprocesseur programmable et en une mémoire (70).

4. Dispositif selon la revendication 1, caractérisé en ce que le détecteur de fréquence (44) comprend un générateur d'impulsions d'aire constante (48) ayant une entrée connectée à la sortie (40) du détecteur de phase (32), pour produire des impulsions d'aire constante correspondant aux transitions de signal fournies par le détecteur de phase (32), et un intégrateur (50) ayant une entrée connectée de façon à recevoir les impulsions d'aire constante, cet intégrateur (50) étant connecté de façon à fournir un signal de sortie proportionnel à la fréquence des impulsions d'aire constante.

5. Dispositif selon la revendication 1, caractérisé en ce que le détecteur de fréquence (71) comprend une porte (75) et un compteur (72), cette porte (75) comporte une première entrée (40) connectée de façon à recevoir le signal de sortie bistable du détecteur de phase (β2) et une seconde entrée (76) connectée de façon à recevoir un signal de commande, et cette porte (75) comporte une sortie (78) connectée à une entrée du compteur (72), et en ce que la porte (75) est connectée de façon à appliquer le signal de sortie bistable au compteur (72) sous l'action d'un signal de commande appliqué sur l'entrée de commande (76).

6. Dispositif selon la revendication 1, caracté-

risé en ce que le circuit d'égalisation (24) comporte en outre une entrée de commande (25, 27) qui est connectée de façon à recevoir un signal de commande destiné à régler la réponse d'amplitude ou de phase de ce circuit, pour obtenir une cadence minimale des transitions du signal bistable qui est contrôlé par le détecteur de fréquence (44 ; 71).

7. Dispositif selon la revendication 6, caractérisé en ce que le circuit d'égalisation (24) comprend un amplificateur commandé par tension (146) ayant une entrée de commande (25) qui correspond à une entrée de commande (25) du circuit d'égalisation (24), et en ce que le signal de commande (Vc) est appliqué de façon à régler le gain de l'amplificateur commandé par tension (146), pour régler ainsi la réponse d'amplitude du circuit d'égalisation (24).

8. Dispositif selon la revendication 6, caractérisé en ce qu'il comprend en outre des moyens de commande (70) ayant une entrée (74) connectée de façon à recevoir un signal de sortie du détecteur de fréquence (44 ; 71), et ayant une sortie connectée à l'entrée de commande (25, 27) du circuit d'égalisation (24), ces moyens de commande (70) étant connectés de façon à appliquer des valeurs de signal de commande respectives à l'entrée de commande (25, 27) du circuit d'égalisation (24), et à détecter une valeur optimale de signal de commande, correspondant à une valeur minimale du signal fourni par le détecteur de fréquence (44 ; 71).

9. Dispositif selon la revendication 8, caractérisé en ce que les moyens de commande (70) sont en outre connectés de façon à appliquer la valeur optimale détectée du signal de commande à l'entrée de commande (25, 27) du circuit d'égalisation.

10. Dispositif destiné à réduire la dispersion de phase dans un signal numérique transmis par un canal

ayant une réponse d'amplitude non constante et/ou une réponse de phase non linéaire, caractérisé en ce qu'il comprend : un circuit d'égalisation (24) ayant une entrée connectée de façon à recevoir le signal transmis, une sortie et une entrée de commande (25, 27), ce circuit d'égalisation étant connecté de façon à produire un signal égalisé et ayant une réponse qui compense la réponse du canal ; une boucle de verrouillage de phase (28) connectée de façon à produire un signal de référence en synchronisme avec le signal égalisé, cette boucle de verrouillage de phase (28) comprenant un générateur de signal d'horloge de référence (30) ayant une sortie (36) connectée de façon à fournir un signal d'horloge de référence, et un détecteur de phase (32) ayant une première entrée (D) connectée de façon à recevoir le signal d'horloge de référence, et une seconde entrée (34) connectée de façon à recevoir le signal égalisé, ce détecteur de phase (32) ayant une sortie (40) qui fournit un signal de sortie bistable correspondant à une différence de phase entre ses signaux d'entrée, cette sortie (40) du détecteur de phase (32) étant connectée à une entrée de commande du générateur de signal (30) pour commander la fréquence du signal d'horloge de référence que produit ce générateur ; un détecteur de fréquence (44 ; 71) connecté à la sortie du détecteur de phase (32) pour contrôler la cadence des transitions du signal de sortie bistable ; et des moyens de commande (70) ayant une entrée (74) connectée de façon à recevoir un signal de sortie du détecteur de fréquence (44 ; 71) et ayant une sortie connectée à l'entrée de commande (25, 27) du circuit d'égalisation (24), pour réler la réponse d'amplitude et de phase de ce dernier, de façon à obtenir une cadence minimale des transitions du signal bistable que contrôle le détecteur de fréquence (44 ; 71).

11. Dispositif selon la revendication 10, carac-

térisé en ce que les moyens de commande (70) sont connectés de façon à appliquer des valeurs de signal de commande respectives à l'entrée de commande (25, 27) du circuit d'égalisation (24), et à détecter et à enregistrer des valeurs de signal de sortie respectives fournies par le détecteur de fréquence (44 ; 71) sous la dépendance des valeurs de signal de commande, et en ce que les moyens de commande (70) sont en outre connectés de façon à détecter une valeur optimale de signal de commande correspondant à une valeur minimale du signal de sortie provenant du détecteur de fréquence (44 ; 71), et à appliquer cette valeur optimale du signal de commande à l'entrée de commande (25, 27) du circuit d'égalisation (24).

12. Dispositif selon la revendication 10, caractérisé en ce que les moyens de commande consistent en un microprocesseur programmable et une mémoire (70).

13. Procédé de détection de la dispersion de phase dans un signal numérique transmis par un canal ayant une réponse d'amplitude non constante et/ou une réponse de phase non linéaire, caractérisé en ce qu'il comprend les opérations suivantes : on égalise le signal transmis pour compenser la réponse du canal ; on génère un signal d'horloge de référence synchronisé avec le signal égalisé, tout en détectant une différence de phase entre le signal d'horloge de référence et le signal égalisé, et en produisant un signal de commande bistable qui correspond à une polarité de cette différence de phase, et en appliquant ce signal de commande bistable sous la forme d'un signal continu, pour commander la fréquence du signal d'horloge de référence ; et on contrôle la cadence des transitions du signal bistable, pour contrôler ainsi la valeur de la dispersion de phase.

14. Procédé de réduction de la dispersion de phase dans un signal numérique transmis par un canal ayant une réponse d'amplitude non constante et/ou une réponse de

phase non linéaire, caractérisé en ce qu'il comprend les opérations suivantes : on égalise le signal transmis pour obtenir une réponse d'égalisation qui compense la réponse du canal ; on génère un signal d'horloge de référence synchronisé avec le signal égalisé, tout en détectant une différence de phase entre le signal d'horloge de référence et le signal égalisé, et en produisant un signal de commande bistable qui correspond à une polarité de cette différence de phase, et on applique ce signal de commande bistable sous la forme d'un signal continu, pour commander la fréquence du signal d'horloge de référence ; on contrôle la cadence des transitions du signal bistable, pour contrôler ainsi la valeur de la dispersion de phase ; et on applique un signal de commande variable pour faire varier la réponse d'égalisation afin de minimiser la cadence contrôlée des transitions du signal bistable.

15. Procédé pour réduire la dispersion de phase dans un signal numérique transmis sur un canal ayant une réponse d'amplitude non constante et/ou une réponse de phase non linéaire, caractérisé en ce qu'il comprend les opérations suivantes : on égalise le signal transmis pour obtenir une réponse d'égalisation qui compense la réponse du canal ; on génère un signal d'horloge de référence synchronisé avec le signal égalisé, tout en détectant une différence de phase entre le signal d'horloge de référence et le signal égalisé, et en produisant un signal de commande bistable qui correspond à une polarité de cette différence de phase, et on applique ce signal de commande bistable sous la forme d'un signal continu, pour commander la fréquence du signal d'horloge de référence ; on contrôle la cadence des transitions du signal bistable, pour contrôler ainsi la valeur de la dispersion de phase ; on applique des valeurs de signal de commande variables pour faire varier la réponse d'égalisation et on contrôle les cadences de transition obtenues sous la dépendance de

ces valeurs de signal de commande ; et on sélectionne une valeur optimale du signal de commande qui correspond à une cadence minimale des transitions contrôlées, et on applique cette valeur optimale du signal de commande pour régler la réponse d'égalisation.

16. Procédé selon la revendication 15, caractérisé en ce que l'opération consistant à appliquer des valeurs de signal de commande comprend l'enregistrement dans une mémoire (70) des valeurs de signal de commande et des cadences de transition obtenues sous la dépendance de ces valeurs, et en ce que l'opération de sélection d'une valeur optimale du signal de commande comprend la comparaison des cadences de transition enregistrées et la sélection pour la valeur optimale du signal de commande de la valeur qui correspond à une cadence de transition enregistrée minimale.

2576731

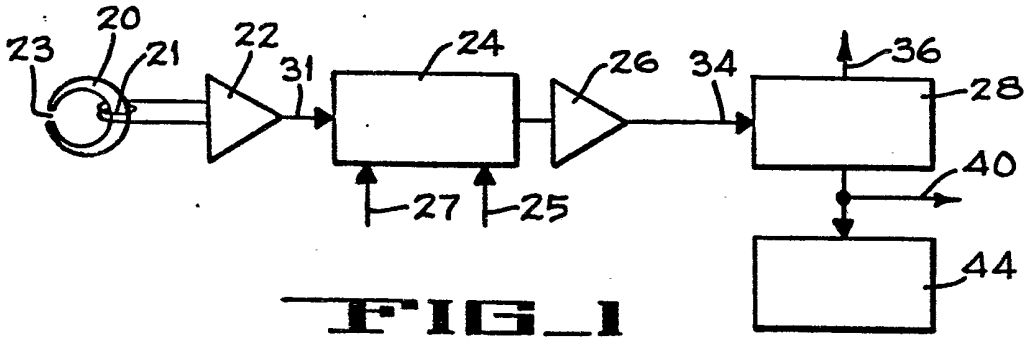


FIG_1

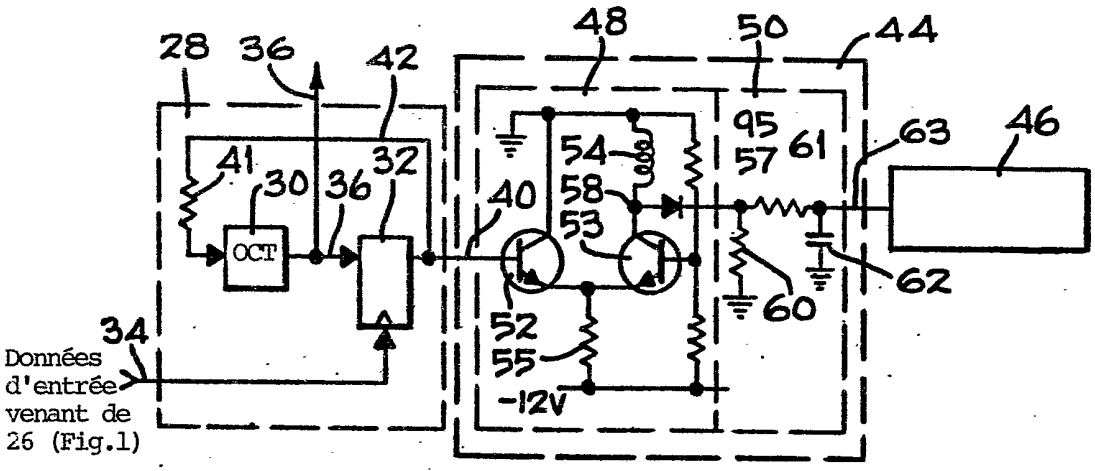


FIG_2

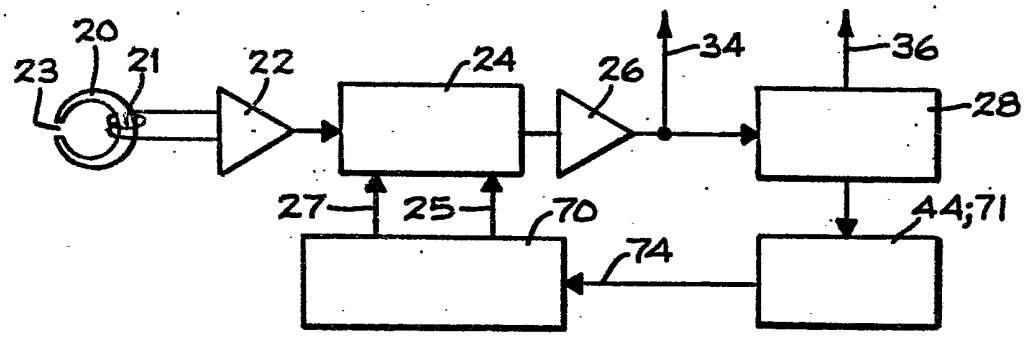


FIG_3

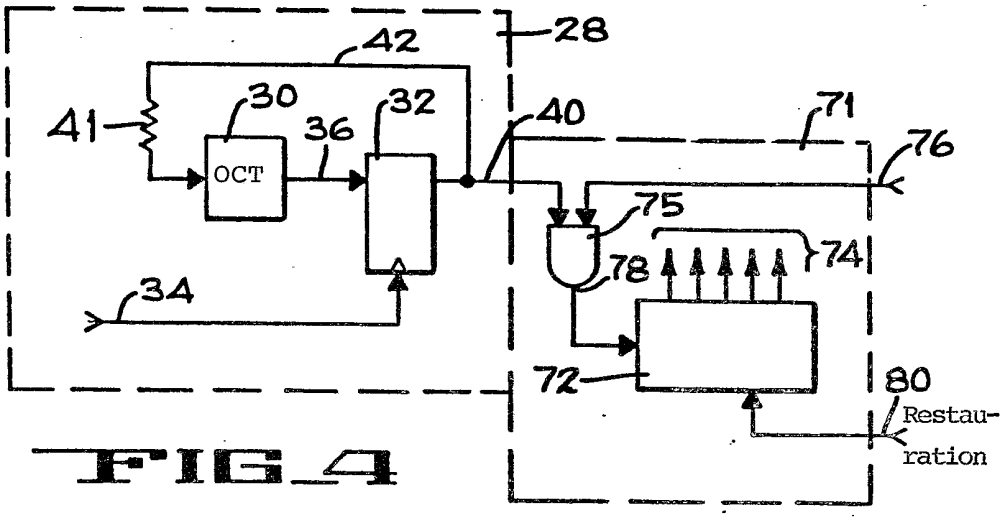

28
42
41
30
36
32
40
71
76
OCT
75
74
78
34
72
80
Restau-
ration

FIG_4

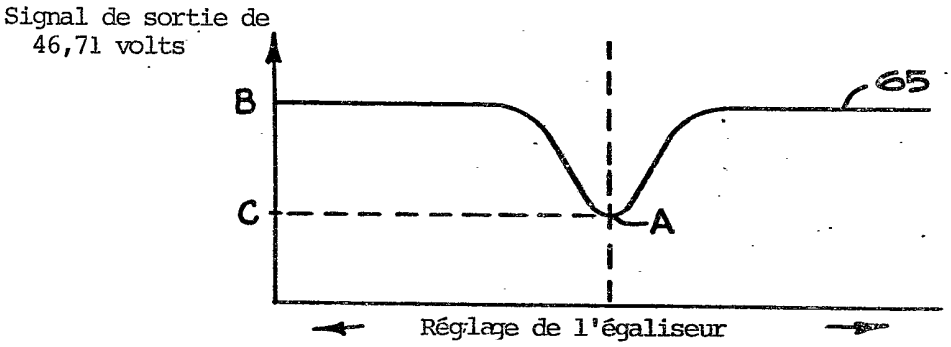

Signal de sortie de
46,71 volts
B
C
A
65
Réglage de l'égaliseur

FIG_6

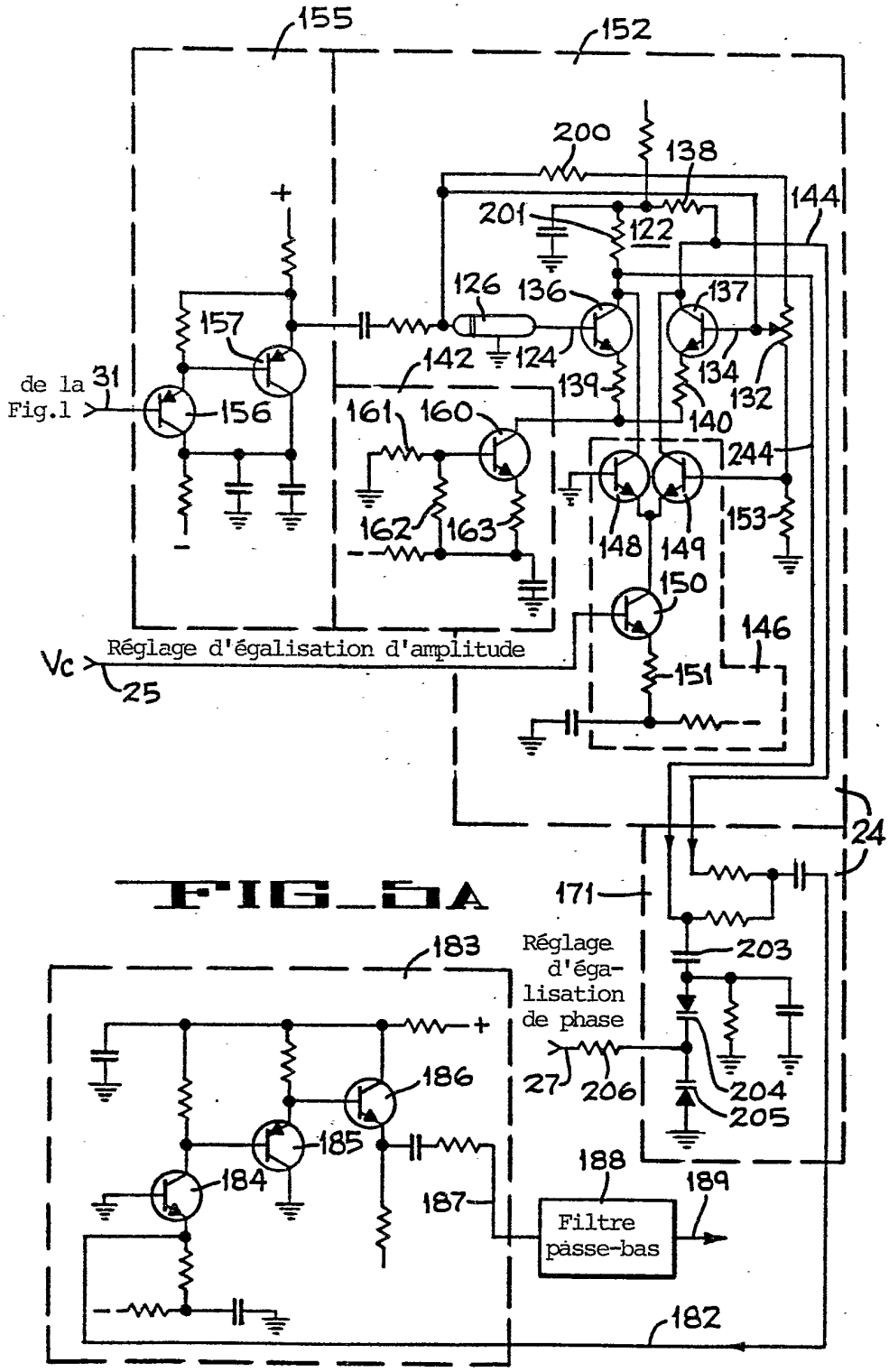

155
152
200
138
144
201
122
126
136
137
157
142
124
139
134
132
de la Fig.1
31
156
161
160
140
244
162
163
153
148
149
150
146
Réglage d'égalisation d'amplitude
Vc
25
151
24
171
183
Réglage d'égalisation de phase
203
186
185
184
27
206
204
205
188
189
187
Filtre passe-bas
182

FIG 6A

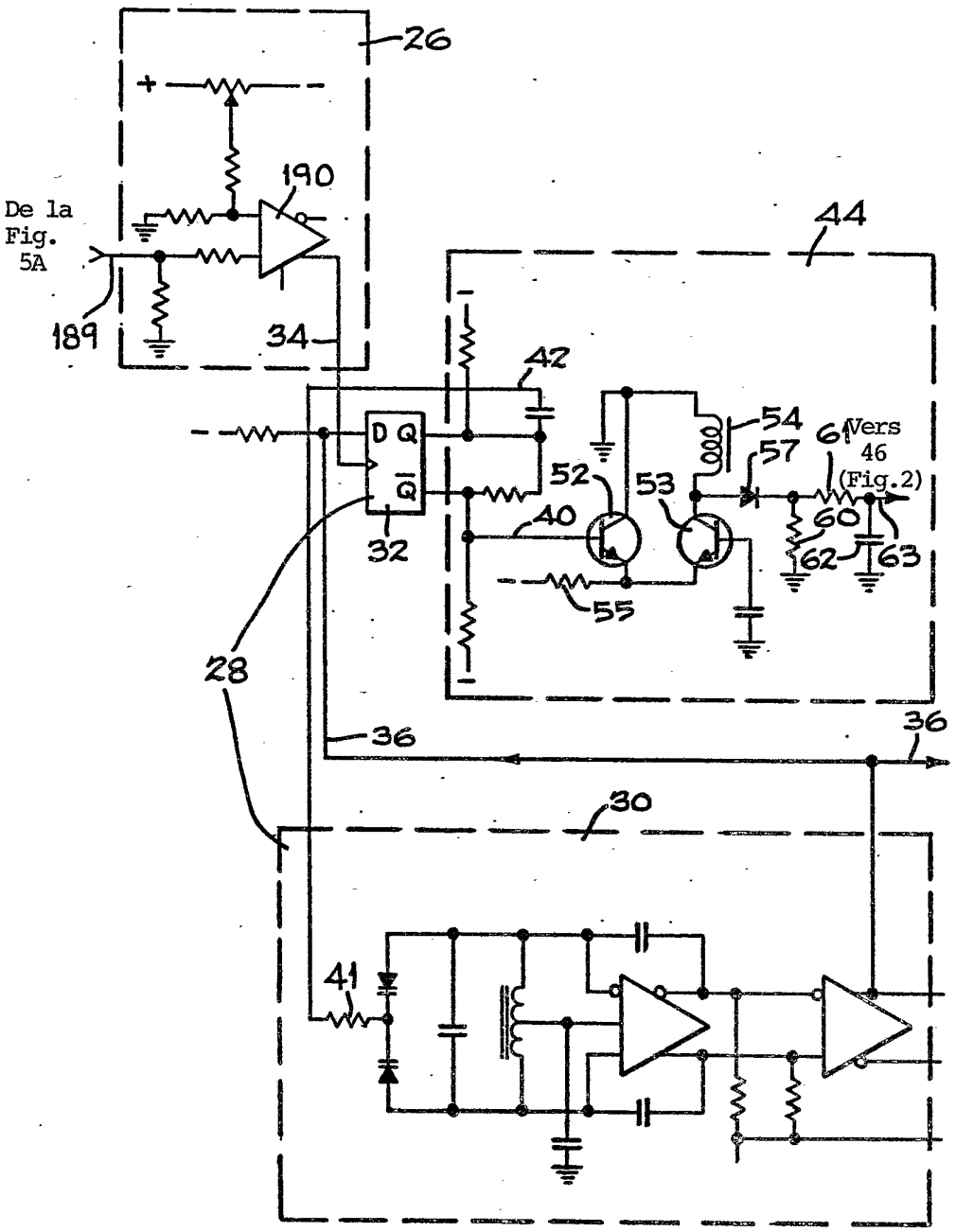

26
190
De la
Fig.
5A
189
34
44
42
54
57
61
Vers
46
(Fig.2)
52
53
40
60
62
63
55
32
28
36
36
30
41

FIG_6B

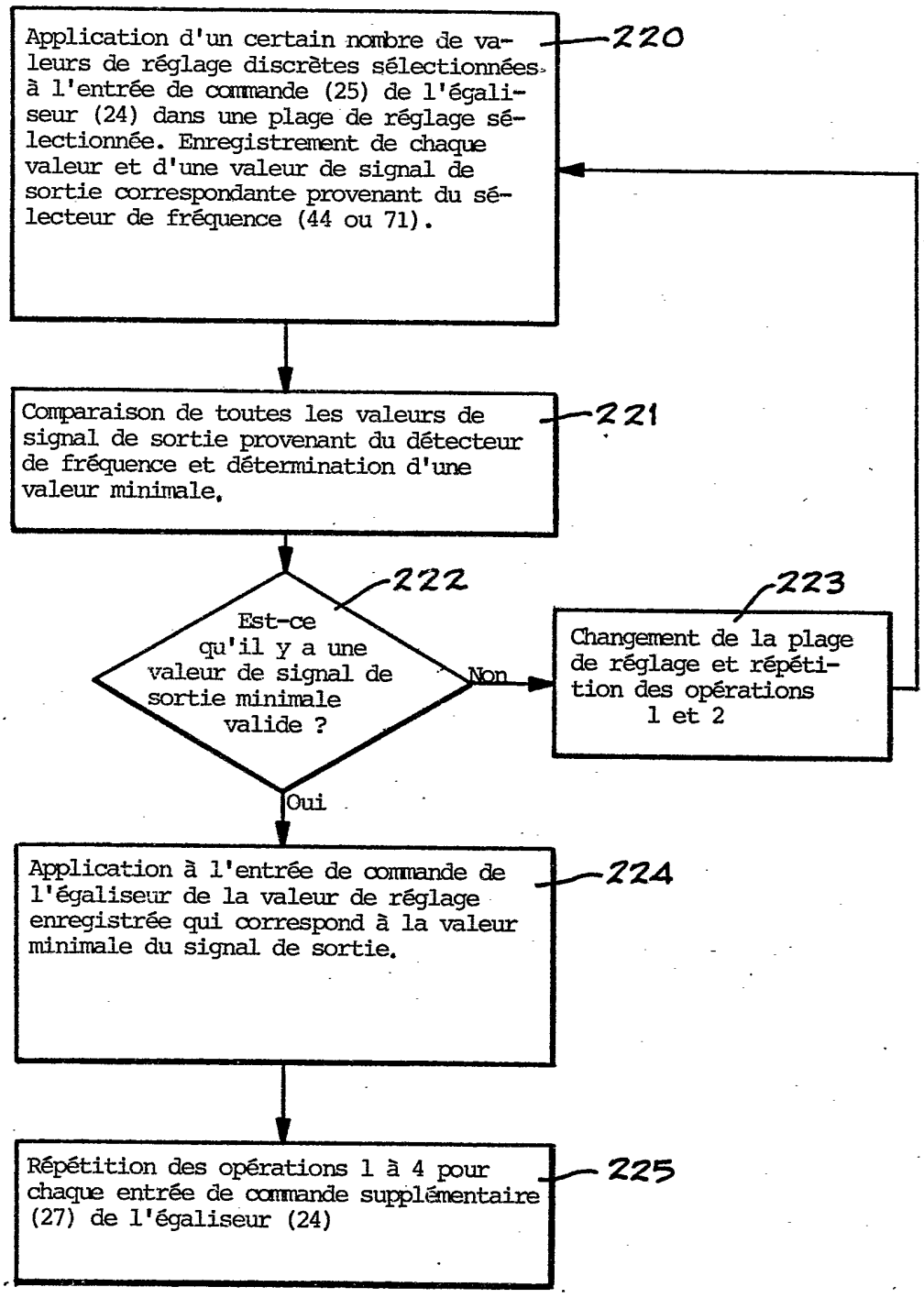

Application d'un certain nombre de valeurs de réglage discrètes sélectionnées à l'entrée de commande (25) de l'égaliseur (24) dans une plage de réglage sélectionnée. Enregistrement de chaque valeur et d'une valeur de signal de sortie correspondante provenant du sélecteur de fréquence (44 ou 71).
220
Comparaison de toutes les valeurs de signal de sortie provenant du détecteur de fréquence et détermination d'une valeur minimale.
221
Est-ce qu'il y a une valeur de signal de sortie minimale valide ?
222
Non
Changement de la plage de réglage et répétition des opérations 1 et 2
223
Oui
Application à l'entrée de commande de l'égaliseur de la valeur de réglage enregistrée qui correspond à la valeur minimale du signal de sortie.
224
Répétition des opérations 1 à 4 pour chaque entrée de commande supplémentaire (27) de l'égaliseur (24)
225

FIG_7