



ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ И АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 3711957/24-24

(22) 16.03.84

(46) 23.09.85. Бюл. № 35

(72) А.К. Смирнов и Р.М. Суворов

(53) 681.327.66(088.8)

(56) Авторское свидетельство СССР
№ 482772, кл. G 06 K 5/04, 1974.

Электроника, 1981, № 9, с. 40-47,
рис. 5, 7, 8.

(54)(57) ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО С КОРРЕКЦИЕЙ ОШИБОК, содержащее регистровую матрицу, входы первой группы которой соединены с выходами элементов И-ИЛИ первой группы, а входы первой группы подключены к соответствующим входам формирователя ошибок, вход и выход которого соединен соответственно с вторым выходом и третьим входом коммутатора, первый и второй входы которого соединены с соответствующими выходами элемента И-ИЛИ первой группы и регистровой матрицы, а первый и третий выходы подключены к соответствующему входу регистровой матрицы и первому входу регистра ошибок, второй вход которого соединен с выходом первого элемента ИЛИ, а первый выход и выходы первой и второй групп подключены соответственно к первым, вторым и третьим входам элементов И третьей группы, причем первые входы одних элементов И-ИЛИ первой группы соединены с выходами блока оперативной памяти, входы которого подключены к выходам элементов И первой группы, первые входы других элементов И-ИЛИ первой группы соединены с выходами накопителя, входы которого подключены к выхо-

дам элементов И второй группы, вторые входы одних элементов И-ИЛИ первой группы соединены с четвертым входом коммутатора и вторыми входами элементов И второй группы и подключены к входу записи устройства, вход воспроизведения которого соединен с вторыми входами других элементов И-ИЛИ первой группы, блок мажоритарных элементов, второй элемент ИЛИ, счетчик, отличающиеся тем, что, с целью повышения надежности за счет коррекции большего количества ошибок, в него введена вторая группа элементов И-ИЛИ, причем первые входы одних элементов И-ИЛИ второй группы соединены с выходами мажоритарных элементов блока, первый, второй и третий входы которых подключены к первому выходу и соответствующим выходам второй и третьей групп регистра ошибок, первые входы других элементов И-ИЛИ второй группы соединены с выходами элементов И третьей группы, вторые входы одних элементов И-ИЛИ второй группы соединены с первым входом второго элемента ИЛИ и являются входами коррекции устройства, вторые входы других элементов И-ИЛИ второй группы соединены с вторым входом второго элемента ИЛИ и являются входом воспроизведения устройства, а выходы элементов И-ИЛИ второй группы соединены с входами первого элемента ИЛИ, входами группы регистра ошибок и входами второй группы регистровой матрицы, выходы второй группы которой подключены к первым входам элементов И первой и второй

групп, выход второго элемента ИЛИ соединен с пятым входом коммутатора и вторыми входами элементов И пер-

вой группы, второй выход регистра ошибок подключен к входу счетчика.

1

Изобретение относится к вычислительной технике и может быть использовано для обнаружения сбоев и исправления информации, поступающей с внешних накопителей.

Целью изобретения является повышение надежности устройства за счет коррекции большего количества ошибок.

На чертеже представлена структурная схема устройства.

Устройство содержит первую группу элементов И-ИЛИ 1, регистровую матрицу 2, коммутатор 3, первую 4 и вторую 5 группу элементов И, накопитель 6, блок 7 оперативной памяти, формирователь 8 ошибок, регистр 9 ошибок, третья группа элементов И 10, первый элемент ИЛИ 11, блок 12 мажоритарных элементов, счетчик 13, вход 14 записи, вход 15 воспроизведения, второй элемент ИЛИ 16, вторую группу элементов И-ИЛИ 17, вход 18 коррекции.

Устройство работает следующим образом.

Информация, подлежащая записи в накопитель 6, поступает по трем каналам из блока оперативной памяти на входы элементов И-ИЛИ 1 первой группы. По сигналу 14 записи третий вход коммутатора 3 подключается к его первому выходу, а второй и третий выходы коммутатора 3 подсоединяются внутри него к общей шине. В регистровой матрице 2 по внешним тактам (не показаны) происходит последовательный сдвиг информации, поступающей на ее вход. Формирователь 8 ошибок в каждом такте суммирует по модулю два выходные сигналы регистровой матрицы 2 с выходов разрядов одной прямой строки и двух диагональных строк. Выходные сигналы формирователя 8 ошибок через коммутатор 3

2

в каждом такте поступают на вход четвертого контрольного канала регистровой матрицы 2 одновременно с информацией соответствующей строки с соответствующего выхода элемента И-ИЛИ 1 первой группы. Выходная информация матрицы 2, содержащая в каждой строке три информационных и один контрольный разряд через группу 4, открытую сигналом 14 записи, поступает на вход накопителя 6. Таким образом, в процессе записи устройство работает как шифратор, формируя в каждой строке контрольные разряды. В процессе записи информации блоки 5, 9, ..., 13, 16, 17 не участвуют.

При воспроизведении информации со входа 15 подается команда воспроизведения. В коммутаторе 3 соединяются между собой одноименные входы и выходы (первый вход с первым выходом и т.д.).

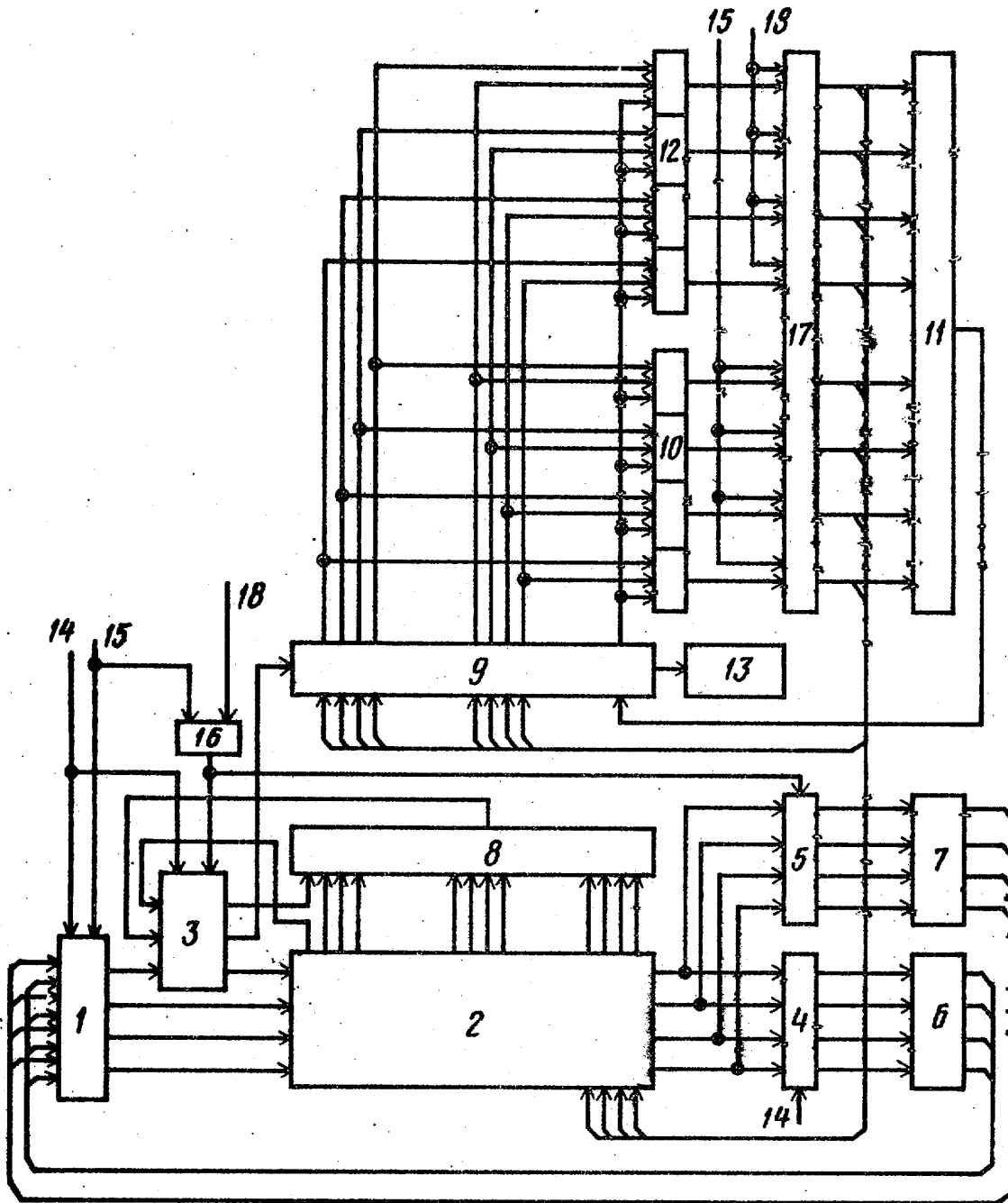
Выходная информация накопителя 6 через элементы И-ИЛИ 1 первой группы и коммутатор 3 построчно параллельно-последовательным кодом поступает на вход регистровой матрицы 2, где происходит последовательный построчный сдвиг этой информации по внешним тактам. Одновременно по тактам сдвигается информация и в регистре 9 ошибок. В формирователе 8 ошибок в каждом такте суммируются по модулю два выходные сигналы регистровой матрицы 2. Отклонение от четности суммы сигналов, поступающих на вход формирователя 8 ошибок, воспринимается как сигнал ошибки, который с выхода формирователя 8 ошибок через коммутатор 3 поступает на вход регистра 9 ошибок и продвигается к его выходу параллельно с продвижением информации в регистровой матрице 2.

В процессе воспроизведения информации происходит коррекция ошибок, представленных в регистре 9 ошибок тремя признаками (три единицы в определенном сочетании в зависимости от номера сбойного канала). При этом на выходе одного элемента И 10 третьей группы соответствующего сбойному каналу, формируется импульс, который через вторую группу элементов И-ИЛИ 17 поступает на два третьих входа регистра 9 ошибок и на один третий вход матрицы 2, а через элемент ИЛИ 11 - на второй вход регистра 9 ошибок, изменяя состояние соответствующего разряда выходной строки матрицы 2 и сбрасывая в "0" соответствующие разряды регистра 9 ошибок. При этом нулевой сигнал управления коррекцией 18 запрещает прохождение выходных сигналов блока 12 мажоритарных элементов через вторую группу элементов И-ИЛИ 17. Код с выхода регистра матрицы 2 через открытую группу элементов И 5 переписывается в блок 7 оперативной памяти. В процессе воспроизведения не корректируются ошибки, представленные двумя признаками. Наличие таких ошибок и их количество фиксируется в счетчике 13.

Для исправления ошибок, представленных двумя признаками, информация с блока 7 через элементы И-ИЛИ 1 первой группы и коммутатор 3 вновь подается на входы матрицы 2. На управляющие входы коммутатора 3 и накопителя 6 через элемент 16 и на управляющий вход элементов

И-ИЛИ 17 второй группы с входа 18 подается команда коррекции. Блоки 1, 2, 3, 5, 7, 8, 9, 11, 13 работают так же, как и в режиме воспроизведения. Выходная информация с элементов И 10 третьей группы не проходит через элементы И-ИЛИ 17 второй группы, закрытые нулевым сигналом команды воспроизведения. Наличие двух признаков ошибок в регистре 9 ошибок в определенном сочетании в зависимости от номера сбойного канала фиксируется одним из мажоритарных элементов блока 12, выходной импульс которого проходит через элементы И-ИЛИ 17 второй группы и изменяет состояние соответствующего разряда выходной строки матрицы 2 и сбрасывая в "0" соответствующие разряды регистра 9 ошибок. Выходная информация регистра матрицы 2 через элементы И 5 второй группы записывается в блок 7 оперативной памяти. Количество оставшихся нескорректированных ошибок фиксируется в счетчике 13. При необходимости цикл коррекции повторяется до тех пор, пока в счетчике 13 не будет нулевой код или количество фиксируемых ошибок не будет постоянным, что свидетельствует о наличии некорректируемых ошибок.

35 Таким образом, введение второй группы элементов И-ИЛИ с соответствующими связями и введение новых связей между элементами известного устройства позволяет повысить количество устраняемых ошибок.



Редактор П. Косей Составитель О. Исаев Корректор И. Эрдей
 Техред Л. Микеш

Заказ 5934/52 Тираж 583 Подписное
 ВНИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ИИИ "Патент", г. Ужгород, ул. Проектная, 4