



(12) 发明专利

(10) 授权公告号 CN 101213547 B

(45) 授权公告日 2012.05.09

(21) 申请号 200680002862.1

(22) 申请日 2006.01.20

(30) 优先权数据

10/905,822 2005.01.21 US

(85) PCT申请进入国家阶段日

2007.07.20

(86) PCT申请的申请数据

PCT/US2006/002046 2006.01.20

(87) PCT申请的公布数据

W02006/078908 EN 2006.07.27

(73) 专利权人 国际商业机器公司

地址 美国纽约

(72) 发明人 L·W·利伯曼 Z·鲍姆恩

(74) 专利代理机构 北京市中咨律师事务所

11247

代理人 于静 杨晓光

(51) Int. Cl.

G06F 17/50 (2006.01)

(56) 对比文件

US 6569583 B2, 2003.05.27, 说明书第4栏第30行至第7栏第22行, 图1A至图1C、图3至图5.

CN 1484281 A, 2004.03.24, 全文.

US 4849369, 1989.07.18, 全文.

US 6832364 B2, 2004.12.14, 说明书第2栏第30至63行、第8栏第29行至第9栏第2行、第13栏第13至20行, 权利要求1.

审查员 苏丹

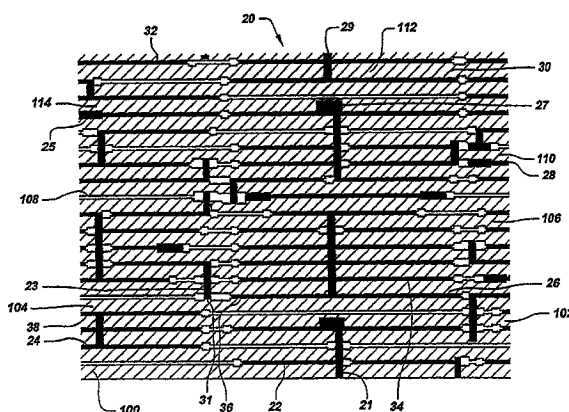
权利要求书 3 页 说明书 6 页 附图 12 页

(54) 发明名称

差分交替相移掩模设计方法及系统

(57) 摘要

一种掩模设计方法, 包括: 通过将掩模分辨率增强技术 (RET) 特征例如交替相移区或者次分辨率辅助特征与集成电路设计的临界宽度段对准, 形成第一掩模设计, 所述第一掩模设计满足可制造性设计标准; 通过将 RET 特征与集成电路设计的临界宽度段对准, 形成第二掩模设计, 所述第二掩模设计满足所述临界宽度段的局部区域的光刻设计标准。识别第二掩模设计的与可制造性设计标准冲突的特征, 然后从所述第二掩模设计形成第三掩模设计, 其中用所述第一掩模设计的特征选择性地替换所述第二掩模设计的与可制造性标准冲突的特征, 从而所述第三掩模设计满足可制造性设计标准。



1. 一种设计掩模的方法,所述掩模用于在光刻处理中投影集成电路设计的图像,所述方法包括:

提供具有多个临界宽度段的集成电路布图的设计;

通过将用于辅助投影临界宽度段的掩模特征与集成电路设计的临界宽度段对准,形成第一掩模设计,所述第一掩模设计满足预定的可制造性设计标准;

通过将用于辅助投影临界宽度段的掩模特征与集成电路设计的临界宽度段对准,形成第二掩模设计,所述第二掩模设计满足所述临界宽度段的局部区域的预定的光刻设计标准;

识别第二掩模设计的与所述预定的可制造性设计标准冲突的设计特征;

从所述第二掩模设计形成第三掩模设计,其中用所述第一掩模设计的掩模特征选择性地替换所述第二掩模设计的与所述预定的可制造性设计标准冲突的掩模特征,从而所述第三掩模设计满足所述预定的可制造性设计标准。

2. 根据权利要求1的方法,其中所述第二掩模设计包括所述第一掩模设计的子集。

3. 根据权利要求1的方法,还包括采用所述第三掩模设计,将集成电路设计的图像转移至基底。

4. 根据权利要求1的方法,其中所述用于辅助投影临界宽度段的掩模特征包括交替相移区域。

5. 根据权利要求4的方法,其中所述预定的可制造性设计标准包括最小的相宽和最小的相位间隔。

6. 根据权利要求4的方法,其中所述预定的光刻设计标准包括处理窗口条件。

7. 根据权利要求1的方法,其中所述用于辅助投影临界宽度段的掩模特征包括次分辨率辅助特征。

8. 根据权利要求7的方法,其中所述预定的可制造性设计标准包括次分辨率辅助特征尺寸和间隔。

9. 根据权利要求7的方法,其中所述预定的光刻设计标准包括处理窗口条件。

10. 一种设计交替相移掩模的方法,所述掩模用于投影集成电路设计的图像,所述方法包括:

提供具有多个临界宽度段的集成电路布图的设计;

通过将交替相移区域与临界宽度段对准,以及使所述交替相移区域延伸超过至少一些其所对准的临界宽度段的端部,并满足预定的可制造性设计标准,而形成交替相移掩模的第一掩模设计;

通过将交替相移区域与所述临界宽度段对准,而不使多对所述交替相移区域超出其所对准的临界宽度段的端部,以形成交替相移掩模的第二掩模设计,所述第二掩模设计满足所述临界宽度段的局部区域的预定的光刻设计标准;

识别与所述预定的可制造性设计标准冲突的第二掩模设计的设计特征;

从所述第二掩模设计形成第三掩模设计,其中用所述第一掩模设计的设计特征选择性地替换所述第二掩模设计的与所述预定的可制造性设计标准冲突的设计特征,从而所述第三掩模设计满足所述预定的可制造性设计标准。

11. 根据权利要求10的方法,其中所述预定的可制造性设计标准包括最小的相宽和最

小的相位间隔。

12. 根据权利要求 10 的方法,其中所述预定的光刻设计标准包括处理窗口条件。

13. 根据权利要求 10 的方法,其中所述交替相移掩模的第二掩模设计与包括最小相宽和最小相位间隔的至少一个制造设计标准冲突。

14. 根据权利要求 10 的方法,还包括采用所述第三掩模设计将集成电路设计的图像转移至基底。

15. 一种设计用于投影集成电路设计的图像的光掩模的方法,包括:

提供具有多个临界宽度段的集成电路布图的设计;

通过将次分辨率辅助特征与临界宽度段对准,形成光掩模的第一掩模设计,所述第一掩模设计满足预定的可制造性设计标准;

通过将次分辨率辅助特征与临界宽度段对准,形成光掩模的第二掩模设计,所述第二掩模设计满足临界宽度段的局部区域中的预定的光刻设计标准;

识别与所述预定可制造性设计标准冲突的第二掩模设计的设计特征;

从所述第二掩模设计形成第三掩模设计,其中,用所述第一掩模设计的设计特征选择性地替换所述第二掩模设计的与所述预定的可制造性设计标准冲突的设计特征,从而所述第三掩模设计满足所述预定的可制造性设计标准。

16. 根据权利要求 15 的方法,其中所述预定的可制造性设计标准包括次分辨率辅助特征尺寸和间隔。

17. 根据权利要求 15 的方法,其中所述预定的光刻设计标准包括处理窗口条件。

18. 根据权利要求 15 的方法,其中所述第二掩模设计与包括次分辨率辅助特征尺寸和间隔的至少一个预定制造设计标准冲突。

19. 根据权利要求 15 的方法,还包括采用所述第三掩模设计将所述集成电路设计的图像转移至基底。

20. 一种设计掩模的系统,所述掩模用于在光刻处理中投影集成电路设计的图像,所述系统包括:

用于提供具有多个临界宽度段的集成电路布图的设计的装置;

用于通过将用于辅助投影临界宽度段的掩模特征与所述集成电路设计的临界宽度段对准以形成掩模的第一掩模设计的装置,所述第一掩模设计满足预定的可制造性设计标准;

用于通过将用于辅助投影临界宽度段的掩模特征与所述集成电路设计的临界宽度段对准以形成掩模的第二掩模设计的装置,所述第二掩模设计满足所述临界宽度段的局部区域中的预定的光刻设计标准;

用于识别与所述预定的可制造性设计标准冲突的所述第二掩模设计的设计特征的装置;

用于从所述第二掩模设计形成第三掩模设计的装置,其中用所述第一掩模设计的掩模特征选择性地替换所述第二掩模设计的与所述预定的可制造性设计标准冲突的掩模特征,从而所述第三掩模设计满足所述预定的可制造性设计标准。

21. 根据权利要求 20 的系统,其中所述用于辅助投影临界宽度段的掩模特征包括交替相移区域。

22. 根据权利要求 21 的系统,其中所述预定的可制造性设计标准包括最小相宽和最小相位间隔。

23. 根据权利要求 21 的系统,其中所述预定的光刻设计标准包括处理窗口条件。

24. 根据权利要求 20 的系统,其中所述用于辅助投影临界宽度段的掩模特征包括次分辨率辅助特征。

25. 根据权利要求 24 的系统,其中所述预定的可制造性设计标准包括次分辨率辅助特征尺寸和间隔。

26. 根据权利要求 24 的系统,其中所述预定的光刻设计标准包括处理窗口条件。

差分交替相移掩模设计方法及系统

技术领域

[0001] 本发明涉及制造在光刻制造集成电路时采用的掩模,特别涉及制造分辨率增强技术 (RET) 增强掩模,更特别地涉及自动和优化地将 IC 布图转换为 RET 掩模设计。

背景技术

[0002] 作为对在光刻制造集成电路时采用的玻璃上铬 (COG) 掩模的替换,采用交替相移掩模 (altPSM) 以提高投影的临界有源区域图形的分辨率。这样提高的分辨率允许在抗蚀剂上曝光更窄的线宽和更紧密的间距,并因此在晶片衬底上蚀刻或者沉积。系统的临界尺寸 (CD) 是光刻系统通过常规技术对抗蚀剂层进行充分尺寸控制所形成的最小尺寸,而 altPSM 允许在晶片上曝光并形成次 CD 宽度。通过控制在光刻过程中使用的能量束例如可见光或者紫外光的电场向量或者相位来实现这一点。通过改变光束经过掩模材料的长度而获得 PSM 中的相移。通过使掩模凹进合适深度,穿过掩模较薄部分的光和穿过掩模较厚部分的光具有 180° 的相差,即,其电场向量大小相等但是指向相反的方向,从而充分消除这些光束之间的任何作用。已经有大量文献公开了采用 altPSM 以极紧密尺寸控制对窄线成像的好处。

[0003] 形成 altPSM 布图的一个主要困难在于,形成可制造和可光刻的相形,同时不形成不当的布图冲突和光学邻近错误。近来,美国专利申请 10/707,962 公开了一种 altPSM 布图的整体定位方法。在此方法中,通过以相形填充布图的整个背景,基本实现了相位合理而可制造的布图,从而设计的相形远远超出电路和 CD 特征的初始设计。由初始布图而不是具体 altPSM 设计来表示相形拓扑的细节,从而例如初始布图中的空间转换为相宽。尽管这些 altPSM 设计的整体方法避免了昂贵且常易出错的重复相认可,但是其并不能总为光学邻近校正 (OPC) 提供最佳的 altPSM 设计。在整体 PSM 设计方法中采用的外部相形增加了 OPC 的复杂性,并可形成直接影响初始布图形状的构图的不利的与临界相边缘的权衡。

[0004] 尽管消除整体 PSM 设计方法中形成的许多相形并集中于局部 PSM 方案通常会改进 OPC 性能,但是对布图进行局部 altPSM 设计,会重新形成被整体 PSM 设计初始避免的所有相认可困难。

发明内容

[0005] 考虑到现有技术的问题和不足,因此本发明的目标在于提供一种设计光刻形成集成电路的特别是 altPSM 的相移掩模的改进方法。

[0006] 特别是,本发明的目标在于提供一种设计 altPSM 的方法,其在整体设计方案的效率和准确性益处与局部 altPSM 设计的改进的 OPC 性能之间达到最佳平衡。

[0007] 本发明的另一个目标在于将使整体和局部设计方案最佳的好处延伸至其它用于提高临界宽度特征分辨率的光刻掩模特征,例如次分辨率辅助特征 (SRAF)。

[0008] 本发明的其它目标和优势将通过说明书而部分明显,部分显而易见。

[0009] 在本发明中可获得对本领域技术人员显而易见的上述和其它目标,本发明涉及一

种设计掩模的方法,所述掩模用于在光刻处理中投影集成电路设计的图像,其中集成电路布图具有多个临界宽度段。此方法包括通过将用于辅助投影临界宽度段的掩模特征与集成电路设计的临界宽度段对准形成第一掩模设计,从而第一掩模设计满足预定的可制造性设计标准。此方法还包括通过将用于辅助投影临界宽度段的掩模特征与集成电路设计的临界宽度段对准,形成第二掩模设计,从而所述第二掩模设计满足所述临界宽度段的局部区域的预定的光刻设计标准。此方法还包括识别第二掩模设计的与所述预定可制造性设计标准冲突的设计特征,然后从所述第二掩模设计形成第三掩模设计,其中用所述第一掩模设计的掩模特征选择性地替换所述第二掩模设计的与所述预定的可制造性设计标准冲突的掩模特征,从而所述第三掩模设计满足所述预定的可制造性设计标准。

[0010] 例如,用于辅助投影临界宽度段的掩模特征可包括交替相移区域或者次分辨率辅助特征。优选,第二掩模设计包括第一掩模设计的子集。第三掩模设计然后可用于将集成电路设计的图像转移至基底。

[0011] 在交替相移区域用作掩模特征之处,预定的可制造性设计标准可包括最小的相宽和最小的相位间隔,而预定的光刻设计标准包括处理窗口条件。

[0012] 在掩模特征为次分辨率辅助特征之处,预定的可制造性设计标准可包括 SRAF 尺寸和间隔,而预定的光刻设计标准包括处理窗口条件。

[0013] 另一方面,本发明涉及一种设计交替相移掩模的方法,所述掩模用于投影集成电路设计布图的图像,所述集成电路设计布图具有多个临界宽度段,所述方法包括通过将交替相移区域与临界宽度段对准,以及使所述交替相移区域延伸超过至少一些其所对准的临界宽度段的端部,并满足预定的可制造性设计标准,而形成交替相移掩模的第一掩模设计。此方法还包括通过将交替相移区域与所述临界宽度段对准,而不使多对所述交替相移区域基本超出其所对准的临界宽度段的端部,以形成交替相移掩模的第二掩模设计,所述第二掩模设计满足所述临界宽度段的局部区域的预定的光刻设计标准。此方法还包括识别与所述预定的可制造性设计标准冲突的第二掩模设计的设计特征,并从第二掩模设计形成第三掩模设计。在第三掩模设计中,用所述第一掩模设计的设计特征选择性地替换所述第二掩模设计的与所述预定可制造性设计标准冲突的设计特征,从而所述第三掩模设计满足所述预定的可制造性设计标准。

[0014] 预定的可制造性设计标准可包括最小的相宽和最小的相位间隔,而预定的光刻设计标准包括处理窗口条件。交替相移掩模的第二掩模设计通常与包括最小相宽和最小相位间隔的至少一个制造设计标准冲突。第三掩模设计然后用于将集成电路设计的图像转移至基底上。

[0015] 本发明的另一方面涉及一种设计用于投影具有多个临界宽度段的集成电路设计布图的图像的光掩模的方法,包括通过将次分辨率辅助特征(SRAF)与临界宽度段对准,形成光掩模的第一掩模设计,所述第一掩模设计满足预定的可制造性设计标准,以及通过将次分辨率辅助特征与临界宽度段对准,形成光掩模的第二掩模设计,所述第二掩模设计满足临界宽度段的局部区域中的预定的光刻设计标准。此方法还包括识别与所述预定的可制造性设计标准冲突的第二掩模设计的设计特征,并从第二掩模设计形成第三掩模设计,其中,用所述第一掩模设计的设计特征选择性地替换所述第二掩模设计的与预定的可制造性标准冲突的设计特征,从而所述第三掩模设计满足所述预定的可制造性设计标准。

[0016] 预定的可制造性设计标准包括 SRAF 尺寸和间隔,而预定的光刻设计标准包括处理窗口条件。通常,第二掩模设计与包括 SRAF 尺寸和间隔的至少一个预定制造设计标准冲突。第三掩模设计然后用于将集成电路设计的图像转移至基底。

[0017] 而本发明的另一个方面涉及一种设计掩模的系统,所述掩模用于在光刻处理中投影集成电路设计的图像,所述系统包括:用于提供具有多个临界宽度段的集成电路布图的设计的装置;用于通过将用于辅助投影临界宽度段的掩模特征与所述集成电路设计的临界宽度段对准以形成掩模的第一掩模设计的装置,所述第一掩模设计满足预定的可制造性设计标准;用于通过将用于辅助投影临界宽度段的掩模特征与所述集成电路设计的临界宽度段对准以形成掩模的第二掩模设计的装置,所述第二掩模设计满足所述临界宽度段的局部区域中的预定的光刻设计标准;用于识别与所述预定的可制造性设计标准冲突的所述第二掩模设计的设计特征的装置;用于从所述第二掩模设计形成第三掩模设计的装置,其中用所述第一掩模设计的掩模特征选择性地替换所述第二掩模设计的与所述预定的可制造性设计标准冲突的掩模特征,从而所述第三掩模设计满足所述预定的可制造性设计标准。

附图说明

[0018] 具体在所附权利要求书中列举了本发明的新颖特征和元件特征。附图仅仅为描述目的并非按比例绘制。但是参考后面的详细描述结合附图可最好地理解本发明的运行结构和方法,其中:

[0019] 图 1 是整体 altPSM 设计的具有临界宽度段的集成电路布图俯视图,其中交替相移区域延伸超过其所对准的临界宽度段的端部;

[0020] 图 2 是具有局部 altPSM 设计的图 1 集成电路布图俯视图,其中交替相移区域未延伸基本超过其所对准的临界宽度段端部;

[0021] 图 3 是示出图 1 和 2 交替相移区域之间差别形状的图 1 集成电路布图的俯视图;

[0022] 图 4 是示出表示制造性问题的图 3 的差别形状的俯视图;

[0023] 图 5 是示出空间冲突的图 4 的一个差别形状的放大图;

[0024] 图 6 是表示为在分布最终相位特征之前图 1 的交替相移区域与指定为不可去除的所有差别形状的组合的俯视图;

[0025] 图 7 是表示为在分布最终相位特征之后图 1 的交替相移区域与指定为不可去除的所有差别形状的组合的俯视图;

[0026] 图 8 是具有满足局部设计要求的临界宽度段和次分辨率辅助特征的用于集成电路布图的光掩模设计的俯视图;

[0027] 图 9 是具有满足整体可制造性设计标准的临界宽度段和次分辨率辅助特征的图 8 的用于集成电路布图的光掩模设计的俯视图;

[0028] 图 10 是示出图 8 局部方案和图 9 整体方案之间次分辨率辅助特征的差别的俯视图;

[0029] 图 11 示出将局部和整体方案之间的次分辨率辅助特征差别选择地添加至图 8 局部方案掩模设计的俯视图;以及

[0030] 图 12 是用于存储执行本发明方法的代码的电子设计自动工具或者程序存储设备的示意图。

具体实施方式

[0031] 这里将参考附图 1-12 描述本发明的优选实施例,其中相同的数字代表本发明的相同特征。

[0032] 在本发明的一个优选实施例中,基于前述美国专利申请 10/707,962 的内容,首次设计了整体 altPSM 设计,所述专利的内容在此引用作为参考。如图 1 所示,集成电路布图 20 的临界宽度段,例如以偶数段 22-38 表示的临界宽度段,具有水平取向的多个基本平行的段。如这里所采用的,术语临界段指的是具有临界尺寸的片段或者部分,临界尺寸为相比于光刻系统以对抗蚀剂层进行充分的尺寸控制所形成的最小尺寸还小的尺寸。图 1 中还有集成电路布图的非临界段,例如以奇数段 21-31 示出的非临界段,其宽度大于临界段宽度。垂直方向上的临界段中心线间隔优选为电路布图最小间距的整数倍。仅仅为 PSM 设计目的,优选将初始临界宽度段延伸超出集成电路布图周围的任何边界(未示出)。其后,在延伸临界宽度段之间形成交替相移区域,例如以偶数段 100-114 表示的交替相移区域。因此,交替相移区域至少部分地或者全部延伸超出其所对准的初始临界宽度段的端部。

[0033] 除了图 1 的整体 altPSM 设计外,本发明还优选形成粗制局部 altPSM 设计。图 2 描述了具有和图 1 所示相同的集成电路布图的临界宽度段的局部 altPSM 方案。在此方法中,在初始临界宽度段的相对侧即上侧和下侧上形成交替相移区域。此粗制局部 altPSM 设计符合预定的光刻设计标准,例如用于 altPSM 形状的用于提供可接受剂量和焦点参数范围的处理窗口光刻要求,或者光刻分辨率要求,例如相位形状临界布图边缘的连续范围、内相边缘到外临界边缘的最小距离(标称相宽)、或者经过线端部的相形的最小延伸。但是,这些粗制局部 altPSM 形状不必遵守基于交替相移设计参数例如最小的相间隔或者最小相宽的所有制造约束或者交替相移设计标准。

[0034] 本发明优选方法的下一步为计算或者识别通常认为其制造清晰但却不是最佳 OPC 的图 1 的整体 altPSM 设计与认为是最佳 OPC 却不能制造的图 2 局部 altPSM 设计之间的差别。通过通常称作减法的逻辑“非”命令容易获得整体和局部 altPSM 设计之间的差别。如图 3 所示,交叉阴影区域或者形状例如以 300-314 表示的偶数形状,示出了整体和局部 altPSM 方案之间的差别。

[0035] 根据本发明,在 OPC 优化和 altPSM 工艺之间实现最佳平衡的任务现在简化为选择图 3 中的将保存和去除的差别形状。特别是,在此实施例中,目标为最终形成与局部 PSM 设计非常相似的设计,优化任务简化为识别差别形状,基于前述或者其它交替相移设计参数,这些形状不能从可制造整体布图去除而不引起制造冲突,即违背交替相移设计规则。在局部相移设计中,容易识别简单的第一级制造冲突,例如次最小相宽或者相间隔。将在这些初始的制造冲突附近的差别形状标记或者表示为不可去除。除了这些初始的制造性问题外,在将差别形状标记为不可去除时可形成第二类问题,例如不能如下文所述从形成的相形获得制造的合适块掩模。最终,从所有的制造性问题获得应当保持在最终布图中的以保证可制造性的差别形状子集。这些以图 4 的圆形区域 350 和 360 示出,其示出与局部相移设计中的制造性问题相关的差别形状 308 和 310。

[0036] 这里所述的流线型 altPSM 布图优化方法允许不仅避免初始分辨率增强技术(RET)设计上的制造性问题,所述问题在这里为相形,而且可避免在获得的 RET 形状上的制

造性问题,所述问题在这里为块图形。通过从粗制局部相形获得粗制块掩模设计(此实施例中通过简单地减少组合相和多晶硅布图,和增加初始的多晶硅布图),可通过将在冲突附近的差别形状标记为不可去除,而识别和避免制造性问题,例如最小的空间冲突。图5示出差别形状308附近最终块掩模设计的近似图。此近似足够准确以适当地识别制造性问题,例如差别形状308左上角以箭头400示出的空间冲突。

[0037] 然后通过从初始整体altPSM设计(图1)去除所有未标记为不可去除(图4)的差别形状,而形成依照本发明方法的优化altPSM布图。图6示出了着色即相分布之前的最终altPSM布图,并且包括不可去除差别形状308和310的相移区域。图7示出了具有交替相分布的最终altPSM布图。

[0038] 在对RET顺从布图(即已知存在合适RET方案的布图)执行本发明的方法中,形成一个已知完全可制造(即没有任何制造标准冲突)的RET方案,以及优化光刻工艺的某些方面例如处理窗口或者获得OPC的能力的第二RET方案(即由于使RET布图形状有利地对准特定OPC功能所获得的OPC之后良好的图像逼真度)。其后,建立两个方案之间差别,优选通过一些过滤消除不明显的差别例如小细条,并在第二RET方案中识别与制造性问题相关的差别形状。然后通过将第二、优化光刻的RET布图与如果不被保留在设计中将使RET布图不可制造的差别形状组合,而形成最终的优化RET布图。

[0039] 结合图1-7描述的交替相移区域表示在掩模上采用一种特征以辅助临界宽度段的光刻投影。这里描述的尤其用于交替相移掩模光刻的RET优化方法可广泛应用于各种布图控制RET。这样的RET的一个实例为采用在本领域还称作散射条的次分辨率辅助特征(SRAF),其在结合离轴照射用于光掩模时,可获得与交替相移掩模光刻相似的分辨率增强。如图8-11所示,对于实线示出的示例性多晶硅导体布图500可获得两个SRAF设计方案。所示集成电路设计的导体包括临界段例如偶数表示的段520-532,以及非临界段例如奇数表示的段521-529。采用与结合图2局部altPSM设计所描述的相似技术,可在布图的一部分,即仅仅在临界设计元件紧邻处,形成在光掩模上形成的结合导体布图段的局部SRAF方案段,例如偶数表示的SRAF 620-656。这些SRAF代表粗制或者暴露的最小RET设计。对局部方案进行局部优化,以满足预定的光刻设计标准,例如处理窗口条件,即为光刻处理提供较大范围的可接受剂量和焦点参数,以增强公差更严格、尺寸更小的临界特征的分辨率。在所描述的实例中,从整体的形状计数和数据量角度优化SRAF。但是,此局部SRAF方案常常遇到制造性问题,例如太小的SRAF或者太密的SRAF。如图8所示,根据预定的制造设计标准,圆圈区域702中的SRAF624太小,而圆圈区域704中的SRAF630和632太密。这些以及其它制造标准可由常规光刻制造标准决定。另一方面,如图9所示,整体SRAF方案形成一个满足预定制造标准的完全可制造方案,例如偶数表示的SRAF 660-696。但是,图9所示的整体方案采用了具有过多附加掩模设计的掩模设计,例如示出为圆圈区域706的SRAF 664。通过识别例如在以后缀“x”表示的SRAF部分中的在图10中示出为斜阴影线SRAF的局部和整体RET方案之间的差别,以及通过使用简单的基于制造性的选择标准,通过在局部方案掩模设计中选择性地增加局部和整体方案之间的差别,可以获得在有效的局部SRAF和可制造整体方案之间最佳平衡。例如在图11中将其表示为以后缀“a”表示的SRAF。

[0040] 用于设计在光刻投影中所用的掩模的本发明方法可通过将上述过程步骤和指令组合到另外的常规程序代码中的计算机程序或者软件实施,并且存储在电子设计自动化

(EDA) 工具或者其它的如图 12 所示的常规程序存储设备 900 中。程序代码以及所要求的任何输入信息可存储在 EDA 工具或者计算机中的程序存储设备 902 上,其例如为半导体芯片、只读存储器、磁介质例如磁盘或计算机硬盘、或者光介质如 CD 或者 DVD ROM。EDA 工具或者计算机系统具有以上述方式读取和执行设备中的存储程序代码的微处理器 904。

[0041] 虽然结合特定的优选实施例特别描述了本发明,但是对本领域技术人员而言,根据上述说明,许多替换、更改和变化是显而易见的。因此认为所附权利要求书将包括属于本发明真实范围和精神的任何这种替换、更改和变化。

[0042] 工业应用性

[0043] 本发明用于设计和制造在光刻制造集成电路中所采用的掩模,并且更特别地用于设计和制造分辨率增强技术 (RET) 增强掩模。

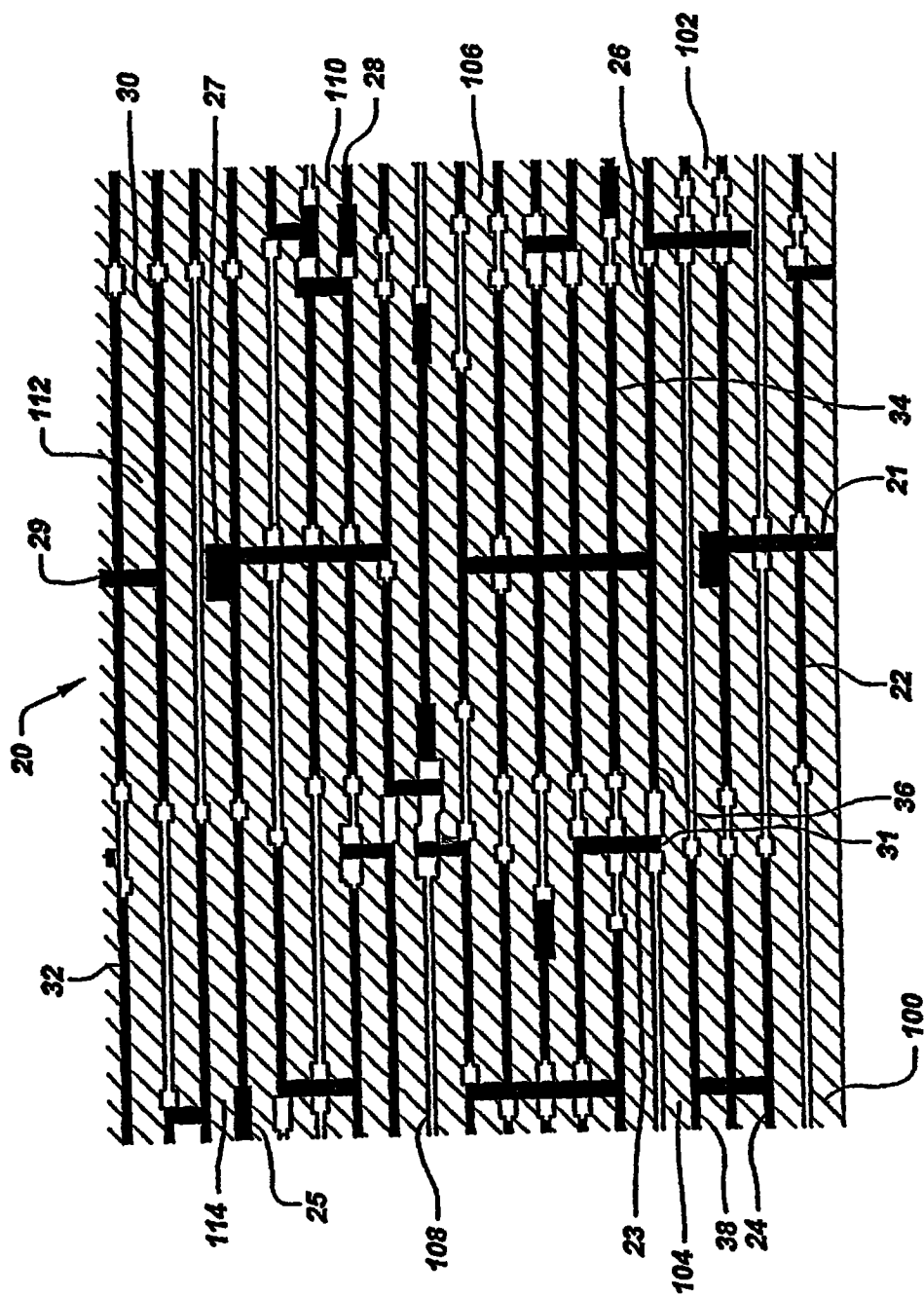


图 1

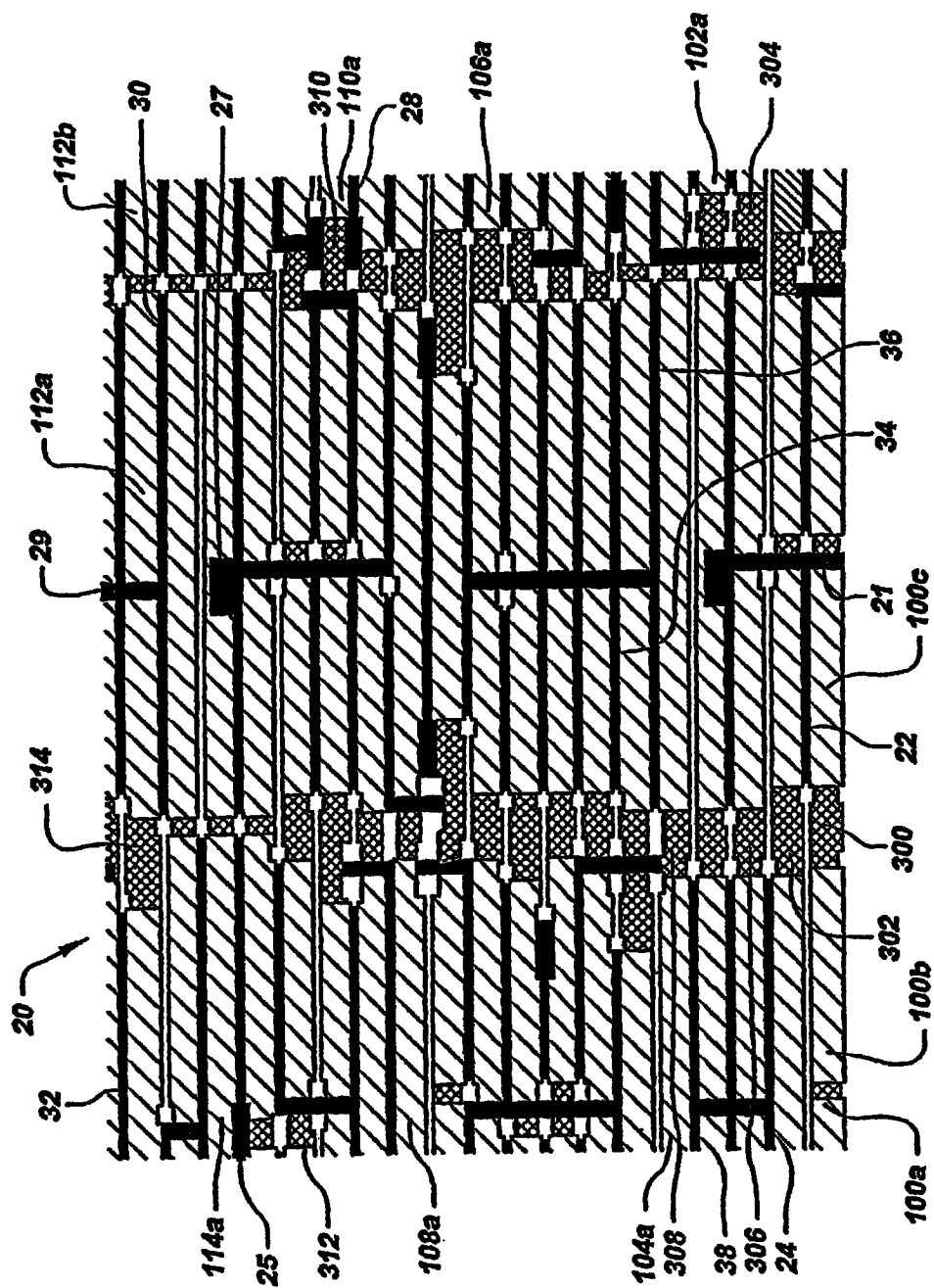


图 3

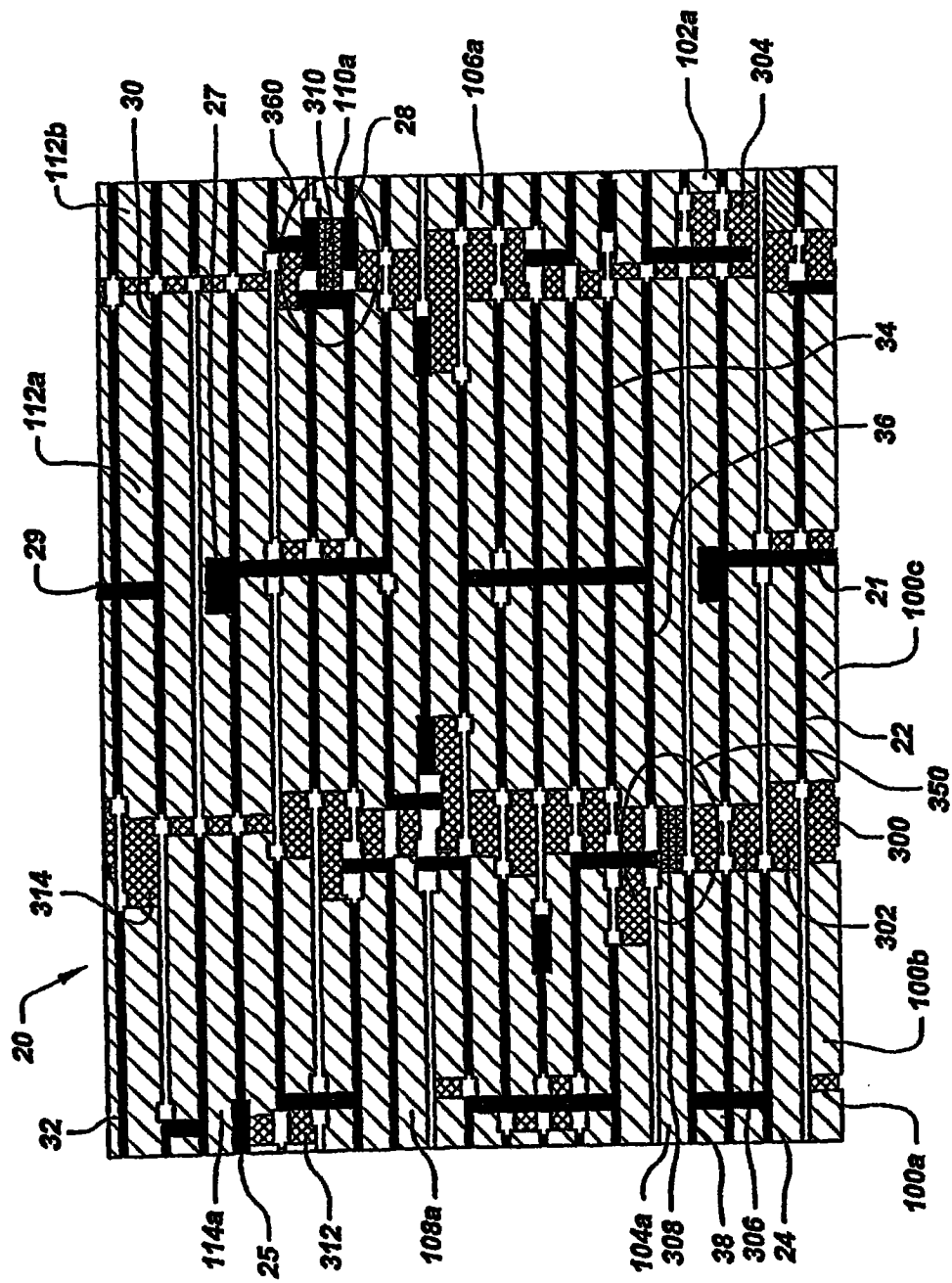


图 4

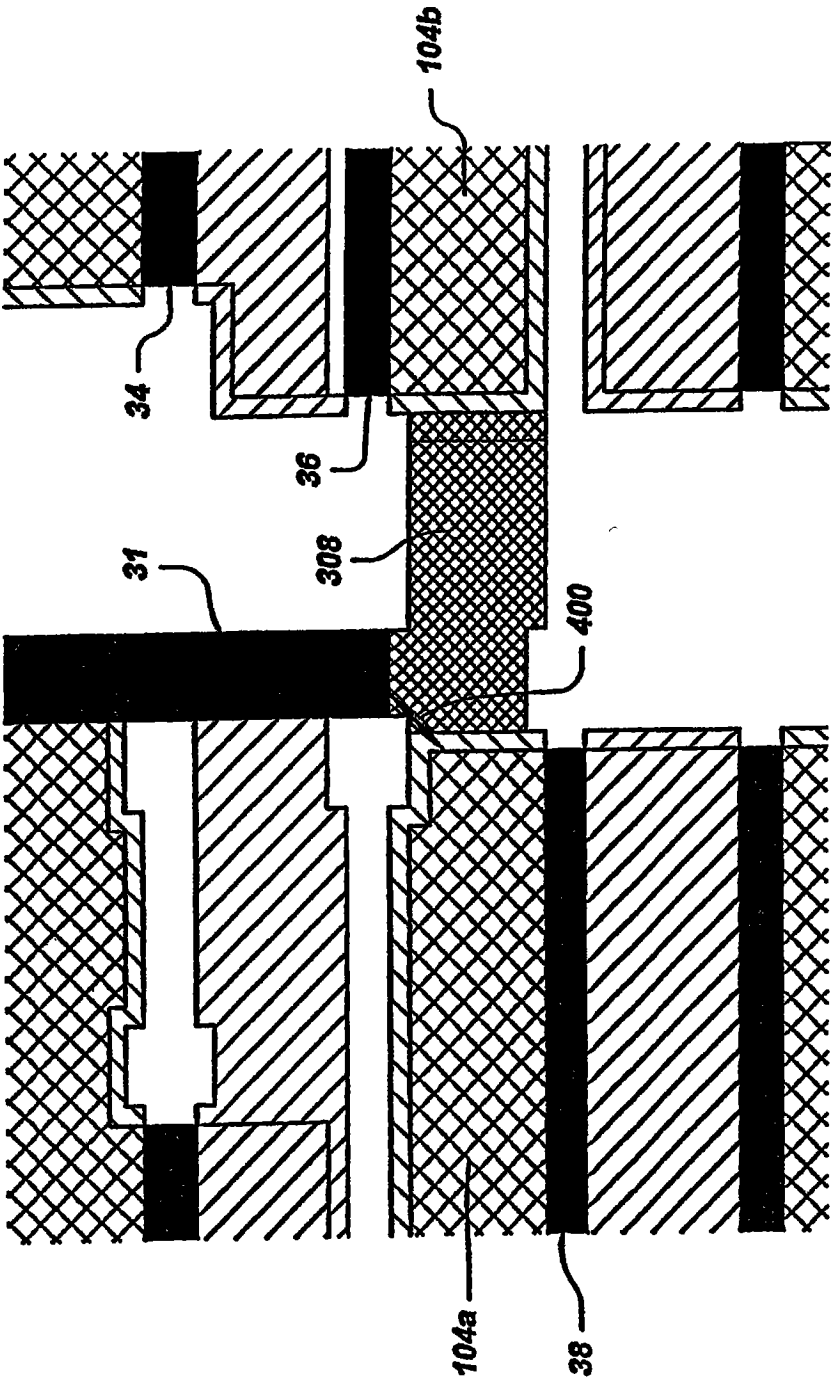


图 5

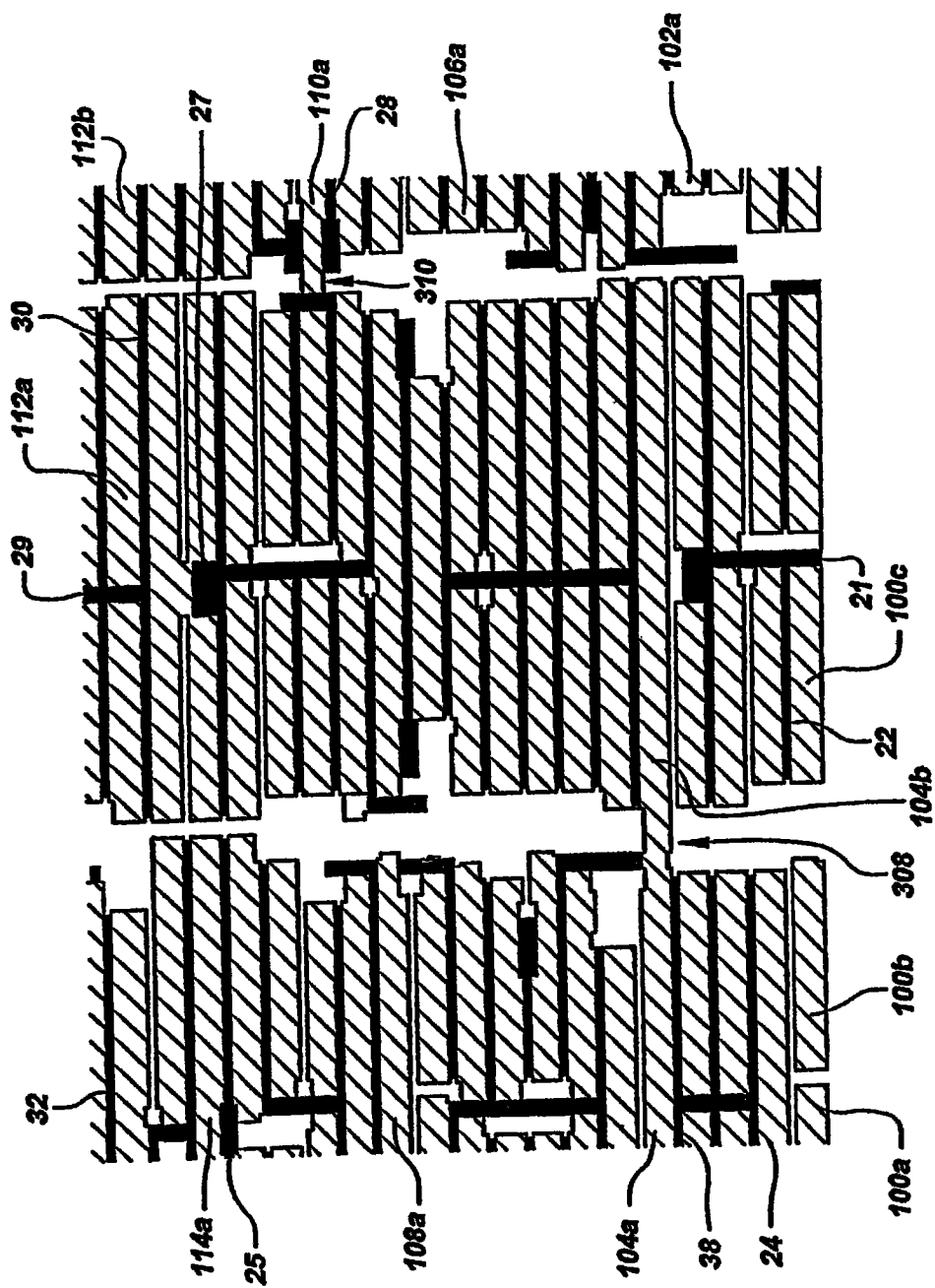


图 7

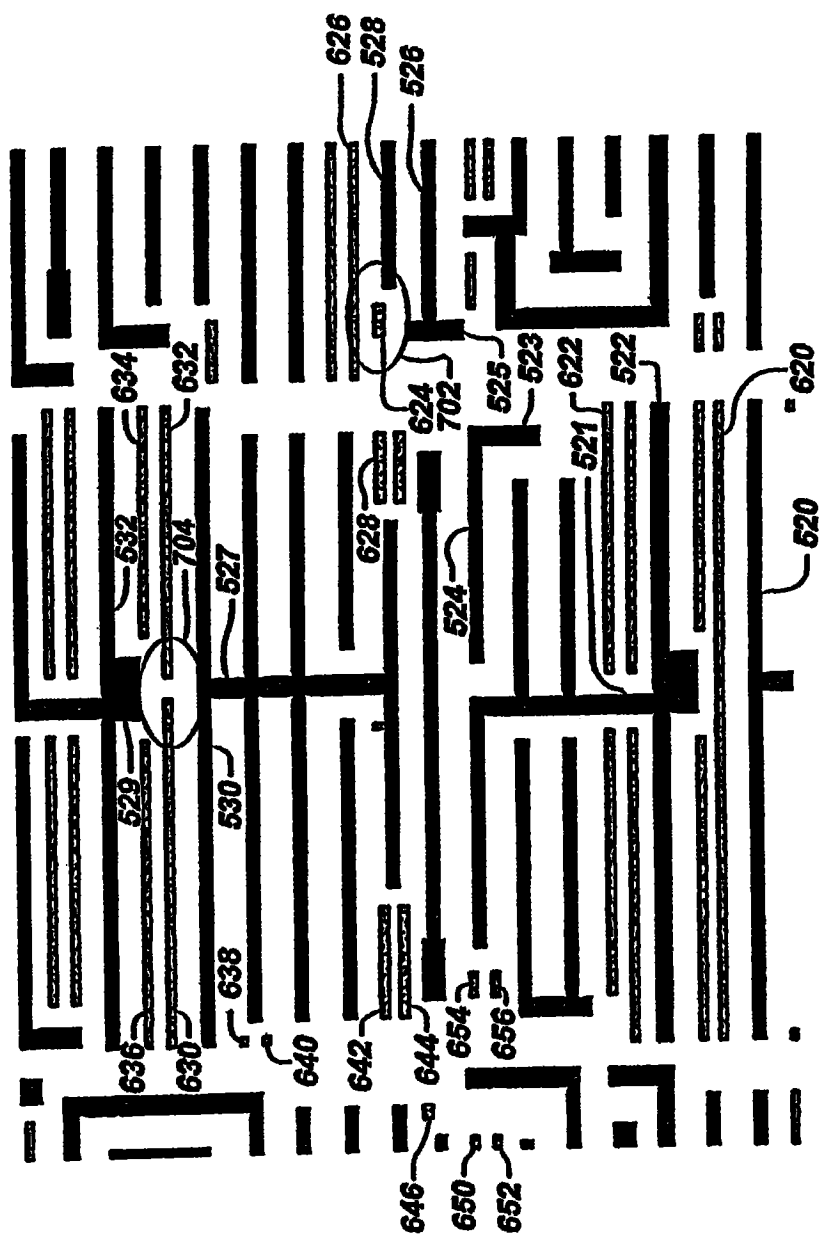


图 8

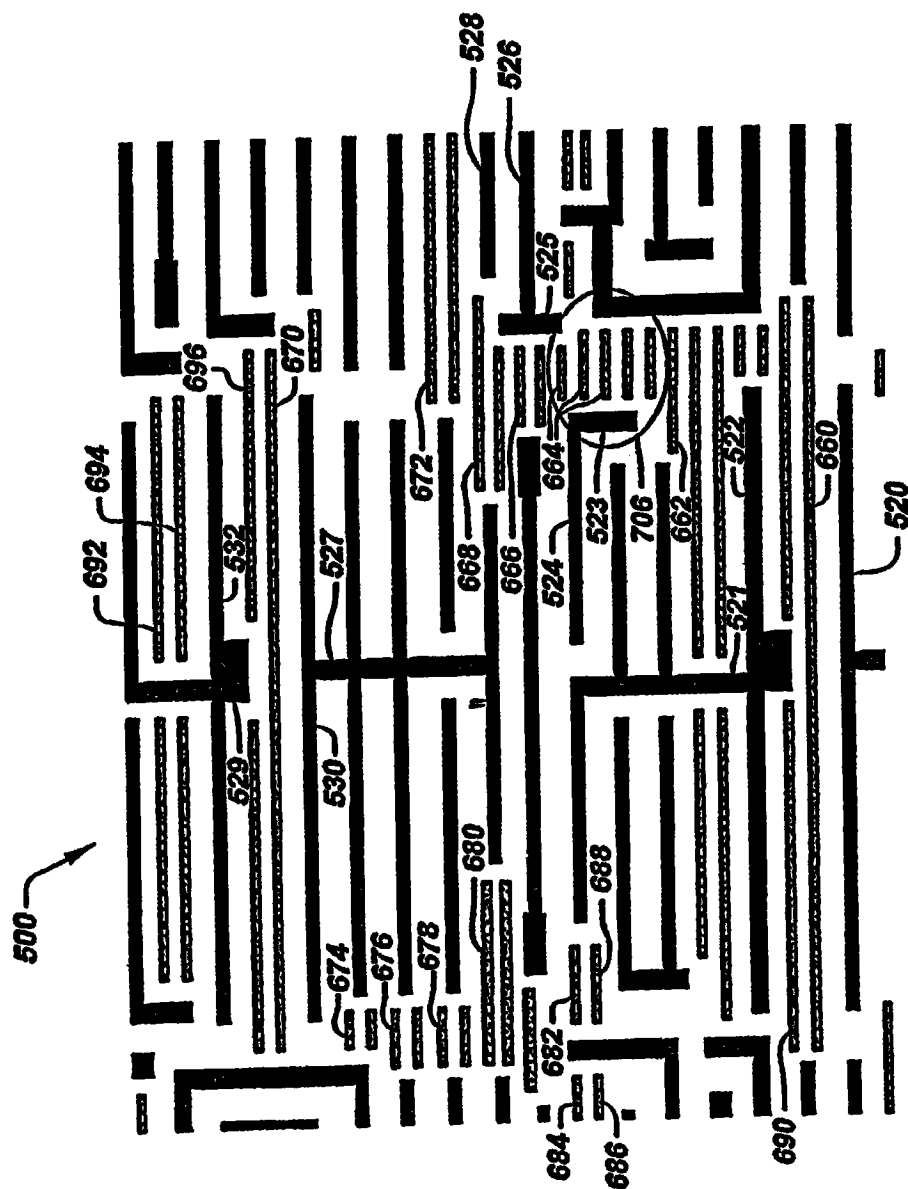


图 9

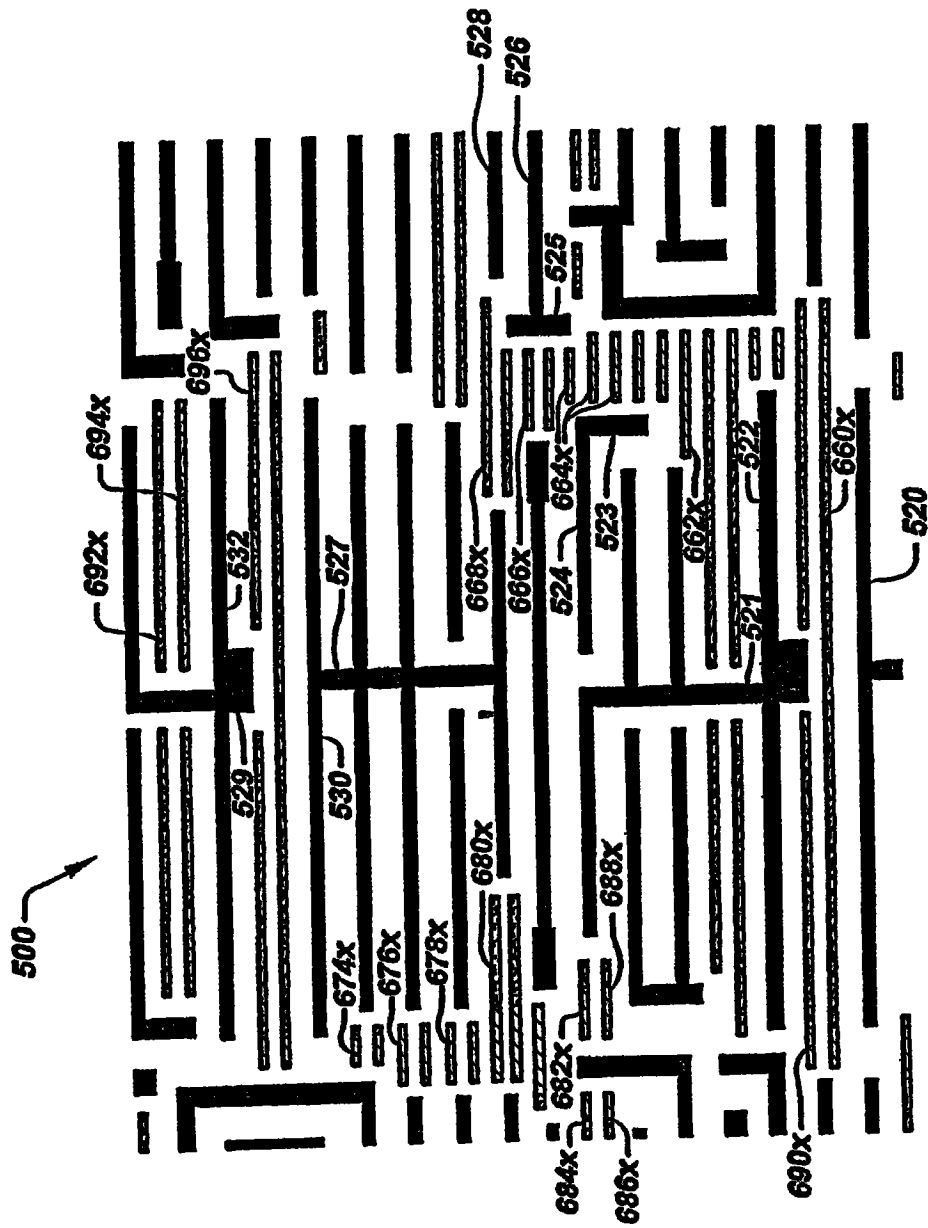


图 10

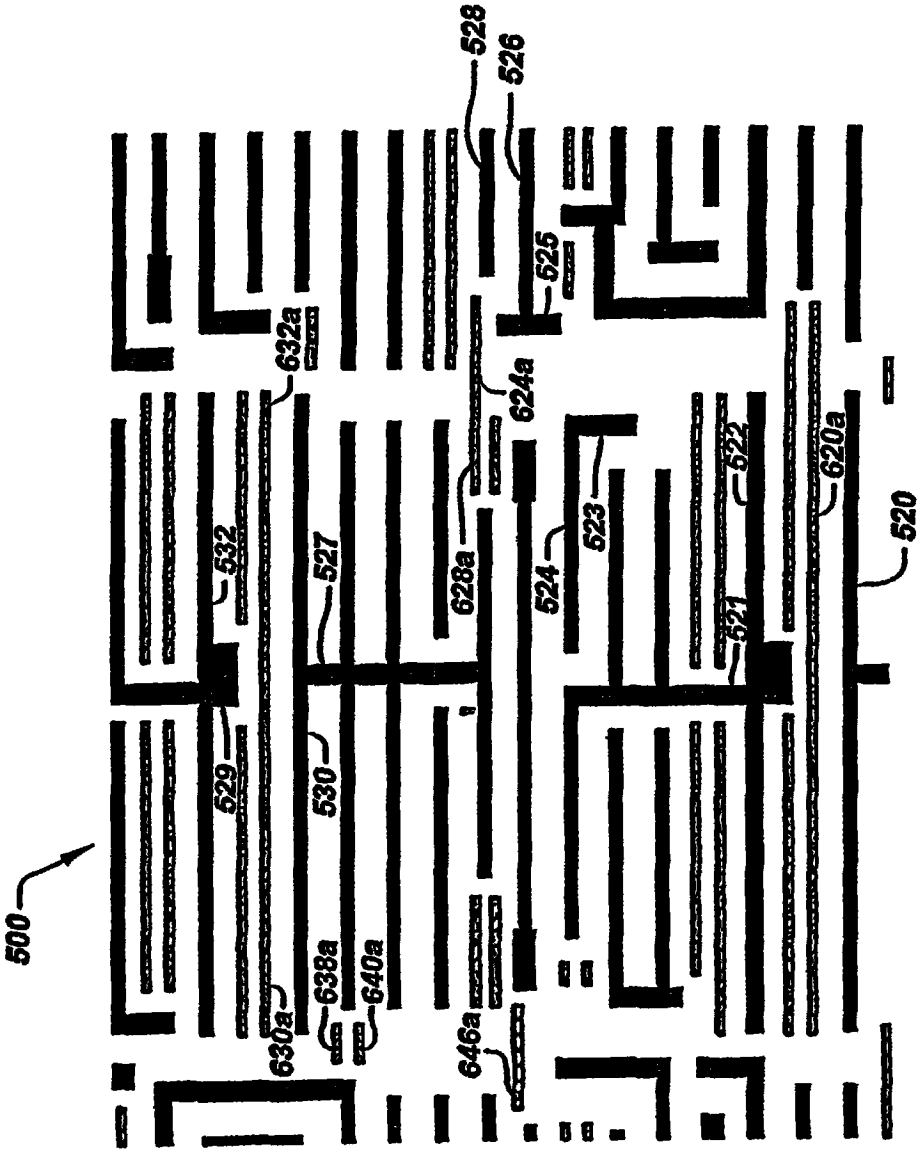


图 11

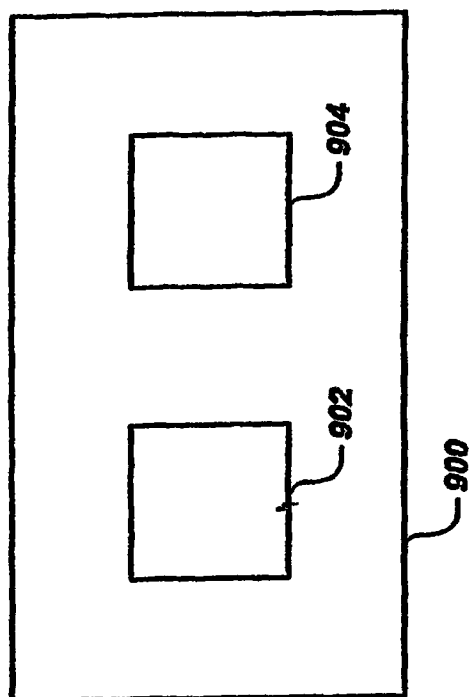


图 12