

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2018 年 3 月 8 日 (08.03.2018)



(10) 国际公布号
WO 2018/040864 A1

(51) 国际专利分类号:
H01L 29/78 (2006.01)

广东省广州市天河区花城大道 85 号 3901 房, Guangdong 510623 (CN)。

(21) 国际申请号: PCT/CN2017/096593

(22) 国际申请日: 2017 年 8 月 9 日 (09.08.2017)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201610798345.5 2016 年 8 月 30 日 (30.08.2016) CN

(71) 申请人: 无锡华润上华科技有限公司 (CSMC TECHNOLOGIES FAB2 CO., LTD.) [CN/CN]; 中国江苏省无锡市新区新洲路 8 号, Jiangsu 214028 (CN)。

(72) 发明人: 罗泽煌 (LUO, Zehuang); 中国江苏省无锡市新区新洲路 8 号, Jiangsu 214028 (CN)。

(74) 代理人: 广州华进联合专利商标代理有限公司 (ADVANCE CHINA IP LAW OFFICE); 中国

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 发明名称: 半导体器件及其制造方法

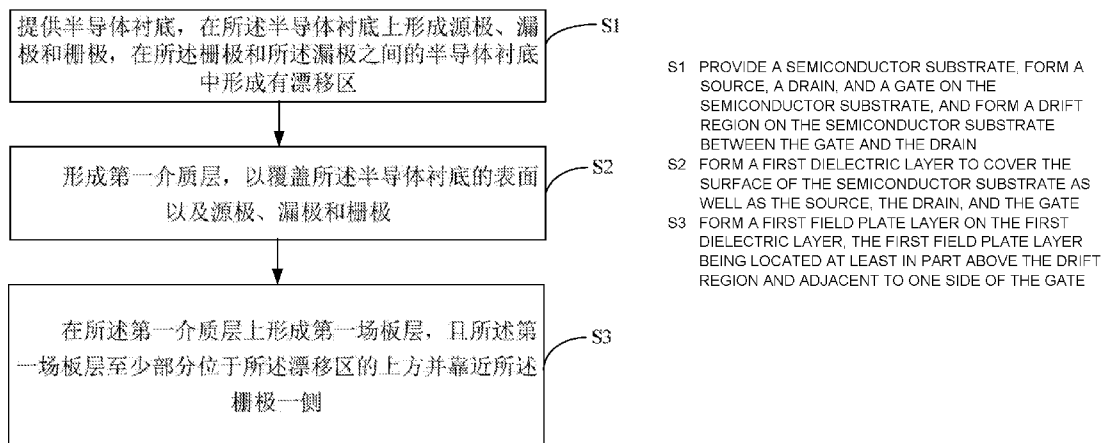


图 3

(57) Abstract: A semiconductor device and a method for manufacturing same. The method comprises: step 1, providing a semiconductor substrate (100), forming a source, a drain, and a gate (101) on the semiconductor substrate (100), and forming a drift region on the semiconductor substrate (100) between the gate (101) and the drain; step 2, forming a first dielectric layer (1031) to cover the surface of the semiconductor substrate (100) as well as the source, the drain, and the gate (101); and step 3, forming a first field plate layer (1041) on the first dielectric layer (1031), the first field plate layer (1041) being located at least in part above the drift region and adjacent to one side of the gate (101).

RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

根据细则4.17的声明:

- 关于申请人有权要求在先申请的优先权(细则4.17(iii))

本国际公布:

- 包括国际检索报告(条约第21条(3))。

(57) 摘要: 半导体器件及其制造方法, 方法包括: 步骤一、提供半导体衬底(100), 在半导体衬底(100)上形成源极、漏极和栅极(101), 在栅极(101)和漏极之间的半导体衬底(100)中形成有漂移区, 步骤二、形成第一介质层(1031), 以覆盖半导体衬底(100)的表面以及源极、漏极和栅极(101), 步骤三、在第一介质层(1031)上形成第一场板层(1041), 且第一场板层(1041)至少部分位于漂移区的上方并靠近栅极(101)一侧。

说明书

发明名称：半导体器件及其制造方法

技术领域

本发明涉及半导体技术领域，具体而言涉及一种半导体器件及其制造方法。

背景技术

5 传统的高压器件结构通常通过调整栅极的多晶硅长度，将多晶硅向漏极方向扩展以充当场板，场板对漂移区进行耗尽形成耗尽层，因此增加了横向耗尽层宽度，进而提高耐压（也即击穿电压）。另外，还需为场板在下方配置合适的场板氧化层以形成场板结构，而场板氧化层一般是在漂移区中漏极与栅极之间引入额外的氧化层，其所带来的负面效应限制了工艺的兼容性与组件的特性，难以整合低压到高压器件在一工艺平台中，尤其是先进工艺平台，因为低压器件中的小尺寸器件对有效沟道宽度（channel Width）非常敏感，如何控制有效沟道宽度是做好先进工艺平台的一项挑战，然而将高压器件加入平台中需要引入额外氧化层作为高压器件的场板氧化层，额外氧化层的形成方法往往需要额外的氧化层生长与漂洗工艺，造成有源区的有效沟道宽度15 发生不可逆的改变，进而影响工艺平台间的兼容性。

若不引入额外氧化层作为高压器件的场板氧化层，而是使用寄生的氧化层(例如双栅场板氧化层，STI 等)来实现高压器件，虽然能维持有效沟道宽度不变，但寄生的氧化层限制了氧化层厚度与形状，造成电流流经漂移区的路径弯曲变长，直接影响了高压器件的表现，降低了高压器件的性能。20

通过固定场板氧化层厚度并调整多晶硅的长度来实现所需的高压器件是一种常见的方法，但是因此增加了栅极电荷（Qgd）。由于场板与栅极的多晶硅不可分离，越高压的器件场板越长，则其栅极电荷（Qgd）越大，限制了高压器件最终特性。

发明内容

25 在发明内容部分中引入了一系列简化形式的概念，这将在具体实施方式部分中进一步详细说明。本发明的发明内容部分并不意味着要试图限定出所

要求保护的技术方案的关键特征和必要技术特征，更不意味着试图确定所要求保护的技术方案的保护范围。

针对现有技术的不足，本发明提供一种半导体器件及其制造方法。

一种半导体器件的制造方法，包括：

- 5 步骤一、提供半导体衬底，在所述半导体衬底上形成源极、漏极和栅极，在所述栅极和所述漏极之间的半导体衬底中形成有漂移区，
- 步骤二、形成第一介质层，以覆盖所述半导体衬底的表面以及源极、漏极和栅极，
- 步骤三、在所述第一介质层上形成第一场板层，且所述第一场板层至少
10 部分位于所述漂移区的上方并靠近所述栅极一侧。
- 一种具有分离式平面场板结构的半导体器件，包括：
- 半导体衬底，在所述半导体衬底上形成有源极、漏极和栅极，在所述栅极和所述漏极之间的半导体衬底中形成有漂移区；
- 第一介质层，覆盖所述半导体衬底的表面以及源极、漏极和栅极；
- 15 第一场板层，形成在所述第一介质层上，所述第一场板层至少部分位于所述漂移区的上方并靠近所述栅极一侧。

附图说明

- 20 本发明的下列附图在此作为本发明的一部分用于理解本发明。附图中示出了本发明的实施例及其描述，用来解释本发明的原理。

附图中：

图 1A 示出了一实施例中具有分离式平面场板结构的半导体器件的制造方法的实施所获得结构的示意图；

- 25 图 1B 示出了另一实施例中具有分离式平面场板结构的半导体器件的制造方法的实施所获得结构的示意图；

图 1C 示出了再一实施例中具有分离式平面场板结构的半导体器件的制造方法的实施所获得结构的示意图；

图 2 示出了一实施例中具有分离式平面场板结构的半导体器件的 SEM（扫描电子显微镜）图；

- 30 图 3 示出了为本发明一具体实施方式的半导体器件的制造方法的流程图。

具体实施方式

在下文的描述中，给出了大量具体的细节以便提供对本发明更为彻底的理解。然而，对于本领域技术人员而言显而易见的是，本发明可以无需一个或多个这些细节而得以实施。在其他的例子中，为了避免与本发明发生混淆，
5 对于本领域公知的一些技术特征未进行描述。

应当理解的是，本发明能够以不同形式实施，而不应当解释为局限于这里提出的实施例。相反地，提供这些实施例将使公开彻底和完全，并且将本发明的范围完全地传递给本领域技术人员。在附图中，为了清楚，层和区的尺寸以及相对尺寸可能被夸大。自始至终相同附图标记表示相同的元件。

应当明白，当元件或层被称为“在...上”、“与...相邻”、“连接到”或“耦合到”其它元件或层时，其可以直接地在其它元件或层上、与之相邻、连接或耦合到其它元件或层，或者可以存在居间的元件或层。相反，当元件被称为“直接在...上”、“与...直接相邻”、“直接连接到”或“直接耦合到”其它元件或层时，则不存在居间的元件或层。应当明白，尽管可使用术语第一、第二、第三等描述各种元件、部件、区、层和/或部分，这些元件、部件、区、
10 层和/或部分不应当被这些术语限制。这些术语仅仅用来区分一个元件、部件、区、层或部分与另一个元件、部件、区、层或部分。因此，在不脱离本发明教导之下，下面讨论的第一元件、部件、区、层或部分可表示为第二元件、部件、区、层或部分。

空间关系术语例如“在...下”、“在...下面”、“下面的”、“在...之下”、“在...之上”、“上面的”等，在这里可为了方便描述而被使用从而描述图中所示的一个元件或特征与其它元件或特征的关系。应当明白，除了图中所示的取向以外，空间关系术语意图还包括使用和操作中的器件的不同取向。例如，如果附图中的器件翻转，然后，描述为“在其它元件下面”或“在其之下”或
20 “在其下”元件或特征将取向为在其它元件或特征“上”。因此，示例性术语“在...下面”和“在...下”可包括上和下两个取向。器件可以另外地取向(旋转 90 度或其它取向)并且在此使用的空间描述语相应地被解释。

在此使用的术语的目的仅在于描述具体实施例并且不作为本发明的限制。在此使用时，单数形式的“一”、“一个”和“所述/该”也意图包括复数形式，除非上下文清楚指出另外的方式。还应明白术语“组成”和/或“包括”，
25 当在该说明书中使用时，确定所述特征、整数、步骤、操作、元件和/或部件的存在，但不排除一个或更多其它的特征、整数、步骤、操作、元件、部件

和/或组的存在或添加。在此使用时，术语“和/或”包括相关所列项目的任何及所有组合。

这里参考作为本发明的理想实施例(和中间结构)的示意图的横截面图来描述发明的实施例。这样，可以预期由于例如制造技术和/或容差导致的从所示形状的变化。因此，本发明的实施例不应当局限于在此所示的区的特定形状，而是包括由于例如制造导致的形状偏差。例如，显示为矩形的注入区在其边缘通常具有圆的或弯曲特征和/或注入浓度梯度，而不是从注入区到非注入区的二元改变。同样，通过注入形成的埋藏区可导致该埋藏区和注入进行时所经过的表面之间的区中的一些注入。因此，图中显示的区实质上是示意性的，它们的形状并不意图显示器件的区的实际形状且并不意图限定本发明的范围。

为了彻底理解本发明，将在下列的描述中提出详细的制造方法，以便阐释本发明提出的技术方案。本发明的较佳实施例详细描述如下，然而除了这些详细描述外，本发明还可以具有其他实施方式。

为了解决现有技术存在的问题，本发明提供一种半导体器件的制造方法，如图 3 所示，其包括以下主要步骤：

步骤 S1，提供半导体衬底，在所述半导体衬底上形成源极、漏极和栅极，在所述栅极和所述漏极之间的半导体衬底中形成有漂移区；

步骤 S2，形成第一介质层，以覆盖所述半导体衬底的表面以及源极、漏极和栅极；

步骤 S3，在所述第一介质层上形成第一场板层，且所述第一场板层至少部分位于所述漂移区的上方并靠近所述栅极一侧。

根据上述本发明的制造方法，在沉积介质层的过程中，交替的执行介质层沉积和形成场板层的步骤，以形成包括一层、两层或多层场板层的分离式平面场板结构。由于不引入额外氧化层，故前段工艺不会发生改变，实现工艺平台间兼容性的优点。于后段介质层沉积过程中加入场板，实现了多层分离式平面场板结构的工艺架构，还可自由调整场板下的氧化层。

下面，参考图 1A、图 1B 对一实施例中半导体器件的制造方法做详细描述，其中，图 1A 示出了一实施例中具有分离式平面场板结构的半导体器件的制造方法的实施所获得结构的示意图；图 1B 示出了一实施例中具有分离式平面场板结构的半导体器件的制造方法的实施所获得结构的示意图。

作为示例，半导体器件的制造方法，包括以下步骤：

首先,如图 1A 所示,提供半导体衬底 100。

具体地,半导体衬底 100 的构成材料可以采用未掺杂的单晶硅、掺杂有杂质的单晶硅、绝缘体上硅(SOI)、绝缘体上层叠硅(SSOI)、绝缘体上层叠锗化硅(S-SiGeOI)、绝缘体上锗化硅(SiGeOI)以及绝缘体上锗(GeOI)等。作为示例,在本实施例中,半导体衬底 100 的构成材料选用单晶硅。

所述半导体衬底 100 还可以为 P 型半导体衬底或者 N 型半导体衬底,例如 N 型高压器件则可选择使用 P 型半导体衬底,而 P 型高压器件则可选择使用 N 型半导体衬底。

示例性地,在所述半导体衬底中形成有浅沟槽隔离结构(STI),以定义有源区。

示例性地,在所述半导体衬底 100 中形成有漂移区(未示出)。

根据具体的器件的类型可使用合适的方法形成漂移区,例如,若制备 N 型高压器件,则对所述半导体衬底 100 进行 N 型离子掺杂,以在衬底内形成 N 型漂移区,若制备 P 型高压器件,则对半导体衬底 100 进行 P 型离子掺杂,形成 P 型漂移区。

掺杂一般是通过注入的方法实现。所需要的掺杂浓度越高,则注入过程中的注入剂量相应地也应该越高。一般来说,漂移区的掺杂浓度较低,相当于在源极和漏极之间形成一个高阻层,能够提高击穿电压,并减小了源极和漏极之间的寄生电容,有利于提高频率特性。例如,在一个实施例中,注入杂质为磷,漂移区的注入剂量可以为 $1.0 \times 10^{12} \sim 1.0 \times 10^{13} \text{cm}^{-2}$ 。

在一个示例中,还可在半导体衬底 100 中形成体区,体区位于所述漂移区的外侧,并与漂移区间隔,在体区和漂移区之间一般为器件的沟道区,其中,体区和漂移区具有相反的导电类型,也即,漂移区为 N 型时,体区为 P 型,或者,漂移区为 P 型时,体区为 N 型,且漂移区和沟道区也具有相反的导电类型。

还可在半导体衬底 100 中形成其他的阱区等,在此不做赘述。

进一步地,如图 1A、图 1B 所示,在所述半导体衬底 100 上形成有覆盖沟道区的栅极 101,栅极包括位于半导体衬底 100 表面上的栅极介电层以及位于栅极介电层上的栅极层。

在一个示例中,形成栅极 101 的方法可以包括以下步骤:在半导体衬底 100 上依次形成栅极介电层和栅极层,图案化栅极介电层和所述栅极层以形成栅极 101。在一实施例中,栅极介电层可以包括传统的电介质材料诸如具

有电介质常数从大约 4 到大约 20(真空中测量)的硅的氧化物、氮化物和氮氧化物。栅极层由多晶硅材料组成,一般也可使用金属、金属氮化物、金属硅化物或类似化合物作为栅极层的材料。栅极层优选的形成方法包括化学气相沉积法(CVD),如低温化学气相沉积(LTCVD)、低压化学气相沉积(LPCVD)、快热化学气相沉积(LTCVD)、等离子体化学气相沉积(PECVD),也可使用例如溅镀及物理气相沉积(PVD)等一般相似方法。栅极层的厚度可以根据器件的尺寸使用适合的厚度,在此不做具体限制。

随后,还可选择性地,在所述栅极 101 的侧壁上形成间隙壁(未示出)。所述间隙壁可以为氧化硅、氮化硅、氮氧化硅中一种或者它们组合构成。作为本实施例的一中实施方式,所述间隙壁为氧化硅、氮化硅共同组成,具体工艺为:在半导体衬底上形成第一氧化硅层、第一氮化硅层以及第二氧化硅层,然后采用蚀刻方法形成间隙壁。

示例性地,进行离子注入,在体区中形成与体区导电类型相同的体区引出区,例如,体区为 P 型,则体区引出区则也可以为 P 型,且其杂质掺杂浓度大于体区的杂质掺杂浓度,例如体区引出区为 P 型杂质重掺杂。

随后,执行源漏离子注入,以在栅极 101 两侧的半导体衬底 100 中形成源极和漏极(未示出),其中,所述漏极形成在所述漂移区中,所述漏极与所述漂移区具有相同的导电类型,例如,所述漂移区为 N 型漂移区,所述漏极和所述源极则可以为 N 型源极和漏极,其还可以为 N 型掺杂离子重掺杂的源极和漏极。

接着,在所述栅极 101 的外侧形成分离式平面场板结构,其中,形成所述分离式平面场板结构的方法包括:

沉积第一介质层 1031,以覆盖所述栅极 101 以及所述半导体衬底 100 的表面(包括源极和漏极的表面)。

在所述第一介质层 1031 上形成第一场板层 1041,且所述第一场板层 1041 至少部分位于所述漂移区的上方并靠近所述栅极 101 一侧。

在一个示例中,在沉积第一介质层 1031 之前,还可选择性的形成接触孔蚀刻停止层 102,以覆盖所述栅极 101 以及半导体衬底 100 的表面,接触孔蚀刻停止层 102 的材料可以为 SiCN、SiN、SiC、SiOF、SiON 等材料中的一种或几种。

随后,在所述栅极 101 的外侧形成分离式平面场板结构。

在一个实施方式中,如图 1A 所示,可以形成包括一层场板层结构的分

离式平面场板结构，包括步骤 S11 至步骤 S12：

步骤 S11，沉积第一介质层 1031，以覆盖所述半导体衬底 100 的表面以及源极、漏极和栅极 101；

步骤 S12，在所述第一介质层 1031 上形成第一场板层 1041，且所述第一场板层 1041 至少部分位于所述漂移区的上方并靠近所述栅极 101 一侧，示例性地，所述第一场板层 1041 部分位于所述栅极 101 的上方，所述第一场板层 1041 包括位于所述栅极上的部分和位于漂移区上的部分，在另一个示例中，所述第一场板层 1041 还可以全部位于所述漂移区上方。

之后，还可在形成分离式平面场板结构之后，沉积第三介质层，以覆盖所述第一介质层 1031 的表面以及所述第一场板层 1041，平坦化所述第三介质层，其中，所述第三介质层和所述第一介质层为相同的材料。

沉积形成的第三介质层的总厚度范围可以为 10000~20000 埃之间，例如，12000 埃、14000 埃、16000 埃、18000 埃等，上述厚度范围仅作为示例，具体根据器件工艺需要进行合理设定，随后对第三介质层进行平坦化至目标厚度，可以使用化学机械研磨实现所述平坦化。

在一个实施方式中，如图 1B 所示，可以形成包括两层场板层结构的分离式平面场板结构，具体地，形成如图 1B 所示的分离式平面场板结构的步骤包括步骤 A1 至 A4：

步骤 A1，沉积第一介质层 1031，以覆盖所述半导体衬底 100 的表面以及源极、漏极和栅极 101；

步骤 A2，在所述第一介质层 1031 上形成第一场板层 1041，且所述第一场板层 1041 至少部分位于所述漂移区的上方并靠近所述栅极 101 一侧，示例性地，所述第一场板层 1041 部分位于所述栅极 101 的上方，所述第一场板层 1041 包括位于所述栅极上的部分和位于漂移区上的部分，在另一个示例中，所述第一场板层 1041 还可以全部位于所述漂移区上方；

步骤 A3，如图 1B 所示，沉积第二介质层 1032，以覆盖所述第一介质层 1031 的表面以及第一场板层 1041；

步骤 A4，在所述第二介质层 1032 上形成第二场板层 1042，且所述第二场板层 1042 位于所述漂移区的上方并靠近所述第一场板层一侧。

示例性地，所述第二场板层 1042 位于所述第一场板层的外侧，部分所述第二场板层 1042 与部分所述第一场板层 1041 上下重叠，在一个示例中，全部所述第二场板层位于所述漂移区的上方，在另一个示例中，所述第二场板

层 1042 和所述第一场板层 1041 不存在重叠的部分。

进一步地，交替循环执行所述步骤 A3 和所述步骤 A4 一次以上，且后一步骤形成的第二场板层靠近相邻前一步骤形成的第二场板层一侧，也即，在后形成的第二场板层靠近相邻在先形成的第二场板层一侧，以进一步获得多
5 于两层场板层的多层分离式平面场板结构。

进一步地，上下相邻两层场板层在垂直方向上完全错开或部分重叠。

进一步地，所述第二介质层比所述第一介质层厚，后一步骤形成的所述第二介质层比相邻前一步骤形成的所述第二介质层厚。

参见图 1C，在另一个示例中，形成分离式平面场板结构的步骤包括步骤
10 B1 至 B4:

步骤 B1，沉积第一介质层 1031，以覆盖所述半导体衬底 100 的表面以及源极、漏极和栅极 101；

步骤 B2，在所述第一介质层上形成第一场板层 1041，且所述第一场板层 1041 至少部分位于所述漂移区的上方并靠近所述栅极 101 一侧，示例性地，
15 所述第一场板层 1041 部分位于所述栅极 101 的上方，所述第一场板层 1041 包括位于所述栅极 101 上的部分和位于漂移区上的部分，在另一个示例中，所述第一场板层 1041 还可以全部位于所述漂移区上方；

步骤 B3，减薄所述第一介质层 1031 覆盖有场板层之外的区域，对于第一次执行步骤 B3 即是减薄第一介质层 1031 未被第一场板层 1041 覆盖的区
20 域，可使用任何常用的蚀刻方法进行减薄，具体的减薄后的厚度可根据实际工艺合理选择；

步骤 B4，在减薄后的所述第一介质层 1031 上形成与前一层场板层分离的第二场板层 1042，且所述第二场板层 1042 位于所述漂移区的上方。

交替循环执行所述步骤 B3 和所述步骤 B4 一次以上。经过步骤 B1 至步
25 骤 B4 可以形成具有多层场板层的分离式平面场板结构，其在前形成的场板层下方的介质层的厚度小于在先形成的场板层下方的介质层的厚度。

在另一个示例中，形成分离式平面场板结构的步骤包括步骤 C1 至 C4:

步骤 C1，沉积第一介质层，以覆盖所述半导体衬底的表面以及源极、漏极和栅极；

30 步骤 C2，在所述第一介质层上形成第一场板层，且所述第一场板层至少部分位于所述漂移区的上方并靠近所述栅极一侧，示例性地，所述第一场板层部分位于所述栅极的上方，所述第一场板层包括位于所述栅极上的部分和

位于漂移区上的部分，在另一个示例中，所述第一场板层还可以全部位于所述漂移区上方；

步骤 C3，刻蚀覆盖有场板层之外的介质层直至露出半导体衬底，可通过本领域技术人员熟知的任何适合的刻蚀方法进行对介质层的刻蚀，包括但不限于干法刻蚀或者湿法刻蚀；

步骤 C4，形成第二介质层，以覆盖所述半导体衬底的表面以及露出的场板层表面，在所述第二介质层上形成第二场板层，且所述第二场板层位于所述漂移区的上方并靠近所述第一场板层一侧。

交替循环执行所述步骤 C3 和所述步骤 C4 一次以上，且后一步骤形成的第二场板层靠近相邻前一步骤形成的第二场板层一侧，可通过每次沉积的介质层（包括第一介质层或者第二介质层）的厚度来调整场板层下方的介质层的厚度。

值得一提的是，在本说明书和权利要求书中形成分离式平面场板结构的步骤中，场板层可以表示第一场板层也可以表示第二场板层，可根据实际执行的具体步骤来确定。

所述第一介质层 1031 和所述第二介质层 1032 可为氧化硅层，包括利用热化学气相沉积(thermal CVD)制造工艺或高密度等离子体(HDP)制造工艺形成的有掺杂或未掺杂的氧化硅的材料层，例如未经掺杂的硅玻璃(USG)、磷硅玻璃(PSG)或硼磷硅玻璃(BPSG)。此外，第一介质层 1031 也可以是掺杂硼或掺杂磷的自旋涂布式玻璃(spin-on-glass, SOG)、掺杂磷的四乙氧基硅烷(PTEOS)或掺杂硼的四乙氧基硅烷(BTEOS)。

进一步地，每次沉积的第一介质层 1031 和第二介质层 1032 的厚度可以不同也可以相同，可根据具体的实际器件的需要进行合理设定。示例性地，每次沉积的第一介质层 1031 和第二介质层 1032 的厚度范围可以控制在 200 埃~4000 埃。

该第一介质层1031和第二介质层1032即器件常规使用的起绝缘作用的层间介电层，现有技术中使用一次沉积工艺沉积形成覆盖半导体衬底的层间介电层，并进行平坦化获得平坦的表面。而在一个实施例中，在多次沉积第一介质层1031和第二介质层1032时加入场板层，因此第一介质层1031和第二介质层1032也可以直接作为形成的分离式平面场板结构的场板氧化层，且与现有技术相比，无需在进行额外的场板氧化层的形成步骤，因此避免了由于形成额外场板氧化层需要额外的氧化层生长与漂洗工艺而造成有源区的有效沟

道宽度发生不可逆的改变的问题，进而实现工艺平台间兼容性的优点。

在一个示例中，形成第一场板层 1041 的步骤还包括步骤：在所述第一介质层 1031 的表面上沉积形成所述第一场板层 1041，并对所述第一场板层 1041 进行图案化，以获得最终想要的第一场板层 1041 的图形，如图 1A、图 1B 和图 2 所示。

示例性地，第一场板层 1041 的厚度范围可以为 800~2500 埃，该厚度范围仅作为示例，其他适合的厚度范围也适用。

同理，可使用与形成第一场板层 1041 相同的方法形成第二场板层 1042。

在一个示例中，所述第一场板层 1041 和第二场板层 1042 的材料可以为半导体材料，半导体材料可以为 Si、SiB、SiGe、SiC、SiP、SiGeB、SiCP、AsGa 或其他 III-V 族的二元或三元化合物，例如，所述场板层 104 的材料可以为多晶硅。

可以利用诸如化学气相沉积等方法的常规技术形成多晶硅层，示例性地，多晶硅的形成方法可选用低压化学气相淀积(LPCVD)工艺。形成所述多晶硅的工艺条件包括：反应气体为硅烷(SiH_4)，所述硅烷的流量范围可为 100~200 立方厘米/分钟(sccm)，如 150sccm；反应腔内温度范围可为 700~750 摄氏度；反应腔内压力可为 250~350 毫米汞柱(mTorr)，如 300mTorr；所述反应气体中还可包括缓冲气体，所述缓冲气体可为氩气或氮气，所述氩气和氮气的流量范围可为 5~20 升/分钟(slm)，如 8slm、10slm 或 15slm。

其中，在每次沉积多晶硅场板层后，可利用光刻工艺，形成图案化的光刻胶层，覆盖部分多晶硅场板层，再以图案化的光刻胶层为掩膜，对露出的多晶硅场板层进行蚀刻，以在目标区域中形成想要的场板层图案。而经过多次交替循环执行介质层沉积和场板层形成步骤后，形成的分离式平面场板结构也相应的为多晶硅场板，其可以包括一层、两层或者多层的多晶硅层。

在一个示例中，所述第一场板层 1041 和第二场板层 1042 的材料还可以包括金属硅化物。可使用本领域任何常用的方法形成该金属硅化物，包括但不限于自对准硅化物形成工艺(salicide)。例如，在每次沉积形成的前述多晶硅场板层的表面上沉积形成金属层(图中未示)。金属层的材料可以选自 Co、Ni、Ti、TiN、W 和 WSi_x 中的一种或几种。接着加热衬底，造成金属层与其下的多晶硅层发生硅化作用，金属硅化层区域因而形成。接着使用可侵蚀金属层，但不致侵蚀金属硅化层区域的蚀刻剂，以将未反应的金属层除去，进而形成了金属硅化物材质的场板层。而经过多次交替循环执行介质层沉积和

场板层形成步骤后，形成的分离式平面场板结构也相应的为金属硅化物场板，其可以包括一层、两层或者多层的金属硅化物。

在一个示例中，所述第一场板层 1041 和第二场板层 1042 的材料包括金属材料，所述金属材料包括 Ag、Au、Cu、Pd、Cr、Mo、Ti、Ta、W 和 Al 中的一种或几种，本实施例中，所述场板层 104 的材料可以为 Al。可通过低压化学气相沉积(LPCVD)、等离子体辅助化学气相沉积(PECVD)、金属有机化学气相沉积(MOCVD)及原子层沉积(ALD)或其它先进的沉积技术形成。

其中，可在每次沉积的介质层的表面上沉积形成金属场板层，可利用光刻工艺，形成图案化的光刻胶层，覆盖部分金属场板层，再以图案化的光刻胶层为掩膜，对露出的金属场板层进行蚀刻，以在目标区域中形成想要的场板层图案。而经过多次交替循环执行介质层沉积和场板层形成步骤后，形成的分离式平面场板结构也相应的为金属场板，其可以包括一层、两层或者多层的金属场板层，采用金属材料作为场板层，相比于现有技术的多晶硅场板结构，降低了栅极电荷 (Qgd)，改善了器件的性能。

示例性地，如图 1A、图 1B 和图 2 所示，其中，分离式平面场板结构形成在所述漂移区的上方、所述栅极和所述漏极之间的半导体衬底的表面上方，也即位于栅极和漏极之间的水平面上方。如此不会阻挡栅极和漏极之间的电流路径，因此缩短了漂移区电流路径，改善了器件的性能。而现有技术中埋入式的场板结构，一般是场板氧化层部分位于漂移区内，因此阻挡了栅极和漏极之间的电流路径，使得电流流向需绕过场板区行走，因此增加了漂移区电流路径，影响了器件的性能。进一步地，所述分离式平面场板结构中位于下层的所述场板层比位于上层的所述场板层更靠近所述栅极 101。

进一步地，所述分离式平面场板结构中位于下层的场板层下方的所述介质层的厚度小于位于上层的所述场板层下方的所述介质层的厚度，可通过控制每次沉积的介质层的厚度，自由调整每层场板层下方的介质层的总厚度，也即实现对场板氧化层厚度的自由调整。

随后，还可在形成分离式平面场板结构之后，在半导体衬底上继续沉积并平坦化第三介质层 1033，第三介质层覆盖所述第二介质层的表面以及所述第二场板层。其中，所述第三介质层、所述第二介质层和所述第一介质层为相同的材料。该步骤后，沉积形成的第三介质层 1033 的总厚度范围可以为 10000~20000 埃之间，例如，12000 埃、14000 埃、16000 埃、18000 埃等，上述厚度范围仅作为示例，具体根据器件工艺需要进行合理设定，随后对第

三介质层 1033 进行平坦化至目标厚度,可以使用化学机械研磨实现所述平坦化。

最后,在所述第三介质层 1033 中形成若干接触孔,在所述第三介质层 1033 表面上形成图案化的金属层。所述接触孔分别电连接所述源极、漏极、栅极、体区引出区以及分离式平面场板结构的每层场板层。其中,与栅极和分离式平面场板结构电连接的接触孔还进一步电连接到位于介质层上的同一金属层上,实现栅极和分离式平面场板结构的电连接。还可通过由多层金属层和接触孔组成的金属互连结构,将所述源极、漏极、栅极、体区引出区以及分离式平面场板结构的每层场板层引出。该互连结构中的接触孔和金属层的材料可以为铝或者铜等金属材料。

值得一提的是,上述半导体器件的制造方法可以适用于任何需要制备场板的器件的制备,例如高压器件。其中高压器件可以为半导体技术领域常见的高压器件,例如 DMOS (Double Diffused MOSFET, 双扩散金属氧化物半导体场效应管), DMOS 主要有两种类型:垂直双扩散金属氧化物半导体场效应管 VDMOSFET(vertical double-diffused MOSFET, 简称 VDMOS) 和横向双扩散金属氧化物半导体场效应 LDMOSFET(lateral double-diffused MOSFET, 简称 LDMOS)。

综上所述,上述制造方法,在沉积介质层的过程中,交替的执行介质层沉积和形成场板层的步骤,以形成包括一层、两层或多层场板层的分离式平面场板结构。由于不引入额外氧化层,故前段工艺不会发生改变,实现工艺平台间兼容性的优点。于后段介质层沉积过程中加入场板,实现了多层分离式平面场板结构的工艺架构,还可自由调整场板下的氧化层。且上述制造方法形成的分离式平面场板结构缩短了漂移区电流路径,改善了器件的性能。

还有必要提供一种半导体器件,该半导体器件可以为使用前述的实施例中的方法制备获得的半导体器件。

在一个实施方式中,如图 1A 所示,半导体器件包括:

半导体衬底 100,在所述半导体衬底 100 上形成有源极、漏极和栅极 101,在所述栅极 101 和所述漏极之间的半导体衬底 100 中形成有漂移区;

第一介质层 1031,覆盖所述半导体衬底 100 的表面以及源极、漏极和栅极 101;

第一场板层 1041,形成在所述第一介质层 1031 上,所述第一场板层至少部分位于所述漂移区的上方并靠近所述栅极 101 一侧,示例性地,所述第

一场板层 1041 部分位于所述栅极 101 的上方, 所述第一场板层 1041 包括位于所述栅极上的部分和位于漂移区上的部分, 在另一个示例中, 所述第一场板层 1041 还可以全部位于所述漂移区上方;

在分离式平面场板结构和半导体衬底上设置有第三介质层, 其覆盖第一介质层 1031 的表面以及第一场板层 1041, 其中, 所述第三介质层和所述第一介质层 1031 为相同的材料, 该第三介质层具有平坦的表面。

在另一个实施方式中, 如图 1B 和图 2 所示, 半导体器件包括:

半导体衬底 100, 在所述半导体衬底 100 上形成有源极、漏极和栅极 101, 在所述栅极 101 和所述漏极之间的半导体衬底中形成有漂移区;

10 第一介质层 1031, 覆盖所述半导体衬底 100 的表面以及源极、漏极和栅极 101;

第一场板层 1041, 形成在所述第一介质层 1031 上, 所述第一场板层至少部分位于所述漂移区的上方并靠近所述栅极 101 一侧, 示例性地, 所述第一场板层 1041 部分位于所述栅极 101 的上方, 所述第一场板层 1041 包括位于所述栅极上的部分和位于漂移区上的部分, 在另一个示例中, 所述第一场板层 1041 还可以全部位于所述漂移区上方;

第二介质层 1032, 覆盖所述第一介质层 1031 的表面以及所述第一场板层 1041;

20 第二场板层 1042, 形成在所述第二介质层 1032 上, 且所述第二场板层 1042 至少部分位于所述漂移区的上方并靠近所述第一场板层一侧, 示例性地, 所述第二场板层 1042 位于所述第一场板层的外侧, 部分所述第二场板层 1042 与部分所述第一场板层 1041 上下重叠, 在一个示例中, 全部所述第二场板层位于所述漂移区的上方, 在另一个示例中, 所述第二场板层 1042 和所述第一场板层 1041 不存在重叠的部分。

25 其中, 包括交替层叠的所述第二介质层 1032 和所述第二场板层 1042 一层以上, 且上层的第二场板层靠近与其相邻的下层的第二场板层一侧。

进一步地, 上下相邻两层场板层在垂直方向上完全错开或部分重叠。

进一步地, 所述第二介质层比所述第一介质层厚, 且上层的所述第二介质层比与其相邻的下层的所述第二介质层厚。

30 进一步地, 在所述半导体衬底中形成有漂移区 (未示出), 所述漂移区位于所述栅极 101 的外侧, 在所述漂移区中形成有漏极, 所述漏极与所述漂移区具有相同的导电类型, 所述漂移区与所述沟道区具有相反的导电类型。示

例性地，所述分离式平面场板结构形成在所述漂移区的上方、所述栅极和所述漏极之间的半导体衬底上。

具体地，半导体衬底 100 的构成材料可以采用未掺杂的单晶硅、掺杂有杂质的单晶硅、绝缘体上硅 (SOI)、绝缘体上层叠硅 (SSOI)、绝缘体上层叠锗化硅 (S-SiGeOI)、绝缘体上锗化硅 (SiGeOI) 以及绝缘体上锗 (GeOI) 等。作为示例，在本实施例中，半导体衬底 100 的构成材料选用单晶硅。

所述半导体衬底 100 还可以为 P 型半导体衬底或者 N 型半导体衬底，例如 N 型高压器件则可选择使用 P 型半导体衬底，而 P 型高压器件则可选择使用 N 型半导体衬底。

示例性地，在所述半导体衬底 100 中形成有漂移区 (未示出)。

根据具体的器件的类型可使用合适的方法形成漂移区，例如，若制备 N 型高压器件，则对所述半导体衬底 100 进行 N 型离子掺杂，以在衬底内形成 N 型漂移区，若制备 P 型高压器件，则对半导体衬底 100 进行 P 型离子掺杂，形成 P 型漂移区。

在一个示例中，在半导体衬底 100 中形成有体区，体区位于所述漂移区的外侧，并与漂移区间隔，在体区和漂移区之间一般为器件的沟道区，其中，体区和漂移区具有相反的导电类型，也即，漂移区为 N 型时，体区为 P 型，或者，漂移区为 P 型时，体区为 N 型，且漂移区和沟道区也具有相反的导电类型。

还可在半导体衬底 100 中形成有其他的阱区等，在此不做赘述。

进一步地，如图 1B 所示，在所述半导体衬底 100 上形成有覆盖沟道区的栅极 101。

在一个示例中，栅极包括位于半导体衬底 100 表面上的栅极介电层以及位于栅极介电层上的栅极层。栅极介电层可以包括传统的电介质材料诸如具有电介质常数从大约 4 到大约 20(真空中测量)的硅的氧化物、氮化物和氮氧化物。栅极层由多晶硅材料组成，一般也可使用金属、金属氮化物、金属硅化物或类似化合物作为栅极层的材料。

在所述栅极 101 的侧壁上还可选择性地设置间隙壁 (未示出)。所述间隙壁可以为氧化硅、氮化硅、氮氧化硅中一种或者它们组合构成。作为本实施例的一种实施方式，所述间隙壁为氧化硅、氮化硅共同组成。

在栅极 101 两侧的半导体衬底 100 中形成有源极和漏极 (未示出)，其中，所述漏极形成在所述漂移区中，所述漏极与所述漂移区具有相同的导电类型。

在所述栅极 101 的外侧形成有分离式平面场板结构, 所述分离式平面场板结构包括若干层自下而上交替层叠的介质层和场板层, 其中, 可包括一层、两层或者多层交替层叠的介质层和场板层, 在此不做具体限制。

在一个示例中, 在分离式平面场板结构的下方还可选择性设置接触孔蚀刻停止层 102, 以覆盖所述栅极 101 以及半导体衬底 100 的表面。接触孔蚀刻停止层 102 的材料可以为 SiO_2 、 SiCN 、 SiN 、 SiC 、 SiOF 、 SiON 等材料中的一种或几种。该接触孔蚀刻停止层 102 也可以作为场板氧化层的一部分。

所述第一介质层 1031 和第二介质层 1032 可为氧化硅层, 包括利用热化学气相沉积(thermal CVD)制造工艺或高密度等离子体(HDP)制造工艺形成的有掺杂或未掺杂的氧化硅的材料层, 例如未经掺杂的硅玻璃(USG)、磷硅玻璃(PSG)或硼磷硅玻璃(BPSG)。此外, 第一介质层 1031 和第二介质层 1032 也可以是掺杂硼或掺杂磷的自旋涂布式玻璃(spin-on-glass, SOG)、掺杂磷的四乙氧基硅烷(PTEOS)或掺杂硼的四乙氧基硅烷(BTEOS)。

进一步地, 每层介质层的厚度可以不同也可以相同, 可根据具体的实际器件的需要进行合理设定。示例性地, 每层第一介质层 1031 和第二介质层 1032 的厚度范围可以控制在 200 埃~4000 埃。

该第一介质层 1031 和第二介质层 1032 即作为器件常规使用的作为绝缘作用的层间介电层, 也可以直接作为分离式平面场板结构的场板氧化层, 且与现有技术相比, 无需在进行额外的场板氧化层的形成步骤, 因此避免了由于形成额外场板氧化层而造成有源区的有效沟道宽度发生不可逆的改变的问题, 进而实现工艺平台间兼容性的优点。

在一个示例中, 所述第一场板层 1041 和第二场板层 1042 的材料可以为半导体材料, 半导体材料其可以为 Si 、 SiB 、 SiGe 、 SiC 、 SiP 、 SiGeB 、 SiCP 、 AsGa 或其他 III-V 族的二元或三元化合物。例如, 所述第一场板层 1041 和第二场板层 1042 的材料可以为多晶硅。

所述第一场板层 1041 和第二场板层 1042 的厚度范围可以为 800~2500 埃, 该厚度范围仅作为示例, 其他适合的厚度范围也适用。

而经过多次交替循环执行介质层沉积和场板层形成步骤后, 形成的分离式平面场板结构也相应的为多晶硅场板, 其可以包括一层、两层或者多层的多晶硅层。

在一个示例中, 所述第一场板层 1041 和第二场板层 1042 的材料还可以包括金属硅化物, 可使用本领域任何常用的方法形成该金属硅化物, 包括但

不限于自对准硅化物形成工艺(salicide), 例如, 在每次沉积形成的前述多晶硅场板层的表面上沉积形成金属层(图中未示), 金属层的材料可以选自 Co、Ni、Ti、TiN、W 和 WSi_x 中的一种或几种。接着加热衬底, 造成金属层与其下的多晶硅层发生硅化作用, 金属硅化层区域因而形成。接着使用可侵蚀金属层, 但不致侵蚀金属硅化层区域的蚀刻剂, 以将未反应的金属层除去, 进而形成了金属硅化物材质的场板层。而经过多次交替循环执行介质层沉积和场板层形成步骤后, 形成的分离式平面场板结构也相应的为金属硅化物场板, 其可以包括一层、两层或者多层的金属硅化物。

在一个示例中, 所述第一场板层 1041 和第二场板层 1042 的材料包括金属材料, 所述金属材料包括 Ag、Au、Cu、Pd、Cr、Mo、Ti、Ta、W 和 Al 中的一种或几种, 本实施例中, 所述第一场板层 1041 和第二场板层 1042 的材料可以为 Al。

其中, 可在每次沉积的介质层的表面上沉积形成金属场板层, 可利用光刻工艺, 形成图案化的光刻胶层, 覆盖部分金属场板层, 再对露出的金属场板层进行蚀刻, 以在目标区域中形成想要的场板层图案。而经过多次交替循环执行介质层沉积和场板层形成步骤后, 形成的分离式平面场板结构也相应的为金属场板, 其可以包括一层、两层或者多层的金属场板层。采用金属材料作为场板层, 相比于现有技术的多晶硅场板结构, 降低了栅极电荷 (Q_{gd}), 改善了器件的性能。

示例性地, 如图 1B 和图 2 所示, 其中, 分离式平面场板结构形成在所述漂移区的上方、所述栅极和所述漏极之间的半导体衬底的表面上方, 也即位于栅极和漏极之间的水平面上方, 如此不会阻挡栅极和漏极之间的电流路径, 因此缩短了漂移区电流路径, 改善了器件的性能。而现有技术中埋入式的场板结构, 一般是场板氧化层部分位于漂移区内, 因此阻挡了栅极和漏极之间的电流路径, 使得电流流向需绕过场板区行走, 因此增加了漂移区电流路径, 影响了器件的性能。

进一步地, 所述分离式平面场板结构中位于下层的场板层比位于上层的场板层更靠近所述栅极。

进一步地, 所述分离式平面场板结构中位于下层的场板层下方的所述介质层的厚度小于位于上层的所述场板层下方的所述介质层的厚度, 可通过控制每次沉积的介质层的厚度, 自由调整每层场板层下方的介质层的总厚度, 也即实现对场板氧化层厚度的自由调整。

在一个示例中，在分离式平面场板结构和半导体衬底上设置有第三介质层 1033，其覆盖第二介质层 1032 的表面以及第二场板层 1042，其中，所述第三介质层 1033 和所述第二介质层 1032 和第一介质层 1031 为相同的材料，该第三介质层 1033 具有平坦的表面。

5 最后，在第三介质层 1033 中形成有若干接触孔。所述接触孔分别电连接所述源极、漏极、栅极、体区引出区以及分离式平面场板结构的每层场板层，其中，与栅极和分离式平面场板结构电连接的接触孔还进一步电连接到位于介质层上的同一金属层上，实现栅极和分离式平面场板结构的电连接。还可通过由多层金属层和接触孔组成的金属互连结构，将所述源极、漏极、栅极、
10 体区引出区以及分离式平面场板结构的每层场板层引出。该互连结构中的接触孔和金属层的材料可以为铝或者铜等金属材料。

上述半导体器件可以为任何的包括场板的器件，可以为高压器件，其中高压器件可以为半导体技术领域常见的高压器件，例如 DMOS (Double Diffused MOSFET, 双扩散金属氧化物半导体场效应管)，DMOS 主要有两种
15 类型：垂直双扩散金属氧化物半导体场效应管 VDMOSFET (vertical double-diffused MOSFET, 简称 VDMOS) 和横向双扩散金属氧化物半导体场效应 LDMOSFET (lateral double-diffused MOSFET, 简称 LDMOS)。

综上所述，上述半导体器件包括一层、两层或多层场板层的分离式平面场板结构，缩短了漂移区电流路径，改善了器件的性能，且由于半导体器件
20 使用前述实施例的方法制备获得，因此具有相同的优点。

本发明已经通过上述实施例进行了说明，但应当理解的是，上述实施例只是用于举例和说明的目的，而非意在将本发明限制于所描述的实施例范围内。此外本领域技术人员可以理解的是，本发明并不局限于上述实施例，根据本发明的教导还可以做出更多种的变型和修改，这些变型和修改均落在本
25 发明所要求保护的范围内。本发明的保护范围由附属的权利要求书及其等效范围所界定。

权利要求书

1、一种半导体器件的制造方法，包括：

步骤一、提供半导体衬底，在所述半导体衬底上形成源极、漏极和栅极，在所述栅极和所述漏极之间的半导体衬底中形成有漂移区，

5 步骤二、形成第一介质层，以覆盖所述半导体衬底的表面以及源极、漏极和栅极；以及

步骤三、在所述第一介质层上形成第一场板层，所述第一场板层至少部分位于所述漂移区上方且该部分靠近所述栅极设置。

2、如权利要求 1 所述的方法，其特征在于，所述第一场板层全部位于所述漂移区的上方。

10 3、如权利要求 1 所述的方法，其特征在于，所述第一场板层部分位于所述栅极的上方。

4、如权利要求 1 所述的方法，其特征在于，在所述步骤三之后还包括以下步骤：

15 步骤四、形成第二介质层，以覆盖所述第一介质层的表面以及第一场板层；以及

步骤五、在所述第二介质层上形成第二场板层，所述第二场板层位于所述漂移区的上方并靠近所述第一场板层的外侧。

20 5、如权利要求 4 所述的方法，其特征在于，还包括交替循环执行所述步骤四和所述步骤五，且交替循环执行时所述步骤四形成的第二介质层是覆盖前一次步骤四形成的第二介质层及第二场板层，所述步骤五形成的第二场板层是靠近前一次步骤五形成的第二场板层的外侧。

6、如权利要求 5 所述的方法，其特征在于，上下相邻两层场板层在垂直方向上完全错开或部分重叠。

25 7、如权利要求 5 所述的方法，其特征在于，所述第二介质层比所述第一介质层厚，后一步骤形成的所述第二介质层比相邻前一步骤形成的所述第二介质层厚。

8、如权利要求 1 所述的方法，其特征在于，在所述步骤三之后还包括以下步骤：

步骤四、减薄所述第一介质层覆盖有场板层之外的区域以及，

步骤五、在减薄后的所述第一介质层上形成第二场板层，所述第二场板层位于所述漂移区的上方且与前一层场板层相分离。

9、如权利要求 8 所述的方法，其特征在于，交替循环执行所述步骤四和所述步骤五一次以上。

5 10、如权利要求 1 所述的方法，其特征在于，在所述步骤三之后还包括以下步骤：

步骤四、刻蚀覆盖有场板层之外的介质层直至露出半导体衬底；以及

10 步骤五、形成第二介质层，以覆盖所述半导体衬底的表面以及露出的场板层表面，在所述第二介质层上形成第二场板层，且所述第二场板层位于所述漂移区的上方并靠近所述第一场板层的外侧。

11、如权利要求 10 所述的方法，其特征在于，还包括：交替循环执行所述步骤四和所述步骤五一次以上，且交替循环执行时所述步骤五形成的第二场板层是靠近前一次步骤五形成的第二场板层的外侧。

12、如权利要求 1 所述的方法，其特征在于，所述第一场板层的材料为
15 Ag、Au、Cu、Pd、Cr、Mo、Ti、Ta、W 和 Al 中的至少一种或多晶硅半导体或金属硅化物。

13、如权利要求 1 所述的方法，其特征在于，在所述步骤三之后，所述方法还包括：

20 沉积第三介质层，以覆盖所述第一介质层的表面以及所述第一场板层，平坦化所述第三介质层，其中，所述第三介质层和所述第一介质层为相同的材料。

14、一种半导体器件，包括：

半导体衬底，所述半导体衬底上形成有源极、漏极和栅极，所述栅极和所述漏极之间的半导体衬底中形成有漂移区；

25 第一介质层，覆盖所述半导体衬底的表面以及所述源极、所述漏极和所述栅极；以及

第一场板层，形成在所述第一介质层上，所述第一场板层至少部分位于所述漂移区上方且该部分靠近所述栅极。

30 15、如权利要求 14 所述的半导体器件，其特征在于，所述第一场板层全部位于所述漂移区的上方。

16、如权利要求 14 所述的半导体器件，其特征在于，所述第一场板层部分位于所述栅极的上方。

17、如权利要求 14 所述半导体器件，其特征在于，还包括：

第二介质层，覆盖所述第一介质层的表面以及所述第一场板层；以及

第二场板层，形成在所述第二介质层上，且所述第二场板层至少部分位于所述漂移区的上方并靠近所述第一场板层的外侧。

5 18、如权利要求 14 所述的半导体器件，其特征在于，所述半导体器件包括多层第二介质层和第二场板层，每一层第二介质层覆盖下层的第二介质层表面以及第二场板层，每一层第二场板层形成在下层的介质层上且靠近下层的场板层的外侧。

10 19、如权利要求 18 所述的具有分离式平面场板结构的半导体器件，其特征在于，上下相邻两层场板层在垂直方向上完全错开或部分重叠。

20、如权利要求 18 所述的具有分离式平面场板结构的半导体器件，其特征在于，所述第二介质层的厚度比所述第一介质层厚，且上层的所述第二介质层的厚度比与其相邻的下层的所述第二介质层厚。

15 21、如权利要求 18 所述的具有分离式平面场板结构的半导体器件，其特征在于，所述第一场板层的材料为 Ag、Au、Cu、Pd、Cr、Mo、Ti、Ta、W 和 Al 中的至少一种或多晶硅半导体或金属硅化物。

22、如权利要求 18 所述的具有分离式平面场板结构的半导体器件，其特征在于，还包括：

20 第三介质层，覆盖第一介质层的表面以及第一场板层，其中，所述第三介质层的材料与所述第一介质层的材料相同。

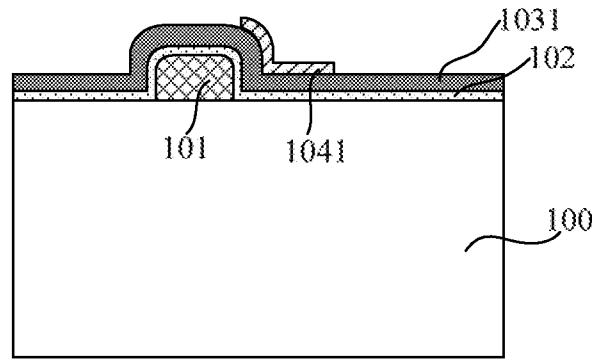


图 1A

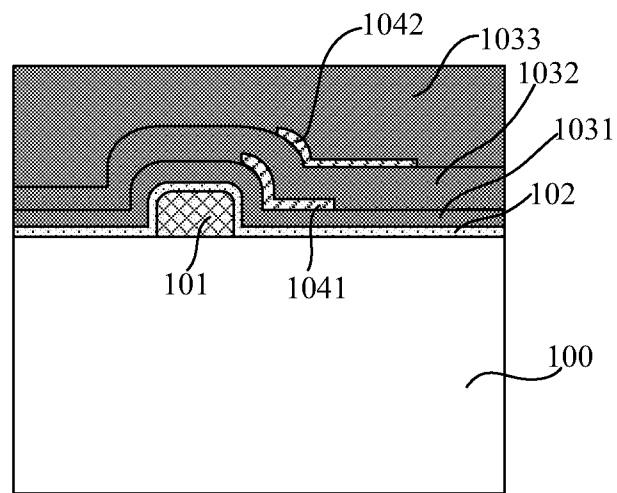


图 1B

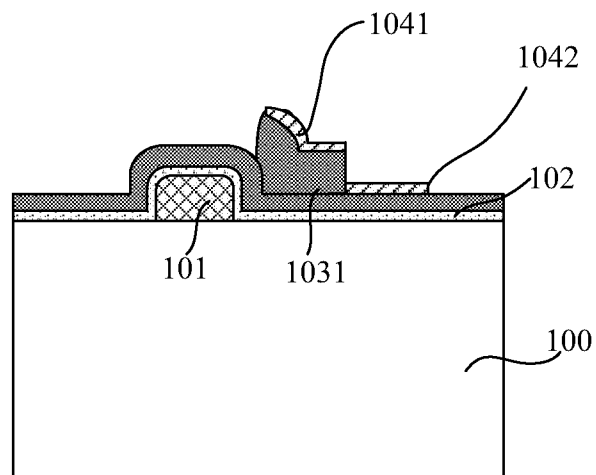


图 1C

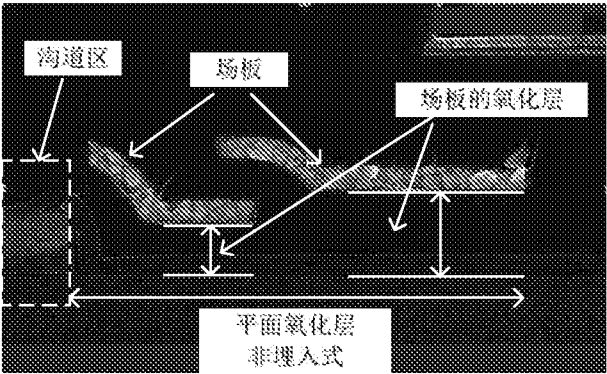


图 2

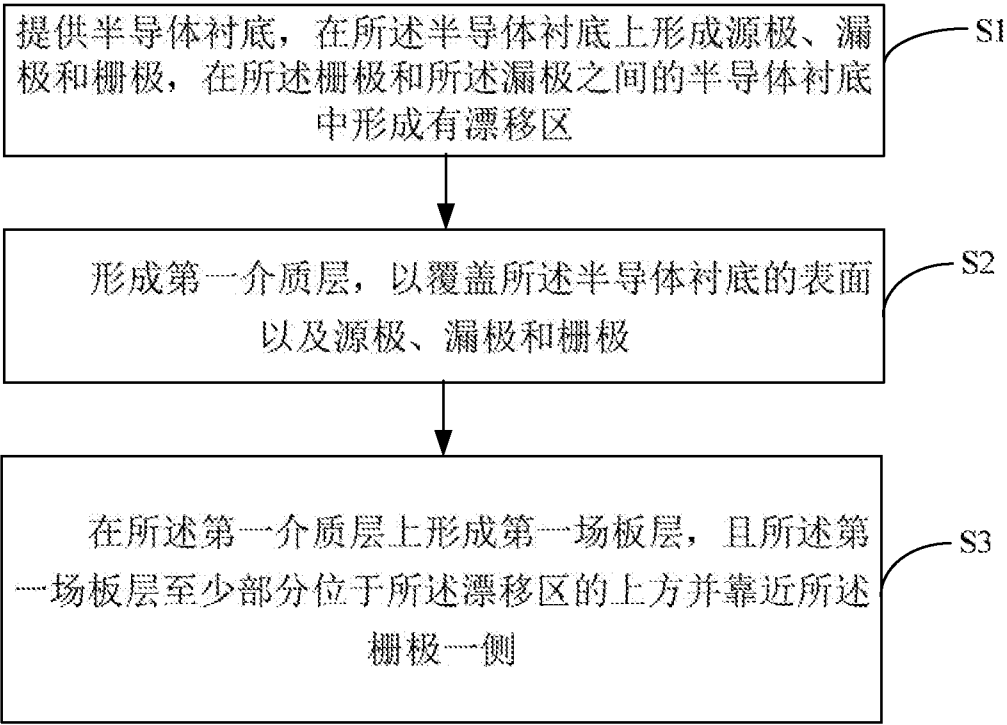


图 3

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2017/096593

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/78 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; DWPI; SIPOABS; CNKI; IEEE: 半导体, 衬底, 漏极, 栅极, 漂移, 介质, 场板, semiconductor, substrate, drain, gate, drift, dielectric, plate

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 104882409 A (PEKING UNIVERSITY FOUNDER GROUP CORP. et al.), 02 September 2015 (02.09.2015), description, paragraphs [0034]-[0050], and figures 1-19	1-22
A	CN 204118076 U (KUNSHAN HUATAI ELECTRONIC TECHNOLOGY CO., LTD.), 21 January 2015 (21.01.2015), entire document	1-22
A	CN 105742365 A (INSTITUTE OF ELECTRONIC AND INFORMATION ENGINEERING IN DONGGUAN, UESTC), 06 July 2016 (06.07.2016), entire document	1-22
A	EP 2665101 A1 (AUSTRIAMICROSYSTEMS AG), 20 November 2013 (20.11.2013), entire document	1-22

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 18 September 2017	Date of mailing of the international search report 31 October 2017
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer ZHANG, Fang Telephone No. (86-10) 62411844

International application No.
PCT/CN2017/096593

Form PCT/ISA/210 (patent family annex) (July 2009)

国际检索报告

国际申请号

PCT/CN2017/096593

A. 主题的分类 H01L 29/78 (2006.01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类																	
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) H01L 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) CNABS; DWPI; SIPOABS; CNKI; IEEE; 半导体, 衬底, 漏极, 栅极, 漂移, 介质, 场板, semiconductor, substrate, drain, gate, drift, dielectric, plate																	
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>CN 104882409 A (北大方正集团有限公司 等) 2015年 9月 2日 (2015 - 09 - 02) 说明书第[0034]-[0050]段, 图1-19</td> <td>1-22</td> </tr> <tr> <td>A</td> <td>CN 204118076 U (昆山华太电子技术有限公司) 2015年 1月 21日 (2015 - 01 - 21) 全文</td> <td>1-22</td> </tr> <tr> <td>A</td> <td>CN 105742365 A (东莞电子科技大学电子信息工程研究院) 2016年 7月 6日 (2016 - 07 - 06) 全文</td> <td>1-22</td> </tr> <tr> <td>A</td> <td>EP 2665101 A1 (AUSTRIAMICROSYSTEMS AG) 2013年 11月 20日 (2013 - 11 - 20) 全文</td> <td>1-22</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	X	CN 104882409 A (北大方正集团有限公司 等) 2015年 9月 2日 (2015 - 09 - 02) 说明书第[0034]-[0050]段, 图1-19	1-22	A	CN 204118076 U (昆山华太电子技术有限公司) 2015年 1月 21日 (2015 - 01 - 21) 全文	1-22	A	CN 105742365 A (东莞电子科技大学电子信息工程研究院) 2016年 7月 6日 (2016 - 07 - 06) 全文	1-22	A	EP 2665101 A1 (AUSTRIAMICROSYSTEMS AG) 2013年 11月 20日 (2013 - 11 - 20) 全文	1-22
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求															
X	CN 104882409 A (北大方正集团有限公司 等) 2015年 9月 2日 (2015 - 09 - 02) 说明书第[0034]-[0050]段, 图1-19	1-22															
A	CN 204118076 U (昆山华太电子技术有限公司) 2015年 1月 21日 (2015 - 01 - 21) 全文	1-22															
A	CN 105742365 A (东莞电子科技大学电子信息工程研究院) 2016年 7月 6日 (2016 - 07 - 06) 全文	1-22															
A	EP 2665101 A1 (AUSTRIAMICROSYSTEMS AG) 2013年 11月 20日 (2013 - 11 - 20) 全文	1-22															
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																	
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																	
国际检索实际完成的日期 2017年 9月 18日		国际检索报告邮寄日期 2017年 10月 31日															
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		受权官员 章放 电话号码 (86-10)62411844															

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2017/096593

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN	104882409	A	2015年 9月 2日	无	
CN	204118076	U	2015年 1月 21日	无	
CN	105742365	A	2016年 7月 6日	无	
EP	2665101	A1	2013年 11月 20日	WO 2013171012 A1	2013年 11月 21日