



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I597781 B

(45) 公告日：中華民國 106 (2017) 年 09 月 01 日

(21) 申請案號：103140473 (22) 申請日：中華民國 103 (2014) 年 11 月 21 日

(51) Int. Cl. : H01L21/335 (2006.01) H01L21/336 (2006.01)

(30) 優先權：2013/12/23 世界智慧財產權組織 PCT/US13/77593

(71) 申請人：英特爾股份有限公司 (美國) INTEL CORPORATION (US)

美國

(72) 發明人：葛雷斯 葛蘭 GLASS, GLENN (US)；莫希 安拿 MURTHY, ANAND (US)；奧伯庭 丹尼爾 AUBERTINE, DANIEL B. (US)；喬許 薩哈遜 JOSHI, SUBHASH M.

(IN)

(74) 代理人：林志剛

(56) 參考文獻：

US 2010/0252816A1

US 2011/0180847A1

US 2013/0307038A1

審查人員：邱青松

申請專利範圍項數：24 項 圖式數：9 共 64 頁

(54) 名稱

用於形成電子裝置鰭的方法、電子裝置鰭以及具有電子裝置鰭的系統

METHOD TO FORM ELECTRONIC DEVICE FINS, ELECTRONIC DEVICE FINS, AND SYSTEM WITH ELECTRONIC DEVICE FINS

(57) 摘要

電晶體鰭元件(例如，鰭或三閘極)可藉由射頻(RF)電漿及/或熱處理而被修改，以供尺寸造形之目的。已蝕刻的、薄化的鰭可藉由下列方式而被形成：首先形成較寬單晶鰭；以及在沈積溝槽氧化物材料於該些較寬鰭之間後，使用第二蝕刻以蝕刻該些較寬鰭來形成具有未受損的頂部和側壁之較窄單晶鰭，以供外延地生長主動通道材料。第二蝕刻可移除較寬鰭之頂部表面及側壁的介於 1nm 與 15nm 之間的厚度。可使用下列方式來移除該厚度：(1)使用低離子能量電漿處理之氯或氟基的化學、或(2)低溫熱處理，其不會經由能量離子轟擊、氧化或藉由留下其可能破壞第二材料之外延生長品質的蝕刻殘餘而損害鰭。

Transistor tin elements (e.g., fin or tri gate) may be modified by radio frequency (RF) plasma and/or thermal processing for purpose of dimensional sculpting. The etched, thinned fins may be formed by first forming wider single crystal fins, and after depositing trench oxide material between the wider fins, etching the wider fins using a second etch to form narrower single crystal fins having undamaged top and sidewalls for epitaxially growing active channel material. The second etch may remove a thickness of between a 1 nm and 15 nm of the top surfaces and the sidewalls of the wider fins. It may remove the thickness using (1) chlorine or fluorine based chemistry using low ion energy plasma processing, or (2) low temperature thermal processing that does not damage fins via energetic ion bombardment, oxidation or by leaving behind etch residue that could disrupt the epitaxial growth quality of the second material.

指定代表圖：

符號簡單說明：

101 . . . 基底

102 . . . 材料

103 . . . 表面

111 . . . 區域

119 . . . 區域

160 . . . 遮罩

166,170 . . . 側壁

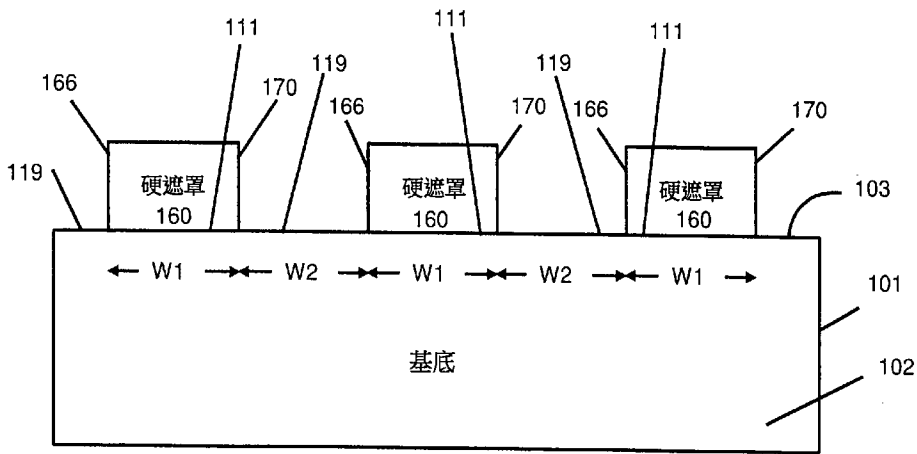


圖 1

第 103140473 號

民國 106 年 1 月 18 日修正

發明摘要

※申請案號：103140473

※申請日：103 年 11 月 21 日

※IPC 分類：H01L 21/335 (2006.01)
H01L 21/336 (2006.01)

【發明名稱】(中文/英文)

用於形成電子裝置鰭的方法、電子裝置鰭以及具有電子裝置鰭的系統

Method to form electronic device fins, electronic device fins, and system with electronic device fins

【中文】

電晶體鰭元件（例如，鰭或三閘極）可藉由射頻（RF）電漿及/或熱處理而被修改，以供尺寸造形之目的。已蝕刻的、薄化的鰭可藉由下列方式而被形成：首先形成較寬單晶鰭；以及在沈積溝槽氧化物材料於該些較寬鰭之間後，使用第二蝕刻以蝕刻該些較寬鰭來形成具有未受損的頂部和側壁之較窄單晶鰭，以供外延地生長主動通道材料。第二蝕刻可移除較寬鰭之頂部表面及側壁的介於 1 nm 與 15 nm 之間的厚度。可使用下列方式來移除該厚度：（1）使用低離子能量電漿處理之氯或氟基的化學、或（2）低溫熱處理，其不會經由能量離子轟擊、氧化或藉由留下其可能破壞第二材料之外延生長品質的蝕刻殘餘而損害鰭。

【 英文 】

Transistor fin elements (e.g., fin or tri gate) may be modified by radio frequency (RF) plasma and/or thermal processing for purpose of dimensional sculpting. The etched, thinned fins may be formed by first forming wider single crystal fins, and after depositing trench oxide material between the wider fins, etching the wider fins using a second etch to form narrower single crystal fins having undamaged top and sidewalls for epitaxially growing active channel material. The second etch may remove a thickness of between a 1 nm and 15 nm of the top surfaces and the sidewalls of the wider fins. It may remove the thickness using (1) chlorine or fluorine based chemistry using low ion energy plasma processing, or (2) low temperature thermal processing that does not damage fins via energetic ion bombardment, oxidation or by leaving behind etch residue that could disrupt the epitaxial growth quality of the second material.

【代表圖】

【本案指定代表圖】：第(1)圖。

【本代表圖之符號簡單說明】：

101：基底

102：材料

103：表面

111：區域

119：區域

160：遮罩

166, 170：側壁

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

用於形成電子裝置鰭的方法、電子裝置鰭以及具有電子裝置鰭的系統

Method to form electronic device fins, electronic device fins, and system with electronic device fins

【技術領域】

本發明係有關電路裝置以及鰭基的電路裝置之製造和結構。

【先前技術】

基底上之電路裝置（例如，半導體（例如，矽）基底上之積體電路（IC）電晶體、電阻、電容等等）的增加性能及產量通常是那些裝置之設計、製造、及操作期間所考量的主要因素。例如，於鰭基的金氧半導體（MOS）電晶體裝置（諸如那些於互補金氧半導體（CMOS）中所使用者）之設計和製造或形成期間，常希望增加 N 型 MOS 裝置（n-MOS）通道中之電子（載子）的移動以及增加 P 型 MOS 裝置（p-MOS）通道中之正電洞（載子）的移動。

FinFET 可為建立於半導體材料之細帶周圍的電晶體（通常稱為鰭）。電晶體包括標準的場效電晶體（FET）節點，包括閘極、閘極電介質、源極區、和汲極區。裝置

之導電通道係駐存在閘極電介質底下之鰭的外側上。明確地，電流係運行沿著鰭之兩側壁（垂直於基底表面之側）/於鰭之兩側壁內以及沿著鰭之頂部（平行於基底表面之側）。因為此類組態之導電通道基本上駐存沿著鰭之三個不同的外、平坦區，所以此一 FinFET 設計有時被稱為三閘極 FinFET。其他類型的 FinFET 組態亦為可得的，諸如所謂的雙閘極 FinFET，其中導電通道主要地僅駐存沿著鰭之兩側壁（而非沿著鰭之頂部）。有數個與製造此類鰭基電晶體關聯的重要議題。

【圖式簡單說明】

圖 1 是半導體基底基礎之一部分的概略橫斷面視圖，在形成硬遮罩圖案於其中希望有電子裝置鰭之第一頂部表面區域上以後。

圖 2 顯示圖 1 之半導體基底，在蝕刻基底之厚度於硬遮罩之間以形成電子裝置鰭之側壁及溝槽於硬遮罩之間以後。

圖 3 顯示圖 1 之半導體基底，在移除硬遮罩以形成鰭之頂部表面並沈積溝槽氧化物材料之厚度於溝槽中以後。

圖 4 顯示圖 1 之半導體基底，在拋光溝槽氧化物材料至鰭之頂部表面並蝕刻溝槽氧化物材料之厚度於溝槽中以暴露電子裝置鰭之單晶側壁以後。

圖 5 顯示圖 1 之半導體基底，在蝕刻電子裝置鰭之頂部表面及側壁以形成較窄的已蝕刻電子裝置鰭之較窄的已

蝕刻單晶頂部表面及側壁以後。

圖 6 顯示圖 1 之半導體基底，在沈積第二單晶材料於較窄的已蝕刻鰭之已蝕刻頂部及側壁表面上以後。

圖 7 是圖 1 之半導體基底的概略透視圖，在形成閘極電子裝置於其形成於較窄的已蝕刻鰭之一的已蝕刻頂部及側壁表面上之第二單晶材料上以後。

圖 8 是範例製程，用以形成閘極電子裝置於其形成於較窄的已蝕刻電子裝置鰭之較窄的已蝕刻單晶頂部及側壁表面上之第二單晶材料上。

圖 9 闡明一計算裝置，依據一實施方式。

【發明內容及實施方式】

鰭基電晶體之載體移動可藉由介於兩個具有不同尺寸晶體晶格結構的材料之間的介面所造成的導電通道中之應變而被增加。然而，載子之性能及移動可藉由鰭之物理尺寸限制；以及用以形成鰭或通道之材料的層之間的介面上所產生之晶格失配和晶格缺陷而被減慢。

於用以製造矽鍺合金及鍺通道電晶體之矽鰭上的含鍺包覆層之背景中，希望（於某些情況下，盡可能地）將矽鰭層之寬度減至最小。矽鰭可為用於包覆層之模板（例如，核心），該包覆層將被沈積於上或者被生長自（例如，外延地）。於某些情況下，為了總鰭寬度（矽核心加上任何包覆層）之增進的性能性質，總鰭之寬度可小於 20 nm 寬、或 30 nm 寬。於一實施例中，僅僅減少鰭寬度

之動作即足以提供 MOS 電晶體之靜電性質的顯著增進，針對減少的臨閾閘極電壓及較低的關狀態電流洩漏。於此實施例中，不需要額外的包覆層。

此外，包覆層之品質（例如，通道包覆層之晶體結構及因此其性能）可取決於其被使用為生長之開始模板的矽鰭之品質（例如，其晶體結構，諸如於其頂部表面及側壁上）。於用以製造矽鍺合金及鍺通道鍺基電晶體之矽鰭上的含鍺包覆層之背景中，希望避免或減少矽鰭表面上之高能離子轟擊、氧化及蝕刻殘餘，因為這些會損害後續包覆或沈積層之品質。例如，此轟擊、氧化及蝕刻殘餘可能產生缺陷或額外材料於矽鰭頂部及側壁表面的晶體結構，包覆或沈積層係後續地生長於該晶體結構上。因此，由於矽鰭頂部及側壁表面之晶體結構上的缺陷或額外材料，後續包覆或沈積層生長之晶體結構將包括缺陷。因此，避免或減少此轟擊、氧化及殘餘會增加電晶體性能。

為了將矽鰭層之寬度減至最小並增加包覆層之品質，文中之實施例可藉由外延地生長第二晶體材料於已蝕刻、薄化的第一晶體材料鰭之表面上以形成鍺電晶體（例如，三閘極）。已蝕刻、薄化的鰭可藉由以下方式而被形成：首先形成具有第一寬度之較寬的單晶鰭（例如，使用單晶材料之第一蝕刻），其將後續地被蝕刻（例如，使用第二蝕刻）以形成具有相同的晶格、未損害的頂部及側壁之較窄的單晶鰭以供外延地生長第二單晶材料。於某些情況下，較寬的單晶鰭係經由微影方法及乾式蝕刻而被製造以

工業標準方式。之後，PMOS 裝置可藉由以矽鍍通道材料包覆較窄的矽鍍而被形成。

更明確地，依據文中之實施例，寬矽鍍可經由微影方法及乾式蝕刻（例如，第一蝕刻）而被製造以工業標準方式。第二蝕刻可使用原位方法而被執行以減少鍍寬度（例如，形成較窄鍍）而同時避免對於鍍之過度損害（例如，已蝕刻、較窄鍍之頂部及側壁表面）。此可被完成而同時避免對於鍍表面之額外損害並維持其可承受高品質外延沈積之清潔表面（例如，頂部及側壁表面上之包覆通道層的高品質外延沈積）。例如，於某些情況下，第二蝕刻可為鍍寬度修剪蝕刻，其位於（例如，不包括）外延沈積工具集之外部（原位之外），該工具集通常仰賴其涉及均會損害後續沈積層之品質的高能量離子轟擊、氧化及蝕刻殘餘之乾式蝕刻。

依據某些實施例，第二蝕刻可被執行以進一步減少其已被形成之矽鍍的寬度，以（1）形成窄寬度鍍；及（2）提供鍍頂部表面及側壁而無離子損害、氧化及殘餘。於某些情況下，離子轟擊是發生於製程設備中之物理程序。離子損害是晶圓上之結果且其表示原子被擊打移位，表示其晶體中之原子的規律週期性陣列被破壞或損害。此第二蝕刻可被執行於現存的矽鍍上以進一步窄化其滲出於 STI 平面上方的鍍之部分。此第二蝕刻可為其不包括高能量離子轟擊、氧化或蝕刻殘餘之電子裝置鍍的頂部表面及側壁的同時等向蝕刻。藉由蝕刻以移除電子裝置鍍之頂部表面及

側壁的介於 1 nm 與 15 nm 間之厚度，其可形成電子裝置已蝕刻鰭之單晶（例如，與已蝕刻表面相同的晶格）已蝕刻頂部表面及已蝕刻側壁。其可為或者包括使用任何數目的方法以蝕刻電子裝置鰭之頂部表面及側壁。我們於此提供包括下述的範例（1）使用低離子能量電漿處理之氫、氯或氟為基的化學，或者（2）避免或不包括能量離子、氧化且不產生其可能損害後續沈積層之品質的蝕刻殘餘之熱處理。其可蝕刻電子裝置鰭之頂部表面及側壁而同時維持裝置鰭之頂部及側壁表面的單晶結構。此熱處理可包括在氫環境中之含 HCl 或 Cl₂ 的氣體流，於個別低於 900 度 C 或 700 度 C 之溫度。

依據某些實施例，為了執行在蝕刻電子裝置鰭之頂部表面及側壁後的包覆層之原位生長，第二單晶材料被沈積（例如，生長或形成）於已蝕刻鰭之頂部及側壁表面上，而不破壞處理室之真空（without air break of the treatment chamber）。第二單晶材料可具有不同於（例如，大於）鰭單晶材料之晶格間隔的晶格間隔。

圖 1 是半導體基底基礎之一部分的概略橫斷面視圖，在形成硬遮罩圖案於其中希望有電子裝置鰭之第一頂部表面區域上以後。圖 1 顯示具有頂部表面 103 之材料 102 的半導體基底 101。基底 101 可包括、被形成自、被沈積以、或者被生長自：矽、多晶矽、單晶矽、或各種其他適當技術，以形成矽基礎或基底，諸如矽單晶晶圓。例如，依據實施例，基底 101 可為 SOI、大塊矽、浮區或外延

矽，其係藉由生長具有介於純矽的 100 埃與 1000 埃之間的厚度之單晶矽基底基礎材料而形成。替代地，基底 101 可藉由各種適當矽或矽合金材料 102 之足夠化學氣相沈積（CVD）來形成，以形成具有厚度介於一與三微米之間的厚度之材料層，諸如具有 CVD，以形成厚度二微米的厚度。亦考量其基底 101 可為鬆弛的、非鬆弛的、漸變的、及/或非漸變的矽合金材料 102。材料 102 可為鬆弛的材料（例如，具有非應變晶格）於表面 103 之上。材料 102 可為單晶矽材料。基底 102 可由矽所製並具有（100）晶體定向材料（例如，依據米勒指數）之頂部表面 103。基底 101 可為「偏切」基底。

圖 1 顯示頂部表面 103 之區域 111 上所形成的圖案或遮罩 160。遮罩 160 可為其中希望有電子裝置緒之頂部表面的單晶（例如，矽）基底之第一頂部表面區域或位置 111 上所形成的硬遮罩圖案。於某些情況下，遮罩 160 為單獨由光抗蝕劑、或由光抗蝕劑/氧化物組合；或者由光抗蝕劑/氮化物組合所形成。遮罩 160 可具有側壁 166 及 170 於表面 103 之上。側壁 166 及 170 可為垂直於表面 103 之平坦表面。

圖 1 顯示介於遮罩 160 之間的頂部表面 103 之區域 119。區域 119 可為介於或排除其中希望有電子裝置緒之區域 111 間的單晶（例如，矽）基底之頂部表面的第二頂部表面區域或位置。區域 119 可為介於第一頂部表面區域 111 之間或介於硬遮罩 160 之間的基底之第二頂部表面區

域，其中希望有溝槽或者將被形成基底 101（例如，於表面 103 中）於第一頂部表面區域 111 之間。溝槽可被形成於第二頂部表面區域 119 底下，諸如介於其中希望有電子裝置鰭之頂部表面的基底之位置或區域 111 之間。

區域 111 可具有寬度 $W1$ 、及進入頁面之長度 $L1$ （未顯示）。於某些情況下，區域 111 及遮罩 160 可具有寬度 $W1$ 及長度 $L1$ （未顯示但指向圖 1 之頁面）。區域 119 可具有寬度 $W2$ 、及進入頁面之長度 $L1$ （未顯示）。溝槽 105 及 106 被形成於頂部表面區域 119 底下，介於其中希望有電子裝置鰭之區域 111 或頂部表面的位置之間。

圖 2 顯示圖 1 之半導體基底，在於硬遮罩之間蝕刻基底之厚度以於硬遮罩之間形成電子裝置鰭的側壁及溝槽以後。圖 2 顯示基底 101，在蝕刻介於硬遮罩 160 或區域 111 之間的材料 102 之厚度以形成電子裝置鰭 107、108 及 110 之單晶側壁 113 及 115；並形成介於鰭 107、108 及 110 之間的溝槽 105 及 106 以後。於某些情況下，此蝕刻可包括蝕刻介於硬遮罩 160 或區域 111 之間的材料 102 之厚度以產生或形成電子裝置鰭 107、108 及 110 之單晶矽頂部表面 103 及側壁 113 和 115。蝕刻材料 102 可包括蝕刻區域 119 上之表面 103 以形成溝槽。蝕刻以形成溝槽 105 及 106 可包括蝕刻材料 102 之高度 $H1$ 並形成表面 203，諸如溝槽之底部表面，於區域 119 中或底下。鰭 107、108 及 110 可被描述為「寬」或「較寬」鰭，諸如其將被進一步蝕刻以形成文中所述之「窄」或「較窄」

鰭，諸如至少針對圖 5 及區塊 850。用以形成鰭 107、108 及 110 之蝕刻可被描述為「第一」蝕刻（例如，用以形成較厚鰭），諸如其中於圖 5（或區塊 850）上之蝕刻被視為用以形成較窄鰭之「第二」蝕刻（例如，在第一蝕刻之後）。

蝕刻材料 102 可包括蝕刻材料 102 或基底 101 之高度 $H1$ 以形成溝槽及單晶側壁。鰭 107、108 及 110 可具有高度 $H1$ 寬度 $W1$ 、及進入頁面之長度 $L1$ （未顯示）。此蝕刻可使用一種「計時的」蝕刻，諸如針對一段已知用以移除材料 102 之高度 $H1$ 的時間週期之蝕刻；或者可使用另一已知用以執行此蝕刻之製程。鰭可為或者包括一延伸或配置表面 203 之「暴露的」裝置井或通道區。在蝕刻之後，側壁 113 及 115 可鄰接於遮罩 160 之側壁。於某些情況下，內側壁 113 及 115 可為平行於且對準與（例如，直接於其下方）遮罩 160 之平面的平坦表面。

於某些情況下，形成鰭 407、408 及 410 包括圖案化單晶基底（例如基底 103）之頂部表面並蝕刻介於圖案（例如，遮罩 160）之間的基底，以從延伸於基底之已蝕刻頂部表面 203 上方的基底之高度（例如， $H1$ ）形成電子裝置鰭。

寬度 $W1$ 可由介於區 107 的側壁 113 與區 108 的側壁 115 上的側之間的水平距離來界定。寬度 $W1$ 可為介於 10 與 100 奈米（nm）之間的寬度。於某些情況下 $W1$ 約為 25 nm。寬度 $W2$ 可為介於 100 與 1000 奈米（nm）之間的

寬度。溝槽 105 可具有由介於頂部表面 103 與頂部表面 203 之間的垂直距離所界定的高度 H1。高度 H1 可為介於 30 與 400 奈米 (nm) 之間的高度。於某些情況下 H1 約為 200 nm。長度 L1 可被界定為進入頁面並沿著側壁 113 或側壁 115 的長度。長度 L1 可為介於 50 奈米 (nm) 與 100 微米 (um) 之間的長度。於某些情況下 L1 約為 500 nm。於某些情況下 L1 係等於 (或約相同於) W1。依據某些實施例, W1 可介於 10 與 15 奈米 (nm) 之間而 H1 可為 350 奈米 (nm)。

溝槽 105 及 106 可藉由圖案化及蝕刻 (如本技術中已知者) 而被形成。此可包括圖案化及蝕刻材料 102 以形成溝槽。於某些情況下, 圖案化及蝕刻材料 102 包括使用抗蝕劑或硬遮罩 (例如, 160), 在一用於圖案化材料之抗蝕劑底下。於某些情況下, 1、2 或 3 個抗蝕劑層可被用於圖案化材料。於某些情況下, 圖案化及蝕刻材料 102 以形成溝槽包括使用氧或氧/氬電漿蝕刻於 10-100 mTorr 範圍中之壓力, 以及於室溫。此圖案化及蝕刻亦可包括蝕刻其包括 STI 材料之氧化物, 藉由以氟碳 (例如, CF₄ 及/或 C₄F₈)、氧及氬來蝕刻, 於 10-100 mTorr 範圍中之壓力, 以及於室溫。

圖 2 顯示鰭 107、108 和 110; 及溝槽 105 和 106, 其係形成於基底 101 中。然而, 已考量其更多、類似的鰭及溝槽可存在於基底 101 上 (例如, 諸如至少數百或數百萬)。

側壁 113 和 115、及表面 203 可接受高能量離子轟擊、氧化、及/或蝕刻殘餘，根據用以蝕刻材料 102 之技術。於某些情況下，側壁及底部表面包括晶體缺陷，其將造成外延地生長於其上之單晶材料具有缺陷，以及減少的電晶體性能（假如該外延生長的材料被使用為裝置通道的話）。假如這些缺陷涵蓋通道材料，則其可能導致產量及變化問題，於一建立在裝置層上之裝置中，該裝置層係從延伸於溝槽上之外延生長所形成。

圖 3 顯示圖 1 之半導體基底，在沈積溝槽氧化物材料之厚度於溝槽中以後。圖 3 亦顯示基底 101，在沈積溝槽氧化物材料 307 之厚度於溝槽 105 和 106 中；及於遮罩 160 上以後。材料 307 可具有表面 303 於高度 H1 之上或上方。形成材料 307 可包括沈積或形成材料 307 之厚度於溝槽 105 和 106 中；及於遮罩 160 上，高達或高於鰭 107、108 和 110 之頂部表面 103。

於某些情況下，材料 307 為淺溝槽隔離（STI）材料之層，其係形成或生長於基底 101 之頂部表面 103、203（及選擇性地側壁 113 和 115）上。材料 307 可由氧化物或氮化物或其組合所形成。材料 307 可由 SiC 或其他材料（如本技術中已知者）所形成。材料 307 可藉由原子層沈積（ALD）或化學氣相沈積（CVD）而被形成。材料 307 通常係經由電漿增強的化學沈積（PECVD）而被沈積。於某些情況下，各種氧先質、矽烷先質、或同屬先質可被使用於一製程（例如，PECVD）期間以形成材料 307，如本

技術中已知者。於某些情況下，材料 307 可藉由一種使用 TEOS + O₂ + RF（於 400°C）之製程來形成。

圖 4 顯示圖 1 之半導體基底，在拋光溝槽氧化物材料及硬遮罩至（例如，以形成）鰭之頂部表面並蝕刻溝槽氧化物材料之厚度於溝槽中以暴露電子裝置鰭之單晶側壁以後。圖 4 顯示基底 101，在拋光氧化物材料 307 至或低於表面 103 之高度以形成鰭 407、408 及 410 之頂部表面 403。拋光或移除材料 307 以形成表面 403 可包括拋光或移除材料 307 之厚度至（或低於）表面 103 之高度 H1。拋光或移除材料 307 以形成表面 403 可包括從表面 103 移除硬遮罩 160，因而形成或暴露鰭 407、408 及 410 之頂部表面 403，於或自頂部表面 103 之高度 H2 上。

圖 4 亦顯示基底 101，在蝕刻氧化物材料 307 之厚度於溝槽 105 和 106 內，以暴露其可類似於鰭 107、108 和 110 之鰭 407、408 和 410 之單晶側壁 113 和 115，除了具有高度 H2 以取代高度 H1，其中高度 H2 係少於或等於高度 H1。材料 417 可為頂部表面 413 及高度 H3 於溝槽中。材料 417 可為寬度 W2 及長度 L1。

於某些情況下，蝕刻溝槽中之溝槽氧化物材料係移除溝槽中之溝槽氧化物的厚度 H2-H3 並暴露電子裝置鰭 407、408 和 410 之單晶側壁 113 和 115 的高度 H2-H3，以形成其被凹陷或低於電子裝置鰭之頂部表面 403 的溝槽氧化物的頂部表面 413。厚度 H2-H3 被顯示為厚度或高度 H21，該高度為鰭滲出 STI 平面（例如，表面 413）上方

者，且此為可能變為通道（一旦裝置已完全製造）之區。鰭 407、408 及 410 可被描述為「寬」或「較寬」鰭，諸如其將被進一步蝕刻以形成文中所述之「窄」或「較窄」鰭，諸如至少針對圖 5 及區塊 850。用以形成或暴露鰭 407、408 及 410 之蝕刻可被描述為「第一」蝕刻（例如，用以形成較厚鰭），諸如其中於圖 5（或區塊 850）上之蝕刻被視為用以形成較窄鰭之「第二」蝕刻（例如，在第一蝕刻之後）。

圖 4 顯示留存於溝槽 105 及 106 中的溝槽氧化物材料 417。材料 417 可為在蝕刻以移除溝槽中之材料 307 的高度後之材料 307 的剩餘物。蝕刻材料 307 可包括蝕刻區域 119 之上或之內的材料 307。蝕刻材料 307 以形成材料 417 可包括蝕刻材料 307 之厚度 H21，以移除材料 307 之該厚度及溝槽 105 和 106。此蝕刻亦可形成其被凹陷或低於鰭 407、408 和 410 之頂部表面 403 的材料 417 之頂部表面 413。於某些情況下，圖 4 顯示具有單晶矽鰭 407、408 和 410 之基底 101，具有 STI 材料 417 介於那些鰭之間。於某些情況下，圖 4 可顯示矽晶圓 101，沈積溝槽氧化物 307、拋光氧化物 307 和硬遮罩 160 至於 H1 之鰭的頂部之位準，及蝕刻氧化物 307 以將其凹陷低於鰭之位準至高度 H3。於某些情況下，圖 4 顯示具有單晶矽鰭 407、408 和 410 之基底 101，具有 STI 材料 417 介於那些鰭之間。蝕刻可為選擇性蝕刻，諸如一種選擇性地蝕刻材料 307、但不蝕刻材料 102 之蝕刻。

依據某些實施例，鰭 407、408 及 410 可藉由其他製程而被形成、生長或生產。於某些情況下，鰭 407、408 及 410 可被生長自基底 101 之表面上所形成的溝槽氧化物材料之層中所形成的溝槽中的材料 102 之表面。於某些情況下，鰭 407、408 及 410 可藉由本技術中已知的製程而被形成、生長或生產。於某些情況下，鰭 407、408 及 410 可為傳統地圖案化的矽鰭。

圖 5 顯示圖 1 之半導體基底，在蝕刻電子裝置鰭之頂部表面及側壁以形成較窄的已蝕刻電子裝置鰭之較窄的已蝕刻單晶頂部表面及側壁以後。圖 5 顯示基底 101，在蝕刻鰭 407、408 和 410 之頂部表面 403 及側壁 113 和 115 以移除材料 102 之厚度 TH2 來形成較窄的已蝕刻電子裝置鰭 507、508 和 510 之「較窄的」已蝕刻單晶頂部表面 503 及側壁 513 和 515 以後。此蝕刻可包括形成具有寬度 W3 之鰭 507、508 及 510，寬度 W3 為（例如，於寬度上延伸）小於寬度 W1，並具有長度 L1。於某些情況下，這些鰭具有小於 L1 之長度。頂部表面 503 可位於表面 203 之上，而鰭 507、508 及 510 可具有高度 H4 於表面 203 上方。高度 H4 可等於或小於高度 H2。例如，表面 503 可於表面 403 的高度之上或之下。鰭 507、508 及 510 被顯示具有高度 H5 於溝槽氧化物材料 417 的表面 413 之上，以及於基底 101 之材料 102 的表面 523 之上。用以形成鰭 507、508 及 510 之蝕刻可蝕刻其等於高度 H5 之鰭 407、408 及 410 的高度，以致表面 523 與表面 413 同平面或位

準。於某些情況下，表面 523 位於表面 413 之上或之下。用以形成鰭 507、508 及 510 之蝕刻可被描述為「第二」蝕刻（例如，用以形成較窄鰭），諸如其中於圖 2 或 4（或區塊 820 或 845）上之蝕刻被視為用以形成較窄鰭之「第一」蝕刻（例如，在第二蝕刻之前）。

用以形成鰭 507、508 和 510 之蝕刻可為鰭之各側壁及頂部表面的從 1 至 15 nm 之修整蝕刻（例如，TH1）。此蝕刻可取決於原始 W1，諸如藉由移除更多以供較大的 W1。於某些情況下，隨著寬度被修整，高度亦將被減少以相等或較大量。依據實施例，於鰭高度之此減少可能是不想要的，因此於某些情況下，有利的是針對蝕刻形成鰭 507、508 及 510 於 1-5 nm 之範圍中以供鰭寬度修整。

用以形成鰭 507、508 及 510 之蝕刻可為選擇性蝕刻，用以選擇性地蝕刻材料 102、但非材料 417。此蝕刻可包括同時地蝕刻表面 403 及側壁 113 和 115。於某些情況下，此蝕刻為各向異性蝕刻。依據實施例，用以形成較窄鰭 507、508 和 510 之蝕刻係移除鰭 407、408 和 410 之頂部表面 403 及側壁表面 113 和 115 的介於 1 nm 與 15 nm 之間的厚度 TH1。於某些情況下，蝕刻係移除那些表面及側壁的介於 5 與 15 nm 之間的厚度 TH1。於某些情況下，蝕刻係移除那些表面及側壁的介於 1 與 5 nm 之間的厚度 TH1。於某些情況下，蝕刻係移除那些表面及側壁的 8、10 或 15 奈米之厚度 TH1。於某些情況下，蝕刻電子裝置鰭之頂部表及側壁包括藉由修整從大於 10 至 30 nm

之裝置鰭的寬度到小於 7 nm 至 15 nm 之已蝕刻鰭的寬度來形成已蝕刻鰭。

此蝕刻可形成表面 503 及側壁 513 和 515，其不含由於過量高能量轟擊、氧化、或蝕刻殘餘所致之受損區；諸如相較於用以形成鰭 107、108 及 110 之蝕刻；或者相較於利用高能量離子轟擊蝕刻之乾式蝕刻（例如，如本技術中已知的物理蝕刻）。此蝕刻可排除或不包括乾式蝕刻、高能量離子轟擊蝕刻；或者容許暴露至氧之氧化、或殘餘以形成於表面 503 及側壁 513 和 515 上。因而此蝕刻可減少或移除後續地、外延地生長於表面 503 及側壁 513 和 515 上的單晶材料中之缺陷或損害。假如這些缺陷將存在或涵蓋通道材料，則其可能導致產量及驅動電流減少問題，於一建立在從鰭上之外延生長所形成的裝置層上之裝置中。於某些情況下，滲出 STI 平面上方之少量（例如，延伸於表面 413 或 523 上方之部分 582）為較窄鰭。於某些情況下，STI 平面下方之部分（例如，部分 584）不會傳導可用或相關量的載子且被定義為子鰭，其對於通道之功能不具有電子相關性。

此蝕刻可使用一種「計時的」蝕刻，諸如針對一段已知用以從表面 406 及側壁 113 和 115 移除材料 102 之厚度 TH1 的時間週期之蝕刻。鰭可為或者包括一延伸或配置於表面 523 上方之「暴露的」裝置井或通道區。鰭 507、508 及 510 可被描述為「窄」或「較窄」鰭，諸如其在「寬」或「較寬」鰭被進一步蝕刻如文中所述之後所得的

鰭，諸如至少針對圖 5 及區塊 850。

依據實施例，蝕刻較寬電子裝置鰭之頂部表面及側壁包括使用下列之一者：(1) 使用低離子能量電漿處理之氯或氟基的化學、或 (2) 熱處理。於某些情況下，使用氯基的化學。依據實施例，蝕刻較寬電子裝置鰭之頂部表面及側壁可包括使用低離子能量電漿處理，諸如使用低能量含氯電漿。於某些情況下，使用氯或氟基的化學可包括使用少於 1 kW 的射頻能量，諸如於 10 與 40 秒之間。於某些情況下，使用存在 HCl 之熱處理可包括於外延沈積反應器中之蝕刻。於某些情況下，使用熱處理可包括使用少於攝氏 900 度的熱於晶圓處理室中，諸如於 30 與 120 秒之間。另一範例為存在 Cl₂ 之退火，在低於攝氏 700 度之溫度下 60 秒。

於某些情況下，圖 5 可顯示基底 101，在藉由以下方式以形成已修整鰭 507、508 及 510 鰭之後：將具有單晶矽鰭 407、408 及 410 之基底 101 引入外延沈積工具或者於外延反應器中以向下蝕刻那些鰭來形成單晶矽鰭 507、508 及 510。工具可使用 Cl 基的化學（使用低離子能量電漿處理熱處理）以修整鰭寬度（例如，鰭 407、408 及 410 之寬度 W₁）從大於 10 nm（例如，30、20 或 15 nm）至 15 nm 以下（例如 15、10、7 nm）之寬度（例如，鰭 507、508 及 510 之寬度 W₃）。於某些情況下，低離子能量電漿處理可使用外延沈積工具及 Cl 基的化學（使用低離子能量電漿處理）以達成修整蝕刻。此蝕刻之一範例包

括：使用低能量含 C1 電漿、使用 200 mT、使用 10 sccm C12、使用 100 sccm H2、使用 300 sccm Ar、使用 500 W 的射頻能量、使用離子能量 2 eV、及蝕刻 20 秒，舉例而言。於某些情況下，熱處理可使用一種外延反應器，其係使用低熱處理以達成修整蝕刻。此蝕刻之一範例包括：使用外延反應器、使用 750 攝氏（C）、使用 100 sccm HCl、使用 10000 sccm H2、使用 20 T 及蝕刻 60 秒，舉例而言。

此等鰭 507、508 及 510 可被用以形成鰭裝置，包括在從半導體（例如，矽）基底或其他材料生長或者延伸於半導體（例如，矽）基底或其他材料之上的鰭之側壁中或上所形成的鰭積體電路（IC）電晶體、電阻、電容，等等。此等裝置可包括鰭金氧半導體（MOS）電晶體裝置，諸如那些根據 N 型（例如，摻雜以具有電子電荷載子）MOS 裝置（n-MOS）通道中之電子的移動及 P 型（例如，摻雜以具有電洞電荷載子）MOS 裝置（p-MOS）通道中之正電電洞的移動之互補金氧半導體（CMOS）中所使用的那些。

依據實施例，鰭 507、508 及 510 之頂部表面及側壁具有或維持如鰭 407、408 及 410 的相同原子晶格及晶體結構，但含有較鰭 407、408 及 410 更少的表面晶體缺陷、更少的離子損害、更少的氧化及更少的蝕刻殘餘。因此，於後續從鰭 507、508 及 510（例如，相較於鰭 407、408 及 410）之頂部表面及側壁所生長之包覆或沈積層的

晶體結構中，可能有較少的缺陷或者不想要的原子或材料。因此，從鰭 407、408 及 410 所生長之後續包覆或沈積層的晶體結構將包括缺陷，其係由於在從鰭 507、508 及 510 之生長時不會存在的矽鰭頂部及側壁表面之晶體結構中的缺陷或其上的額外材料。因此，避免或減少此離子損害、氧化表面及蝕刻殘餘會增加電晶體性能。

於某些情況下，使用較少能量、較低離子轟擊能量之蝕刻避免了當蝕刻期間移除原子時對於鰭之頂部表面及側壁的晶體結構之損害。此類型的蝕刻可提供具有已減少缺陷的晶格（例如，沒有由於用以從鰭 407 形成鰭 507 的蝕刻所致之缺陷）之乾淨的頂部及側壁表面之較窄鰭。此蝕刻可維持一存在鰭 407 之頂部及側壁表面底下的純晶格；可避免產生非晶化材料及避免鰭 507 之頂部及側壁表面上的空位或間隙原子，諸如藉由排除或避免其被視為「物理蝕刻」者，亦即，離子損害。例如，電漿中之氯離子可具有等於或小於 2 eV 之衝擊能量，其係化學地（而非物理地）蝕刻矽鰭並避免損害晶格。

熱處置可以是或者包括全化學、無電漿的蝕刻，其係使用 HCl 或 Cl₂（例如）於足夠高的溫度，其在當氯與那些矽原子互作用以形成 SiCl₄ 氣體（其接著於處置期間被排出室之外）時轉變表面上之矽原子，但並未使用足夠高以損害或非晶化已蝕刻鰭 507 之暴露表面的晶格之溫度。熱蝕刻可為或者包括無電漿之動態處置，且為少於攝氏 900 度。於某些情況下，於配方中並無物理濺射發生，而

氯係反應以形成 SiCl_4 氣體，其係蒸發自矽表面且被排出。

依據某些實施例，鰭 507、508 及 510 為具有形成於及自寬下鰭部 584 上之較窄上鰭部 582 的電子裝置鰭。該些上及下部可被形成自第一單晶材料 102 之基底 101。該些上及下部可被形成於第一頂部表面區域 111 底下。寬下鰭部 584 可具有寬的單晶頂部表面及寬的側壁，其寬度 W_1 係介於形成在第一頂部表面區域間的溝槽中之溝槽氧化物材料 417 的第一厚度 H_3 之間。較窄上鰭部 582 可具有較窄的單晶頂部表面及較窄的側壁，其具有寬度 W_3 且具有如寬單晶頂部表面及寬側壁之相同的單晶晶格。具有寬度 W_1 之寬單晶頂部表面及寬側壁可具有介於 5 nm 與 15 nm 之間的厚度，其係大於具有寬度 W_3 之較窄單晶頂部表面及較窄側壁的厚度。較窄上鰭部 582 可被暴露於溝槽中之溝槽氧化物材料 417 的第一厚度 H_3 上方。於某些情況下，部 584 可被描述為子通道。於某些情況下，部 582 為通道而因此可導通大部分的載子而部 584 將遠離閘極電極且將不是通道之部分。

依據某些實施例，圖 5 提供其中鰭被修整且未附加額外包覆層之實施例。於某些情況下，這些較窄鰭可被用以產生電晶體，其將由於窄鰭之較佳靜電（相對於具有寬鰭之等效裝置）而被改良。

圖 6 顯示圖 1 之半導體基底，在沈積第二單晶材料於較窄的已蝕刻鰭之已蝕刻頂部及側壁表面上以後。於某些

情況下，緊接著且不破壞處理室之真空，在蝕刻以形成鰭 507、508 及 510 之後，材料 620 之 SiGe 或 Ge 沈積被執行於基底 101 上（例如，於鰭 507、508 及 510 上），諸如圖 6 中所示者。於某些情況下，圖 6 顯示其沈積於已修整鰭 507、508 及 510 上之外延層 620。層 620 可為從頂部表面 503 上之材料 102 的單晶晶體結構以及從側壁 513 和 515 所生長的第二晶體結構。

圖 6 顯示基底 101，在沈積或生長單晶材料或層 620 於鰭 507、508 及 510 上以後。材料 620 可被外延地生長自或者於表面 503 及側壁 513 和 515 上。材料 620 可為在表面 503 及側壁 513 和 515 之上的厚度 TH2。材料 620 可被外延地生長為於表面 503 及側壁 513 和 515 上「空白」層。材料 620 可具有頂部表面 655 及側壁 666 和 676。表面 655 可為表面 413 之高度 H6。材料 620 可為相同於或不同於基底 101 之單晶材料 202 的單晶材料。於某些情況下，材料 202 為單晶矽，而材料 620 為單晶鍺。於某些情況下，材料 202 為單晶矽而材料 620 為具有介於百分之 30 與 70 之間的鍺百分比之單晶矽鍺。於某些情況下，鍺之百分比為介於 0 與 100%之間。於某些情況下，鍺之百分比為 10%、30%、50%、或 70%。

鰭 507、508 及 510 上之材料 620 可形成包覆鰭 680，其具有寬度 W4、表面 413 上方之高度 H6、及進入頁面之長度 L1（未顯示）。鰭 680 可被描述為具有矽鍺之側包覆層（例如，材料 620）的已蝕刻矽鰭。

於某些情況下，寬度 W_4 小於寬度 W_1 ，但大於寬度 W_3 。於某些情況下，寬度 W_4 大於寬度 W_1 。於某些情況下，寬度 W_4 小於或等於 20 nm 寬。於某些情況下，寬度 W_4 為 15 nm、18 nm、20 nm、22 nm、或 24 nm。

材料 620 可被形成於（生長自）並接觸材料 102 上（例如，表面 503 及側壁 513 和 515）。材料 620 可被形成至保角厚度（例如，增加頂部表面上之「高度」及側壁上之「寬度」的厚度）於鰭 507、508 及 510 之上。保角厚度 TH_2 可介於 1 與 5 奈米（nm）之間。於某些情況下，保角厚度 TH_2 係介於 1 與 10 奈米（nm）之間。於某些情況下，保角厚度 TH_2 係約為 2 nm。於某些情況下，保角厚度 TH_2 係約為 5 nm。依據某些實施例，形成材料 620 包括外延地包覆或生長材料 620 沿著、跨越、接觸或抵靠電子裝置鰭 507 之側壁表面及頂部表面。

材料 620 可藉由使用以下方式之外延生長而被形成：原子層外延（ALE）、化學氣相沈積（CVD）、金屬有機化學氣相沈積（MOCVD）或金屬有機氣相外延（MOVPE），並且僅可生長自材料 102 之「種子」頂部表面 503 及側壁 113 和 115，而非生長自氧化物 417。於某些情況下，材料 620 可藉由外延生長（例如，異質外延）而被形成。於某些情況下，材料 620 可藉由選擇性生長而被形成，諸如藉由 CVD 類型的生長、氣體源分子光束外延（GS-MBE）、快速熱（RT）CVD、或超高真空（UHV）-CVD。生長條件（諸如生長溫度、氣體通量之

壓力等等)的選擇可界定外延生長之選擇性。於某些情況下，材料 620 之生長係藉由以下方式而被選擇性地生長自材料 102：選擇或使用預定的生長溫度範圍、壓力、氣體通量範圍，等等(如已知者)，以供材料 620 生長自材料 102，但不生長自或起始於氧化物表面之材料上。

於某些情況下，材料 620 可為「裝置」層，諸如其上或其中形成有電路裝置的層上，如本技術中已知者。因此，形成自材料 620 之鰭可提供於其上或其中可形成無缺陷的鰭基裝置之電子裝置通道材料。

材料 620 可具有底部表面及側表面，該底部表面具有生長自表面 103 之(100)晶體定向材料，而該側表面具有沿著或鄰接於側壁 113 和 115 之(110)晶體定向材料。材料 620 可具有一底部表面，沿著表面 503 及側壁 513 和 515，其具有如那些表面之相同晶體定向。於某些情況下，表面 655 及側壁 666 和 676 具有如表面 503 及側壁 513 和 515 的相同晶體定向，諸如由於是生長自那些表面之材料。

於某些情況下，材料 620 可為「包覆」材料，其被「選擇性地」僅生長自所欲的單晶材料(例如，表面 503 及側壁 513 和 515)而非自其他多晶、電介質、氧化物、氮化物或非晶暴露材料(例如，其非為所欲的或非為單晶材料)。於某些情況下，「包覆」材料(例如，材料 620)可被「選擇性地」僅生長自所欲的單晶材料(例如，表面 503 及側壁 513 和 515)，藉由遮蔽或形成氧化

物層於其不想要有「包覆」材料形成或生長自該處的材料之上。

於某些情況下，材料 620 為選擇性地生長的外延層。於某些情況下，材料 102 為單晶 Si 材料；而材料 620 為單晶 SiGe 材料（例如，百分之 70 的 Si，及百分之 30 的 Ge）之層，諸如針對形成自鰭 680 之 P 型裝置。於某些情況下，材料 620 為單晶 SiGe 材料（例如，百分之 30 的 Si，及百分之 70 的 Ge）之層，諸如針對形成自鰭 680 之 P 型裝置。

於某些情況下，材料 620 為用於三閘極裝置之通道材料或層，其具有大部分沿著或通過材料 620 之通道導電電荷。此可包括大部分沿著或通過頂部表面 655 及側壁 666 和 676 之導電電荷。

鰭 680（例如，以材料 620 包覆）可被用以形成鰭裝置，包括在從半導體（例如，矽）基底或其他材料生長或者延伸於半導體（例如，矽）基底或其他材料之上的「鰭」之側壁中或上所形成的鰭積體電路（IC）電晶體、電阻、電容，等等。此等裝置可包括鰭金氧半導體（MOS）電晶體裝置，諸如那些根據 N 型（例如，摻雜以具有電子電荷載子）MOS 裝置（n-MOS）通道中之電子的移動及 P 型（例如，摻雜以具有電洞電荷載子）MOS 裝置（p-MOS）通道中之正電電洞的移動之互補金氧半導體（CMOS）中所使用的那些。

依據某些實施例，鰭 680 藉由將壓縮應變提供給通道

體以進一步增加 p 通道（例如，由鰭 680 所形成之 PMOS 裝置的通道）中之電洞（例如，載子）的移動率，因為 Si 材料 102 之晶格間隔（例如，於表面 503 及側壁 513 和 515 之上）係小於生長自或接觸那些表面之 SiGe 或 Ge 材料 620 的晶格間隔。此造成材料 620 中之壓縮應變，其中大部分載子流經通道。於某些情況下，材料 620 具有至少 10% 銻；至少 30% 銻；介於 30% 與 50% 之間的銻；介於 30% 與 100% 之間的銻；或介於 50% 與 100% 之間的銻。於某些情況下，通道中之大部分載子位於包覆 620 之外表面或外邊緣上。於某些情況下，通道中之大部分載子位於包覆 620 之內表面或內邊緣上。

具有寬度 W3 之矽或寬度 W4 之材料 620 的鰭之優點包括其此等減少寬度的鰭使得易於藉由施加閘極偏壓以電子地反轉通道並減少載子洩漏（當閘極未被偏壓時）。此係相反於較寬的鰭（例如，鰭 107），其可能具有比較窄的鰭更差的電子性質。

於某些實施例中，用以形成鰭 107、407、507 及 680 之設備可包括來自其被組態成一種系統之供應器的設備，該系統包括具有真空密封環境之多個室和容器、及一用以移動晶圓於各個室之間的機器人。文中之「原位」（in-situ）方法可包括保持或維持基底 101 及鰭於這些容器內或者於此真空環境（例如，系統）內，以致基底及鰭不會暴露至空氣，雖然其可能被移入系統之不同室內，諸如藉由被移動至相同設備組之室而不破壞該些室之真空密封、

或者在基底移動於該些室之間期間無「空氣斷路」(air break)。

圖 7 是圖 1 之半導體基底的概略透視圖，在形成閘極電子裝置於其形成於較窄的已蝕刻鰭之一的已蝕刻頂部及側壁表面上之第二單晶材料上以後。圖 7 顯示橫斷面剖視圖透視 A-A，其可為圖 1-6 之透視圖。圖 7 概略地闡明電晶體裝置 700 之透視圖，依據某些實施例。

圖 7 顯示基底 101，在較窄的已蝕刻鰭 507、508 及 510 之表面 503 及側壁 513 和 515 上所形成的材料 620 上形成電子裝置 700 以後。裝置 700 可具有其為或者包括鰭 680 之窄通道 702。鰭 680 具有長度 L1、寬度 W4 及高度 H6 於表面 413 或 523 之上。窄通道 702 可具有頂部表面 655 及側壁 666 和 676。閘極電介質(未顯示)可被形成於閘極 701 底下的表面 655 及側壁 666 和 676 之上，間隔物 706 可被形成於閘極 701 之上或旁邊。遮罩 708 可被形成於閘極 701 之頂部表面上。遮罩 708 可為硬遮罩，其可被移除以形成金屬閘極接點。裝置 700 包括鰭 680 且可被形成於材料 417 上。於某些情況下，裝置 700 為形成自包覆電子裝置鰭 680 之 PMOS 裝置，其中該 PMOS 裝置包括第二單晶材料 620 上之閘極 701；以及於兩側上並鄰接該閘極且於該第二單晶材料中之接面區(未顯示)。

依據某些實施例，圖 7 概略地闡明電晶體裝置 700 之透視圖，依據某些實施例。於某些實施例中，電晶體裝置 700 包括半導體基底 101、包括由 SiGe 合金所組成之部分

（於下文中稱為「SiGe 材料 620」）及由 Si 所組成之部分（於下文中稱為「Si 鰭 507」）的鰭結構 680、電絕緣材料 417、包括閘極電介質（未顯示，但介於閘極 701 與表面 655 及側壁 666 和 676 之間）及閘極 701，其係耦合如圖所示。

電晶體裝置 700 可代表電晶體或電晶體之部分，於各個實施例中。例如，鰭結構 680 可延伸沿著半導體基底 101 之表面（例如，通過閘極 701 之材料）。源極和汲極（未顯示）可被形成於其由閘極 701 所分離之鰭結構 680 的部分 710 及 711 之上或之中，以提供用於其可流經形成自鰭結構 680 之通道體的移動電荷載子（例如，電洞或電子）之源極和汲極。閘極 701 可（例如）組態成藉由施加臨限電壓至閘極 701 以控制移動電荷載子之流動通過通道體。通道體可包括其形成自半導體基底 101 之矽的鰭結構 680 之部分。於某些實施例中，通道體可包括鰭結構 680 之 SiGe 材料 620 之部分且可被配置於源極與汲極之間的閘極區中。

半導體基底 101 可由矽所組成，於某些實施例中。例如，半導體基底 101 可包括 n 型或 p 型（100）偏導向矽，半導體基底 101 之晶體方向係由慣例（xyz）之符號表示，其中 x、y 及 z 代表彼此垂直之三維中的個別結晶平面。半導體基底 101 可（例如）包括（100）方向偏切的材料，於朝向（110）方向的約 2 度至約 8 度之間的範圍中。可使用其他偏切導向或者無偏切導向之其他半導體

基底 101。半導體基底 101 可具有約 $1 \Omega\text{-cm}$ 至約 $50 \text{ k}\Omega\text{-cm}$ 之高電阻率。半導體基底 101 可包括其他材料於其他實施例中。於某些實施例中，半導體基底 101 為晶圓之單切晶粒的部分。於一實施例中，半導體基底為 p 型基底。

依據各個實施例，鰭結構 680 之 SiGe 材料 620 可藉由下列方式而被形成：蝕刻鰭 407（或 107）以形成較窄的鰭 507 並使用文中所述之技術以沈積諸如（例如）材料 620 之電晶體元件。於某些實施例中，僅有鰭結構 680 之一部分被覆蓋以材料 620。鰭結構 680 之矽鰭 507 可由無缺陷的單晶所組成，於某些實施例中。於其他實施例中，大部分或所有電晶體元件（例如，鰭結構 680）可被覆蓋以材料 620。

電晶體裝置 700 可為 p 型或 n 型。使用 SiGe 材料 620 所形成之通道體可提供移動電荷載子之較大的移動率給 p 型。例如，增加通道體中之鍺（Ge）的濃度可藉由材料之本質而增加電子或電洞之移動率。第二機制藉由提供壓縮應變至通道體以造成 p 通道（例如，PMOS 裝置之通道）中之電洞的移動率之進一步增加，因為矽材料 102 之晶格間隔小於 SiGe 或 Ge 材料 620 之晶格間隔，因此造成材料 620 中之壓縮應變，其中大多數載子流經通道。

SiGe 材料 620 之壓縮應變將減少 n 通道（例如，NMOS 裝置之通道）之電子的移動率。因此，增加 n 通道中之 Ge 的濃度可導致針對電子之極少至無移動率增進。於一實施例中，電晶體裝置 700 為 p 型（例如，PMOS 裝

置)。PMOS 裝置可具有其被摻雜 n 型的 p 通道而 NMOS 裝置可具有其被摻雜 p 型之 n 通道。

電絕緣材料 417 可被沈積於半導體基底 101 上並可鄰接結構 680，如圖所見。電絕緣材料 417 可包括用於淺溝槽隔離 (STI) 之任何適當的材料。於某些實施例中，電絕緣材料 417 可包括已知其在積體電路結構中之可應用性的電介質材料，諸如低 k 電介質材料。可被使用之電介質材料的範例包括 (但不限定於) 氧化矽、碳摻雜的氧化物 (CDO)、氮化矽、有機聚合物 (諸如全氟環丁烷或聚四氟乙烯)、氟矽酸鹽玻璃 (FSG)、及有機矽酸鹽 (諸如半矽氧烷、矽氧烷、或有機矽酸鹽玻璃)。

閘極電介質 (未顯示，但介於閘極 701 與表面 655 及側壁 666 和 676 之間) 可被形成於通道體上並可由諸如二氧化矽 (SiO_2) 等材料或高 k 材料所組成。可用以形成閘極電介質 (未顯示，但介於閘極 701 與表面 655 及側壁 666 和 676 之間) 之高 k 材料的範例包括 (但不限定於) 氧化鉛、氧化鉛矽、氧化鏷、氧化鏷鋁、氧化鋯、氧化鋯矽、氧化鈮、氧化鈮、氧化鋇鋁、氧化鋇鋁、氧化鋇鋁、氧化鋇、氧化鋇、氧化鋁、氧化鉛鈳鈮、及鋳酸鉛鋅。於某些實施例中，退火程序可被執行於閘極電介質 (未顯示，但介於閘極 701 與表面 655 及側壁 666 和 676 之間) 上以增進其品質，當使用高 k 材料時。於某些實施例中，閘極電介質 (未顯示，但介於閘極 701 與表面 655 及側壁 666 和 676 之間) 可包括虛擬氧化物，其被後續地移除於製程流

中，連同虛擬閘極電極且取代以高 k 電介質及金屬閘極，依據熟知的技術。

閘極 701 可被形成於閘極電介質（未顯示，但介於閘極 701 與表面 655 及側壁 666 和 676 之間）上並可由至少一 p 型工作函數金屬或 n 型工作函數金屬所組成，取決於電晶體是否為 PMOS（例如，p 型）或 NMOS（例如，n 型）電晶體。於某些實施例中，閘極 701 可包括二或更多金屬層，其中至少一金屬層為工作函數金屬層且至少一金屬層為填充金屬層。於某些實施例中，閘極 701 為多晶矽閘極電極。於其他實施例中，閘極 701 為虛擬多晶矽閘極電極，其被後續地移除於製程流中且被取代以金屬閘極電極，依據熟知的技術。

針對 PMOS 電晶體，其可用於閘極電極之金屬包括（但不限定於）鈦、鈮、鉑、鈷、鎳、及導電金屬氧化物，例如，氧化鈦。P 型金屬層可致能一種具有介於約 4.9 eV 與約 5.2 eV 間之工作函數的 PMOS 閘極電極之形成。針對 NMOS 電晶體，可用於閘極 701 之金屬包括（但不限定於）鉛、銦、鈦、鉭、鋁、這些金屬之合金、及這些金屬之碳化物，諸如碳化鉛、碳化銦、碳化鈦、碳化鉭、及碳化鋁。n 型金屬層可致能一種具有介於約 3.9 eV 與約 4.2 eV 間之工作函數的 NMOS 閘極電極之形成。

於某些實施例中，一對間隔物 706 可圍住閘極 701。例如，間隔物可被配置於閘極 701 之相反表面上。間隔物可被形成自一種材料，諸如氮化矽、氧化矽、碳化矽、摻

雜碳之氮化矽及氧氮化矽。用以形成間隔物之製程通常可包括沈積和蝕刻製程及/或其他眾所周知的技術。

圖 7 之電晶體裝置 700 描繪一種三閘極組態。於其他實施例中，如文中所述用以將電晶體元件從 Si 轉換至 SiGe 之類似原理及技術可被用於其他電晶體組態，包括（例如）平坦、雙閘極、環繞閘極（AAG）（亦稱為環繞式閘極）、佈線（例如，奈米線）、及其他適當的電晶體組態。

圖 8 是範例製程，用以形成閘極電子裝置於其形成於較窄的已蝕刻電子裝置鰭之較窄的已蝕刻單晶頂部及側壁表面上之第二單晶材料上。圖 8 可顯示用以形成鰭 507、508 及 510 之製程 800。於某些情況下，製程 800 為一種執行包覆鰭 680 之製程。於某些情況下，製程 800 是或者包括一種用以形成裝置 700 之製程的部分。

圖 8 顯示製程 800 開始於區塊 810，其中（於某些可選的情況下）硬遮罩圖案被形成於其中希望有電子裝置鰭之頂部表面的單晶基底的第一頂部表面區域上。此可包括形成遮罩 160 於區域 111 上，如文中所述者。區塊 810 可包括針對圖 1 之文中的描述。

於區塊 820，於某些可選的情況下，介於第一頂部表面區域之間的基底之第二頂部表面區域的厚度被蝕刻以形成電子裝置鰭之單晶側壁及形成溝槽於該些第一頂部表面區域之間。此可包括形成溝槽 105 和 106；及側壁 113 和 115，如文中所述者。區塊 820 可包括針對圖 2 之文中的

描述。於區塊 820 上之蝕刻可被描述為「第一」蝕刻（例如，用以形成較厚鰭），諸如其中於圖 5（或區塊 850）上之蝕刻被視為用以形成較窄鰭之「第二」蝕刻（例如，在第一蝕刻之後）。

於區塊 835 上，於某些可選的情況下，溝槽氧化物材料之厚度被沈積於溝槽中以及於遮罩之上。此可包括沈積材料 307，如文中所述者。區塊 835 可包括針對圖 3 之文中的描述。

於區塊 840 上，於某些可選的情況下，溝槽氧化物材料之厚度及硬遮罩被向下拋光以形成電子裝置鰭之頂部表面。此可包括移除材料 370 之厚度及硬遮罩 160 以暴露表面 403，如文中所述者。此可包括移除所有硬遮罩 160（例如，區塊 810 的），如文中所述者。區塊 840 可包括針對圖 4 之文中的描述。

於區塊 845 上，於某些可選的情況下，溝槽中的溝槽氧化物材料之厚度被蝕刻以暴露電子裝置鰭之單晶側壁；以及形成電子裝置鰭之頂部表面下方的溝槽氧化物之頂部表面。此可包括向下蝕刻溝槽 105 和 106 中之材料 307 的厚度至表面 413 以形成溝槽氧化物 417；暴露電子裝置鰭之單晶側壁 113 和 115；及形成電子裝置鰭之頂部表面 403 下方的溝槽氧化物之頂部表面 413，如文中所述者。區塊 845 可包括針對圖 3 之文中的描述。於區塊 845 上之蝕刻可被描述為「第一」蝕刻（例如，用以形成較厚鰭），諸如其中於圖 5（或區塊 850）上之蝕刻被視為用

以形成較窄鰭之「第二」蝕刻（例如，在第一蝕刻之後）。

於區塊 850 上，電子裝置鰭之頂部表面及側壁被（例如，同時地）蝕刻以形成電子裝置已蝕刻鰭之單晶無缺陷的已蝕刻頂部表面及已蝕刻側壁。此可包括蝕刻以移除電子裝置鰭之頂部表面及側壁的介於 5 nm 與 15 nm 之間的厚度。此可包括同時地蝕刻電子裝置鰭 407 和 408 之頂部表面 403 及側壁 113 和 115（例如，同時地）以形成較窄電子裝置鰭 507 和 508 之單晶無缺陷的已蝕刻頂部表面 503 及側壁 513 和 515，如文中所述者。區塊 850 可包括針對圖 5 之文中的描述。區塊 850 可包括蝕刻電子裝置鰭之頂部表面及側壁以形成較窄的已蝕刻電子裝置鰭之較窄的已蝕刻單晶頂部表面及側壁。於某些情況下，區塊 850 包括維持（例如，不產生缺陷於）已蝕刻頂部表面 503 及側壁 513 和 515 之裝置鰭的頂部及側壁表面之單晶結構。用以形成鰭 507 及 508 之蝕刻可被描述為「第二」蝕刻（例如，用以形成較窄鰭），諸如其中於圖 2 或 4（或區塊 820 或 845）上之蝕刻被視為用以形成較窄鰭之「第一」蝕刻（例如，在第二蝕刻之前）。

於某些情況下，區塊 850 包括使用下列之一者以蝕刻電子裝置鰭之頂部表面及側壁：（1）使用低離子能量電漿處理之氟基的化學、或（2）熱處理。於某些情況下，蝕刻電子裝置鰭之頂部表面及側壁包括藉由修整從大於 10 至 30 nm 之裝置鰭的寬度到小於 7 nm 至 15 nm 之已蝕

刻鰭的寬度來形成已蝕刻鰭。

於區塊 860 上，於某些可選的情況下，第二單晶材料被沈積於或生長自己蝕刻窄鰭（例如，區塊 850 的）之頂部及側壁表面上。此可包括第二單晶材料被沈積或生長，而在區塊 850 中蝕刻電子裝置鰭之頂部表面及側壁以後，不破壞處理室之真空。第二單晶材料可具有不同於（例如，大於）第一單晶鰭材料之晶格間隔的晶格間隔。此可包括（在蝕刻以形成較窄鰭 507 和 508 之後不破壞處理室之真空）沈積第二單晶材料 620 於已蝕刻較窄鰭之頂部表面 503 及側壁 513 和 515 上，其中第二單晶材料具有不同於第一單晶鰭材料之晶格間隔的晶格間隔，如文中所述者。區塊 860 可包括針對圖 6 之文中的描述。

於區塊 870 上，於某些情況下，閘極被形成於第二單晶材料之上，且接面區被形成於鄰近且位於閘極之任一側上的第二單晶材料中。此可包括形成閘極 701 於第二單晶材料 620 之上，及形成接面區於第二單晶材料 620 中，如文中所述者。此可包括形成鰭結構 680 之 SiGe 材料 620 的包覆，可藉由下列方式而被形成：蝕刻鰭 407（或 107）以形成較窄的矽鰭 507 並沈積諸如（例如）材料 620 之電晶體元件，如文中所述者。此可包括形成裝置 700 之部分或所有，如文中所述者。區塊 870 可包括針對圖 7 之文中的描述。

因此，文中所述之製程可避免或減少矽鰭表面上之高能離子轟擊、氧化及蝕刻殘餘，其會損害後續包覆或沈

積層之品質。因此，由於矽鰭頂部及側壁表面之晶體結構中的缺陷或其上的額外材料，後續包覆或沈積層生長之晶體結構將不包括缺陷。生長可提供其中可形成無缺陷的鰭基裝置及電晶體之電子裝置材料（例如，井及/或通道）。因此，避免或減少此轟擊、氧化及殘餘會增加電晶體性能。

此等電晶體可包括 finfets、Ge 包覆、SiGe 通道、SiGe 包覆、三閘極電晶體。此等電晶體可由高量架構來產生且可被實施以高量所製造之電腦系統架構特徵及介面。此等電晶體可被包括於或形成以超大型積體電路（VLSI）邏輯製程。

圖 9 闡明一計算裝置 900，依據一實施方式。計算裝置 900 含有電路板 902。電路板 902 可包括數個組件，包括（但不限定於）處理器 904 及至少一通訊晶片 906。處理器 904 被實體地及電氣地連接至電路板 902。於某些實施方式中，至少一通訊晶片 906 亦被實體地及電氣地連接至電路板 902。於進一步實施方式中，通訊晶片 906 為處理器 904 之部分。

根據其應用，計算裝置 900 可包括其他組件，其可被或可不被實體地及電氣地連接至電路板 902。這些其他組件包括（但不限定於）揮發性記憶體（例如，DRAM）、非揮發性記憶體（例如，ROM）、快閃記憶體、圖形處理器、數位信號處理器、密碼處理器、晶片組、天線、顯示、觸控螢幕顯示、觸控螢幕控制器、電池、音頻編碼解

碼器、視頻編碼解碼器、功率放大器、全球定位系統（GPS）裝置、羅盤、加速計、迴轉儀、揚聲器、相機、及大量儲存裝置（諸如硬碟機、光碟（CD）、數位光碟（DVD），等等）。

通訊晶片 906 致能無線通訊，以供資料之轉移至及自計算裝置 900。術語「無線」及其衍生詞可被用以描述電路、裝置、系統、方法、技術、通訊頻道，等等，其可藉由使用透過非固體媒體之經調變的電磁輻射來傳遞資料。該術語並未暗示其相關裝置不含有任何佈線，雖然於某些實施例中其可能不含有。通訊晶片 906 可實施數種無線標準或協定之任一者，包括（但不限定於）Wi-Fi（IEEE 802.11 家族）、WiMAX（IEEE 802.16 家族）、IEEE 802.20、長期演進技術（LTE）、Ev-DO、HSPA+、HSDPA+、HSUPA+、EDGE、GSM、GPRS、CDMA、TDMA、DECT、藍牙、其衍生物，以及其被指定為 3G、4G、5G、及以下的任何其他無線協定。計算裝置 900 可包括複數通訊晶片 906。例如，第一通訊晶片 906 可專用於較短距離無線通訊，諸如 Wi-Fi 及藍牙；而第二通訊晶片 906 可專用於較長距離無線通訊，諸如 GPS、EDGE、GPRS、CDMA、WiMAX、LTE、Ev-DO 及其他。

計算裝置 900 之處理器 904 包括封裝於處理器 904 內之積體電路晶粒。於某些實施方式中，積體電路晶粒包括其藉由外延地生長第二晶體材料 620 於已蝕刻的、薄化的第一晶體材料 610（例如，507、508 及 510）之表面上所形

成的電晶體，該第一晶體材料鰭係藉由蝕刻第一晶體材料之較寬的鰭所形成，諸如參考圖 1-8 所描述者。於某些實施方式中，積體電路晶粒包括具有形成於且形成自寬的下鰭部 584 上之較窄的上鰭部 582 之電子裝置鰭，諸如參考圖 1-8 所描述者。術語「處理器」可指稱任何裝置或裝置之部分，其處理來自暫存器及/或記憶體之電子資料以將該電子資料轉變為其可被儲存於暫存器及/或記憶體中之其他電子資料。

通訊晶片 906 亦包括封裝於通訊晶片 906 內之積體電路晶粒。依據另一實施方式，一種包括通訊晶片之封裝係結合一或更多具有電晶體之鰭裝置，該些電晶體係藉由外延地生長第二晶體材料於已蝕刻的、薄化的第一晶體材料鰭之表面上來形成，該些第一晶體材料鰭係藉由蝕刻諸如上述的第一晶體材料之較寬鰭來形成。於進一步實施方式中，安裝於計算裝置 900 內之另一組件可含有微電子封裝，其包括具有諸如上述的包覆裝置層之鰭裝置。

於各種實施方式中，計算裝置 900 可為膝上型電腦、小筆電、筆記型電腦、輕薄型筆電、智慧型手機、輸入板、個人數位助理（PDA）、超輕行動 PC、行動電話、桌上型電腦、伺服器、印表機、掃描器、監視器、機上盒、娛樂控制單元、數位相機、可攜式音樂播放器、或數位錄影機。於進一步實施方式中，計算裝置 900 可為處理資料之任何其他電子裝置。

裝置

下列範例係有關於實施例。

範例 1 為一種用以形成電子裝置鰭之方法，包含：蝕刻掉介於第一單晶材料之基底的第一頂部表面區域之間的基底之厚度以形成在該些第一頂部表面區域底下之寬電子裝置鰭並形成介於該些第一頂部表面區域間之溝槽，該些寬電子裝置鰭具有寬單晶頂部表面及寬側壁；接著形成溝槽氧化物材料之第一厚度於該些溝槽中以及於該些第一頂部表面區域底下；及接著蝕刻該寬電子裝置鰭之該些寬單晶頂部表面及該些寬側壁之厚度以從該些寬鰭形成較窄的電子裝置鰭，該些較窄的電子裝置鰭具有與該些寬單晶頂部表面及該些寬側壁相同單晶晶格的較窄單晶頂部表面及較窄側壁，其中蝕刻該些寬單晶頂部表面及該些寬側壁之厚度包括移除該些寬單晶頂部表面及該些寬側壁之介於 1 nm 與 15 nm 間的厚度。

於範例 2 中，範例 1 之請求標的可選擇性地進一步包含：在蝕刻該些寬單晶頂部表面及該些寬側壁之厚度後，不破壞處理室之真空，沈積第二單晶材料於薄化的頂部表面及薄化的側壁上以形成包覆電子裝置鰭，其中該第二單晶材料具有不同於該第一單晶材料之晶格間隔的晶格間隔。

於範例 3 中，範例 1 之請求標的可選擇性地進一步包含：在蝕刻掉該基底之該厚度前，形成硬遮罩圖案於其中希望有該電子裝置鰭之頂部表面的該單晶基底之該些第一

頂部表面區域上；接著在蝕刻掉該基底之該厚度後，移除該些硬遮罩；接著沈積溝槽氧化物材料之第二厚度於其藉由蝕刻掉介於該些第一頂部表面區域間之該基底的該厚度所形成的該些溝槽中；接著拋光以移除該些第一頂部表面區域上方之該溝槽氧化物材料的第三厚度；接著在蝕刻該些寬單晶頂部表面及該些寬側壁之該厚度前，蝕刻掉該些溝槽中之該溝槽氧化物材料的第四厚度以暴露該些寬電子裝置鱗之該些寬單晶側壁並形成溝槽氧化物材料之該第一厚度。

於範例 4 中，範例 1 之請求標的可選擇性地包括其中蝕刻該些寬單晶頂部表面及該些寬側壁包含於該些較窄單晶頂部表面及較窄側壁中維持該些寬單晶頂部表面及該些寬側壁之單晶晶格結構。

於範例 5 中，範例 1 之請求標的可選擇性地包括其中蝕刻該些寬單晶頂部表面及該些寬側壁包含下列之一：
(1) 使用低離子能量電漿處理以使用氟基的化學來蝕刻、或 (2) 使用熱處理來蝕刻。

於範例 6 中，範例 1 之請求標的可選擇性地包括其中蝕刻該些寬單晶頂部表面及該些寬側壁包含使用氟基的化學及使用少於 5 kW 的射頻能量來蝕刻介於 10 與 40 秒之間。

於範例 7 中，範例 1 之請求標的可選擇性地包括其中蝕刻該些寬單晶頂部表面及該些寬側壁包含使用氟基的化學及使用少於 1 kW 的射頻能量來蝕刻介於 10 與 40 秒之

間。

於範例 8 中，範例 1 之請求標的可選擇性地包括其中蝕刻該些寬單晶頂部表面及該些寬側壁包含在 HCl 之存在下使用熱處理及使用少於攝氏 900 度的熱於外延沈積室中蝕刻介於 30 與 120 秒之間。

於範例 9 中，範例 1 之請求標的可選擇性地包括其中蝕刻該些寬單晶頂部表面及該些寬側壁包含在 Cl₂ 之存在下使用熱處理及使用少於攝氏 700 度的熱於外延沈積室中蝕刻介於 30 與 120 秒之間。

於範例 10 中，範例 1 之請求標的可選擇性地包括其中蝕刻該些寬單晶頂部表面及該些寬側壁之該厚度包括下列之一：(1) 移除該些寬單晶頂部表面及該些寬側壁之介於 8 與 10 nm 間的厚度，或者 (2) 藉由修整從大於 10 至 30 nm 之該些寬鰭的寬度到小於 7 nm 至 15 nm 之該些較窄鰭的寬度來形成該些已蝕刻鰭。

於範例 11 中，範例 1 之請求標的可選擇性地進一步包含：在蝕刻該些寬單晶頂部表面及該些寬側壁之該厚度後，不破壞處理室之真空，沈積第二單晶材料於該些薄化的頂部表面及薄化的側壁上以形成包覆電子裝置鰭，其中該第二單晶材料具有不同於該第一單晶材料之晶格間隔的晶格間隔。

於範例 12 中，範例 11 之請求標的可選擇性地包括其中該第一單晶材料為矽而該第二單晶材料為矽鍺，及其中沈積該第二單晶材料包含沈積該第二單晶材料之介於 5

nm 與 15 nm 間的厚度於該些薄化的頂部表面及薄化的側壁上。

於範例 13 中，範例 11 之請求標的可選擇性地包括其中包覆電子裝置鰭之寬度等於或小於 20 nm 寬。

於範例 14 中，範例 11 之請求標的可選擇性地進一步包含從該些包覆電子裝置鰭形成 PMOS 裝置，其中形成該 PMOS 裝置包含：形成閘極於該第二單晶材料上；及鄰接於該閘極且以該第二單晶材料形成接面區。

範例 15 為一種電子裝置鰭，包含：形成於且自寬下鰭部上之較窄上鰭部，該些上和下部係形成自第一單晶材料之基底，該些上和下部係形成於該基底之第一頂部表面區域底下；該寬下鰭部具有寬單晶頂部表面及寬側壁於該些第一頂部表面區域間所形成的溝槽中之溝槽氧化物材料的第一厚度之間；及該較窄上鰭部具有與該些寬單晶頂部表面及該些寬側壁相同單晶晶格的較窄單晶頂部表面及較窄側壁，其中該些寬單晶頂部表面及該些寬側壁具有大於該些較窄單晶頂部表面及較窄側壁之厚度的介於 1 nm 與 15 nm 間的厚度，該較窄上鰭部暴露於該些溝槽中之溝槽氧化物材料的該第一厚度上方。

於範例 16 中，範例 15 之請求標的可選擇性地包括其中該些較窄頂部表面及較窄側壁係維持該些寬單晶頂部表面及該些寬側壁之單晶晶格結構。

於範例 17 中，範例 15 之請求標的可選擇性地包括其中該些寬頂部表面及該些寬側壁之厚度較該些較窄單晶頂

部表面及該些較窄側壁之厚度更寬 8 nm 與 10 nm 之間。

於範例 18 中，範例 15 之請求標的可選擇性地包括其中該些寬頂部表面及該些寬側壁之厚度係介於 10 nm 與 30 nm 之間，而該些較窄單晶頂部表面及該些較窄側壁之厚度係介於 7 nm 與 15 nm 之間。

於範例 19 中，範例 15 之請求標的可選擇性地進一步包含：第二單晶材料於該些薄化的頂部表面及薄化的側壁上以形成包覆電子裝置鰭，其中該第二單晶材料具有不同於該第一單晶材料之晶格間隔的晶格間隔。

於範例 20 中，範例 19 之請求標的可選擇性地包括其中該第一單晶材料為矽而該第二單晶材料為矽鍺，及其中該第二單晶材料包含該第二單晶材料之介於 5 nm 與 15 nm 間的厚度於該些薄化的頂部表面及該些薄化的側壁上。

於範例 21 中，範例 16 之請求標的可選擇性地包括其中包覆電子裝置鰭之寬度等於或小於 20 nm 寬。

於範例 22 中，範例 19 之請求標的可選擇性地進一步包含形成自該些包覆電子裝置鰭之 PMOS 裝置，其中該 PMOS 裝置包含：於該第二單晶材料上之閘極；及鄰接於該閘極且以該第二單晶材料之接面區。

範例 23 為一種用以計算之系統，包含耦合至記憶體之微處理器，該微處理器具有至少一電子裝置鰭，其具有：形成於且自寬下鰭部上之較窄上鰭部，該些上和下部係形成自第一單晶材料之基底，該些上和下部係形成於該

基底之第一頂部表面區域底下；該寬下鰭部具有寬單晶頂部表面及寬側壁於該些第一頂部表面區域間所形成的溝槽中之溝槽氧化物材料的第一厚度之間；及該較窄上鰭部具有與該些寬單晶頂部表面及該些寬側壁相同單晶晶格的較窄單晶頂部表面及較窄側壁，其中該些寬單晶頂部表面及該些寬側壁具有大於該些較窄單晶頂部表面及較窄側壁之厚度的介於 1 nm 與 15 nm 間的厚度，該較窄上鰭部暴露於該些溝槽中之溝槽氧化物材料的該第一厚度上方。

於範例 24 中，範例 23 之請求標的可選擇性地包括其中較窄頂部表面及該些較窄側壁係維持該些寬單晶頂部表面及寬側壁之該單晶晶格結構；選擇性地進一步包含：第二單晶材料於該些薄化的頂部表面及薄化的側壁上以形成包覆電子裝置鰭，其中該第二單晶材料具有不同於該第一單晶材料之晶格間隔的晶格間隔。

範例 25 為一種包含用以執行申請專利範圍第 1 至 14 項的任一項之方法的機構之設備。

於以上說明中，為了解釋之目的，已提出數個特定細節以提供實施例之透徹瞭解。然而，熟悉此項技術人士將清楚一或更多其他實施例可被實施而無這些特定細節。所述之特定實施例不是被提供來限制本發明之實施例而是來闡明本發明之實施例。本發明之實施例的範圍並非由以上所提供的特定範例來決定而僅由底下的申請專利範圍來決定。於其他例子中，眾所周知的結構、裝置、及操作已被顯示於方塊圖形式或者無細節地，以避免妨礙對描述之瞭

解。在適當情況下，參考數字或參考數字之末端部已被重複於圖形中以指示相應的或類似的元件，其可選擇性地具有類似的特性。

亦應理解其涵蓋本說明書對於「一實施例」、「一個實施例」、「一或更多實施例」、或「不同實施例」（例如）之參考係表示特定特徵可被包括於實施例之實行中。類似地，應理解於說明書中各個特徵有時被組合在一起於單一實施例、圖形、或其描述中，以供解釋本發明及協助瞭解實施例之各個發明性形態的目的。然而，本發明之方法不應被解讀為反應一需要比各申請專利範圍中所明確記載之更多特徵的實施例。反之，如以下申請專利範圍所反應者，實施例之發明性形態可在於比單一所揭露實施例之所有特徵更少的特徵。例如，雖然以上說明及圖形係描述形成矽之鰭 507 及鍺或矽鍺之鰭 680，但以上說明及圖形可應用於形成其他材料之鰭 507 和 680，諸如形成 InP 或 InAlAs 之鰭 507 及 InAlAs 或 InGaAs 之鰭 680。因此，接續著實施方式之申請專利範圍於此被清楚地併入此實施方式中，以各項申請專利範圍本身可獨立成為本發明之一分離的實施例。

【符號說明】

101：基底

102：材料

103：表面

105, 106 : 溝槽
107, 108, 110 : 電子裝置鰭
111 : 區域
113, 115 : 單晶側壁
116, 117 : 頂部表面
119 : 區域
160 : 遮罩
166, 170 : 側壁
203 : 表面
303 : 表面
307 : 溝槽氧化物材料
403 : 頂部表面
407, 408, 410 : 鰭
413 : 頂部表面
417 : 材料
503 : 頂部表面
507, 508, 510 : 鰭
513, 515 : 側壁
523 : 表面
582 : 較窄上鰭部
584 : 寬下鰭部
620 : 材料
655 : 頂部表面
666, 676 : 側壁

680：包覆鱗

700：電晶體裝置

701：閘極

702：窄通道

706：間隔物

708：遮罩

710, 711：部分

900：計算裝置

902：主機板

904：處理器

906：通訊晶片

申請專利範圍

1. 一種用以形成電子裝置鰭之方法，包含：

蝕刻掉介於第一單晶材料之基底的第一頂部表面區域之間的基底之厚度以形成在該些第一頂部表面區域底下之寬電子裝置鰭並形成介於該些第一頂部表面區域間之溝槽，該些寬電子裝置鰭具有寬單晶頂部表面及寬側壁；接著

形成溝槽氧化物材料之第一厚度於該些溝槽中以及於該些第一頂部表面區域底下；及接著

蝕刻該些寬電子裝置鰭之該些寬單晶頂部表面及該些寬側壁之厚度以從該些寬電子裝置鰭形成較窄的電子裝置鰭，該些較窄的電子裝置鰭具有與該些寬單晶頂部表面及該些寬側壁相同單晶晶格的較窄單晶頂部表面及較窄側壁，其中蝕刻該些寬單晶頂部表面及該些寬側壁之該厚度包括移除該些寬單晶頂部表面及該些寬側壁之介於 1 nm 與 15 nm 間的厚度。

2. 如申請專利範圍第 1 項之方法，進一步包含：

在蝕刻該些寬單晶頂部表面及該些寬側壁之厚度後，不破壞處理室之真空，沈積第二單晶材料於薄化的頂部表面及薄化的側壁上以形成包覆電子裝置鰭，其中該第二單晶材料具有不同於該第一單晶材料之晶格間隔的晶格間隔。

3. 如申請專利範圍第 1 項之方法，進一步包含：

在蝕刻掉該基底之該厚度前，形成硬遮罩圖案於其中

希望有該些寬電子裝置鰭之頂部表面的該第一單晶材料之該基底之該些第一頂部表面區域上；接著

在蝕刻掉該基底之該厚度後，移除該些硬遮罩；接著沈積溝槽氧化物材料之第二厚度於其藉由蝕刻掉介於該些第一頂部表面區域間之該基底的該厚度所形成的該些溝槽中；接著

拋光以移除該些第一頂部表面區域上方之該溝槽氧化物材料的第三厚度；及接著

在蝕刻該些寬單晶頂部表面及該些寬側壁之該厚度前，蝕刻掉該些溝槽中之該溝槽氧化物材料的第四厚度以暴露該些寬電子裝置鰭之該些寬單晶側壁並形成溝槽氧化物材料之該第一厚度。

4. 如申請專利範圍第 1 項之方法，其中蝕刻該些寬頂部表面及該些寬側壁包含於該些較窄單晶頂部表面及較窄側壁中維持該些寬頂部表面及該些寬側壁之單晶晶格結構。

5. 如申請專利範圍第 1 項之方法，其中蝕刻該些寬頂部表面及該些寬側壁包含下列之一：（1）使用低離子能量電漿處理以使用氯基的化學來蝕刻、或（2）使用熱處理來蝕刻。

6. 如申請專利範圍第 1 項之方法，其中蝕刻該些寬頂部表面及該些寬側壁包含使用氯基的化學及使用少於 5 kW 的射頻能量來蝕刻介於 10 與 40 秒之間。

7. 如申請專利範圍第 1 項之方法，其中蝕刻該些寬

頂部表面及該些寬側壁包含使用氟基的化學及使用少於 1 kW 的射頻能量來蝕刻介於 10 與 40 秒之間。

8. 如申請專利範圍第 1 項之方法，其中蝕刻該些寬頂部表面及該些寬側壁包含在 HCl 之存在下使用熱處理及使用少於攝氏 900 度的熱於外延沈積室中蝕刻介於 30 與 120 秒之間。

9. 如申請專利範圍第 1 項之方法，其中蝕刻該些寬頂部表面及該些寬側壁包含在 Cl_2 之存在下使用熱處理及使用少於攝氏 700 度的熱於外延沈積室中蝕刻介於 30 與 120 秒之間。

10. 如申請專利範圍第 1 項之方法，其中蝕刻該些寬單晶頂部表面及該些寬側壁之該厚度包括下列之一：
(1) 移除該些寬單晶頂部表面及該些寬側壁之介於 8 與 10 nm 間的厚度，或者 (2) 藉由修整從大於 10 至 30 nm 之該些寬電子裝置鰭的寬度到小於 7 nm 至 15 nm 之該些較窄鰭的寬度來形成該些已蝕刻鰭。

11. 如申請專利範圍第 1 項之方法，進一步包含：
在蝕刻該些寬單晶頂部表面及該些寬側壁之厚度後，無處理室之空氣斷裂，沈積第二單晶材料於薄化的頂部表面及薄化的側壁上以形成包覆電子裝置鰭，其中該第二單晶材料具有不同於該第一單晶材料之晶格間隔的晶格間隔。

12. 如申請專利範圍第 11 項之方法，其中該第一單晶材料為矽而該第二單晶材料為矽鍺，及其中沈積該第二

單晶材料包含沈積該第二單晶材料之介於 5 nm 與 15 nm 間的厚度於該些薄化的頂部表面及薄化的側壁上。

13. 如申請專利範圍第 11 項之方法，其中該些包覆電子裝置鰭之寬度等於或小於 20 nm 寬。

14. 如申請專利範圍第 11 項之方法，進一步包含從該些包覆電子裝置鰭形成 PMOS 裝置，其中形成該 PMOS 裝置包含：

形成閘極於該第二單晶材料上；及

鄰接於該閘極且在該第二單晶材料中形成接面區。

15. 一種電子裝置鰭，包含：

形成自寬下鰭部且在其上之較窄上鰭部，該寬下鰭部和該較窄上鰭部係形成自第一單晶材料之基底，該寬下鰭部和該較窄上鰭部係形成於該基底之第一頂部表面區域底下；

該寬下鰭部具有寬單晶頂部表面及寬側壁於該些第一頂部表面區域間所形成的溝槽中之溝槽氧化物材料的第一厚度之間；及

該較窄上鰭部具有與該些寬單晶頂部表面及該些寬側壁相同單晶晶格的較窄單晶頂部表面及較窄側壁，其中該些寬單晶頂部表面及該些寬側壁具有大於該些較窄單晶頂部表面及該些較窄側壁之厚度的介於 5 nm 與 15 nm 間的厚度，該較窄上鰭部暴露於該些溝槽中之溝槽氧化物材料的該第一厚度上方。

16. 如申請專利範圍第 15 項之電子裝置鰭，其中該

些較窄單晶頂部表面及較窄側壁係維持該些寬單晶頂部表面及該些寬側壁之單晶晶格結構。

17. 如申請專利範圍第 15 項之電子裝置鰭，其中該些寬單晶頂部表面及該些寬側壁之厚度較該些較窄單晶頂部表面及該些較窄側壁之厚度更寬 8 nm 與 10 nm 之間。

18. 如申請專利範圍第 15 項之電子裝置鰭，其中該些寬單晶頂部表面及該些寬側壁之厚度係介於 10 nm 與 30 nm 之間，而較該些較窄單晶頂部表面及該些較窄側壁之厚度係介於 7 nm 與 15 nm 之間。

19. 如申請專利範圍第 15 項之電子裝置鰭，進一步包含：

第二單晶材料於該些較窄單晶頂部表面及該些較窄側壁上以形成包覆電子裝置鰭，其中該第二單晶材料具有不同於該第一單晶材料之晶格間隔的晶格間隔。

20. 如申請專利範圍第 19 項之電子裝置鰭，其中該第一單晶材料為矽而該第二單晶材料為矽鍺，及其中該第二單晶材料包含於該些較窄單晶頂部表面及該些較窄側壁上之該第二單晶材料之介於 5 nm 與 15 nm 間的厚度。

21. 如申請專利範圍第 19 項之電子裝置鰭，其中該些包覆電子裝置鰭之寬度等於或小於 20 nm 寬。

22. 如申請專利範圍第 19 項之電子裝置鰭，進一步包含形成自該些包覆電子裝置鰭之 PMOS 裝置，其中該 PMOS 裝置包含：

該第二單晶材料上之閘極；及

鄰接於該閘極且在該第二單晶材料中之界面區。

23. 一種具有電子裝置鰭之系統，包含：

耦合至記憶體之微處理器，該微處理器具有至少一電子裝置鰭，其具有：

形成自寬下鰭部且在其上之較窄上鰭部，該寬下鰭部和該較窄上鰭部係形成自第一單晶材料之基底，該寬下鰭部和該較窄上鰭部係形成於該基底之第一頂部表面區域底下；

該寬下鰭部具有寬單晶頂部表面及寬側壁於該些第一頂部表面區域間所形成的溝槽中之溝槽氧化物材料的第一厚度之間；及

該較窄上鰭部具有與該些寬單晶頂部表面及該些寬側壁相同單晶晶格的較窄單晶頂部表面及較窄側壁，其中該些寬單晶頂部表面及該些寬側壁具有大於該些較窄單晶頂部表面及該些較窄側壁之厚度的介於 5 nm 與 15 nm 間的厚度，該較窄上鰭部暴露於該些溝槽中之溝槽氧化物材料的該第一厚度上方。

24. 如申請專利範圍第 23 項之系統，其中該些較窄單晶頂部表面及該些較窄側壁係維持該些寬單晶頂部表面及該些寬側壁之單晶晶格結構；並且，進一步包含：

第二單晶材料於該些較窄單晶頂部表面及該些較窄側壁上以形成包覆電子裝置鰭，其中該第二單晶材料具有不同於該第一單晶材料之晶格間隔的晶格間隔。

圖式

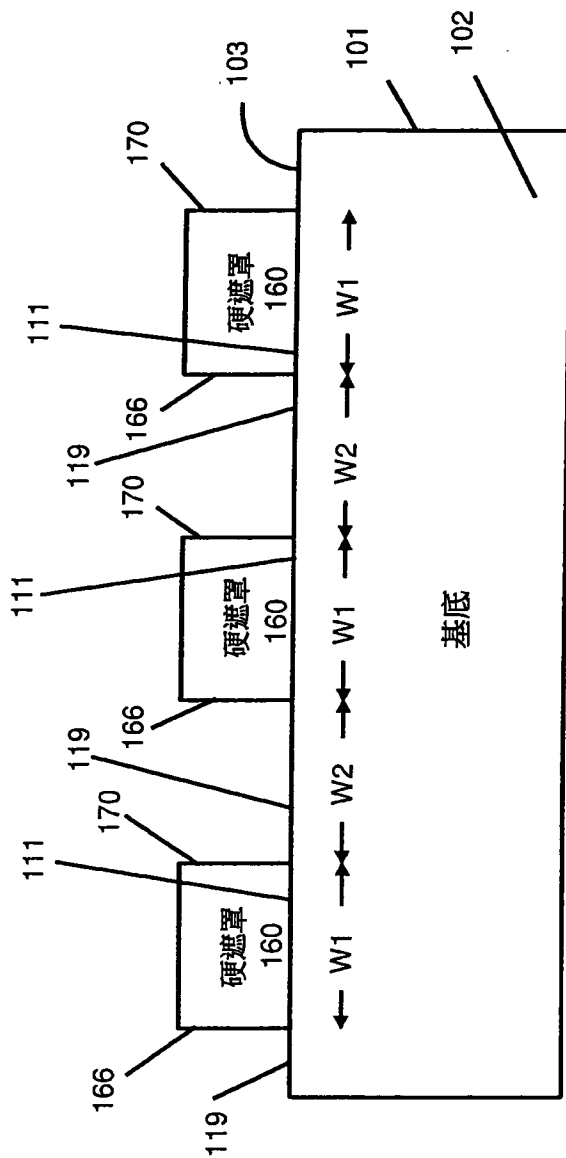


圖 1

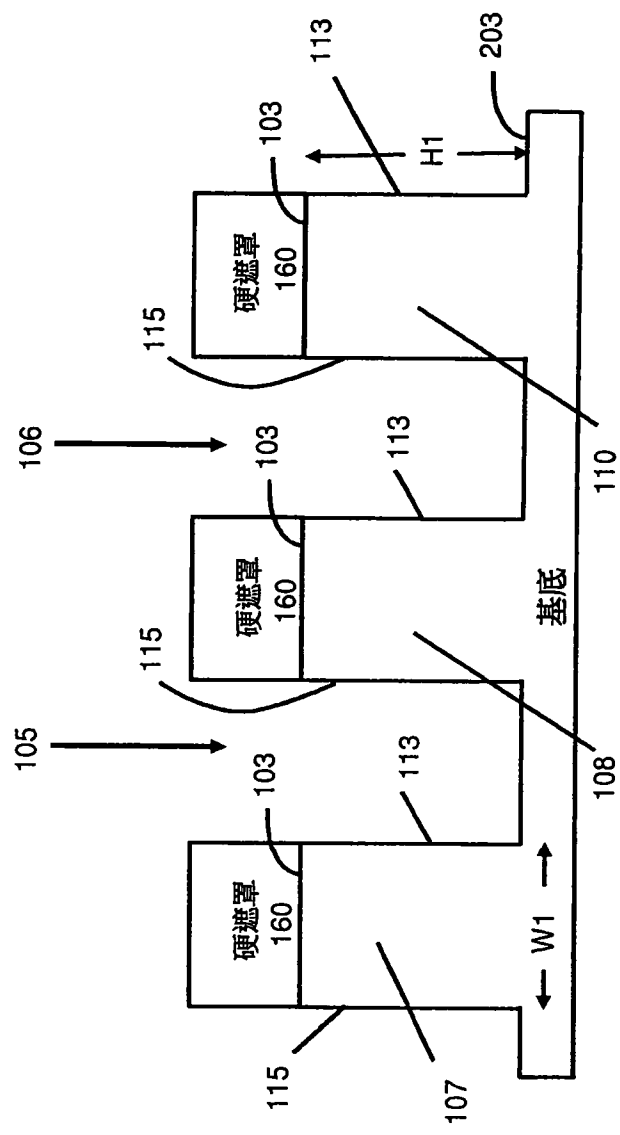


圖 2

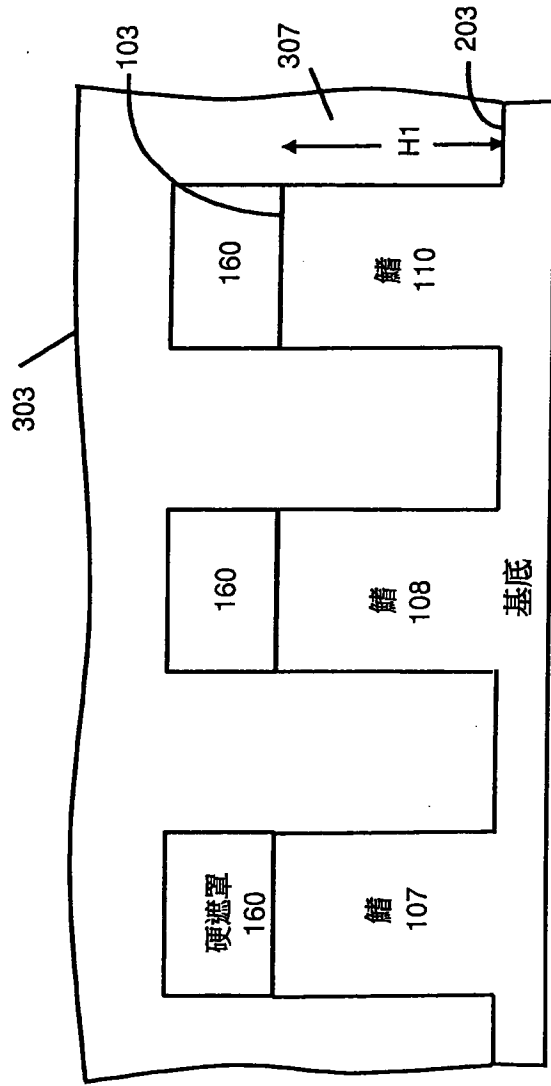


圖 3

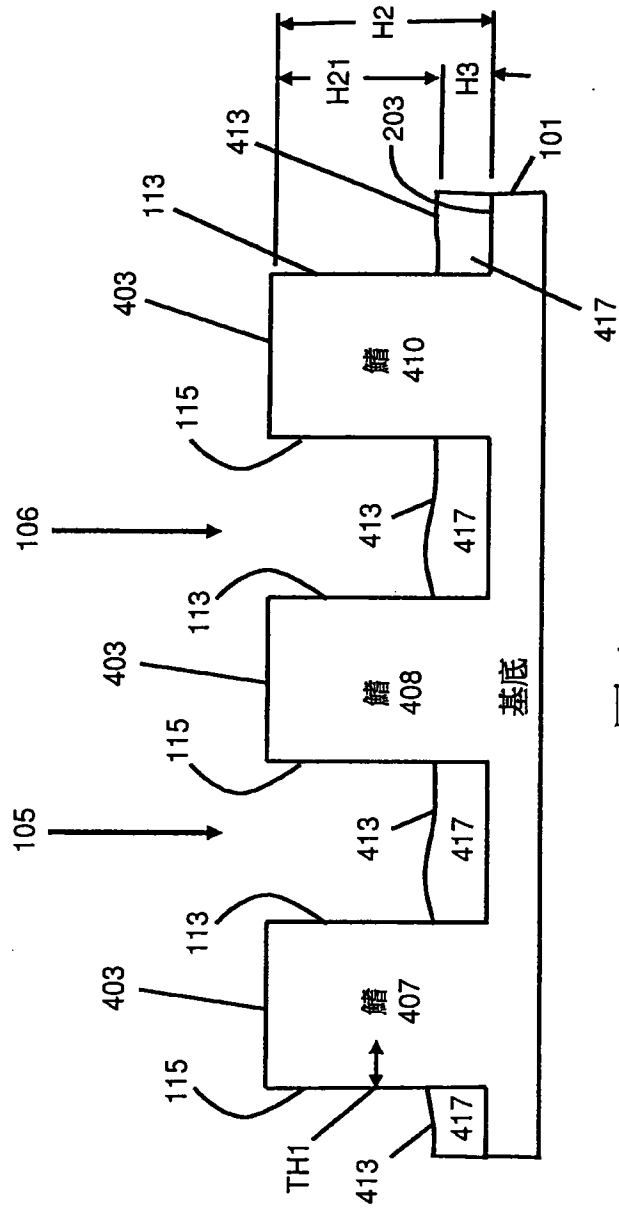


圖 4

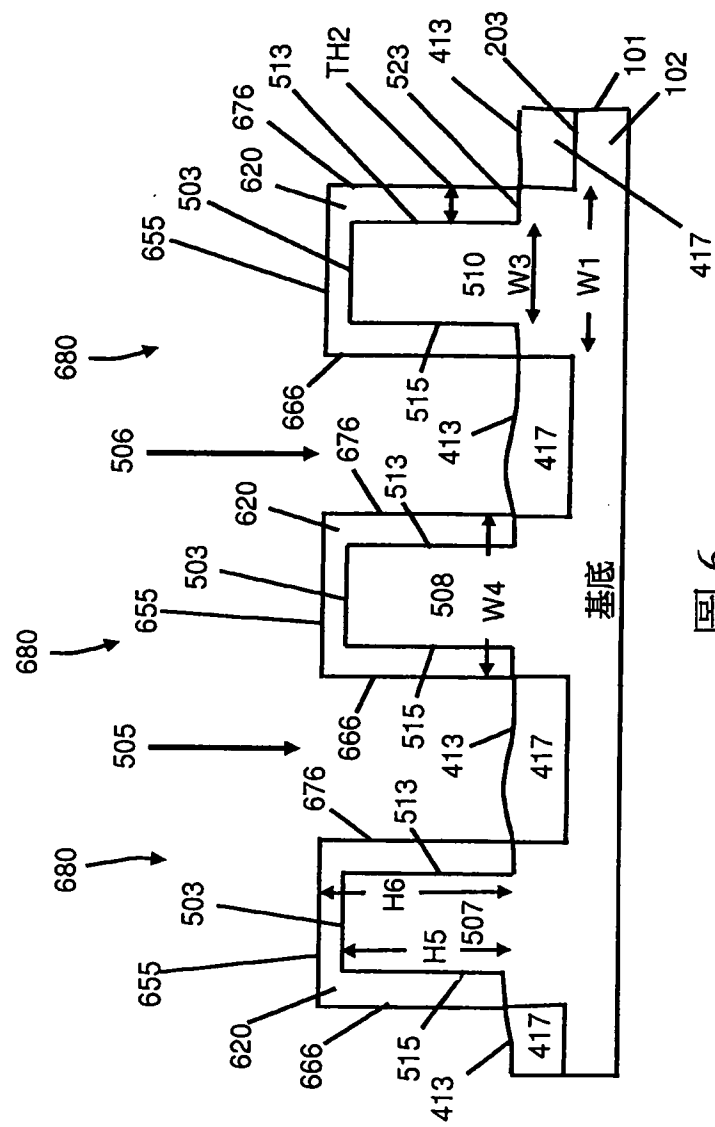


圖 6

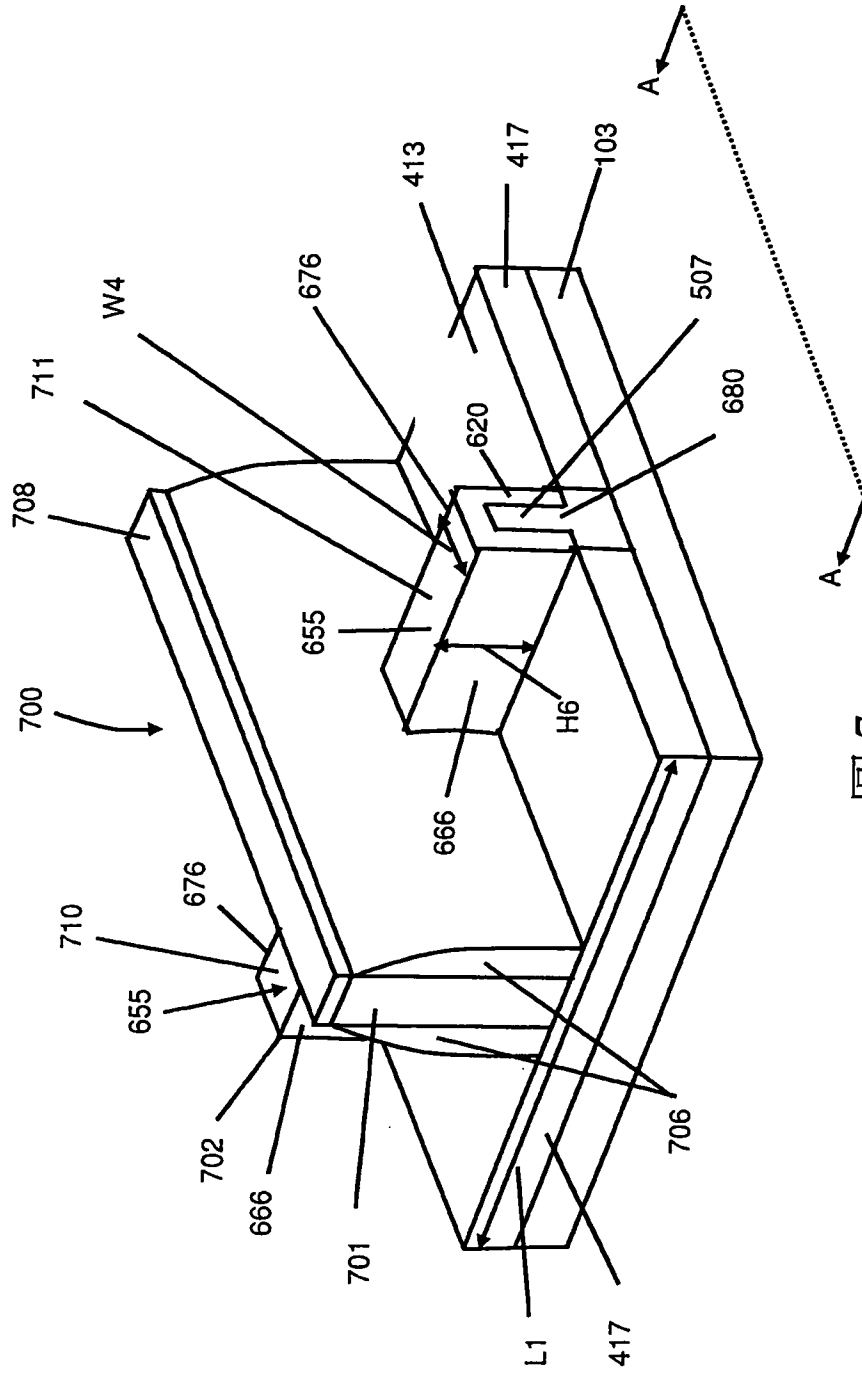


圖 7

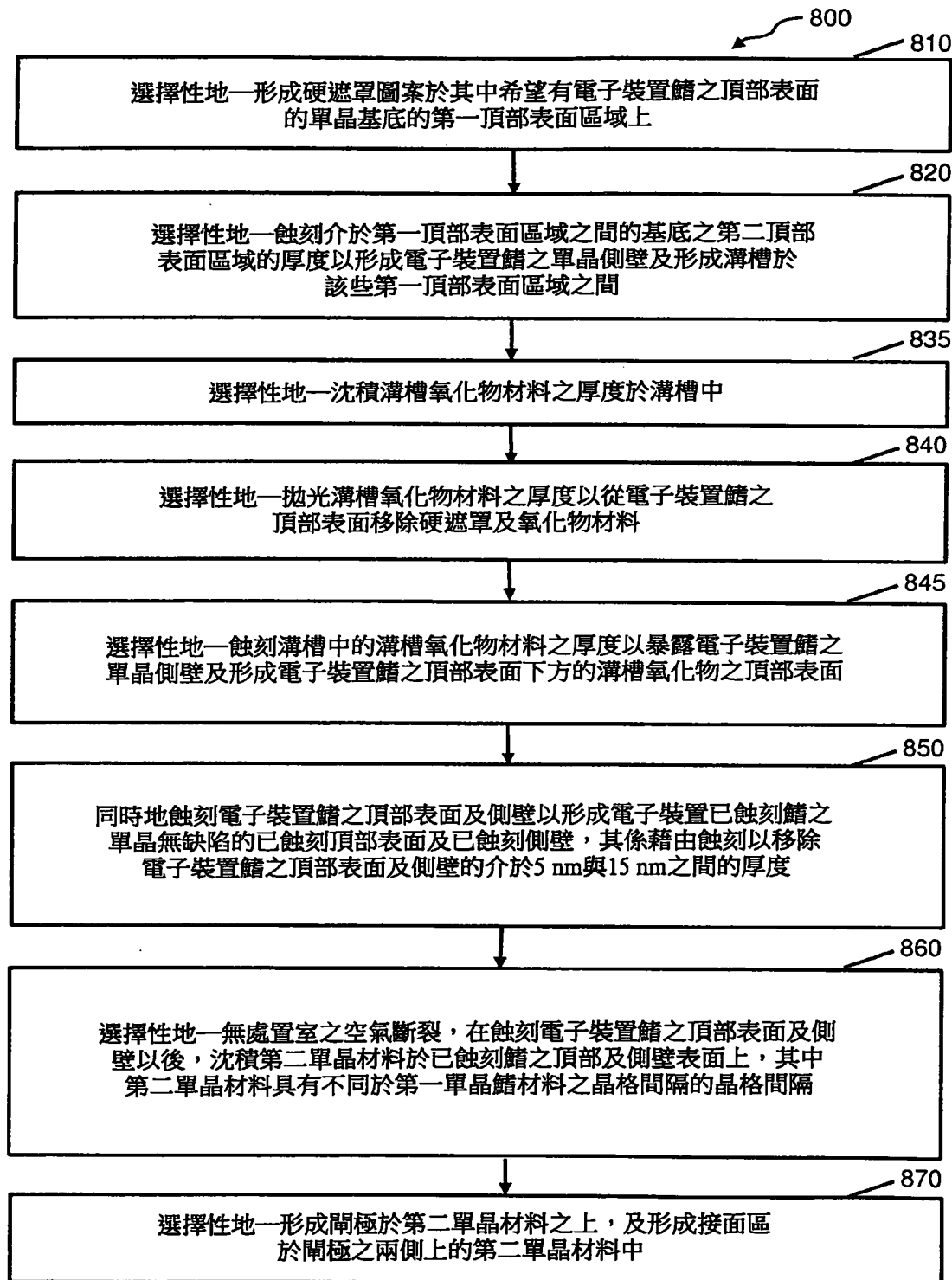


圖 8

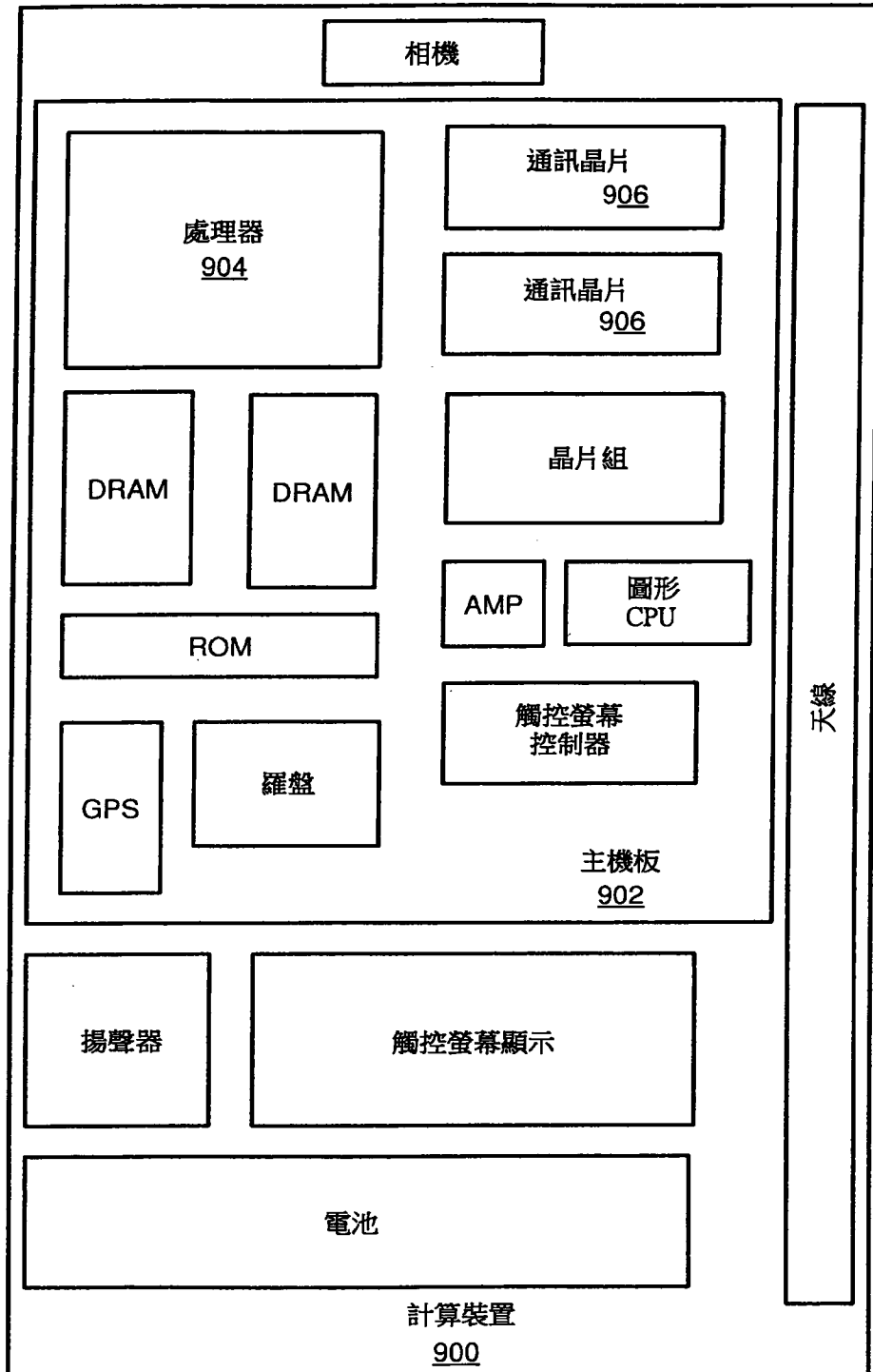


圖 9