



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I594538 B

(45)公告日：中華民國 106 (2017) 年 08 月 01 日

(21)申請案號：104126735

(22)申請日：中華民國 104 (2015) 年 08 月 17 日

(51)Int. Cl. : H02J1/14 (2006.01)

(30)優先權：2014/09/10 美國 14/482,456

(71)申請人：高通公司(美國) QUALCOMM INCORPORATED (US)  
美國(72)發明人：普萊斯 柏特 李 PRICE, BURT LEE (US)；科拉 葉區萬特 納葛雷 KOLLA,  
YESHWANT NAGARAJ (IN)；夏 德哈佛爾 瑞傑許巴哈 SHAH, DHAVAL  
RAJESHBHAI (IN)

(74)代理人：陳長文

(56)參考文獻：

|    |                |    |                |
|----|----------------|----|----------------|
| TW | 238415         | US | 3934209        |
| US | 6461880B1      | US | 7718448B1      |
| US | 2009/0128120A1 | US | 2011/0068854A1 |

審查人員：林迺信

申請專利範圍項數：25 項 圖式數：10 共 49 頁

(54)名稱

使用電壓平均之分佈電壓網路電路及相關系統及方法

DISTRIBUTED VOLTAGE NETWORK CIRCUITS EMPLOYING VOLTAGE AVERAGING, AND  
RELATED SYSTEMS AND METHODS

(57)摘要

本發明揭示使用電壓平均之分佈電壓網路電路及相關系統以及方法。在一個態樣中，由於一分佈負載電路之一個區域中之電壓可能不同於一第二區域中之電壓，因此一分佈電壓網路電路經組態以分接來自多個區域之電壓以計算該分佈負載電路中之平均電壓。該分佈電壓網路電路包括具有源節點之一電壓分佈源組件。電壓經由電阻性互連件自每一源節點分佈至一對應的電壓負載節點。電壓分接頭節點存取來自每一對應的電壓負載節點之電壓。每一電壓分接頭節點耦接至電壓平均電路中之一對應的電阻性元件之一輸入節點。每一電阻性元件之一輸出節點耦接至該電壓平均電路之一電壓輸出節點，從而在該電壓輸出節點上產生該分佈負載電路之該平均電壓。

Distributed voltage network circuits employing voltage averaging, and related systems and methods are disclosed. In one aspect, because voltage in one area of a distributed load circuit may vary from voltage in a second area, a distributed voltage network circuit is configured to tap voltages from multiple areas to calculate average voltage in the distributed load circuit. The distributed voltage network circuit includes a voltage distribution source component having source nodes. Voltage is distributed from each source node to a corresponding voltage load node via resistive interconnects. Voltage tap nodes access voltage from each corresponding voltage load node. Each voltage tap node is coupled to an input node of a corresponding resistive element in voltage averaging circuit. An output node of each resistive element is coupled to a voltage output node of the voltage averaging circuit, generating the average voltage of the distributed load circuit on the voltage output node.

指定代表圖：

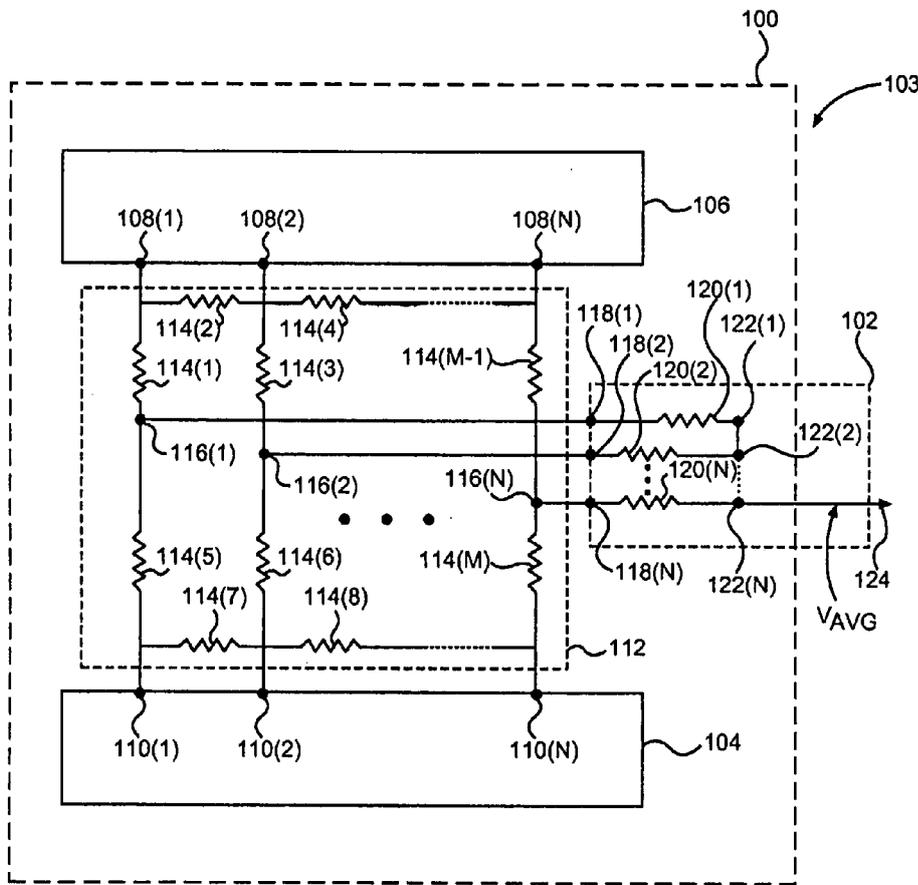


圖1

符號簡單說明：

- 100 . . . 分佈電壓網路電路
- 102 . . . 電壓平均電路
- 103 . . . 積體電路
- 104 . . . 分佈負載電路
- 106 . . . 電壓分佈源組件
- 108(1)-108(N) . . . 源節點
- 110(1)-110(N) . . . 電壓負載節點
- 112 . . . 分佈源分佈網路
- 114(1)-114(M) . . . 電阻性互連件
- 116(1)-116(N) . . . 電壓分接頭節點
- 118(1)-118(N) . . . 輸入節點
- 120(1)-120(N) . . . 電阻性元件
- 122(1)-122(N) . . . 輸出節點
- 124 . . . 電壓輸出節點

## 發明摘要

公告本

※ 申請案號：104126735

※ 申請日：104/08/17

※IPC 分類：H02J 1/14 (2006.01)

## 【發明名稱】

使用電壓平均之分佈電壓網路電路及相關系統及方法

DISTRIBUTED VOLTAGE NETWORK CIRCUITS EMPLOYING  
VOLTAGE AVERAGING, AND RELATED SYSTEMS AND  
METHODS

## 【中文】

本發明揭示使用電壓平均之分佈電壓網路電路及相關系統以及方法。在一個態樣中，由於一分佈負載電路之一個區域中之電壓可能不同於一第二區域中之電壓，因此一分佈電壓網路電路經組態以分接來自多個區域之電壓以計算該分佈負載電路中之平均電壓。該分佈電壓網路電路包括具有源節點之一電壓分佈源組件。電壓經由電阻性互連件自每一源節點分佈至一對應的電壓負載節點。電壓分接頭節點存取來自每一對應的電壓負載節點之電壓。每一電壓分接頭節點耦接至電壓平均電路中之一對應的電阻性元件之一輸入節點。每一電阻性元件之一輸出節點耦接至該電壓平均電路之一電壓輸出節點，從而在該電壓輸出節點上產生該分佈負載電路之該平均電壓。

## 【英文】

Distributed voltage network circuits employing voltage averaging, and related systems and methods are disclosed. In one aspect, because voltage in one area of a distributed load circuit may vary from voltage in a second area, a distributed voltage network circuit is configured to tap voltages from multiple areas to calculate average voltage in the distributed load circuit. The distributed voltage network circuit includes a voltage distribution source component having source nodes. Voltage is distributed from each source node to a corresponding voltage load node via resistive interconnects. Voltage tap nodes access voltage from each corresponding voltage load node. Each voltage tap node is coupled to an input node of a corresponding resistive element in voltage averaging circuit. An output node of each resistive element is coupled to a voltage output node of the voltage averaging circuit, generating the average voltage of the distributed load circuit on the voltage output node.

**【代表圖】**

**【本案指定代表圖】**：第（1）圖。

**【本代表圖之符號簡單說明】**：

|               |          |
|---------------|----------|
| 100           | 分佈電壓網路電路 |
| 102           | 電壓平均電路   |
| 103           | 積體電路     |
| 104           | 分佈負載電路   |
| 106           | 電壓分佈源組件  |
| 108(1)-108(N) | 源節點      |
| 110(1)-110(N) | 電壓負載節點   |
| 112           | 分佈源分佈網路  |
| 114(1)-114(M) | 電阻性互連件   |
| 116(1)-116(N) | 電壓分接頭節點  |
| 118(1)-118(N) | 輸入節點     |
| 120(1)-120(N) | 電阻性元件    |
| 122(1)-122(N) | 輸出節點     |
| 124           | 電壓輸出節點   |

**【本案若有化學式時，請揭示最能顯示發明特徵的化學式】**：

（無）

# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

## 【發明名稱】

使用電壓平均之分佈電壓網路電路及相關系統及方法

DISTRIBUTED VOLTAGE NETWORK CIRCUITS EMPLOYING  
VOLTAGE AVERAGING, AND RELATED SYSTEMS AND  
METHODS

## 【技術領域】

本發明之技術大體上係關於分佈電壓網路電路，且具體言之係關於量測此等電路內之電壓及電流。

## 【先前技術】

熱發射為積體電路(IC)設計中受到愈來愈多關注的問題。IC中之高溫可引起載流子移動力降級，從而可減慢IC之操作，增加電阻率，及/或引起電路故障。隨著電壓按比例縮放已減緩，且每單位面積主動組件之數目已增加，此問題已變得尤其重要。就此而言，可基於IC內之電流量測判定或估計在半導體晶粒上製造之IC(諸如微處理器或快取記憶體)的溫度。作為一非限制性實例，IC內之電流量測可用於判定IC內之電流是否超出所定義之電流臨限值。若IC內經量測之電流超出所定義之電流臨限值，則對應於IC之控制系統可經組態以執行改良IC效能之某些功能(諸如防止IC過熱)。

儘管半導體晶粒上之IC的晶粒上電流量測可用於估計IC之溫度，但精確地量測IC內之電流可能為困難的。詳言之，由於電壓分佈，且因此由於電流分佈在IC內之分佈電路元件上可能不同，因此IC之特定區域之電流分佈圖並非必然指示IC之其他區域或整個IC的電流分佈圖。舉例而言，分佈至IC之第一區域的第一電流可能不同於分佈

至IC之第二區域的第二電流。因此，量測IC之一個特定區域中之電流可能不提供IC內之整體電流的精確表示。IC內電流之不精確的量測導致不精確的IC內之溫度估計，從而可接著減少經組態以改良IC效能之基於溫度的功能之有效性。

就此而言，鑒於跨越IC內之分佈元件的變化之電壓及電流分佈圖，較精確地量測晶粒上電流將為有利的。詳言之，提供較精確的晶粒上電流量測可改良由對應控制系統內之使用電流量測以增強系統效能之功能產生的結果。

### 【發明內容】

實施方式中所揭示之態樣包括使用電壓平均之分佈電壓網路電路。亦揭示相關方法及系統。在一個態樣中，由於分佈至積體電路(IC)內之分佈負載電路之一個區域的電壓可能不同於分佈至相同的分佈負載電路之第二區域的電壓，因此分佈電壓網路電路經組態以分接來自多個區域之電壓以計算分佈在分佈負載電路中之平均電壓。分佈電壓網路電路包括具有多個源節點之電壓分佈源組件。電壓經由分佈網路內之電阻性互連件自每一源節點分佈至分佈負載電路之對應的電壓負載節點。在分佈網路內使用電壓分接頭節點以存取來自每一對應的電壓負載節點之電壓。為了計算分佈負載電路中之平均電壓，每一電壓分接頭節點耦接至電壓平均電路中之對應的電阻性元件之輸入節點。另外，每一電阻性元件之輸出節點耦接至電壓平均電路之一個電壓輸出節點。在每一電阻性元件之輸入節點耦接至對應的電壓分接頭節點時耦接每一電阻性元件之輸出節點會在電壓輸出節點上產生分佈負載電路之平均電壓。

由於一特定電壓負載節點處之電壓相比於另一電壓負載節點處之電壓可能不同，因此經判定之平均電壓提供對跨越整個分佈負載電路之電壓的較精確量測。因此，相比於使用IC之特定區域或單一電壓

負載節點中之電壓計算電流，可使用平均電壓較精確地計算分佈負載電路中之電流。較精確之電流量測可改良對應控制系統內的使用電流量測以增加系統效能之功能。

就此而言，在一個態樣中，揭示分佈電壓網路電路。分佈電壓網路電路包含電壓分佈源組件。電壓分佈源組件包含複數個源節點。分佈電壓網路電路進一步包含分佈負載電路，該分佈負載電路包含複數個電壓負載節點。分佈電壓網路電路進一步包含分佈源分佈網路。分佈源分佈網路包含將複數個源節點中之每一源節點互連至複數個電壓負載節點中之對應的電壓負載節點之複數個電阻性互連件。分佈源分佈網路進一步包含複數個電壓分接頭節點，其中每一電壓分接頭節點對應於複數個電壓負載節點中之一電壓負載節點。分佈電壓網路電路進一步包含電壓平均電路。電壓平均電路包含複數個電阻性元件。複數個電阻性元件中之每一電阻性元件包含耦接至複數個電壓分接頭節點中之對應的電壓分接頭節點之輸入節點及輸出節點。電壓平均電路進一步包含耦接至複數個電阻性元件中之每一電阻性元件之輸出節點的電壓輸出節點。電壓輸出節點經組態以提供分佈負載電路中的平均電壓。

在另一態樣中，揭示分佈電壓網路電路。分佈電壓網路電路包含用於經由分佈源分佈網路將源電壓分佈至複數個電壓負載節點之構件，其中分佈源分佈網路包含將複數個源節點之每一源節點互連至複數個電壓負載節點中之對應的電壓負載節點之複數個電阻性互連件。分佈電壓網路電路進一步包含用於在複數個電壓負載節點處接收源電壓之構件。分佈電壓網路電路進一步包含用於經由複數個電壓分接頭節點之對應的電壓分接頭節點判定存在於複數個電壓負載節點中之每一電壓負載節點處之電壓的構件。分佈電壓網路電路進一步包含用於將存在於複數個電壓分接頭節點中之每一電壓分接頭節點處之電壓提

供至複數個電阻性元件中之對應的電阻性元件之構件。分佈電壓網路電路進一步包含用於將複數個電阻性元件中之每一電阻性元件之輸出電壓提供至經組態以提供跨越複數個電壓負載節點之平均電壓的電壓輸出節點之構件。

在另一態樣中，揭示計算分佈電壓網路電路之平均電壓的方法。該方法包含經由分佈源分佈網路將源電壓分佈至複數個電壓負載節點，其中電阻性互連網路包含將複數個源節點之每一源節點互連至複數個電壓負載節點中之對應的電壓負載節點之複數個電阻性互連件。該方法進一步包含在複數個電壓負載節點處接收源電壓。該方法進一步包含經由複數個電壓分接頭節點之對應的電壓分接頭節點判定存在於複數個電壓負載節點中之每一電壓負載節點處之電壓。該方法進一步包含將存在於複數個電壓分接頭節點中之每一電壓分接頭節點處之電壓提供至複數個電阻性元件中之對應的電阻性元件。該方法進一步包含將複數個電阻性元件中之每一電阻性元件之輸出電壓提供至經組態以提供跨越複數個電壓負載節點之平均電壓的電壓輸出節點。

在另一態樣中，揭示晶粒上電流量測系統。晶粒上電流量測系統包含電壓源。晶粒上電流量測系統進一步包含分佈負載電路，該分佈負載電路包含複數個電壓負載節點。晶粒上電流量測系統進一步包含複數個串疊電晶體。晶粒上電流量測系統進一步包含複數個頭部開關電晶體，其中複數個頭部開關電晶體中之每一頭部開關電晶體耦接至電壓源。晶粒上電流量測系統進一步包含複數個鏡電晶體，其中複數個鏡電晶體中之每一鏡電晶體耦接至電壓源。晶粒上電流量測系統進一步包含分佈源分佈網路。分佈源分佈網路包含將複數個頭部開關電晶體中之每一頭部開關電晶體互連至複數個電壓負載節點中之對應的電壓負載節點之複數個頭部開關電阻性互連件。分佈源分佈網路進一步包含將複數個鏡電晶體中之每一鏡電晶體互連至複數個串疊電晶

體中之對應的串疊電晶體之源極的複數個鏡電阻性互連件。分佈源分佈網路進一步包含複數個頭部開關電壓分接頭節點，其中每一頭部開關電壓分接頭節點對應於複數個電壓負載節點中之一電壓負載節點。分佈源分佈網路進一步包含複數個鏡電壓分接頭節點，其中每一鏡電壓分接頭節點對應於複數個串疊電晶體中之一串疊電晶體。

晶粒上電流量測系統進一步包含頭部開關電壓平均電路，該電路包含複數個電阻器。複數個電阻器中之每一電阻器包含耦接至複數個頭部開關電壓分接頭節點之對應的頭部開關電壓分接頭節點之輸入節點及輸出節點。頭部開關電壓平均電路進一步包含耦接至每一電阻器之輸出節點的頭部開關電壓輸出節點，電壓輸出節點經組態以提供存在於分佈負載電路中之平均頭部開關電壓。晶粒上電流量測系統進一步包含鏡電壓平均電路，該電路包含複數個電阻器。複數個電阻器中之每一電阻器包含耦接至複數個鏡電晶體中之對應的鏡電晶體之輸入節點及輸出節點。鏡電壓平均電路進一步包含耦接至每一電阻器之輸出節點的鏡電壓輸出節點，電壓輸出節點經組態以提供存在於複數個串疊電晶體中之平均鏡電壓。晶粒上電流量測系統進一步包含耦接至感測電阻器之複數個串疊電晶體中之每一串疊電晶體之汲極，感測電阻器經組態以將電壓提供至類比/數位轉換器(ADC)。晶粒上電流量測系統進一步包含經組態以將來自感測電阻器之電壓轉化成表示分佈負載電路之供電電流的數位信號之ADC。晶粒上電流量測系統進一步包含運算放大器。運算放大器包含耦接至頭部開關電壓輸出節點之第一輸入端。運算放大器進一步包含耦接至鏡電壓輸出節點之第二輸入端。運算放大器進一步包含耦接至對應於複數個串疊電晶體之閘極的輸出節點。

### 【圖式簡單說明】

圖1為使用經組態以藉由平均化分佈負載電路之多個區域中之電

壓來計算分佈負載電路之平均電壓的電壓平均電路之積體電路(IC)內之例示性分佈電壓網路電路之方塊圖；

圖2為由圖1中之分佈電壓網路電路使用以計算分佈負載電路之平均電壓的例示性程序之流程圖；

圖3為類似於圖1中之分佈電壓網路電路但在分佈源分佈網路中使用n型金屬氧化物半導體(NMOS)電晶體的另一例示性分佈電壓網路電路之電路圖；

圖4為類似於圖1中之分佈電壓網路電路但在分佈源分佈網路中使用p型金屬氧化物半導體(PMOS)電晶體之另一例示性分佈電壓網路電路的電路圖；

圖5為圖4中之使用PMOS電晶體的分佈電壓網路電路之電路圖，其中將電壓平均電路之輸出端提供至經組態以控制跨越分佈負載電路之電壓負載節點的平均電壓之電壓調節器；

圖6為使用類似於圖1中之電壓平均電路之電壓平均電路的與頭部開關電晶體及鏡電晶體相關且可使用經組態以調節負載電壓及電流之電壓調節器的例示性晶粒上電流量測系統之電路圖；

圖7A為使用包括類似於圖1中之電壓平均電路之電壓平均電路的複數個頭部開關分塊之例示性測試電路之圖式；

圖7B為使用複數個頭部開關分塊之例示性測試電路之圖式，其中在單一頭部開關分塊處量測電壓而非量測整個測試電路之平均電壓；

圖8A為說明對應於跨越圖7A及7B中之具有理想的非電阻性金屬互連件之測試電路所量測之平均電壓的信號之例示性集合之圖表；

圖8B為說明對應於跨越圖7A及7B中之具有非理想的電阻性金屬互連件之測試電路所量測之平均電壓的信號之例示性集合之圖表；

圖9為耦接至處理器核心以便藉由使用圖1中之電壓平均電路量

測處理器核心之平均負載電流的例示性複數個頭部開關分塊之方塊圖；及

圖10為可包括使用圖1、圖3及圖4中之電壓平均電路之分佈電壓網路電路的例示性基於處理器之系統的方塊圖。

### 【實施方式】

現在參考圖式，描述本發明之若干例示性態樣。詞語「例示性」在本文中用以意謂「充當實例、例子或說明」。本文中描述為「例示性」之任何態樣不必解釋為比其他態樣更佳或更有利。

實施方式中所揭示之態樣包括使用電壓平均之分佈電壓網路電路。亦揭示相關系統及方法。在一個態樣中，由於分佈至積體電路(IC)內之分佈負載電路之一個區域的電壓可能不同於分佈至相同的分佈負載電路之第二區域的電壓，因此分佈電壓網路電路經組態以分接來自多個區域之電壓以計算分佈在分佈負載電路中之平均電壓。分佈電壓網路電路包括具有多個源節點之電壓分佈源組件。電壓經由分佈網路內之電阻性互連件自每一源節點分佈至分佈負載電路之對應的電壓負載節點。在分佈網路內使用電壓分接頭節點以存取來自每一對應的電壓負載節點之電壓。為了計算分佈負載電路中之平均電壓，每一電壓分接頭節點耦接至電壓平均電路中之對應的電阻性元件之輸入節點。另外，每一電阻性元件之輸出節點耦接至電壓平均電路之一個電壓輸出節點。在每一電阻性元件之輸入節點耦接至對應的電壓分接頭節點時耦接每一電阻性元件之輸出節點會在電壓輸出節點上產生分佈負載電路之平均電壓。

由於一特定電壓負載節點處之電壓相比於另一電壓負載節點處之電壓可能不同，因此經判定之平均電壓提供對跨越整個分佈負載電路之電壓的較精確之量測。因此，相比於使用IC之特定區域或單一電壓負載節點中之電壓計算電流，可使用平均電壓較精確地計算分佈負

載電路中之電流。較精確之電流量測可改良對應之控制系統內的使用電流量測以增加系統效能之功能。

就此而言，圖1為使用電壓平均電路102之例示性分佈電壓網路電路100之方塊圖。在此實例中，將分佈電壓網路電路100提供於半導體晶粒中之積體電路(IC) 103中。電壓平均電路102經組態以藉由平均化提供至分佈負載電路104之多個區域之電壓來計算分佈負載電路104之平均電壓( $V_{AVG}$ )。更具體言之，分佈電壓網路電路100經組態以分接來自多個區域之電壓以計算分佈至分佈負載電路104之平均電壓( $V_{AVG}$ )。因此，作為一實例，相比於使用存在於分佈負載電路104之單一電壓負載節點中之電壓計算電流，可使用平均電壓( $V_{AVG}$ )較精確地計算分佈負載電路104中之電流。經計算之電流可用於估計IC 103內之溫度。

繼續參考圖1，分佈電壓網路電路100包括使用複數個源節點108(1)至108(N)之電壓分佈源組件106。電壓經由分佈源分佈網路112自每一源節點108(1)至108(N)分佈至分佈負載電路104之對應的電壓負載節點110(1)至110(N)。分佈源分佈網路112包括將每一源節點108(1)至108(N)連接至對應的電壓負載節點110(1)至110(N)之複數個電阻性互連件114(1)至114(M)。值得注意的是，雖然此態樣針對每一電阻性互連件114(1)至114(M)使用單獨的電阻器，但其他態樣可針對每一電阻性互連件114(1)至114(M)使用替代電路元件，諸如在非限制性實例中使用具有某一電阻值之一段電線。另外，在分佈源分佈網路112內使用電壓分接頭節點116(1)至116(N)以存取來自每一對應的電壓負載節點110(1)至110(N)之電壓。

繼續參考圖1，為了計算分佈負載電路104中之平均電壓，每一電壓分接頭節點116(1)至116(N)耦接至電壓平均電路102中之對應的電阻性元件120(1)至120(N)之輸入節點118(1)至118(N)。值得注意的

是，儘管在此態樣中每一電阻性元件120(1)至120(N)為單一電阻器，但其他態樣可針對每一電阻性元件120(1)至120(N)使用其他電路元件以達成類似功能性。每一電阻性元件120(1)至120(N)之輸出節點122(1)至122(N)耦接至電壓平均電路102之電壓輸出節點124。在每一輸入節點118(1)至118(N)耦接至對應的電壓分接頭節點116(1)至116(N)時耦接每一輸出節點122(1)至122(N)會在電壓輸出節點124上產生分佈負載電路104之平均電壓( $V_{AVG}$ )。更具體言之，可使用每一電阻性元件120(1)至120(N)之電阻(R)及每一電壓分接頭節點116(1)至116(N)之電壓(V)借助於以下等式計算平均電壓( $V_{AVG}$ )：

$$V_{AVG} = (R(120(1)) || R(120(2)) || \dots || R(120(N))) * (V(116(1))/R(120(1)) + V(116(2))/R(120(2)) + \dots + V(116(N))/R(120(N)))$$

以此方式，由於每一電壓負載節點110(1)至110(N)處之電壓相比於任何其他電壓負載節點110(1)至110(N)可能不同，因此平均電壓( $V_{AVG}$ )提供了被提供至整個分佈負載電路104的電壓之較精確量測。因此，相比於使用在電壓負載節點110(1)至110(N)中之僅一者處之電壓計算電流，可使用平均電壓( $V_{AVG}$ )較精確地計算分佈負載電路104中之電流。較精確之電流量測可改良對應之控制系統內的使用電流量測以增加系統效能之功能。

就此而言，圖2說明由圖1中之分佈電壓網路電路100使用以藉由平均化提供至分佈負載電路104之多個區域的電壓來計算分佈負載電路104之平均電壓( $V_{AVG}$ )的例示性程序200。參考圖2，電壓分佈源組件106將源電壓經由分佈源分佈網路112分佈至複數個電壓負載節點110(1)至110(N) (區塊202)。詳言之，分佈源分佈網路112包括將每一源節點108(1)至108(N)互連至對應的電壓負載節點110(1)至110(N)之複數個電阻性互連件114(1)至114(M)。由於此等互連，每一電壓負載節點110(1)至110(N)接收源電壓(區塊204)。分佈電壓網路電路100經

由在分佈源分佈網路112內使用之每一對應的電壓分接頭節點116(1)至116(N)判定存在於每一電壓負載節點110(1)至110(N)處之電壓(區塊206)。將每一電壓分接頭節點116(1)至116(N)處之電壓提供至電壓平均電路102中之每一對應的電阻性元件120(1)至120(N)之輸入節點118(1)至118(N)(區塊208)。電壓平均電路102將每一電阻性元件120(1)至120(N)之輸出節點122(1)至122(N)上之電壓提供至電壓輸出節點124，該電壓輸出節點經組態以提供跨越分佈負載電路104之電壓負載節點110(1)至110(N)的平均電壓( $V_{AVG}$ ) (區塊210)。使用程序200允許分佈電壓網路電路100計算平均電壓( $V_{AVG}$ )，相比於使用存在於電壓負載節點110(1)至110(N)中之僅一者中的電壓計算電流，可使用該平均電壓較精確地計算分佈負載電路104中之電流。

類似於圖1中之分佈電壓網路電路100之各種類型的分佈電路可使用平均電壓( $V_{AVG}$ )作為有價值的量度。作為一非限制性實例，類似於分佈電壓網路電路100之分佈電壓網路電路可使用分佈電晶體，其中類似於分佈源分佈網路112之分佈源分佈網路包括多個電晶體。就此而言，圖3說明n型金屬氧化物半導體(NMOS)分佈電壓網路電路300，其中分佈源分佈網路302使用NMOS電晶體304(1)至304(N)。值得注意的是，雖然在此態樣中NMOS電晶體304(1)至304(N)係處於分佈源分佈網路302中，但在其他態樣中NMOS電晶體304(1)至304(N)可位於其他元件中。每一NMOS電晶體304(1)至304(N)經由對應的汲極310(1)至310(N)耦接至電壓分佈源組件308之對應的源節點306(1)至306(N)。分佈源分佈網路302包括複數個電阻性互連件312(1)至312(M)，該等互連件結合NMOS電晶體304(1)至304(N)將每一源節點306(1)至306(N)連接至分佈負載電路316之對應的電壓負載節點314(1)至314(N)。特定言之，每一對應的NMOS電晶體304(1)至304(N)之源極318(1)至318(N)耦接至對應的電壓負載節點314(1)至314(N)。另

外，提供至NMOS分佈電壓網路電路300之閘極320的電壓控制每一NMOS電晶體304(1)至304(N)。在分佈源分佈網路302內使用電壓分接頭節點322(1)至322(N)以存取來自每一對應的源極318(1)至318(N)及(藉由引伸)每一電壓負載節點314(1)至314(N)之電壓。

繼續參考圖3，為了計算分佈負載電路316中之平均電壓( $V_{AVG}$ )，每一電壓分接頭節點322(1)至322(N)耦接至電壓平均電路328中之對應的電阻器326(1)至326(N)的輸入節點324(1)至324(N)。每一電阻器326(1)至326(N)之輸出節點330(1)至330(N)耦接至電壓平均電路328之電壓輸出節點332。在每一輸入節點324(1)至324(N)耦接至對應的電壓分接頭節點322(1)至322(N)時耦接每一輸出節點330(1)至330(N)會在電壓輸出節點332上產生分佈負載電路316之平均電壓( $V_{AVG}$ )。如先前所描述，以下等式依據每一電阻器326(1)至326(N)之電阻R及每一電壓分接頭節點322(1)至322(N)處之電壓V描述平均電壓( $V_{AVG}$ )：

$$V_{AVG} = (R(326(1)) || R(326(2)) || \dots || R(326(N))) * (V(322(1))/R(326(1)) + V(322(2))/R(326(2)) + \dots + V(322(N))/R(326(N)))$$

以此方式，以上等式描述當一或多個NMOS電晶體304(1)至304(N)之閘極寬度並非大約等於每一其他NMOS電晶體304(1)至304(N)之閘極寬度時以及在每一NMOS電晶體304(1)至304(N)具有大致相等的閘極寬度時電壓輸出節點332上之平均電壓( $V_{AVG}$ )。值得注意的是，若一或多個NMOS電晶體304(1)至304(N)之閘極寬度並非大約等於每一其他NMOS電晶體304(1)至304(N)之閘極寬度，則每一電阻器326(1)至326(N)可能不具有大約相等的電阻R。實情為，每一電阻器326(1)至326(N)一定具有與對應的NMOS電晶體304(1)至304(N)之閘極寬度有關之適當的電阻R，使得上述等式精確地計算平均電壓( $V_{AVG}$ )。另外，若每一NMOS電晶體304(1)至304(N)具有大約相等的閘極寬度，則每一電阻器326(1)至326(N)一定具有大約相等的電阻R。

以精確地計算平均電壓( $V_{AVG}$ )。詳言之，若每一NMOS電晶體304(1)至304(N)具有大約相等的閘極寬度，且因此每一電阻器326(1)至326(N)具有大約相等的電阻R，則上述等式簡化至以下等式：

$$V_{AVG}=(1/N) * (V(322(1)) + V(322(2)) + \dots V(322(N)))$$

繼續參考圖3，除電阻器326(1)至326(N)以外，電壓平均電路328亦可使用按比例縮放電阻器334。按比例縮放電阻器334具有耦接至接地源極338之輸入節點336及耦接至每一電阻器326(1)至326(N)之輸出節點330(1)至330(N)的輸出節點340。以此方式，相比於在未使用按比例縮放電阻器334時產生之平均電壓( $V_{AVG}$ )，可使用按比例縮放電阻器334按對應於按比例縮放電阻器334之電阻的按比例縮放因數按比例縮放平均電壓( $V_{AVG}$ )。無論是否在電壓平均電路328中使用按比例縮放電阻器334，相比於使用電壓負載節點314(1)至314(N)中之僅一者處的電壓來計算電流，可使用平均電壓( $V_{AVG}$ )較精確地計算分佈負載電路316中之電流。較精確之電流量測可改良對應之控制系統內的使用電流量測以增加系統效能之功能。

雖然圖3中之NMOS分佈電壓網路電路300使用NMOS電晶體304(1)至304(N)作為分佈源分佈網路302中之分佈元件，但其他分佈電壓網路電路可使用替代電晶體類型。就此而言，圖4說明p型金屬氧化物半導體(PMOS)分佈電壓網路電路400，其中分佈源分佈網路402使用PMOS電晶體404(1)至404(N)。值得注意的是，雖然在此態樣中PMOS電晶體404(1)至404(N)係處於分佈源分佈網路402中，但在其他態樣中PMOS電晶體404(1)至404(N)可位於其他元件中。每一PMOS電晶體404(1)至404(N)經由對應的源極410(1)至410(N)耦接至電壓分佈源組件408之對應的源節點406(1)至406(N)。類似於圖3中之分佈源分佈網路302，分佈源分佈網路402使用複數個電阻性互連件412(1)至412(M)，該等互連件結合PMOS電晶體404(1)至404(N)將每一源節點

406(1)至406(N)連接至分佈負載電路416之對應的電壓負載節點414(1)至414(N)。特定言之，每一對應的PMOS電晶體404(1)至404(N)之汲極418(1)至418(N)耦接至對應的電壓負載節點414(1)至414(N)。另外，提供至PMOS分佈電壓網路電路400之閘極420的電壓控制每一PMOS電晶體404(1)至404(N)。在分佈源分佈網路402內使用電壓分接頭節點422(1)至422(N)以存取來自每一對應的汲極418(1)至418(N)及(因此)每一電壓負載節點414(1)至414(N)之電壓。

繼續參考圖4，每一電壓分接頭節點422(1)至422(N)耦接至電壓平均電路428中之對應的電阻器426(1)至426(N)之輸入節點424(1)至424(N)。每一電阻器426(1)至426(N)之輸出節點430(1)至430(N)耦接至電壓平均電路428之電壓輸出節點432。因此，在每一輸入節點424(1)至424(N)耦接至對應的電壓分接頭節點422(1)至422(N)時耦接每一輸出節點430(1)至430(N)會在電壓輸出節點432上產生分佈負載電路416之平均電壓( $V_{AVG}$ )。可在PMOS分佈電壓網路電路400中使用類似於圖3中之按比例縮放電阻器334之按比例縮放電阻器434以按比例縮放平均電壓( $V_{AVG}$ )。另外，先前關於圖3所述的等式及相關聯之閘極寬度/電阻關係在計算圖4中之平均電壓( $V_{AVG}$ )時亦適用。以此方式，相比於使用在電壓負載節點414(1)至414(N)中之僅一者處之電壓計算電流，可使用平均電壓( $V_{AVG}$ )較精確地計算分佈負載電路416中之電流。

除使用平均電壓( $V_{AVG}$ )計算分佈負載電路中之電流以外，可使用平均電壓( $V_{AVG}$ )幫助調節提供至分佈負載電路(諸如上述分佈負載電路104、316及416)之電壓。就此而言，圖5說明PMOS分佈電壓網路電路500，其中圖4中之PMOS分佈電壓網路電路400之閘極420耦接至電壓調節器電路502。詳言之，將參考電壓 $V_{REF}$ 提供至電壓調節器電路502之第一輸入端504，而電壓平均電路428之電壓輸出節點432耦接至電

壓調節器電路502之第二輸入端506。電壓調節器電路502之輸出節點508耦接至PMOS分佈電壓網路電路400之閘極420。如先前所述，電阻器426(1)至426(N)對跨越分佈負載電路416之電壓取樣，因此將分佈負載電路416之平均電壓( $V_{AVG}$ )提供至電壓調節器電路502。電壓調節器電路502(其在此態樣中，為運算放大器(「op-amp」))迫使提供至分佈負載電路416之平均電壓( $V_{AVG}$ )等於 $V_{REF}$ 。詳言之，藉由將平均電壓( $V_{AVG}$ )提供至電壓調節器電路502，輸出節點508將電壓提供至閘極420，使得提供至分佈負載電路416之電壓調節至 $V_{REF}$ 。電壓負載節點414(1)至414(N)上之電壓可視諸如電阻性互連件412(0)至412(M)之電阻及分佈負載電路416之實體大小以及佈局的因素而改變。因此，相對於提供在任一個電壓負載節點414(1)至414(N)處的電壓，以此方式將平均電壓( $V_{AVG}$ )提供至電壓調節器電路502幫助調節提供至分佈負載電路416之電壓，以便反映整個分佈負載電路416之電壓分佈。

如先前所述，可使用平均電壓( $V_{AVG}$ )較精確地計算分佈負載電路中之電流。就此而言，圖6說明在使用分別類似於圖1、圖3及圖4中之電壓平均電路102、328及428的電壓平均電路時產生較好效能之晶粒上電流量測系統600。晶粒上電流量測系統600用於量測分佈負載電路602之供電電流(未展示)，其中分佈負載電路602可為(作為非限制性實例)處理器核心或快取記憶體。為了量測此電流，晶粒上電流量測系統600包括將輸入電壓提供至每一頭部開關電晶體606(1)至606(N)之源極的電壓源( $V_{dd}$ ) 604。頭部開關電晶體606(1)至606(N)藉由允許電壓信號608到達分佈負載電路602上之對應的電壓負載節點610(1)至610(N)而將功率控制提供至分佈負載電路602。電壓源604亦將輸入電壓提供至每一鏡電晶體612(1)至612(N)之源極。每一鏡電晶體612(1)至612(N)的寬度為對應的頭部開關電晶體606(1)至606(N)之寬度的一部分(f)。頭部開關電晶體606(1)至606(N)及鏡電晶體612(1)至612(N)

在場效電晶體(FET)三極體區域中被深度偏壓，實際上使得該等電晶體充當低值電阻器。值得注意的是，儘管在此態樣中將頭部開關電晶體606(1)至606(N)及鏡電晶體612(1)至612(N)用作PMOS電晶體，但其他態樣可將頭部開關電晶體606(1)至606(N)及鏡電晶體612(1)至612(N)用作NMOS電晶體。另外，由每一鏡電晶體612(1)至612(N)提供之電壓穿過對應的串疊電晶體614(1)至614(N)至感測電阻器616中。將來自感測電阻器616之電壓提供至類比/數位轉換器(ADC) 618，該類比/數位轉換器將電壓轉化成表示分佈負載電路602之供電電流的數位資料串流620。

繼續參考圖6，為了使晶粒上電流量測系統600恰當地發揮作用，頭部開關電晶體606(1)至606(N)及鏡電晶體612(1)至612(N)需要具有完全相等的汲極-源極電壓。以此方式，運算放大器 622與串疊電晶體614(1)至614(N)一起迫使鏡電晶體612(1)至612(N)之汲極-源極電壓等於頭部開關電晶體606(1)至606(N)之汲極-源極電壓。更具體言之，運算放大器 622控制串疊電晶體614(1)至614(N)以便保持鏡電晶體612(1)至612(N)上之電流等於頭部開關電晶體606(1)至606(N)上之電流的一部分(f)。在此情況下，鏡電晶體612(1)至612(N)及頭部開關電晶體606(1)至606(N)之汲極-源極電壓保持與彼此相等。值得注意的是，在圖6中此態樣將頭部開關電晶體606(1)至606(N)、鏡電晶體612(1)至612(N)及串疊電晶體614(1)至614(N)說明為PMOS電晶體，但其他態樣可使用其它類型的電晶體以達成類似功能性。

繼續參考圖6，頭部開關電晶體606(1)至606(N)經分佈以經由分佈源分佈網路(未展示)內之頭部開關電阻性互連件(未展示)在對應的電壓負載節點610(1)至610(N)處耦接至分佈負載電路602。因此，使用頭部開關電壓平均電路624以藉由頭部開關電壓輸出節點628將平均頭部開關電壓( $V_{HSAVG}$ ) (未展示)提供至運算放大器 622之第一輸入端

626。類似地，鏡電晶體612(1)至612(N)經由分佈源分佈網路內之鏡電阻性互連件(未展示)各自耦接至對應的串疊電晶體614(1)至614(N)。因此，使用鏡電壓平均電路630以藉由鏡電壓輸出節點634將平均鏡電壓( $V_{MRAVG}$ ) (未展示)提供至運算放大器 622之第二輸入端632。頭部開關電壓平均電路624及鏡電壓平均電路630兩者均包括分別類似於圖1、圖3及圖4中之電壓平均電路102、328及428之元件。詳言之，頭部開關電壓平均電路624中之電阻器636(1)至636(N)耦接至分佈源分佈網路內之對應的頭部開關電壓分接頭節點638(1)至638(N)，且經組態以將平均頭部開關電壓( $V_{HSAVG}$ )提供至運算放大器 622之第一輸入端626。鏡電壓平均電路630中之電阻器640(1)至640(N)耦接至分佈源分佈網路內之對應的鏡電壓分接頭節點642(1)至642(N)，且經組態以將平均鏡電壓( $V_{MRAVG}$ )提供至運算放大器 622之第二輸入端632。藉由以此方式將平均頭部開關電壓( $V_{HSAVG}$ )及平均鏡電壓( $V_{MRAVG}$ )提供至運算放大器 622，感測電阻器616接收一電壓，相比於使用來自電壓負載節點610(1)至610(N)中之一者的電壓計算電流，可根據感測電阻器616接收的該電壓較精確地計算分佈負載電路602中之電流。

繼續參考圖6，頭部開關電壓平均電路624及鏡電壓平均電路630可各自使用額外電阻器以在必要時分別地按比例縮放平均頭部開關電壓( $V_{HSAVG}$ )及平均鏡電壓( $V_{MRAVG}$ )。更具體言之，頭部開關電壓平均電路624可使用類似於圖3中之按比例縮放電阻器334之按比例縮放電阻器644。以此方式，相比於在未使用按比例縮放電阻器644時產生的頭部開關平均電壓( $V_{HSAVG}$ )，可使用按比例縮放電阻器644藉由對應於按比例縮放電阻器644之電阻的按比例縮放因數按比例縮放頭部開關平均電壓( $V_{HSAVG}$ )。鏡電壓平均電路630可以類似於頭部開關電壓平均電路624之方式使用按比例縮放電阻器646以按比例縮放平均鏡電壓( $V_{MRAVG}$ )。

除量測分佈負載電路602之電流以外，晶粒上電流量測系統600亦可經組態以調節提供至分佈負載電路602之負載電壓及電流。就此而言，可在晶粒上電流量測系統600中使用經組態以調節跨越分佈負載電路602提供之電壓及(因此)電流的電壓調節器電路648。電壓調節器電路648經組態以類似於圖5中之電壓調節器電路502地操作。以此方式，藉由接收參考電壓 $V_{REF}$ 及平均頭部開關電壓( $V_{HSAVG}$ )，電壓調節器電路648將與參考電壓 $V_{REF}$ 大約相等之電壓提供至分佈負載電路602。以此方式調節提供至分佈負載電路602之負載電壓可幫助確保分佈負載電路602之負載電壓大約維持在所要之位準。

為了說明可藉由分別使用圖1、圖3及圖4中之電壓平均電路102、328及428及圖6中之頭部開關電壓平均電路624及鏡電壓平均電路630實現之較精確電壓及電流量測，可使用測試電路產生樣本資料。就此而言，圖7A說明使用頭部開關分塊702(1)至702(48)之第一測試電路700。電阻器704(1)至704(48)耦接至對應的頭部開關電晶體706(1)至706(48)以按類似於圖6中之頭部開關電壓平均電路624的方式產生平均測試頭部開關電壓( $V_{THSAVG}$ )。另外，電阻器708(1)至708(48)耦接至對應的鏡電晶體710(1)至710(48)以按類似於圖6中之鏡電壓平均電路630的方式產生平均測試鏡電壓( $V_{TMRAVG}$ )。複數個寄生電阻器712(1)(1)至712(48)(4)包括於第一測試電路700中以模擬互連電阻。對應於每一鏡電晶體710(1)至710(48)之串疊電晶體714(1)至714(48)亦包括於每一頭部開關分塊702(1)至702(48)中。以此方式，將來自串疊電晶體714(1)至714(48)之電壓加總並提供至感測電阻器716。

另外，圖7B說明使用頭部開關分塊702'(1)至702'(48)之第二測試電路700'。每一頭部開關分塊702'(1)至702'(48)包括對應的頭部開關電晶體706(1)至706(48)及類似於圖7A中之第一測試電路700之對應的鏡電晶體710(1)至710(48)。複數個寄生電阻器712(1)(1)至712(48)(4)以

及串疊電晶體714(1)至714(48)亦包括於第二測試電路700'中。然而，頭部開關分塊702'(1)至702'(48)不包括如在圖7A中之第一測試電路700中分別地耦接至對應的頭部開關電晶體706(1)至706(48)及鏡電晶體710(1)至710(48)之電阻器704(1)至704(48)及708(1)至708(48)。以此方式，第二測試電路700'並不產生平均測試頭部開關電壓( $V_{THSAVG}$ )及平均測試鏡電壓( $V_{TMR AVG}$ )。實情為，在頭部開關分塊702'(48)處量測頭部開關電壓( $V_{HS}$ )及鏡電壓( $V_{MR}$ )。將來自串疊電晶體714(1)至714(48)之電流加總並提供至感測電阻器716'。

就此而言，圖8A說明對應於跨越圖7A及7B中之具有理想的非電阻性金屬互連件之第一及第二測試電路700、700'所量測之平均電流的信號之例示性集合800。特定言之，每一寄生電阻器712(1)(1)至712(48)(4)具有等於0歐姆( $0\ \Omega$ )之電阻，以便移除寄生電阻器712(1)(1)至712(48)(4)對分佈電壓可能具有的任何影響。另外，每一感測電阻器716、716'具有等於300歐姆( $\Omega$ )之電阻。跨越感測電阻器716之電壓( $V_{SENSE1}$ )及跨越感測電阻器716'之電壓( $V_{SENSE2}$ )均說明於第一圖表802中。值得注意的是，電壓( $V_{SENSE1}$ )與電壓( $V_{SENSE2}$ )在多個電流值處大約相等。舉例而言，在最大電流1.5 A處，如箭頭804所指示，( $V_{SENSE1}$ )及( $V_{SENSE2}$ )皆大約等於374 mV。此在說明( $V_{SENSE1}$ )與( $V_{SENSE2}$ )之間之值之差異的第二圖表806中表明。更具體言之，存在於( $V_{SENSE1}$ )與( $V_{SENSE2}$ )之間的最大差異出現在1.5 A處，其中差異大約僅為160  $\mu$ V (微伏特)，如箭頭808所指示。因此，由於有效地移除了寄生電阻器712(1)(1)至712(48)(4)之影響，第一測試電路700及第二測試電路700'跨越各別感測電阻器716、716'產生接近於實際上理想的大約374 mV之電壓。

就此而言，圖8B說明對應於跨越圖7A及7B中之具有非理想的電阻性金屬互連件之第一及第二測試電路700、700'所量測之平均電流

的信號之例示性集合800'。特定言之，在此態樣中每一寄生電阻器712(1)(1)至712(48)(4)具有非零歐姆電阻。電壓( $V_{SENSE1}$ )及電壓( $V_{SENSE2}$ )均說明於第一圖表802'中。值得注意的是，如在圖8A中，( $V_{SENSE1}$ )與( $V_{SENSE2}$ )之值在不同的電流位準處不相等。舉例而言，在電流1.5 A處，如箭頭810所指示，( $V_{SENSE1}$ )之值大約等於374 mV，該值與圖8A中所描述之理想情況中之( $V_{SENSE1}$ )的值相同。然而，在電流1.5 A處，如箭頭812所指示，( $V_{SENSE2}$ )之值大約等於63 mV。此值之差異進一步說明於第二圖表806'中，該圖表展示存在於( $V_{SENSE1}$ )與( $V_{SENSE2}$ )之間的最大差異再次出現在1.5 A處，其中該差異大約為311 mV，如箭頭814所指示。使用標稱按比例縮放因數，( $V_{SENSE2}$ )之63 mV的值表示252 mA的「經量測」之電流(相比於實際電流1.5 A)。

就此而言，將圖8A中所說明之理想情況與圖8B中所說明之較實際情況比較表明：在第一測試電路700中使用電壓平均基本上消除了基於跨越負載電路之不同電流分佈圖的經量測之電壓及電流之變化。更具體言之，在圖8B中之實際條件下，第二測試電路700'提供遠低於在圖8A中之理想條件下產生之彼等電壓及電流的電壓及電流。然而，在圖8B中之實際條件下，第一測試電路700產生大約等於在圖8A中之理想條件下產生之彼等電壓及電流的電壓及電流。換言之，第一測試電路700量測平均電壓，而第二測試電路700'量測單一電壓負載節點處之電壓。因此，第一測試電路700提供一致的平均電壓量測，而第二測試電路700'視自哪一電壓負載節點量測電壓而提供不同電壓。因此，相比於使用存在於單一電壓負載節點中之電壓計算電流，可使用如本文所揭示之使用電壓平均來較精確地計算分佈負載電路中之電流。

就此而言，圖9說明其中頭部開關電路902(1)、902(2)圍繞處理器核心904分佈以便量測處理器核心904之平均負載電壓的系統900。每

一頭部開關電路902(1)、902(2)包括類似於圖7A中之頭部開關分塊702之複數個頭部開關分塊。處理器核心904包括複數個數位電路，該等數位電路中之每一者可在不同時間在作用中。由於處理器核心904內之各種數位電路可在不同時間在作用中，因此在整個處理器核心904及頭部開關電路902(1)、902(2)中之電壓及電流分佈可能隨著時間推移而顯著不同。如在先前圖式中(且尤其在圖7A中)所描述，包括於頭部開關電路902(1)、902(2)中之電壓平均機構量測分佈在處理器核心904中之平均核心電壓( $V_{CAVG}$ )。因此，相比於使用在單一時間點在僅一個位置處的電壓計算電流，可使用平均核心電壓( $V_{CAVG}$ )較精確地計算分佈在處理器核心904中之電流。

根據本文中所揭示之態樣，使用電壓平均之分佈電壓網路電路可提供至或整合至任何基於處理器之器件中。在無限制之情況下，實例包括機上盒、娛樂單元、導航器件、通信器件、固定位置資料單元、行動位置資料單元、行動電話、蜂巢式電話、電腦、攜帶型電腦、桌上型電腦、個人數位助理(PDA)、監視器、電腦監視器、電視、調諧器、收音機、衛星收音機、音樂播放器、數位音樂播放器、攜帶型音樂播放器、數位視訊播放器、視訊播放器、數位視訊光碟(DVD)播放器，及攜帶型數位視訊播放器。

就此而言，圖10說明可使用在圖1、圖3及圖4中分別說明之電壓平均電路102、328及428之基於處理器之系統1000之實例。在此實例中，基於處理器之系統1000包括一或多個中央處理單元(CPU) 1002，每一中央處理單元包括一或多個處理器1004。一或多個處理器1004中之每一者可使用複數個核心1006(0)至1006(N)，其中可使用對應的電壓平均電路(諸如電壓平均電路102(0)至102(N)、328(0)至328(N)或428(0)至428(N))來計算每一核心1006(0)至1006(N)之平均負載電壓及負載電流。CPU 1002可為主器件。CPU 1002可具有耦接至處理器

1004以快速存取暫時儲存之資料的快取記憶體1008。CPU 1002耦接至系統匯流排1010，且可將包括於基於處理器之系統1000中的主控器件與受控器件相互耦接。眾所周知，CPU 1002藉由經由系統匯流排1010交換位址、控制及資料資訊來與此等其他器件通信。舉例而言，CPU 1002可將匯流排異動請求傳達至作為受控器件之實例的記憶體控制器1012。儘管圖10中未說明，但可提供多個系統匯流排1010，其中每一系統匯流排1010構成不同網狀架構。

其他主控器件及受控器件可連接至系統匯流排1010。如圖10中所說明，此等器件可例如包括記憶體系統1014、一或多個輸入器件1016、一或多個輸出器件1018、一或多個網路介面器件1020，及一或多個顯示控制器1022。輸入器件1016可包括任何類型之輸入器件，包括但不限於輸入鍵、開關、語音處理器等。輸出器件1018可包括任何類型之輸出器件，包括但不限於音訊、視訊、其他視覺指示器等。網路介面器件1020可為經組態以允許與網路1024交換資料之任何器件。網路1024可為任何類型之網路，包括但不限於有線或無線網路、私用或公用網路、區域網路(LAN)、廣泛區域網路(wide local area network, WLAN)，及網際網路。網路介面器件1020可經組態以支援任何類型之所要通信協定。記憶體系統1014可包括一或多個記憶體單元1026(0)至1026(N)。

CPU 1002亦可經組態以經由系統匯流排1010存取顯示控制器1022以控制發送至一或多個顯示器1028之資訊。顯示控制器1022經由一或多個視訊處理器1030將資訊發送至顯示器1028以供顯示，視訊處理器將待顯示之資訊處理成適於顯示器1028之格式。顯示器1028可包括任何類型之顯示器，包括但不限於陰極射線管(CRT)、液晶顯示器(LCD)、電漿顯示器等。

熟習此項技術者將進一步瞭解，結合本文所揭示之態樣所描述

的各種說明性邏輯區塊、模組、電路及演算法可實施為電子硬體、儲存於記憶體中或另一電腦可讀媒體中且由處理器或其他處理器件執行之指令，或此兩者之組合。作為實例，本文中所描述之主控器件及受控器件可用於任何電路、硬體組件、積體電路(IC)或IC晶片中。本文中所揭示之記憶體可為任何類型及大小之記憶體，且可經組態以儲存所要的任何類型之資訊。為了清楚地說明此可互換性，上文已大體上根據功能性描述了各種說明性組件、區塊、模組、電路及步驟。如何實施此功能性取決於特定應用、設計選擇及/或強加於整個系統之設計約束。熟習此項技術者可針對每一特定應用以不同方式來實施所描述功能性，但此等實施決策不應被解釋為導致脫離本發明之範疇。

可藉由處理器、數位信號處理器(DSP)、特殊應用積體電路(ASIC)、場可程式閘陣列(FPGA)或其他可程式化邏輯器件、離散閘或電晶體邏輯、離散硬體組件，或其經設計以執行本文中所描述功能的任何組合來實施或執行結合本文中所揭示之態樣而描述的各種說明性邏輯區塊、模組及電路。處理器可為微處理器，但在替代方案中，處理器可為任何習知處理器、控制器、微控制器或狀態機。處理器亦可實施為計算器件之組合，例如，DSP與微處理器之組合、複數個微處理器、一或多個微處理器結合DSP核心，或任何其他此組態。

本文中所揭示之態樣可體現於硬體及儲存於硬體中之指令中，且可駐留於(例如)隨機存取記憶體(RAM)、快閃記憶體、唯讀記憶體(ROM)、電可程式化ROM (EPROM)、電可抹除可程式化ROM (EEPROM)、暫存器、硬碟、可卸除式磁碟、CD-ROM或此項技術中已知的任何其他形式之電腦可讀媒體中。例示性儲存媒體耦接至處理器，使得處理器可自儲存媒體讀取資訊並將資訊寫入至儲存媒體。在替代方案中，儲存媒體可與處理器成一體式。處理器及儲存媒體可駐留於ASIC中。該ASIC可駐留於遠端台中。在替代例中，處理器及儲

存媒體可作為離散組件而駐留於遠端台、基地台或伺服器中。

亦應注意，描述本文中在任何例示性態樣中所描述之操作步驟以提供實例及論述。可以不同於所說明序列之眾多不同序列來執行所描述操作。此外，描述於單個操作步驟中之操作可實際上以多個不同步驟執行。另外，可組合例示性態樣中所論述之一或多個操作步驟。應理解，流程圖中所說明之操作步驟可經受如熟習此項技術者將容易明白的眾多不同修改。熟習此項技術者亦將理解，可使用多種不同技術及技法中之任一者表示資訊與信號。舉例而言，可由電壓、電流、電磁波、磁場或磁粒子、光場或光粒子或其任何組合表示在整個以上描述中可能提及的資料、指令、命令、資訊、信號、位元、符號及碼片。

提供本發明之先前描述以使任何熟習此項技術者能夠製造或使用本發明。對本發明之各種修改對於熟習此項技術者而言將為顯而易見的，且可在不脫離本發明之精神或範疇的情況下將本文中所定義之一般原理應用於其他變體。因此，本發明並不意欲限於本文中所描述之實例及設計，而應符合與本文中所揭示之原理及新穎特徵相一致的最廣泛範疇。

#### 【符號說明】

|               |          |
|---------------|----------|
| 100           | 分佈電壓網路電路 |
| 102           | 電壓平均電路   |
| 102(0)-102(N) | 電壓平均電路   |
| 103           | 積體電路     |
| 104           | 分佈負載電路   |
| 106           | 電壓分佈源組件  |
| 108(1)-108(N) | 源節點      |
| 110(1)-110(N) | 電壓負載節點   |

|               |                                      |
|---------------|--------------------------------------|
| 112           | 分佈源分佈網路                              |
| 114(1)-114(M) | 電阻性互連件                               |
| 116(1)-116(N) | 電壓分接頭節點                              |
| 118(1)-118(N) | 輸入節點                                 |
| 120(1)-120(N) | 電阻性元件                                |
| 122(1)-122(N) | 輸出節點                                 |
| 124           | 電壓輸出節點                               |
| 200           | 計算分佈負載電路之平均電壓( $V_{AVG}$ )的例<br>示性程序 |
| 202           | 區塊                                   |
| 204           | 區塊                                   |
| 206           | 區塊                                   |
| 208           | 區塊                                   |
| 210           | 區塊                                   |
| 300           | 分佈電壓網路電路                             |
| 302           | 分佈源分佈網路                              |
| 304(1)-304(N) | NMOS電晶體                              |
| 306(1)-306(N) | 源節點                                  |
| 308           | 電壓分佈源組件                              |
| 310(1)-310(N) | 汲極                                   |
| 312(1)-312(M) | 電阻性互連件                               |
| 314(1)-314(N) | 電壓負載節點                               |
| 316           | 分佈負載電路                               |
| 318(1)-318(N) | 源極                                   |
| 320           | 閘極                                   |
| 322(1)-322(N) | 電壓分接頭節點                              |

|               |          |
|---------------|----------|
| 324(1)-324(N) | 輸入節點     |
| 326(1)-326(N) | 電阻器      |
| 328           | 電壓平均電路   |
| 328(0)-328(N) | 電壓平均電路   |
| 330(1)-330(N) | 輸出節點     |
| 332           | 電壓輸出節點   |
| 334           | 按比例縮放電阻器 |
| 336           | 輸入節點     |
| 338           | 接地源極     |
| 340           | 輸出節點     |
| 400           | 分佈電壓網路電路 |
| 402           | 分佈源分佈網路  |
| 404(1)-404(N) | PMOS電晶體  |
| 406(1)-406(N) | 源節點      |
| 408           | 電壓分佈源組件  |
| 410(1)-410(N) | 源極       |
| 412(1)-412(M) | 電阻性互連件   |
| 414(1)-414(N) | 電壓負載節點   |
| 416           | 分佈負載電路   |
| 418(1)-418(N) | 汲極       |
| 420           | 閘極       |
| 422(1)-422(N) | 電壓分接頭節點  |
| 424(1)-424(N) | 輸入節點     |
| 426(1)-426(N) | 電阻器      |
| 428           | 電壓平均電路   |
| 428(0)-428(N) | 電壓平均電路   |

|               |               |
|---------------|---------------|
| 430(1)-430(N) | 輸出節點          |
| 432           | 電壓輸出節點        |
| 434           | 按比例縮放電阻器      |
| 500           | PMOS分佈電壓網路電路  |
| 502           | 電壓調節器電路       |
| 504           | 第一輸入端         |
| 506           | 第二輸入端         |
| 508           | 輸出節點          |
| 600           | 晶粒上電流量測系統     |
| 602           | 分佈負載電路        |
| 604           | 電壓源           |
| 606(1)-606(N) | 頭部開關電晶體       |
| 608           | 電壓信號          |
| 610(1)-610(N) | 電壓負載節點        |
| 612(1)-612(N) | 鏡電晶體          |
| 614(1)-614(N) | 串疊電晶體         |
| 616           | 感測電阻器         |
| 618           | 類比/數位轉換器(ADC) |
| 620           | 數位資料串流        |
| 622           | 運算放大器         |
| 624           | 頭部開關電壓平均電路    |
| 626           | 第一輸入端         |
| 628           | 頭部開關電壓輸出節點    |
| 630           | 鏡電壓平均電路       |
| 632           | 第二輸入端         |
| 634           | 鏡電壓輸出節點       |

|                      |             |
|----------------------|-------------|
| 636(1)-636(N)        | 電阻器         |
| 638(1)-638(N)        | 頭部開關電壓分接頭節點 |
| 640(1)-640(N)        | 電阻器         |
| 642(1)-642(N)        | 鏡電壓分接頭節點    |
| 644                  | 按比例縮放電阻器    |
| 646                  | 按比例縮放電阻器    |
| 648                  | 電壓調節器電路     |
| 700                  | 第一測試電路      |
| 700'                 | 第二測試電路      |
| 702(1)-702(48)       | 頭部開關分塊      |
| 702'(1) -702'(48)    | 頭部開關分塊      |
| 704(1)-704(48)       | 電阻器         |
| 706(1)-706(48)       | 頭部開關電晶體     |
| 708(1)-708(48)       | 電阻器         |
| 710(1)-710(48)       | 鏡電晶體        |
| 712(1)(1)-712(48)(4) | 寄生電阻器       |
| 714(1)-714(48)       | 串疊電晶體       |
| 716                  | 感測電阻器       |
| 716'                 | 感測電阻器       |
| 800                  | 信號之例示性集合    |
| 800'                 | 信號之例示性集合    |
| 802                  | 第一圖表        |
| 802'                 | 第一圖表        |
| 804                  | 箭頭          |
| 806                  | 第二圖表        |
| 806'                 | 第二圖表        |

|                 |             |
|-----------------|-------------|
| 808             | 箭頭          |
| 810             | 箭頭          |
| 812             | 箭頭          |
| 814             | 箭頭          |
| 900             | 系統          |
| 902(1)          | 頭部開關電路      |
| 902(2)          | 頭部開關電路      |
| 904             | 處理器核心       |
| 1000            | 基於處理器之系統    |
| 1002            | 中央處理單元(CPU) |
| 1004            | 處理器         |
| 1006(0)-1006(N) | 核心          |
| 1008            | 快取記憶體       |
| 1010            | 系統匯流排       |
| 1012            | 記憶體控制器      |
| 1014            | 記憶體系統       |
| 1016            | 輸入器件        |
| 1018            | 輸出器件        |
| 1020            | 網路介面器件      |
| 1022            | 顯示控制器       |
| 1024            | 網路          |
| 1026(0)-1026(N) | 記憶體單元       |
| 1028            | 顯示器         |
| 1030            | 視訊處理器       |

## 申請專利範圍

1. 一種分佈電壓網路電路，其包含：

一電壓分佈源組件，其包含複數個源節點；

一分佈負載電路，其包含複數個電壓負載節點；

一分佈源分佈網路，其包含：

將該複數個源節點中之每一源節點互連至該複數個電壓負載節點中之一對應的電壓負載節點之複數個電阻性互連件；及

複數個電壓分接頭節點，其中每一電壓分接頭節點對應於該複數個電壓負載節點中之一電壓負載節點；及

一電壓平均電路，其包含：

複數個電阻性元件，該複數個電阻性元件中之每一電阻性元件包含：

一輸入節點，其耦接至該複數個電壓分接頭節點中之一對應的電壓分接頭節點；及

一輸出節點；及

一電壓輸出節點，其耦接至該複數個電阻性元件中之每一電阻性元件的該輸出節點，該電壓輸出節點經組態以提供該分佈負載電路之一平均電壓。

2. 如請求項1之分佈電壓網路電路，其中該複數個電阻性元件中之每一電阻性元件包含一電阻器。

3. 如請求項1之分佈電壓網路電路，其中該電壓平均電路進一步包含：

一按比例縮放電阻器，其在一接地源極與該複數個電阻性元件中之每一電阻性元件的該輸出節點之間耦接，

該按比例縮放電阻器經組態以按比例縮放該電壓輸出節點上

之該平均電壓。

4. 如請求項1之分佈電壓網路電路，其進一步包含複數個電晶體，該複數個電晶體中之每一電晶體對應於該複數個源節點中之一源節點及該複數個電壓負載節點中之一電壓負載節點。
5. 如請求項4之分佈電壓網路電路，其中該複數個電晶體中之每一電晶體具有一大約相等的閘極寬度。
6. 如請求項5之分佈電壓網路電路，其中該電壓平均電路中之該複數個電阻性元件中之每一電阻性元件具有一大約相等的電阻。
7. 如請求項4之分佈電壓網路電路，其中該複數個電晶體中之至少兩個電晶體具有不同的閘極寬度。
8. 如請求項7之分佈電壓網路電路，其中該電壓平均電路中之該複數個電阻性元件中之每一電阻性元件具有基於對應於該對應的電壓分接頭節點之該電壓負載節點之該電晶體的一閘極寬度之一電阻。
9. 如請求項4之分佈電壓網路電路，其中該複數個電晶體中之每一電晶體包含一n型金屬氧化物半導體(NMOS)電晶體。
10. 如請求項4之分佈電壓網路電路，其中該複數個電晶體中之每一電晶體包含一p型金屬氧化物半導體(PMOS)電晶體。
11. 如請求項1之分佈電壓網路電路，其進一步包含一電壓調節器電路，該電壓調節器電路經組態以調節提供至該分佈負載電路之一電壓，該電壓調節器電路包含：
  - 一第一輸入端，其耦接至一參考電壓源；
  - 一第二輸入端，其耦接至該電壓平均電路之該電壓輸出節點；且
  - 一輸出端，其耦接至該分佈源分佈網路。
12. 如請求項1之分佈電壓網路電路，其整合至一積體電路(IC)中。

13. 如請求項1之分佈電壓網路電路，其整合至選自由以下各者組成之群的一器件中：一機上盒、一娛樂單元、一導航器件、一通信器件、一固定位置資料單元、一行動位置資料單元、一行動電話、一蜂巢式電話、一電腦、一攜帶型電腦、一桌上型電腦、一個人數位助理(PDA)、一監視器、一電腦監視器、一電視、一調諧器、一收音機、一衛星收音機、一音樂播放器、一數位音樂播放器、一攜帶型音樂播放器、一數位視訊播放器、一視訊播放器、一數位視訊光碟(DVD)播放器，及一攜帶型數位視訊播放器。
14. 一種分佈電壓網路電路，其包含：
  - 用於將一源電壓經由一分佈源分佈網路分佈至一分佈負載電路之複數個電壓負載節點之一構件，其中該分佈源分佈網路包含將複數個源節點之每一源節點互連至該複數個電壓負載節點中之一對應的電壓負載節點之複數個電阻性互連件；
  - 用於在該複數個電壓負載節點處接收該源電壓之一構件；
  - 用於經由複數個電壓分接頭節點之一對應的電壓分接頭節點判定存在於該複數個電壓負載節點中之每一電壓負載節點處之一電壓之一構件；
  - 用於將存在於該複數個電壓分接頭節點中之每一電壓分接頭節點處之該電壓提供至複數個電阻性元件之一對應的電阻性元件之一構件；及
  - 用於將該複數個電阻性元件中之每一電阻性元件的一輸出電壓提供至經組態以提供該分佈負載電路之之一平均電壓的一電壓輸出節點之一構件。
15. 一種計算一分佈負載電路之一平均電壓的方法，其包含下列步驟：

將一源電壓經由一分佈源分佈網路分佈至該分佈負載電路之複數個電壓負載節點，其中該分佈源分佈網路包含將複數個源節點之每一源節點互連至該複數個電壓負載節點中之一對應的電壓負載節點之複數個電阻性互連件；

在該複數個電壓負載節點處接收該源電壓；

經由複數個電壓分接頭節點之一對應的電壓分接頭節點判定存在於該複數個電壓負載節點中之每一電壓負載節點處之一電壓；

將存在於該複數個電壓分接頭節點中之每一電壓分接頭節點處之該電壓提供至複數個電阻性元件中之一對應的電阻性元件；及

將該複數個電阻性元件中之每一電阻性元件的一輸出電壓提供至經組態以提供該分佈負載電路之該平均電壓之一電壓輸出節點。

16. 如請求項15之方法，其進一步包含下列步驟：按比例縮放該電壓輸出節點上之該平均電壓。
17. 如請求項15之方法，其進一步包含下列步驟：調節在該複數個電壓負載節點中之每一電壓負載節點處所接收之該源電壓。
18. 一種晶粒上電流量測系統，其包含：
  - 一電壓源；
  - 一分佈負載電路，其包含複數個電壓負載節點；
  - 複數個串疊電晶體；
  - 複數個頭部開關電晶體，其中該複數個頭部開關電晶體中之每一頭部開關電晶體耦接至該電壓源；
  - 複數個鏡電晶體，其中該複數個鏡電晶體中之每一鏡電晶體耦接至該電壓源；

一分佈源分佈網路，其包含：

複數個頭部開關電阻性互連件，其將該複數個頭部開關電晶體中之每一頭部開關電晶體互連至該複數個電壓負載節點中之一對應的電壓負載節點；

複數個鏡電阻性互連件，其將該複數個鏡電晶體中之每一鏡電晶體互連至該複數個串疊電晶體中之一對應的串疊電晶體之一源極；

複數個頭部開關電壓分接頭節點，其中每一頭部開關電壓分接頭節點對應於該複數個電壓負載節點中之一電壓負載節點；及

複數個鏡電壓分接頭節點，其中每一鏡電壓分接頭節點對應於該複數個串疊電晶體中之一串疊電晶體；

一頭部開關電壓平均電路，其包含：

複數個電阻器，該複數個電阻器中之每一電阻器包含：

一輸入節點，其耦接至該複數個頭部開關電壓分接頭節點中之一對應的頭部開關電壓分接頭節點；及

一輸出節點；及

一頭部開關電壓輸出節點，其耦接至每一電阻器之該輸出節點，該頭部開關電壓輸出節點經組態以提供存在於該分佈負載電路中之一平均頭部開關電壓；

一鏡電壓平均電路，其包含：

複數個電阻器，該複數個電阻器中之每一電阻器包含：

一輸入節點，其耦接至該複數個鏡電晶體中之一對應的鏡電晶體；及

一輸出節點；及

一鏡電壓輸出節點，其耦接至每一電阻器之該輸出節點，

該鏡電壓輸出節點經組態以提供存在於該複數個串疊電晶體中之一平均鏡電壓；

耦接至一感測電阻器之該複數個串疊電晶體中之每一串疊電晶體之一汲極；

該感測電阻器經組態以將一電壓提供至一類比/數位轉換器(ADC)；

該ADC經組態以將來自該感測電阻器之該電壓轉換成表示該分佈負載電路之一供電電流之一數位信號；及

一運算放大器，其包含：

一第一輸入端，其耦接至該頭部開關電壓輸出節點；

一第二輸入端，其耦接至該鏡電壓輸出節點；及

一輸出節點，其耦接至對應於該複數個串疊電晶體之一閘極。

19. 如請求項18之晶粒上電流量測系統，其中該頭部開關電壓平均電路進一步包含：

一按比例縮放電阻器，其在一接地源極與該頭部開關電壓平均電路中之該複數個電阻器中之每一電阻器的該輸出節點之間耦接，

該按比例縮放電阻器經組態以按比例縮放該頭部開關電壓輸出節點上之該平均頭部開關電壓。

20. 如請求項18之晶粒上電流量測系統，其中該鏡電壓平均電路進一步包含：

一按比例縮放電阻器，其在一接地源極與該鏡電壓平均電路中之該複數個電阻器中之每一電阻器的該輸出節點之間耦接，

該按比例縮放電阻器經組態以按比例縮放該鏡電壓輸出節點上之該平均鏡電壓。

21. 如請求項18之晶粒上電流量測系統，其進一步包含一電壓調節器電路，該電壓調節器電路經組態以調節提供至該分佈負載電路之一電壓，該電壓調節器電路包含：
  - 一第一輸入端，其耦接至一參考電壓源；
  - 一第二輸入端，其耦接至該頭部開關電壓平均電路之該頭部開關電壓輸出節點；且
  - 一輸出端，其耦接至該複數個頭部開關電晶體中之每一頭部開關電晶體之一閘極及該複數個鏡電晶體中之每一鏡電晶體之一閘極。
22. 如請求項18之晶粒上電流量測系統，其中：
  - 該複數個頭部開關電晶體中之每一頭部開關電晶體包含一p型金屬氧化物半導體(PMOS)電晶體；且
  - 該複數個鏡電晶體中之每一鏡電晶體包含一PMOS電晶體。
23. 如請求項22之晶粒上電流量測系統，其中該複數個串疊電晶體中之每一串疊電晶體包含一PMOS電晶體。
24. 如請求項18之晶粒上電流量測系統，其中該分佈負載電路包含一處理器核心。
25. 如請求項18之晶粒上電流量測系統，其中該分佈負載電路包含一快取記憶體。

圖式

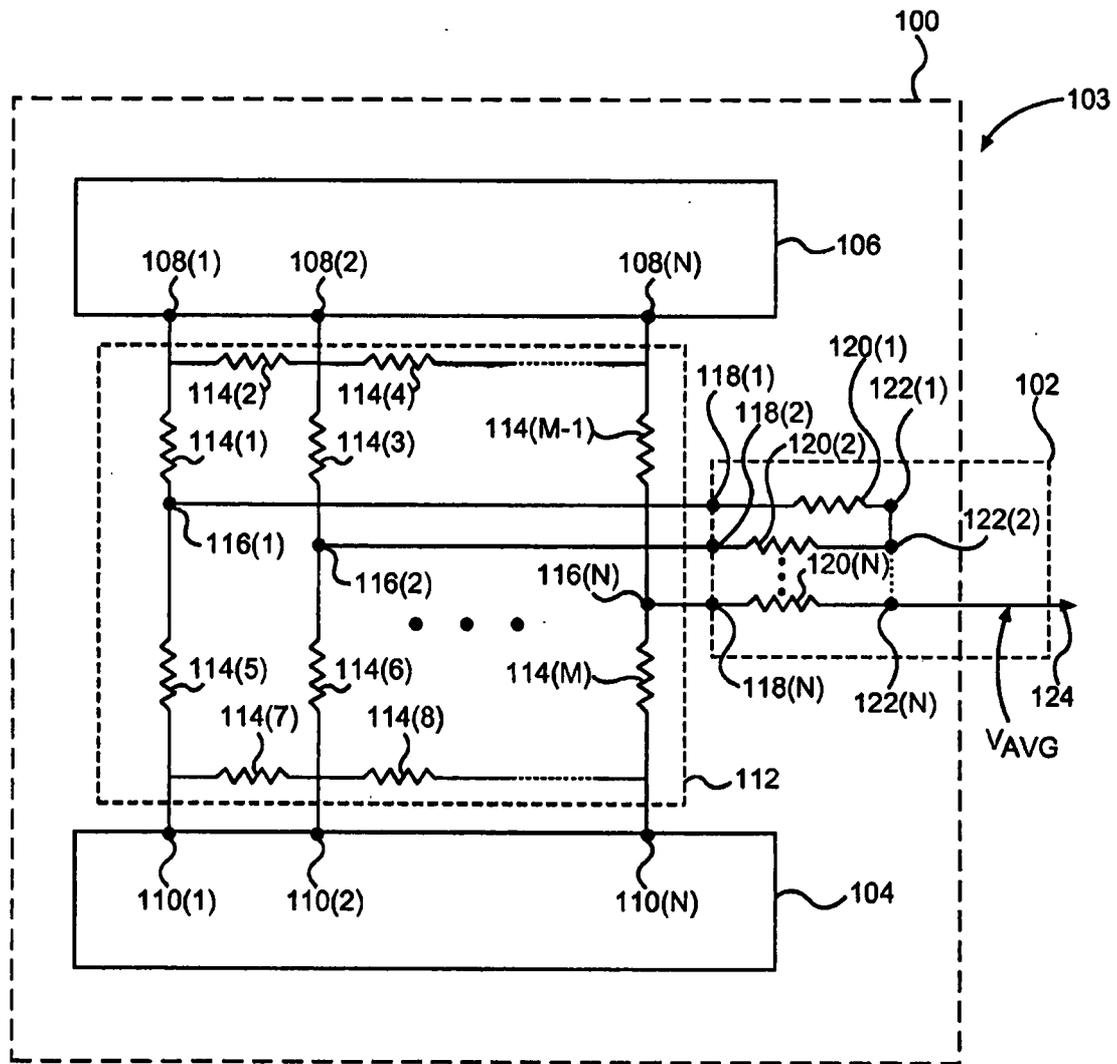


圖1

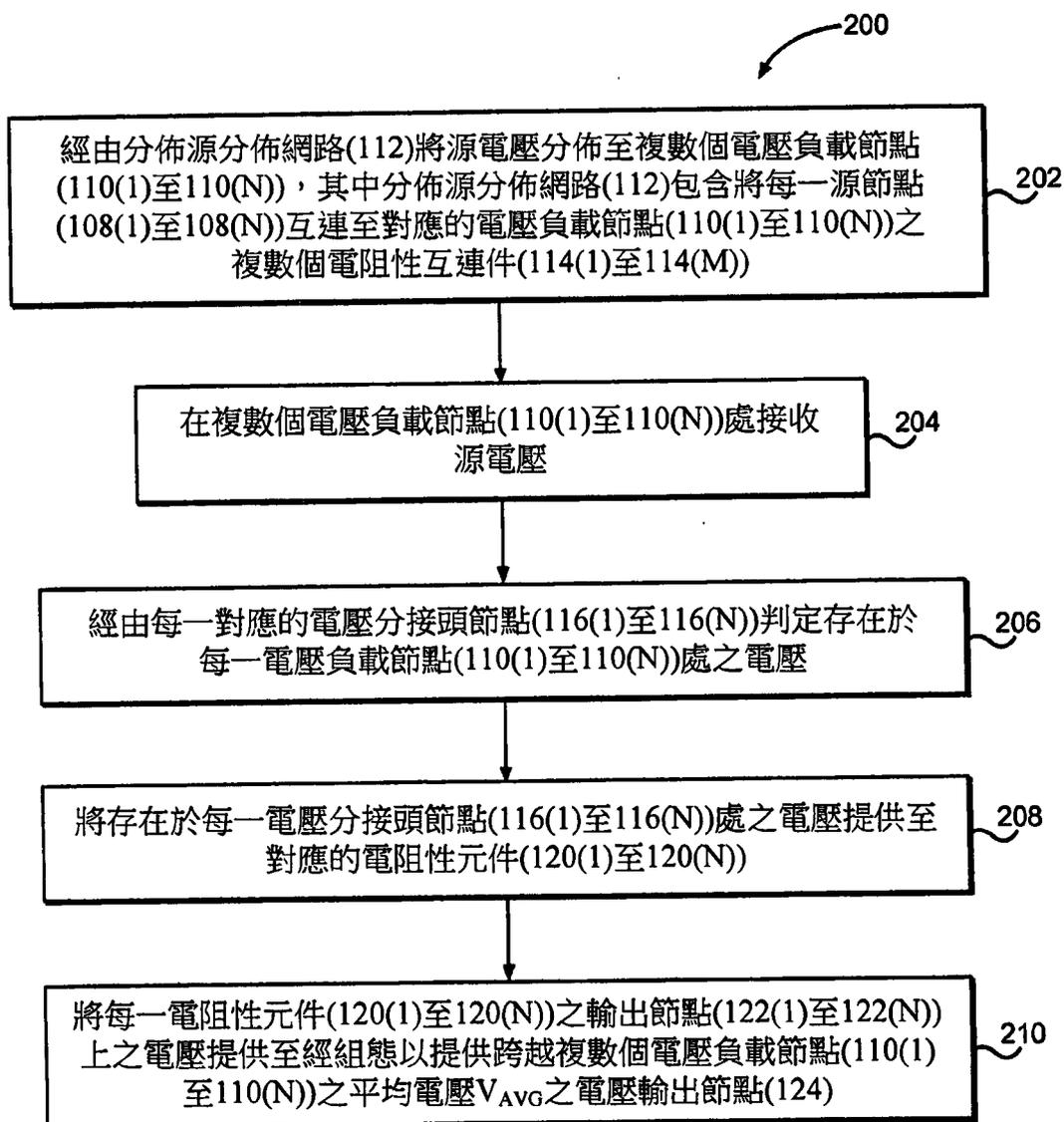


圖2



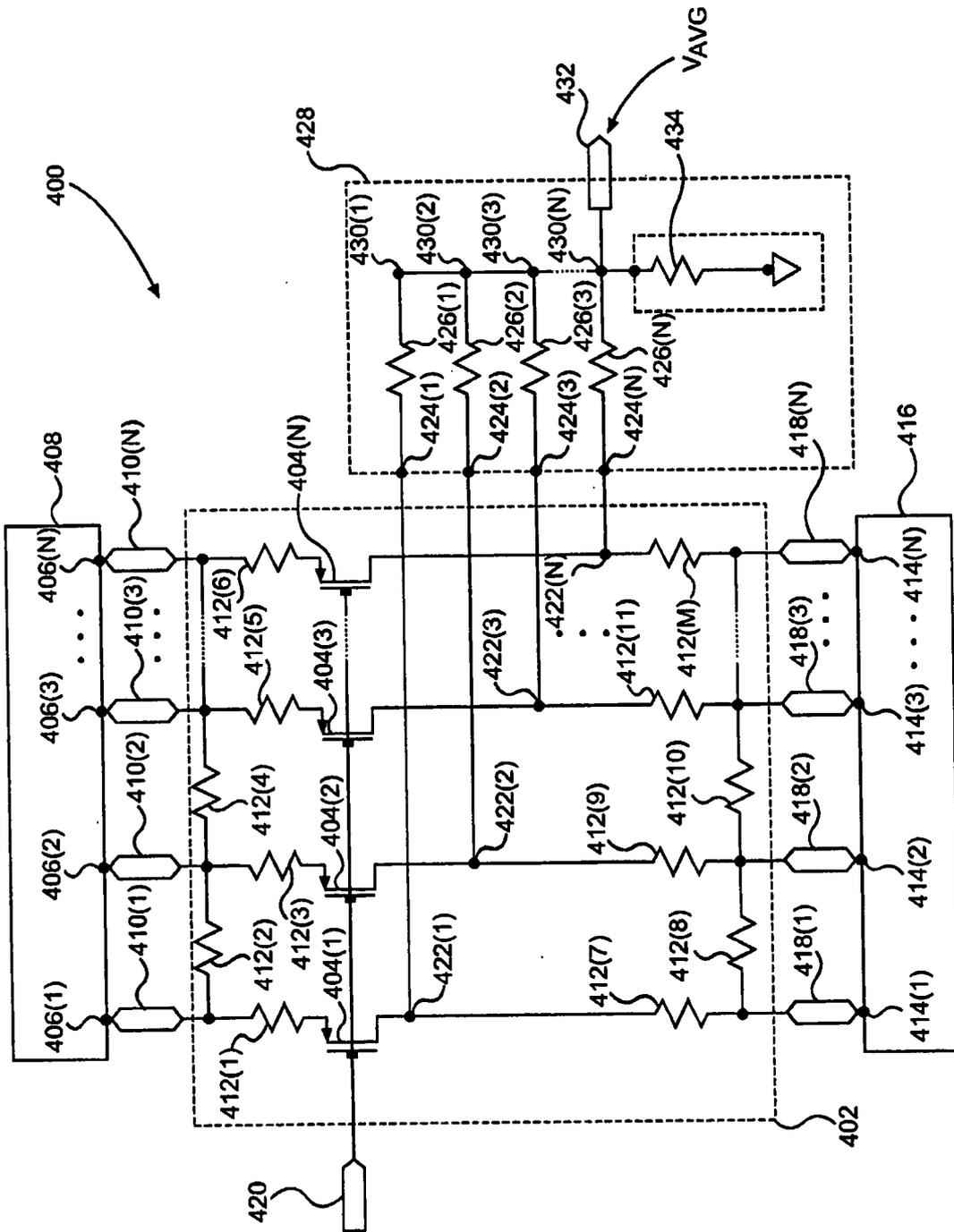


圖4



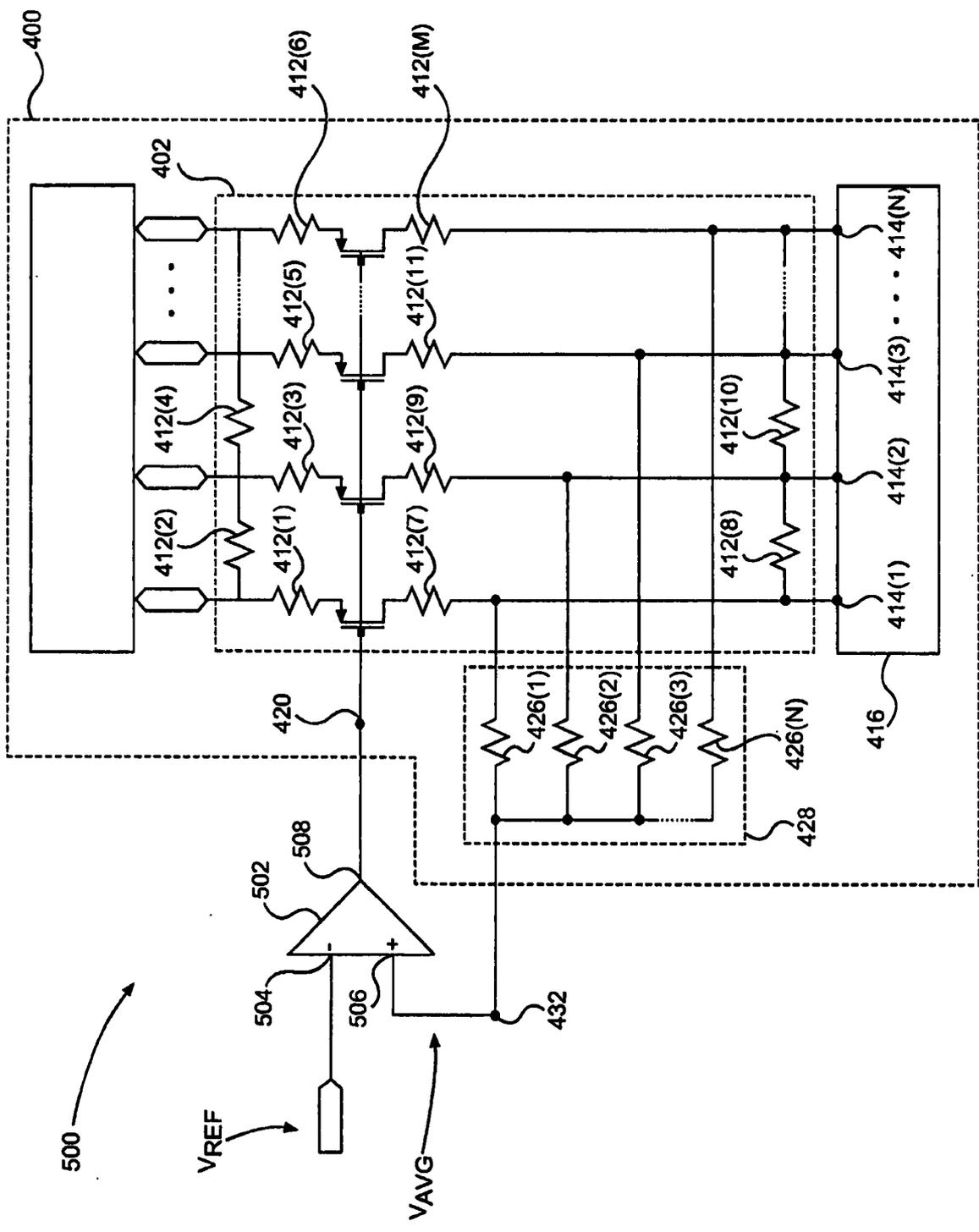


圖 5

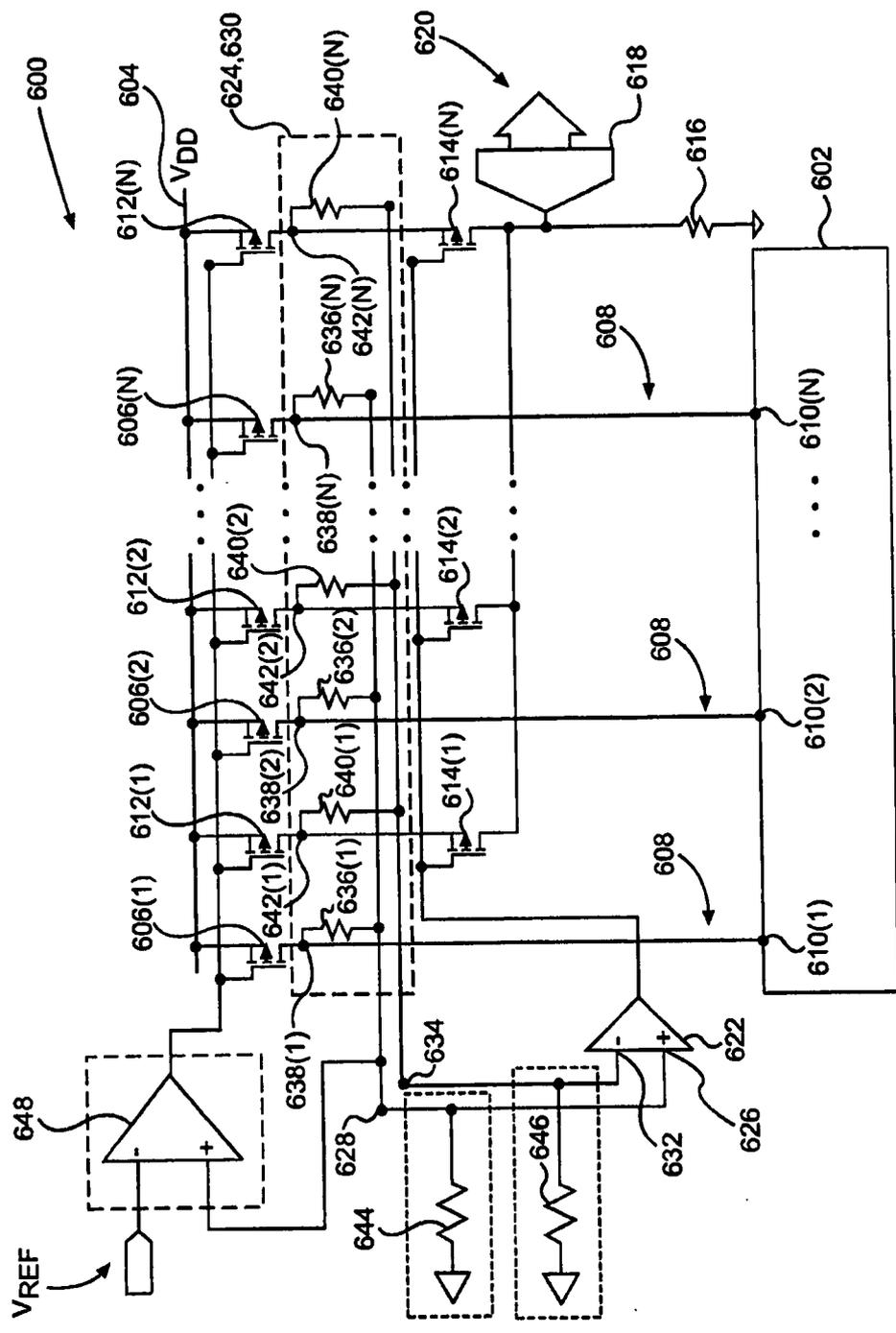


圖6



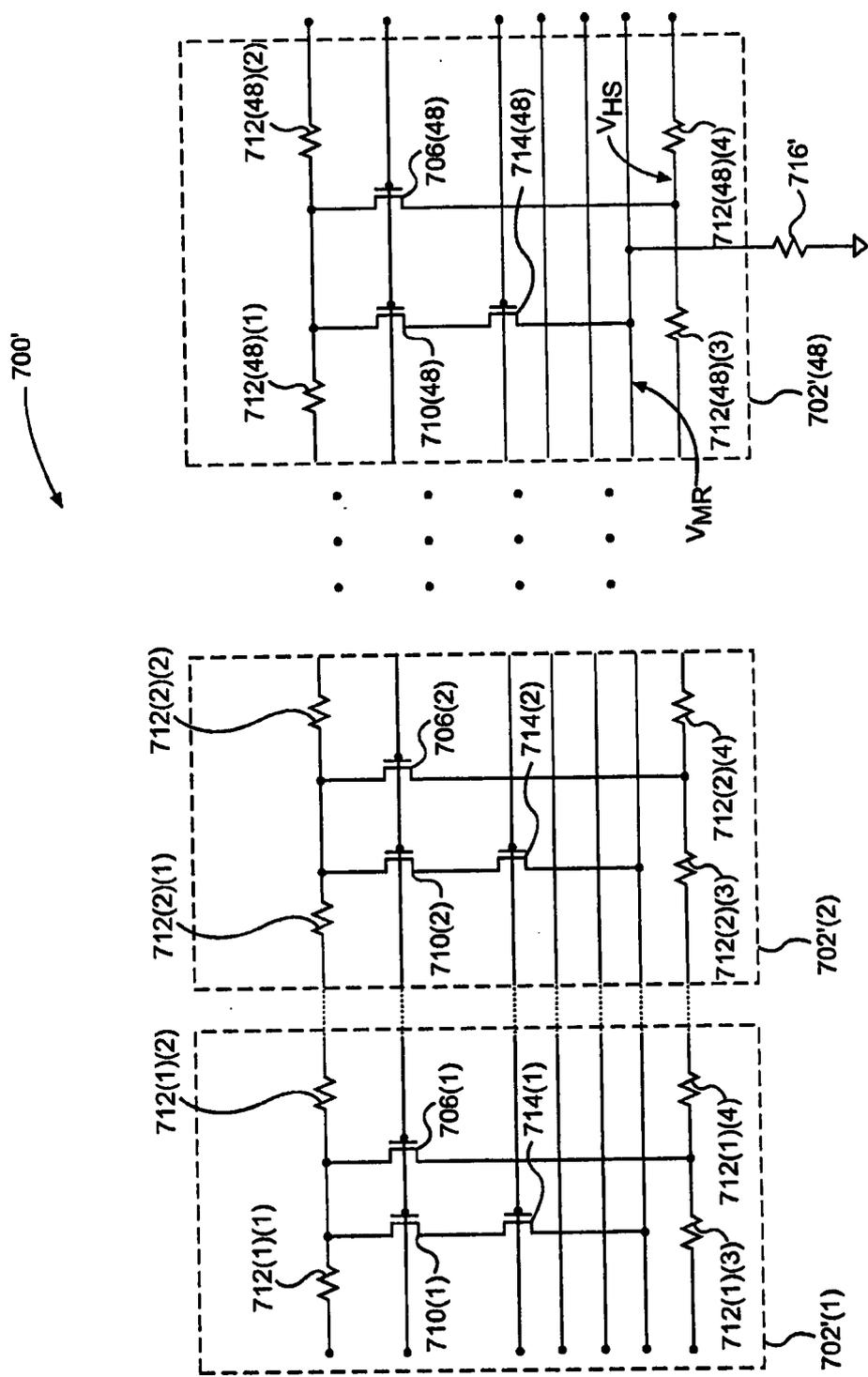
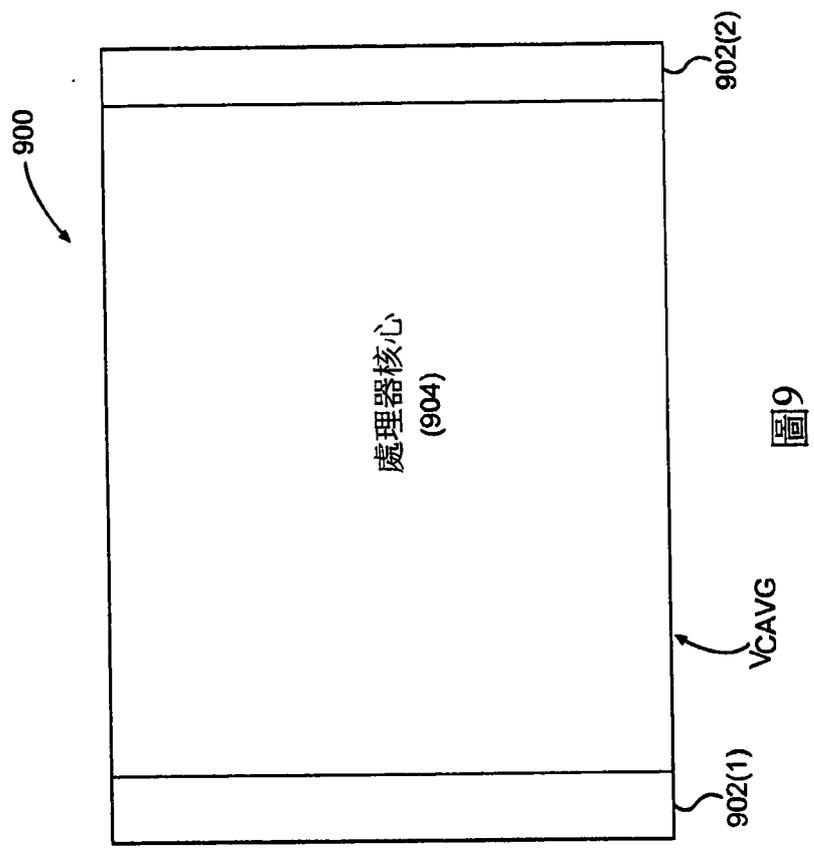


圖7B





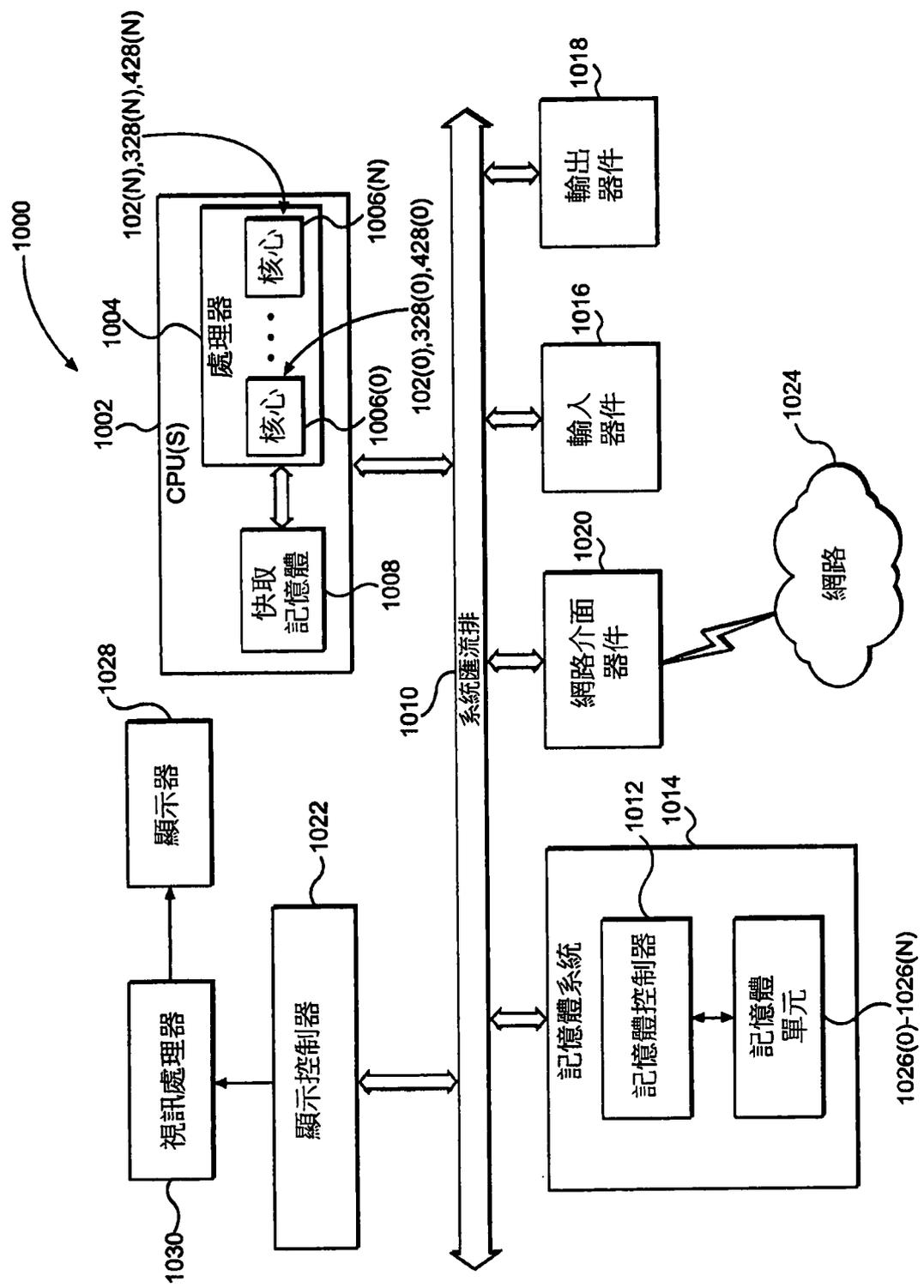


圖10