

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4313226号
(P4313226)

(45) 発行日 平成21年8月12日(2009. 8. 12)

(24) 登録日 平成21年5月22日(2009. 5. 22)

(51) Int. Cl.	F I
G06F 1/06 (2006.01)	G06F 1/04 3 1 2 A
H03K 3/017 (2006.01)	H03K 3/017
H03K 5/05 (2006.01)	H03K 5/05
H03K 5/13 (2006.01)	H03K 5/13

請求項の数 4 (全 18 頁)

(21) 出願番号	特願2004-61009 (P2004-61009)	(73) 特許権者	000005223
(22) 出願日	平成16年3月4日(2004. 3. 4)		富士通株式会社
(65) 公開番号	特開2005-250893 (P2005-250893A)		神奈川県川崎市中原区上小田中4丁目1番1号
(43) 公開日	平成17年9月15日(2005. 9. 15)	(73) 特許権者	592019877
審査請求日	平成18年9月11日(2006. 9. 11)		富士通周辺機株式会社
			兵庫県加東市佐保35番
		(74) 代理人	100065248
			弁理士 野河 信太郎
		(72) 発明者	藤原 徹
			兵庫県加東郡社町佐保35番 富士通周辺機株式会社内
		(72) 発明者	柏木 隆伸
			兵庫県加東郡社町佐保35番 富士通周辺機株式会社内

最終頁に続く

(54) 【発明の名称】 パルス幅調整装置

(57) 【特許請求の範囲】

【請求項1】

入力された一定周期のクロックCLKを用いて、所定の遅延量を持つ複数の遅延パルス
を生成する第1の遅延回路と、前記複数の遅延パルスを用いてクロックCLK 1周期当
たりの遅延量を測定するための保持信号を生成する第1および第2の遅延状態保持回路と、
前記保持信号を出力するタイミングを示すパルスを生成しかつ前記遅延状態保持回路に与
える保持タイミング回路と、各遅延状態保持回路ごとに接続され、その接続された遅延状
態保持回路から与えられる前記保持信号を用いて、1周期の間に測定された保持信号の数
をカウントする第1および第2のエンコーダと、各エンコーダから出力される保持信号の
カウント値に対して所定の演算を行って、クロックCLKの1周期当たりの遅延量に相当
する演算値を出力する演算値出力回路と、
前記第1の遅延回路から出力される複数の遅延パルスを用いて、前記演算値出力回路に
より出力された演算値から求められた遅延タイミング設定値DLYSELに相当する遅延
パルスCLK 1を選択し出力する選択回路と、選択回路と同じ遅延時間を持ち、クロック
CLKを前記遅延時間だけずらしたクロックCLK 2を出力する第2の遅延回路と、前記
遅延パルスCLK 1とクロックCLK 2との論理演算をする論理演算回路とを備え、入力
されたクロックCLKに対してパルス幅が調整されたクロックを前記論理演算回路から出
力することを特徴とするパルス幅調整装置。

【請求項2】

前記演算値出力回路から出力される演算値を用いて、前記論理演算回路から所望のバル

ス幅のクロックが出力されるように、前記遅延タイミング設定値 D L Y S E L を決定する遅延量自動調整回路を、さらに備えたことを特徴とする請求項 1 のパルス幅調整装置。

【請求項 3】

前記演算値出力回路が第 1 および第 2 のエンコーダからそれぞれ出力されるカウント値を引き算する引算回路で構成され、

前記保持タイミング回路は、第 1 の遅延状態保持回路に与えるパルスよりも、第 2 の遅延状態保持回路に与えるパルスの方を、クロック C L K の 1 周期分遅れたタイミングで出力することを特徴とする請求項 1 のパルス幅調整装置。

【請求項 4】

前記遅延タイミング設定値 D L Y S E L は、前記演算値出力回路から出力される演算値に、予め設定されたパルス幅の調整量に相当するパルス調整値を乗算することにより求められることを特徴とする請求項 1 のパルス幅調整装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、パルス幅調整装置に関し、特に、光磁気記録再生装置などのデータ書込み用クロックのパルス幅を調整する装置に関する。

【背景技術】

【0002】

C P U をはじめとするデジタル回路は、クロック発生回路によって生成される基準クロックを基準として動作している。基準クロックのパルス幅には、デバイスにより正常な動作が保証された範囲があり、その範囲外のパルス幅をデバイスに与えた場合、デバイスの正常な動作は保証されない。

近年、動作速度の高速化をするために、基準クロックの周波数が高くなると共に、そのパルス幅の許容範囲も狭くなる傾向にある。

また、一般に基準クロックは温度や電圧などの動作環境により変動するが、基準クロックのパルス幅が許容範囲を越えた場合には、デバイスの動作が不安定となる。

【0003】

また、クロック発生回路により生成された基準クロックを直接ロジック回路に供給することは少なく、通常は所望のタイミングやパルス幅を得るために、遅延素子を介在させて基準クロックを供給している。しかし、遅延素子のばらつき等により遅延時間が変動するので、これも動作の不安定の原因となる。そこで、従来からこのような遅延のばらつきなどを考慮した種々の遅延制御回路が提案されている（たとえば、特許文献 1、2）。

【0004】

図 1 に、従来のパルス幅調整回路の一実施例の構成ブロック図を示す。このパルス幅調整回路は、主として、次のような素子から構成される。

(1) 与えられた基準クロック (C L K) をもとに、校正用のパルス (Calibrate-pls) を発生する校正回路 1 1 (Cal Pulse Gen)、

(2) 2 つの入力パルスのうち一方を選択するセレクタ 1 2 (Sel)、

(3) 一定時間遅延したパルス (Tap1~N) を生成する遅延回路 1 3 (Delay Element String)、

(4) クロックの立ち上がり時における遅延パルスを保持する遅延状態保持回路 1 4 (REG)、

(5) 保持された遅延パルスの数をカウントしてその数値 (ENC0) を出力するエンコーダ 1 5 (Encoder Logic)、

(6) 通常動作時の遅延量 D L Y S E L に対応する遅延パルスを選択する選択回路 1 6 (マルチプレクサ MUX)、

(7) M U X 1 6 と同じ遅延時間を持つ遅延素子 1 8 (Delay B)、

(8) M U X 1 6 から出力されるパルス C L K 1 と、遅延素子 1 8 から出力されるパルス C L K 2 との論理積をとる A N D 素子 1 7。

10

20

30

40

50

ただし、素子 17 は、必要に応じて OR 素子等を用いてもよい。

【0005】

AND 素子 17 から出力されるクロック CLK は、設計どおりの所望のタイミングで出力され、かつパルス幅が調整された後の信号であり、たとえば、光記録再生装置の書き込みクロックとして利用されるものである。

この従来のパルス調整回路は、まず校正回路 11 を用いて遅延時間を測定する校正モードで動作させ、その後調整されたパルスを用いて通常モードで動作させる。

「校正モード」では、設計時のパルスの理想的な遅延量と、現実のパルスのずれとを測定し、通常モードにおいてどれだけ遅延させれば理想的な遅延量となるかを求める。

【0006】

図 2 に、従来の校正モードの理想的なタイミングチャートを示す。

本来、回路 11、12 でも必ず遅延が発生するが、これらの回路による遅延が、クロック CLK の周期に対して無視できるほど十分小さい場合は、図 2 のような理想的なタイムチャートとなる。

図 2 において、校正信号 (calibrate) が校正回路 11 に入力されると、クロック CLK の立ち上がり A_0 で、校正回路 11 からクロック 1 周期分のパルス (Calibrate-pls) が出力される。

このパルス (Calibrate-pls) は、セクタ 12 を通り、遅延回路 13 に入力されると、ここで一定時間だけ遅延したタップパルス (Tap1~Tap9) が順次出力される。図 2 では、 $N=9$ の場合を示しており、合計 10 個のタップパルスが、時間 T だけずれた状態で出力されている。

【0007】

クロック CLK の次の立ち上がり A_1 のタイミングにおいて、遅延状態保持回路 REG 14 は、タップパルスをラッチしエンコーダ 15 に与えると、エンコーダ 15 では、ハイ状態となっているパルスの数に相当する数値データ ENC0 が出力される。

図 2 では、エンコーダの出力値 ENC0 は 6 である。このエンコーダ出力値 ENC0 を見れば、クロック 1 周期の中で、何 Tap の遅延を要したかがわかる。すなわち、出力値 ENC0 は、クロック 1 周期当たりの通過 TAP を意味する。

【0008】

1 TAP 分の遅延時間を “T” とすると、この時間 T は、次式 (式 1) で求められる。

$$\text{クロック 1 TAP 分の遅延時間 (T)} = \frac{\text{クロック 1 周期 (T}_0\text{)}}{\text{クロック 1 周期の通過 TAP 数 (ENC0)}}$$

図 2 によれば、校正モード時において、図 2 のような理想的な状態では、エンコーダの出力値は 6 となるべきであることを意味する。

【0009】

図 3 に、従来の通常モードの理想的なタイミングチャートを示す。通常モードでは、校正信号 Calibrate はローの状態で作動させる。このとき、クロック CLK は、セクタ 12 を通り、そのまま遅延回路 13 に入力され、遅延回路 13 からは、図 3 に示すようなタップパルス (Tap1~Tap9) が出力される。セクタ 12 の出力 Tap0 を含めた、これらのタップパルス (Tap0~Tap9) は、遅延状態保持回路 REG 14 と選択回路 MUX 16 に与えられる。

また、選択回路 MUX 16 には、図示していないマイクロコンピュータ (MPU) などから与えられる遅延設定値 (DLYSEL) が入力されるが、この DLYSEL の値に対応するタップ番号のタップパルスが選択されて、選択されたタップパルスが MUX 16 からクロック CLK1 として出力される。

図 3 の場合は、DLYSEL として “2” が設定されているので、タップパルス Tap2 が選択され、MUX 16 からクロック CLK1 として Tap2 がそのまま出力される。

【0010】

一方、Delay B18 は、MUX 16 と同じだけの遅延時間を持つ遅延素子であるが、図 3 に示すようなクロック CLK2 が出力される。そして、AND 回路 17 により、M

10

20

30

40

50

UX16から出力されたクロックCLK1と、DelayB18を通過したクロックCLK2との論理積ANDがとられ、パルス幅調整されたクロックCLKWが出力される。

図2の校正モードにおいて求められたタップ数は、クロック1周期に対して“6”であったが、図3の通常モードでは、遅延のタップ数に相当するDLYSEL値を“2”に設定している。

すなわち、クロックCLK1は、もとのクロックCLKに対して、33% (2/6 = 0.33) だけ遅延させたクロックであり、図3のような理想的な場合には、設計値どおりの遅延量 (33%) に対応するクロックCLKWが出力されることになる。たとえば、このクロックCLKWは、記録再生装置のデータ書き込み用クロック信号として用いられる。

10

【0011】

ここで、クロックの遅延量を決める設定値DLYSELによって設定された「ずらし量 (%)」は、次式 (式2) で求められる。

ずらし量 (%) = DLYSEL値 / クロック1周期あたりの通過TAP数

【0012】

【特許文献1】特開2002-334434号公報

【特許文献2】特開2002-16492号公報

【発明の開示】

【発明が解決しようとする課題】

【0013】

20

従来において、タップパルスの遅延時間Tに対して、クロックCLKの1周期の長さが十分大きい場合、すなわち、書き込みクロックの周波数が低い場合は、校正回路11やセクタ12の遅延量は無視できるものであり、多少遅延量に変動があっても書き込みパルスCLKWに影響を及ぼすことはほとんどなかった。

しかし、記録再生装置の高速化、高密度化に伴って、書き込みクロックの周波数を高めることが要求されており、基準となるクロックCLKの1周期の長さが短くなってくると、校正回路11やセクタの遅延量は無視できないものとなる。すなわち、校正回路11等にわずかな遅延量のずれがあるだけで、出力される書き込みクロックの周期がみだれ、記録再生処理に大きな不都合をもたらす。

【0014】

30

以下に、このような不測の遅延が生じた場合の動作について説明する。

図4に、従来の校正モードの遅延発生時のタイミングチャートを示す。

図2の理想的な場合に比べて、校正回路11の出力パルス (Calibrate-pls) と、セクタ12の出力パルスTap0とが、クロックCLKに対して遅延した場合を示している。

図2では、クロックCLKの立ち上がりA₀で、パルス (Calibrate-pls) がほぼ同時に立ち上がっていたが、図4では、パルス (Calibrate-pls) が、クロックCLKの立ち上がりA₀よりも時間T_cだけ遅延して立ち上がった状態を示している。

また、図4では、セクタ12の出力であるタップパルスTap0も遅延しており、パルス (Calibrate-pls) よりも時間T_sだけ遅延して、タップパルスTap0が立ち上がった状態を示している。

40

【0015】

図4の場合、タップパルスTap0が遅延しているため、遅延回路13で生成される他のタップパルス (Tap1 ~ Tap9) も図2の理想の場合に比べて遅延していることになる。

したがって、クロックCLKの次の立ち上がりA₁のタイミングにおいて、ハイレベルのタップパルスをカウントすると、図4の場合は4となり、結局エンコード15の出力値ENC0は理想的には“6”であるべきところが、“4”となってしまう。すなわち、クロック1周期あたりの通過TAP数は“4”として、測定される。

このように校正時に得られる遅延量が変化してしまうのは、校正回路11とセクタ1

50

2によって遅延（ T_c と T_s ）が発生したためである。

クロックのずらし量を25%に設定する場合、この校正モード時の測定結果（ $ENC0 = 4$ ）を用いると、前記した式2から、 $DLYSEL$ の値は“1”とすればよいことがわかる。

【0016】

図5に、通常モード時において、クロックを25%だけずらした動作をさせた場合のタイムチャートを示す。しかし、図5においては、所望の25%の遅延量とはならず、約17%の遅延量を持つクロックパルス $CLKW$ となっている。これは、校正回路11とセクタ12の遅延（ T_c と T_s ）によって生じたものである。一般に、この2つの遅延を考慮するとすれば、式2ではなく、次のような式3を用いて、クロックのずらし量（%）を決定する必要がある。

$$\text{ずらし量（\%）} = DLYSEL \text{ 値} / (\text{クロック1周期あたりの通過Tap数} + T_c + T_s)$$

【0017】

ところが、校正回路11で生じる遅延 T_c も、セクタ12で生じる遅延 T_s も、温度、電源電圧の変化により変動する。したがって、式3の分母の値が変動するため、所望のずらし量を得るためには、 $DLYSEL$ 値も変更する必要がある。

しかし、現実には、温度や電圧の変化に合わせて式3の値を一定とすることは困難であり、従来方法では遅延に対応させた正確なパルス幅を設定することはできない。

【0018】

そこで、この発明は、以上のような事情を考慮してなされたものであり、クロック CLK の1周期が短くなっても、回路素子の遅延の影響が生じず、所望の正確なパルス幅を持つクロックを生成することのできるパルス幅調整装置を提供することを課題とする。

【課題を解決するための手段】

【0019】

この発明は、入力された一定周期のクロック CLK を用いて、所定の遅延量を持つ複数の遅延パルスを生成する遅延回路と、前記複数の遅延パルスを用いてクロック CLK 1周期当たりの遅延量を測定するための保持信号を生成する複数個の遅延状態保持回路と、前記保持信号を出力するタイミングを示すパルスを生成しかつ前記遅延状態保持回路に与える保持タイミング回路と、各遅延状態保持回路ごとに接続され、その接続された遅延状態保持回路から与えられる前記保持信号を用いて、1周期の間に測定された保持信号の数をカウントする複数個のエンコーダと、各エンコーダから出力される保持信号のカウント値に対して所定の演算を行って、クロック CLK の1周期当たりの遅延量に相当する演算値を出力する演算値出力回路とを備えたことを特徴とするパルス幅調整装置を提供するものである。

【0020】

また、前記遅延回路から出力される複数個の遅延パルスを用いて、前記演算値出力回路により出力された演算値から求められた遅延タイミング設定値 $DLYSEL$ に相当する遅延パルス $CLK1$ を選択し出力する選択回路と、選択回路と同じ遅延時間を持ち、クロック CLK を前記遅延時間だけずらしたクロック $CLK2$ を出力する第2の遅延回路と、前記遅延パルス $CLK1$ とクロック $CLK2$ との論理演算をする論理演算回路とをさらに備え、入力されたクロック CLK に対してパルス幅が調整されたクロックを論理演算回路から出力することを特徴とするパルス幅調整装置を提供するものである。

論理演算回路は、論理和または論理積等を演算する回路であり、設計仕様によって種々のものが利用できる。

【0021】

ここで、前記演算値出力回路から出力される演算値を用いて、前記論理演算回路から所望のパルス幅のクロックが出力されるように、前記設定値 $DLYSEL$ を決定する遅延量自動調整回路を、さらに備えてもよい。

また、前記遅延状態保持回路とエンコーダとをそれぞれ2個備え、前記演算値出力回路

10

20

30

40

50

には、2つのエンコーダからそれぞれ出力されるカウント値を引き算する引算回路を用いてもよい。

【0022】

さらに、前記遅延状態保持回路が2個の場合に、前記保持タイミング回路は、第1の遅延状態保持回路に与えるパルスよりも、第2の遅延状態保持回路に与えるパルスの方が、クロックCLKの1周期分遅れたタイミングで出力するようにしてもよい。

また、前記遅延タイミング設定値DLYSELは、前記演算値出力回路から出力される演算値(SUB0)に、予め設定されたパルス幅の調整量に相当するパルス調整値(K/L)を乗算することにより求めるようにしてもよい。ここで、パルス調整値とは、クロックCLKのずらし量を意味し、後述する実施例では、K/Lに相当するものである。すなわち、 $DLYSEL = SUB0 \times (K/L)$ で表すことができる。

10

【0023】

この発明において、遅延パルスとは後述する実施例において示すタップパルス(Tap0～TapN)に対応する。

また、保持信号とは、図5、図8に示すTapn_LおよびTapn_L2を意味する。保持信号を出力するタイミングを示すパルスとは、図11に示すLatch-timing-pls(LP1, LP2)を意味する。

この発明の遅延状態保持回路とエンコーダとは、2以上設ければよいが、少なくともそれぞれ2個設ければよく、それぞれ2個備えた場合には、前記演算値出力回路としては、引算回路を用いればよい。この場合、引算回路には、2つのエンコーダからのカウント値が与えられ、カウント値のうち大きい方から小さい方を引き算すればよい。

20

【発明の効果】

【0024】

この発明によれば、複数の遅延状態保持回路と、複数のエンコーダと、各エンコーダから出力されるカウント値に対して所定の演算を行って、1周期当たりの遅延量に相当する演算値を求めているので、基準となるクロックのパルス幅が小さくなった場合でも、温度、電圧などの使用環境の変化や、回路素子の特性のばらつきによる遅延の影響を受けずに、クロックパルスのパルス幅を正確に調整できる。

【発明を実施するための最良の形態】

【0025】

30

以下、図に示す実施例に基づいて本発明を詳述する。なお、本発明はこれによって限定されるものではない。

図6に、この発明のパルス幅調整装置の構成ブロック図を示す。図1に示す従来の装置と同じブロックには、同じ符号を付加している。

図6において、図1とは異なり、保持タイミング回路21(Latch Timing Pulse Gen)と、第2の遅延状態保持回路22(REG2)と、第2のエンコーダ23(Encoder2)と、引算回路24(SUB)とが追加されている。

【0026】

また、校正モード時の出力としては、エンコーダ15の出力値ENC0を用いるのではなく、2つのエンコーダ(15, 23)の出力を引き算した値SUB0を用いる点が変わる。この出力値SUB0は、以下に示すように、校正回路11とセレクト12による遅延(Tc, Ts)を含まないクロック1周期あたりの通過TAP数を示している。

40

すなわち、図6に示すこの発明の構成によれば、遅延量(Tc, Ts)による影響をキャンセルでき、正確なクロック1周期あたりの通過TAP数を求めることができる。

【0027】

また、校正回路11から出力されるパルス(Calibrate-pls)は、クロック2周期分の幅を持つように出力される(図8参照)。これは、2つの遅延状態保持回路(14, 22)を用いているので、それぞれ別々のクロックのタイミングでタップパルスを保持するためには、2周期分のパルス(Calibrate-pls)が必要となるからである。

【0028】

50

図 9 に、図 6 に示したこの発明の校正回路 1 1 (Cal Pulse Gen) の一実施例の詳細回路を示す。校正回路 1 1 は、図 9 に示すように、3 つの D フリップフロップと A N D 回路から構成される。

入力信号である C a l i b r a t e 信号が C L 端子に入力されると、次のクロック C L K の立ち上がりのタイミングで、出力パルス (Calibrate-pls) の立ち上がり生成され、その次の次のクロックの立ち上がりのタイミングで、出力パルス (Calibrate-pls) の立ち下がりが生成される (図 8 のパルス Calibrate-pls 参照)。

【0029】

図 1 0 に、この発明の保持タイミング作成回路 2 1 (Latch Timing Pulse Gen) の一実施例の詳細回路を示す。また、図 1 1 に、保持タイミング作成回路 2 1 から出力される 2 つのパルス信号 (L P 1, L P 2) のタイミングチャートを示す。

10

図 1 0 に示すように、保持タイミング作成回路 2 1 は、2 つの D フリップフロップと 1 つの A N D 回路から構成される。パルス L P 1 (Latch-timing-pls) は、第 1 の遅延状態保持回路 1 4 (REG) に与えられるタイミングパルスであり、パルス L P 2 (Latch-timing-pls2) は第 2 の遅延状態保持回路 2 2 (REG2) に与えられるタイミングパルスである。

図 1 1 に示すように、パルス L P 1 は、パルス (Calibrate-pls) の立ち上がりのタイミングで立ち上がり、1 クロック分で立ち下がるパルスである。パルス L P 2 は、パルス L P 1 に対して 1 クロック周期分だけ遅れて生成されるパルスである。

【0030】

図 1 2 に、遅延回路 1 3 (Delay element String) の一実施例の詳細回路を示す。

20

図 1 2 に示すように、遅延回路 1 3 は、取り出すタップパルス数 (N) に等しい数の遅延素子 (D) を直列に接続したものである。各遅延素子 (D) の出力からタップパルス (T A P 1 ~ T A P N) が取り出される。

また、各遅延素子 (D) の遅延量は、タップパルスの時間的ずれ量に関係するが、この遅延量は装置全体の設計仕様により異なり、一義的には決められない。たとえば、遅延素子 (D) の遅延量は、基準となるクロック C L K の周期、記録再生装置で必要とする分解能によって決定される。

【0031】

図 1 3 に、遅延状態保持回路 1 4, 2 2 (REG, REG2) の一実施例の詳細回路を示す。

図 1 3 に示すように、各タップパルスごとに設けたイネーブル (EN) 端子付きの D フリップフロップから構成される。各イネーブル端子 (EN) には、保持タイミング作成回路 2 1 で生成されたタイミングパルス (L P 1 または L P 2) が入力される。

30

図 1 3 は R E G 1 4 を示したものであるが、R E G 2 (2 2) も全く同様の構成である。この遅延状態保持回路 (1 4, 2 2) によれば、イネーブル端子へのパルス入力時のタイミングで各タップパルス (T a p 0 ~ N) の値が出力される (T a p 0 _ L ~ T a p N _ L)。

【0032】

この発明のパルス幅調整装置は、以上のような回路ブロックから構成されるが、次に、この装置のパルス幅の調整内容について説明する。

図 8 に、この発明のパルス幅調整装置において、校正回路 1 1 とセレクト 1 2 に遅延が発生している場合の校正モードのタイムチャートを示す。ここでは、遅延回路 1 3 のタップ数 (N) を 1 1 としている。

40

図 8 において、前記したように、パルス (Calibrate-pls) は、クロック C L K の 2 周期分の幅を持つクロックであり、図 4 と同様に、パルス (Calibrate-pls) の後に、所定の遅延を伴ってタップパルス (T a p 0 から T a p 1 1) が出力される。各タップパルス (T a p 0 ~ T a p 1 1) も、クロック C L K の 2 周期分の幅を持っている。

【0033】

図 8 において、パルス (Calibrate-pls) の立ち上がり後の最初のクロック C L K の立ち上がりのタイミング A₀ において、R E G 1 4 で保持されたタップパルスの通過数 (= 4) が、エンコーダ 1 5 から出力されるのは図 4 と同様である。

50

図8には図示していないが、REG14からは、Tap0_LからTap3_Lまでの4つのパルスが出され、エンコーダ15からは“4”という値のENC0が出力される。

【0034】

一方、図8に示したTap0_L2からTap11_L2までのパルスは、第2の遅延状態保持回路22 (REG2) の出力を示している。

ここで、REG2 (22) では、図8のクロックCLKが立ち上がるタイミングA₁のときに、各タップパルスがラッチされ、この時のタップパルスの数に相当する値 (ENC20) が、エンコーダ23から出力される。図8では、タイミングA₁においては、Tap0~Tap9までがラッチされ、“10”が、ENC20の値として出力される。

【0035】

以上より、図8に示すように、第1のエンコーダ15からは、ENC0 = “4” が出力され、第2のエンコーダ23からは、ENC20 = “10” が出力されることになる。したがって、図6に示した引算回路24 (SUB) では、両出力 (ENC0, ENC20) の差が演算され、“6” = (10 - 4) がSUB0として出力されることになる。

【0036】

以上のようなラッチと引算の処理の結果、得られたSUB0 (= 6) は、校正回路11およびセクタ12によって生じていた遅延 (T_c, T_s) を含まない正確なクロック1周期分の通過Tap数を示している。これは、2つの遅延 (T_c, T_s) の影響は、2つの遅延状態保持回路とエンコーダの両経路に同じだけ存在しているが、両エンコーダから得られた数値を引算回路で引き算しているため、2つの遅延 (T_c, T_s) に相当する部分が打ち消されるからである。

【0037】

図6の構成によれば、次式 (式4) で示すような通過Tap数がSUB0の値として得られることになる。

$$\text{クロック1周期あたりの通過Tap数} = T2 - T1$$

ここで、T2 = クロック2周期あたりの通過Tap数 + T_c + T_s,

$$T1 = \text{クロック1周期あたりの通過Tap数} + T_c + T_s$$

である。クロック2周期あたりの通過Tap数とは第2のエンコーダ23から出力される値 (ENC20) であり、クロック1周期あたりの通過Tap数とは第1のエンコーダ14から出力される値 (ENC0) を意味する。この式4によれば、T2 - T1を演算すればT_cとT_sは打ち消されることがわかる。すなわち、式4は、クロック1周期あたりの通過Tap数 = ENC20 - ENC0を意味する。

【0038】

以上のように、校正モード動作時において得られたSUB0の値は、2つの遅延 (T_c, T_s) を含まないので、図2に示した理想的なタイムチャートで得られる出力値 (= 6) に等しい。

このように校正モードで得られたSUB0値を用いて、選択回路MUXに与えるDLYSEL値を決定し通常モードの動作をさせれば理想的なパルス幅を持つクロックを生成することができる。

【0039】

図8に示したように、校正回路11とセクタ12に遅延が生じている場合の通常モード時の動作は、図5に示したタイミングチャートとほぼ同様である。

この発明では、図6の構成の装置において、MUX16にDLYSEL値として“1”を与える。また、前記したように校正モードで求められたクロック1周期あたりの通過Tap数は“6”である。したがって、前記した式2より、ずらし量 (%) = 1 (DLYSEL値) / 6 (クロック1周期の通過Tap数) であるので、ずらし量 17%程度のクロックパルスCLKWを得ることができる。

【0040】

一方、図5に示した従来の通常モード動作時では、クロック1周期の通過TAP数が4であるので、ずらし量を25%とするべくDLYSEL値を1としたが、結局25%のず

10

20

30

40

50

らし量のクロックは得られず、17%のずらし量のクロックが得られていた。

すなわち、図1の従来のような構成では正確なずらし量を得ることはできなかったが、校正回路11やセクタ12の遅延があったとしても、図6の本願の校正によれば、正確なずらし量を得られる。

【0041】

以上の図6の構成において、校正モード処理によって一旦SUB0値を測定した後、利用者がこのSUB0値を見て、適切なDLYSEL値を設定するようにする。DLYSEL値の設定は、たとえば、図示しないパソコン等からキー入力するか、あるいは、図示しないディップスイッチなどの設定デバイスを用いて行えばよい。あるいは、図15で示される構成により、MPUから設定するようにしてもよい。

10

【0042】

また、校正モードで得られたSUB0値を用いて自動的にDLYSEL値を算出するような遅延量自動調整回路25を図6の構成に追加してもよい。この回路25を追加すれば、校正モード処理の後、一旦処理を中断せずに、スムーズに通常モード処理に移行できる。

図7に、この発明の遅延量自動調整回路25の一実施例の構成図を示す。図7のように、遅延量自動調整回路25は、乗算器26と除算器27とからなる。

【0043】

乗算器26には、図6の引算回路24の出力であるSUB0が入力され、後述するようなパラメータ“K”との乗算が行われる。除算器27では、乗算器26での演算結果を、パラメータ“L”で割る演算が行われ、その演算結果がDLYSEL値として図6の選択回路MUX16に出力される。

20

図7において、パラメータKとLは、ずらし量(%)を決定する数値パラメータであり、図示しないMPUなどから与えられ、利用者が予め設計仕様に合わせて設定しておくものである。

【0044】

前記した式4によれば、クロック1周期の通過TAP数 $=T2 - T1 = ENC20 - ENC0 = SUB0$ である。

また、式2によれば、ずらし量(%) $=DLYSEL / \text{クロック1周期の通過TAP数} = DLYSEL / SUB0$ となる。この式を変形すれば、 $DLYSEL = SUB0 \times \text{ずらし量}(\%)$ となる(式5)。

30

そこで、ずらし量(%) $=K / L$ と定義する(式6)。ここで、Kは、クロック1周期に対するずらし量の分子の値を意味し、Lはクロック1周期に対するずらし量の分母の値を意味する。式5に、式6を代入すると

$$DLYSEL = SUB0 \times K / L \text{ となる。}$$

【0045】

たとえば、ずらし量(%)を18%に設定したいとすると、式6において、18%となるような任意のKおよびLを設定する。ずらし量 $=18\% = 18 / 100$ と考えると、 $K = 18$ 、 $L = 100$ に設定すればよいが、 $18\% = 9 / 50$ と考えると、 $K = 9$ 、 $L = 50$ でもよい。ただし、L値は、回路の簡単化のためには、2のべき乗とすることが好ましい。この場合、除算器27をシフターで容易に構成することができるからである。

40

ここで、ずらし量を18%とするために、 $K = 18$ 、 $L = 100$ という数値をMPUから遅延量自動調整回路25に与えたとすると、SUB0が6の場合、回路25の演算により、DLYSEL値として $DLYSEL = 6 \times 18 / 100 = 1$ が出力される。ここでは、 $6 \times 18 / 100 = 1.08$ であるが、小数点以下を切り捨てている。

以上のように、遅延量自動調整回路25を設けて、校正モードで求められたSUB0を用いてDLYSEL値を演算するようにすれば、校正モードから通常モードへの移行がスムーズに行われる。

【0046】

図14に、校正モード処理と通常モード処理とを連続して行わせた場合の概略フローチ

50

ャートを示す。

(ステップS1)

図14において、まず校正モード処理をさせるために、信号Calibrateをオン(ハイレベル)にする。

(ステップS2)

図8に示したような校正モード処理を実行する。これにより、引算回路24の出力であるSUB0値を測定し、RAM等のメモリに記憶する。ここで、SUB0値は前記したように、校正回路11等の遅延に影響されない1周期あたりのTap数を示している。

【0047】

(ステップS3)

信号Calibrateをオフ(ローレベル)にする。これにより、校正モードを終了する。

(ステップS4)

パラメータK, Lを与えて、遅延量自動調整回路25を動作させ、演算されたDLYSEL値をMUX16に与える。

(ステップS5)

クロックCLKを供給して、通常モード処理を実行する。これにより、K, Lによって設定されたずらし量(%)に対応したパルス幅を持つクロックCLKWが出力される。

【0048】

(ステップS6)

ここでは、通常モード処理終了後、再校正をするか否か判断する。再校正を意味する所定の表示を利用者に提示して、利用者のキー入力等により判断すればよい。あるいは、予め設定された再校正有無を示すパラメータを用いて、そのパラメータを読み取ることにより、再校正処理、すなわちステップS1の処理へ戻るようにしてもよい。ただし、この分岐判断は必ずしも必須の判断ではなく、なくてもよい。

再校正が必要でない場合は、すべての処理を終了する。再校正を必要とするか否かの判断は一義的には決められないが、たとえば温度変化によるクロックの変動に常に対応させてパルス幅を調整する必要がある場合は、できるだけ再校正を実施した方がよい。可搬型の記録媒体を着脱するような記録再生装置では、データの記録処理の実行ごとにステップS1～S5までの処理を繰り返すようにしてもよい。

【0049】

図15に、この発明に用いる設定パラメータの設定回路部分の一実施例を示す。ここでは、MPU36からのデータ書き込み用レジスタとして3つのレジスタ(32, 33, 34)を設け、データ読み出し用レジスタとして1つのレジスタ35を設けたものを示している。

MPU36と各レジスタとは、データバス、アドレスバス、書込み信号(WT)、読み出し信号(RD)によって接続される。書込み用レジスタとしては、K値設定用レジスタ32, L値設定用レジスタ33, DLYSEL設定用レジスタ34がある。ここにMPUから適切な数値が書き込まれ、各数値が図6の所定の構成ブロックに与えられる。遅延量自動調整回路25を利用する場合は、レジスタ34は必要でない。データ読み出し用レジスタには、引算回路から出力されたSUB0値が書き込まれ、MPU36がこの数値を読み取るようにする。

【0050】

以上のように、図6, 図7, 図8および図14に示したような構成、動作をすることにより、高速化によるクロックのパルス幅が小さくなった場合でも、温度、電圧の変化や素子の遅延に影響されないようにクロックパルスの幅を正確に調整することができる。この発明のクロックのパルス幅の調整装置は、次のような装置にも応用できる。

【0051】

図16に、この発明のクロック位相調整装置の一実施例のブロック図を示す。

ここで、入力であるクロックCLKWは、図6に示した回路により、パルス幅が調整さ

10

20

30

40

50

れたクロックである。この回路を用いれば、クロックのパルス幅のみならず、クロックの位相も正確に調整できる。

図16に示す回路は、図6に示した回路からAND回路17を削除した回路に相当し、信号CLKPが、位相調整されたクロックパルスとなる。MUX16には、図示していないMPUから設定されたDLYSEL__Pが入力される。ただし、このDLYSEL__Pは、図15に示したDLYSELと同様に、設定用レジスタを設けて設定すればよい。

【0052】

ここで、DelayB18は、MUX16と同一の遅延量を持つ素子を用い、また、信号CLKPの位相は、CLKP__0に対して位相調整されたものである。すなわち、DLYSEL__Pの数値を変えることにより、利用者が所望するだけ位相のずれたクロックCLKPを得ることができる。

10

【0053】

図17に、別の応用例として、データ(DATA)の位相調整装置の一実施例のブロック図を示す。ここで、クロックCLKWとしては、図6あるいは図16の回路によって生成されたものが入力される。

図17において、図6と異なるのは、セクタ12と遅延回路13との間に、Dフリップフロップ30が追加されている点と、AND回路17がない点と、DelayC31が追加されている点と、MUX16の出力そのものが位相調整されたDATAとして利用される点である。この回路を用いれば、データ(DATA)の出力される位相を正確に調整できる。

20

【0054】

セクタ12には、規則的な一定周期のクロックCLKではなく、DATAが入力されるので、クロックCLKWに同期させたデータを遅延素子13に与えるために、Dフリップフロップ30が用いられる。

また、校正モード処理において、図8に示したのと同様の動作をさせるが、Dフリップフロップ30が追加されているので、このDフリップフロップ30による1周期分のクロックの遅延を考慮する必要がある。すなわち、Dフリップフロップ30のクロック1パルス分の遅延に合わせて、保持タイミング回路21においても、図6の場合よりも1クロック分遅延させたパルスを出力するように制御する。

【0055】

30

また、DelayC31も、Dフリップフロップ30の追加に伴う遅延に合わせるために追加されたものである。この図17において出力されるデータDATA__Dは、DelayB18から出力されるクロックCLK__Dを基準にして、位相調整されたものであり、MUX16に与えられるDLYSEL__Dによって所望の位相に調整される。

【0056】

図18に、この発明のパルス幅調整装置を利用した光磁気ディスク装置の概略構成のブロック図を示す。

図18において、パルス幅調整装置41が、この発明の装置に相当するものであるが、エンコーダ42から与えられた書込みデータWDATAに対して位相調整を行い、その調整後のデータWDATAをBiasドライバ43に与えている。

40

また、エンコーダ42から与えられたクロックWCLKに対してパルス幅の調整を行い、その調整後のクロックWCLKをLDドライバ44に与えている。

【図面の簡単な説明】

【0057】

【図1】従来のパルス調整回路の構成図である。

【図2】従来の校正モードの理想的なタイミングチャートである。

【図3】従来の通常モードの理想的なタイミングチャート（ずらし量設定値33%）である。

【図4】従来の校正モードの遅延発生時のタイミングチャートである。

【図5】従来の通常モードの遅延発生時のタイミングチャート（ずらし量設定値25%）

50

である。

【図 6】この発明の一実施例のパルス調整装置の構成図である。

【図 7】この発明の遅延量自動調整回路の構成図である。

【図 8】この発明の校正モードの遅延発生時のタイミングチャートである。

【図 9】この発明の校正回路 (Cal Pulse Gen) の構成図である。

【図 10】この発明の保持タイミング回路 (Latch Timing Plus Gen) の構成図である。

【図 11】この発明の保持タイミング回路で作成される遅延タイミングパルスのタイミングチャートである。

【図 12】この発明の遅延回路 (Delay Element String) の構成図である。

【図 13】この発明の遅延状態保持回路 (REG, REG2) の構成図である。

10

【図 14】この発明のパルス幅調整処理のフローチャートである。

【図 15】この発明の設定用レジスタの構成図である。

【図 16】この発明の一実施例のクロック位相調整装置の構成図である。

【図 17】この発明の一実施例のデータ位相調整装置の構成図である。

【図 18】この発明のパルス幅調整装置を含む光磁気ディスク装置の構成図である。

【符号の説明】

【0058】

11 校正回路

12 セレクタ

13 遅延回路

20

14 遅延状態保持回路 R E G

15 エンコーダ

16 選択回路 M U X

17 A N D 回路

18 D e l a y B

21 保持タイミング回路

22 遅延状態保持回路

23 エンコーダ

24 引算回路 S U B

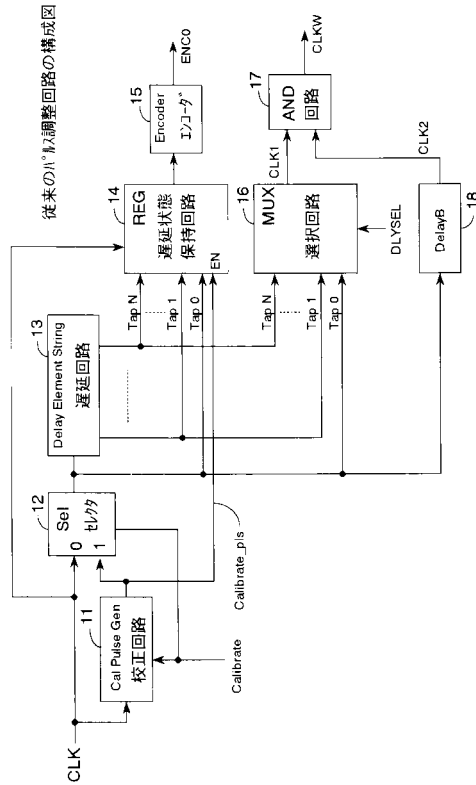
25 遅延量自動調整回路

30

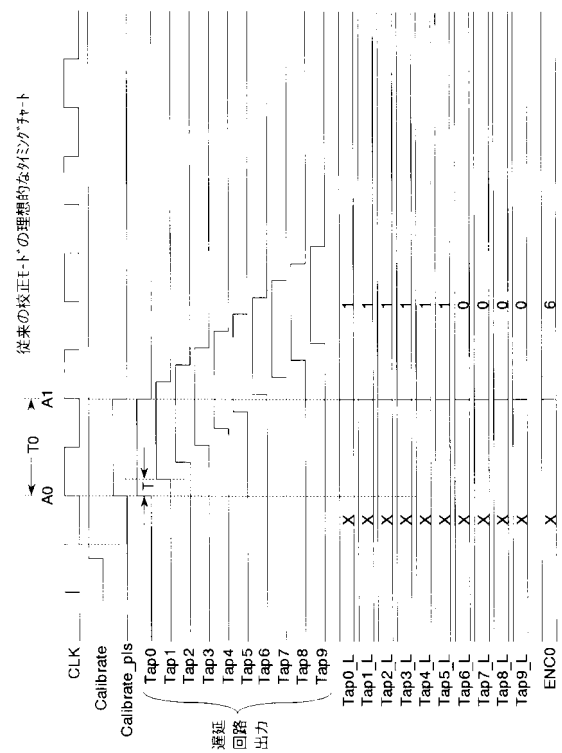
30 D - F F

31 D e l a y C

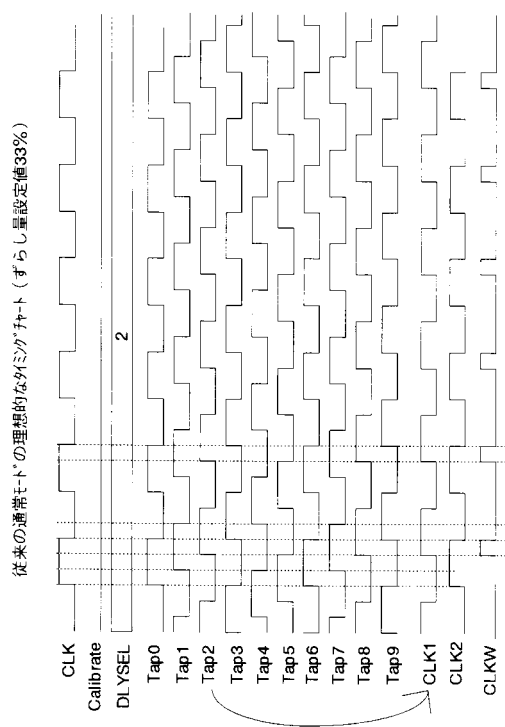
【図 1】



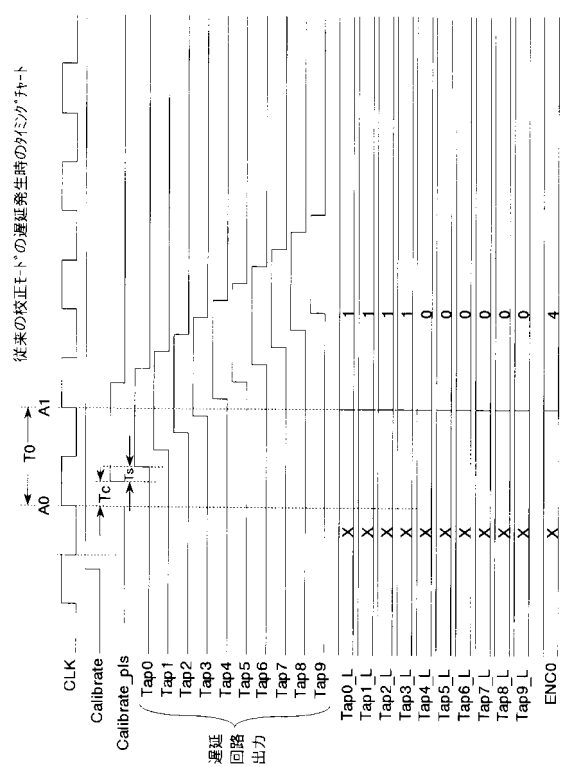
【図 2】



【図 3】

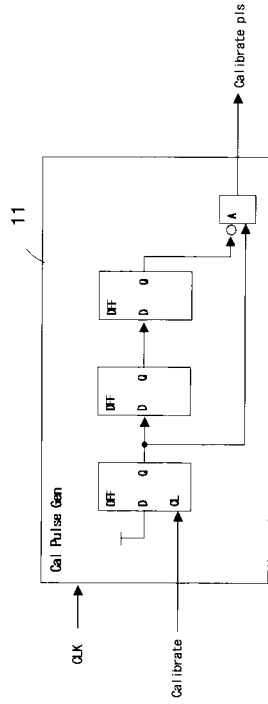


【図 4】



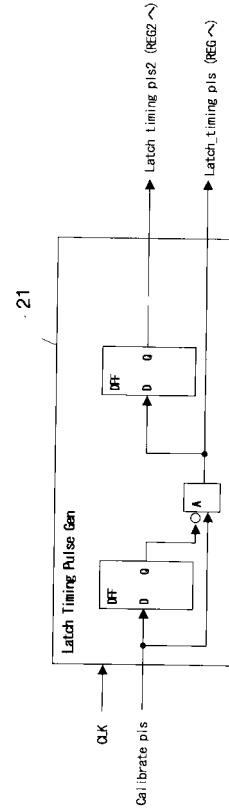
【図 9】

この発明の校正回路(Cal Pulse Gen)の構成図



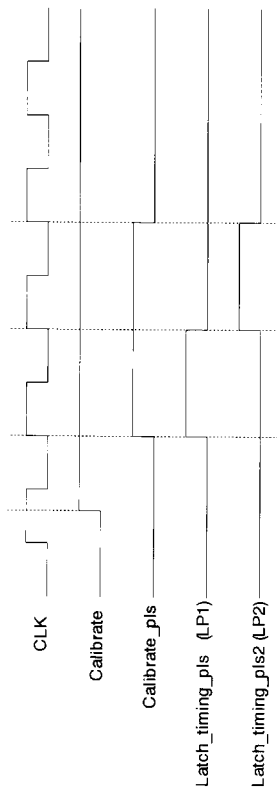
【図 10】

この発明の保持タイミング回路(Latch Timing Plus Gen)の構成図



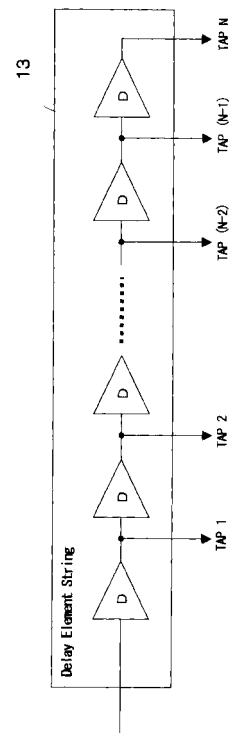
【図 11】

この発明の保持タイミング回路で作成される
遅延タイミングパルのタイミングチャート



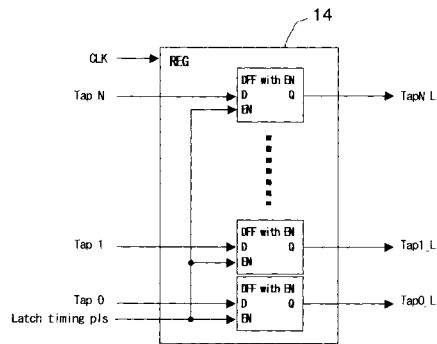
【図 12】

この発明の遅延回路(Delay Element String)の構成図

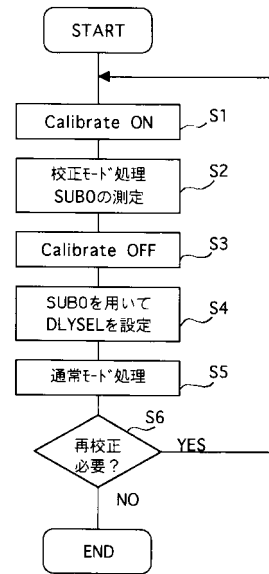


【図 13】

この発明の遅延状態保持回路(REG, REG2)の構成図

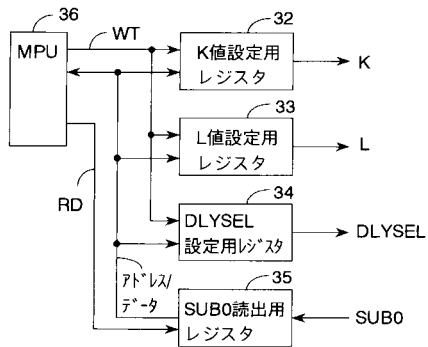


【図 14】

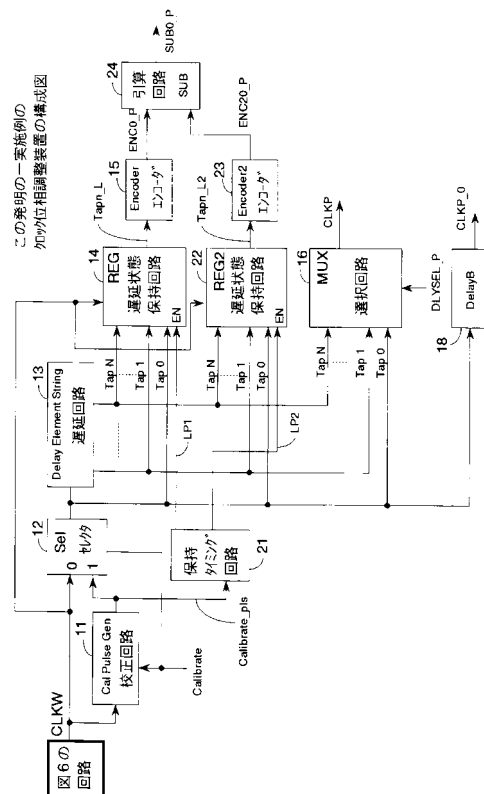
この発明の Δ 幅調整処理

【図 15】

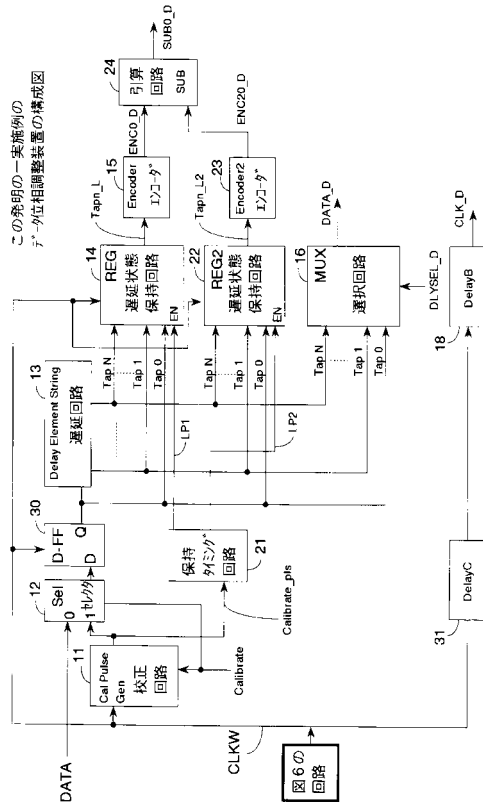
この発明の設定用レジスタの構成図



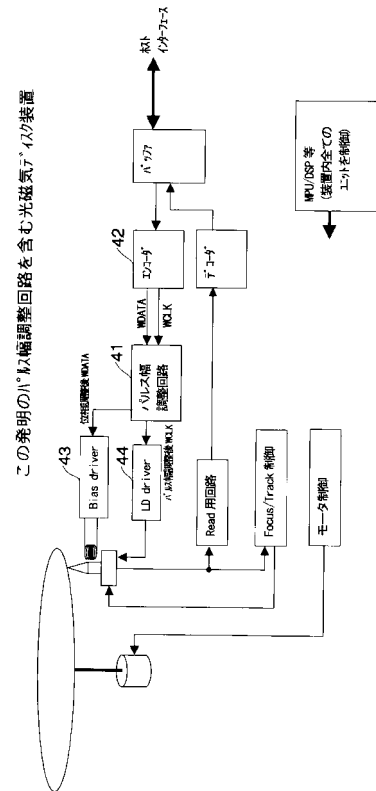
【図 16】

この発明の一実施例の
かつ位相調整装置の構成図

【図 17】



【図 18】



フロントページの続き

(72)発明者 内田 昭嘉
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

審査官 緑川 隆

(56)参考文献 特開平11-027113 (JP, A)
特開平11-102232 (JP, A)
特開2002-074949 (JP, A)
特開2002-026699 (JP, A)

(58)調査した分野(Int.Cl., DB名)
G06F 1/06
H03K 3/017
H03K 5/05
H03K 5/13