(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
G06F 9/38

(45) 공고일자 2003년10월11일
(11) 등록번호 10-0389220
(24) 등록일자 2003년06월16일

(21) 출원번호	10-1996-0704892	(65) 공개번호	특1997-0701880
(22) 출원일자	1996년08월30일	(43) 공개일자	1997년04월12일
번역문제출일자	1996년08월30일		
(86) 국제출원번호	PCT/IB1995/01013	(87) 국제공개번호	WO 1996/21186
(86) 국제출원일자	1995년11월16일	(87) 국제공개일자	1996년07월11일
(81) 지정국	국내특허 : 일본 대한민국 EP 유럽특허 : 오스트리아 벨기에 스위스 리히텐슈타인 사이프러스 독일 덴마크 스페인 핀랜드 프랑스 영국 그리스 아일랜드 이탈리아 룩셈부르크 모나코 네덜란드 포르투칼 스웨덴		

(30) 우선권주장 366,958 1994년12월30일 미국(US)

(73) 특허권자 트리미디아 테크놀로지스 인코포레이티드
미국 캘리포니아주 94086 서니베일 울프 로드 440
(72) 발명자 비제이 케이. 메라
미국, 캘리포니아 94555, 프리몬트, 샴록 컴먼 5388
게리트 어리 슬래빈버그
미국, 캘리포니아 94022, 로스 앨토스, 랭턴 애비뉴 304
(74) 대리인 이병호, 이병호

심사관 : 정용주

(54) 다른길이의데이터를수용하는복수의멀티포트레지스터파일

명세서

기술분야

<1> 본 발명은, 다수의 기능 유닛과; 제 1의 수의 비트(a first number of bit)를 각각 가지는 제 1의 수의 어드레스 가능한 제 1 레지스터(a first number of addressable first registers)와, 상기 제 1의 수의 비트보다는 적은 제 2의 수의 비트를 각각 가지는 제 2의 수의 어드레스 가능한 제 2 레지스터와, 관련 기록 어드레스 포트를 각각 가지는 다수의 기록 포트로서, 상기 기능 유닛들이 각각의 기록 포트 및 관련 기록 어드레스 포트에 연결되는, 상기 다수의 기록 포트, 및 관련 판독 어드레스 포트를 각각 가지는 다수의 판독 포트로서, 상기 기능 유닛들이 각각의 판독 포트 및 관련 판독 어드레스 포트에 연결되는, 상기 다수의 판독 포트를 포함하는 레지스터 파일; 을 구비하는 프로세서에 관한 것이다. 본 발명은 또한, 그러한 프로세서에 이용되는 레지스터 파일에 관한 것이다.

배경기술

<2> 멀티포트 레지스터는 복수 레지스터를 동시에 액세스하는데 필요한 디지탈 데이터 프로세서에 이용된다. 특히, 그러한 레지스터 파일들은 VLIW(매우 긴 명령 워드)프로세서들에 유용하다. 그러한 프로세서들은 또한 복수의 동작 코드을 수용하는 명령 레지스터와, 복수의 동작 코드를 실행하는 다수의 기능 유닛을 포함하여, 단일의 머신 사이클에서 동시에 시작한다.

<3> 멀티포트 레지스터 파일은 물론 다른 형태의 프로세서들에도 이유될 수 있다.

<4> 종래 기술의 멀티포트 레지스터 파일은 도 1에 도시된다. 이 멀티포트레지스터 파일은 128 32 비트 레지스터들을 포함한다.

<5> 상기 멀티포트 레지스터 파일의 왼쪽에 기록 어드레스 포트 WA1, WA2 및 WA3가 도시되어 있으며, 이들 각각은 8 비트 폭으로 되어 있다. 또한 기록 포트 WD1, WD2 및 WD3가 역시 왼쪽상에 도시되고 있으며, 이들 각각은 32 비트 폭으로 되어 있다. 3개의 기능 유닛으로부터의 결과는 기록 어드레스 포트들 상에 지정된 어드레스들에서 기록 포트들 상에 동시에 기록될 수 있다.

<6> 상기 멀티포트 레지스터 파일의 오른쪽에는 판독 어드레스 포트 RA1, RA2, RA3, RA4. RA5, RA6, RA7, RA8 및 RA9가 도시되며, 이들 각각은 8 비트 폭으로 된다. 또한, 오른쪽에는 기록 포트 RD1, RD2, RD3, RD4, RD5, RD6, RD7, RD8 및 RD9가 도시되며, 이들 각각은 32 비트 폭이 된다. 기록 어드레스 포트들 상에 지정된 어드레스들에서의 기록 포트들에 있어서, 기능 유닛용으로 정해진 피연산자(operand)는 9개까지 상기 멀티포트 레지스터 파일로부터 동시에 판독될 수 있다.

<7> VLIW 프로세서에 있어서, 상기 기능 유닛으로부터의 결과를 상기 멀티포트 레지스터 파일에 조건적으로 기록하기 위해 가드 비트가 사용된다. EP 479 390(PHA 1209)에서 설명된 바와 같이, 브랜칭 지연

(branching delays)으로 인하여 VLIW 르로세서들에서는 가드 비트가 필요하게 된다. 상기 기능 유닛들은, 동작의 결과가 실질적으로 이용될 것인지를 프로세서가 결정하기 전에 브랜치 지연동안 동작을 실행한다. 동작이 완료된 후, 각각의 기능 유닛은, 관련 가드 비트가 적합한 값을 갖는 경우에만 레지스터 파일에 결과를 기록한다.

<8> 이러한 특정의 파일 유닛에는 아홉 개의 판독 포트가 있는데, 이는 당해의 VLIW 프로세서가 3 동작을 수용하는 명령 위드를 갖기 때문이다. 각각의 동작은 일반적으로 두 개의 데이터 피연산자와 하나의 가드 비트를 필요로 한다. 동시에 실행되는 3개의 기능 유닛 각각으로부터의 결과를 수용하기 위해 세 개의 기록 포트가 있다. 각각의 판독 또는 기록 포트는 관련 어드레스 포트를 갖는다.

<9> 원래, 가드 비트는 멀티포트 레지스터 파일로부터 공급된다. 가드 비트 또는 멀티 가드 값은 일반적으로 종래의 레지스터 파일에서 이용가능한 32 비트 판독 및 기록 포트와 32 비트 레지스터보다 상당히 작다. 각각의 기능 유닛으로부터의 기록이 가드 비트 또는 값에 의해 좌우되는 곳에서, 상당한 불필요한 회로가 필요하게 되고 특히, 여분의 32 비트 판독 및 기록 포트와 여분의 8 비트 기록 및 판독 어드레스 포트가 필요하게 된다.

발명의 상세한 설명

<10> 본 발명의 목적은 프로세서의 동작에 필요한 회로를 줄이는 것이다.

<11> 이러한 목적은, 프로세서에 있어서, 제 1 레지스터들이 기록 포트들, 기록 어드레스 포트들, 판독 포트들 및 판독 어드레스 포트들 중 관련 포트와 함께 제 1 파일 유닛에 배치되고, 제 2 레지스터들이 기록 포트들, 기록 어드레스 포트들, 판독 포트들 및 판독 어드레스 포트들 중 관련 포트와 함께 제2 파일 유닛에 배치되는 것을 특징으로 함에 의해서 달성된다. 가드 비트는 VLIW 프로세서용 제 2 레지스터에 기억된다. 다른 형태의 프로세서들에 있어서는, 다른 형태의 짧은 데이터가 제 2 파일 유닛에 기억될 수 있다. 그러한 짧은 데이터는 실례로 플레그를 포함할 수 있다.

<12> 본 발명은 이제 첨부된 도면을 참조하여 비제한적인 방법으로 설명될것이다.

도면의 간단한 설명

<13> 도 1 은 종래의 멀티 포트 레지스터 파일을 나타내는 도면.

<14> 도 2는 본 발명에 따른 멀티 포트 레지스터 파일을 나타내는 도면.

<15> 도 3은 레지스터 파일의 플로 평면을 나타내는 도면.

<16> 도 4는 종래의 플로 평면에 이용하는데 적합되는 레지스터 셀을 나타내는 도면.

<17> 도 5는 본 발명에 따른 레지스터 파일의 플로 평면을 나타내는 도면.

<18> 도 6은 도 5의 레지스터 파일의 데이터 부분에 이용하는데 적합된 레지스터 파일 셀을 나타내는 도면.

<19> 도 7은 도 5의 레지스터 파일의 가드 부분에 이용하는데 적합된 레지스터 파일 셀을 나타내는 도면.

<20> 도 8은 판독 및 기록 어드레스 신호를 판독 및 기록 인에이블 신호로 변환하는 디코더를 나타내는 도면.

실시예

<21> 도 2는 본 발명에 따른 멀티 포트 레지스터 파일을 도시한다. 이 파일은 두 부분 즉, 128 레지스터, 32 비트 폭의 파일의 데이터 파일 유닛(20)과, 128 레지스터, 1 비트 폭의 파일의 가드 파일 유닛(22)으로 분할된다.

<22> 기록 어드레스 입력 WA1, WA2, WA3 및 기록 데이터 입력 WD1, WD2, WD3은 종래 기술에 표시된 것이다. 하지만, 데이터 입력의 단지 한 비트만이 가드 파일(22)로 루팅되는데 필요하다. 루팅 회로는 필요치 않으며, 이는 가드 비트가 양쪽 파일에 기록되고, 단지 한 파일로부터 판독되기 때문이다. 판독 어드레스 입력 RA1, RA2, RA3, RA4, RA5 및 RA6과 판독 데이터 출력 RD1, RD2, RD3, RD4, RD5 및 RD6은 데이터 파일(20)에 전용된다. 판독 어드레스 입력 RA7, RA8 및 RA9와 판독 데이터 출력 RD7, RD8 및 RD9는 가드 파일(22)에 전용된다. 가드 파일에 전용된 판독 데이터 출력은 단지 한 비트 폭이 되므로 3개의 여분의 32 비트 폭 데이터 버스가 데이터 파일(20)의 출력에 필요하게 되는 종래 기술의 실행에 비해 실질적으로 회로가 감소된다. 판독 포트및 기록 포트는 종래의 멀티포트 레지스터 파일에서처럼 유럽 특허 출원 번호 605 927(PHA 21.777)의 구조와 같다.

<23> 도 3은 도 1에 따른 레지스터 파일의 플로 평면을 도시한다. 이 파일은 행 및 열로 배열된 레지스터 셀의 매트릭스로 구성된다. 간략함을 위하여, 단지 상부 및 하부 행과 좌측 및 우측 열 만을 도시한다. 여기에서는, 레지스터의 각각의 비트에 대해 하나씩인 32 비트 열이 있으며, 레지스터의 각각에 대해 하나씩인 128 행이 있다.

<24> 도 4은 도 3의 플로 평면에 이용하는데 적합한 레지스터 셀을 도시한다. 좌측에는 기록 데이터 신호 WD1, WD2 및 WD3의 각 비트가 입력되고, 이들 비트는 MOSFET(401, 402 및 403)에 연결된다. MOSFET(401, 402 및 403)의 게이트는 인에이블 신호(WE1, WE2 및 WE3)의 각 비트에 연결된다. 접합부(425)는 인버터(423)로 입력하는 연결 OR로 작용한다. 피드백 인버터(424)는 인버터(423)의 입력과 출력 사이에 연결된다. 인버터(423)의 출력(404)은 MOSFET(405-413)의 게이트에 연결된다. MOSFET(405-413)는 RD1-RD9의 각각의 비트에 연결된다. MOSFET(405-413)는 또한 MOSFET(414-422)에 각각 연결된다.

MOSFET(414-422)의 게이트는 판독 인에이블 신호(RE1-RE9)의 각각의 비트에 연결된다.

<25> 도 3의 레지스터 파일에 있어서, 다음의 사항을 예상할 수 있다.

성분의 형태 및 위치	성분의 수
셀당 기록 데이터 선	3
셀당 판독 데이터 선	9
셀당 기록 인에이블 선	3
셀당 판독 인에이블 선	9
행당 수평의 선(즉, 판독 인에이블 및 기록 인에이블)	12
열당 수직의 선(즉, 판독 데이타 및 기록 데이타)	12
셀당 트랜지스터 수	25
레지스터 파일 코어의 전체 수평의 선	12*128=1536
레지스터 파일 코어의 전체 수직의 선	12*32=384
레지스터 파일 코어의 전체 트랜지스터	25*32*128=102400

<27> 도 5는 본 발명에 따른 멀티포트 레지스터 파일의 플로 평면을 도시한다. 새로운 멀티포트 레지스터 파일은, 종래 기술과 동일한 플로 평면을 갖는 데이터 레지스터 파일 유닛(a)과, 128 레지스터 셀의 한 열을 갖는 가드 레지스터 파일 유닛(b)을 포함한다. 데이터 레지스터 파일 유닛(a)이 플로 평면이 종래의 레지스터 파일에 대한 것과 동일하기는 하지만, 새로운 데이터 레지스터 파일에 필요한 레지스터 셀은 상당히 간략히 된다. 가드 레지스터 파일 유닛에 필요되는 셀도 보다 간소하다.

<28> 도 6은 본 발명에 따른 데이터 레지스터 파일 유닛(a)에서 기능을 하는 레지스터 셀을 도시한다. 레지스터 셀의 좌측 부분은 도 4의 것과 동일하며, 그 성분은 동일한 참조 번호를 갖는다. 하지만, 셀의 우측 부분은 트랜지스터(605-610)가 트랜지스터(405-413)에 대해 대체되고, 트랜지스터(614-619)가 트랜지스터(414-422)에 대해 대체되어 간략하게 되어 있다. 다시 말해서, 도6의 셀은 도 4의 셀보다 6 트랜지스터가 적고 상응하여 판독 라인이 적게 된다.

<29> 도 7은 도 5의 가드 레지스터 유닛(b)에서 작용하는 레지스터 셀을 도시한다. 상기 셀의 좌측 부분을 도 4의 셀의 좌측 부분과 동일하다. 하지만, 우측 부분은 도 6의 셀보다도 더 간략화 되어 있다. MOSFET(705-707)은 MOSFET(405-413)에 대해 대체되고, MOSFET(714-716)은 MOSFET(414-412)에 대해 대체된다. MOSFET(705-707)은 판독 데이터 라인 RD7-RD9 각각의 비트에 연결 된다. MOSFET(714-716)은 판독 인에이블 라인 RE7-RE9 각각의 비트와 연결 된다. 다시 말해서, 도 7의 셀은 도 4의 셀보다 12개 적은 트랜지스터를 가지며. 도 6의 셀보다 6개 적은 트랜지스터를 갖게 되어, 상응하는 만큼의 적은 판독 라인을 갖게 된다. 판독 인에이블 라인 RE7-9이 데이터 레지스트 파일 유닛(a)에 필요없게 되고, 판독 인에이블 라인 RE1-6이 가드 레지스터 파일 유닛(b)에 필요없게 되므로써, 라인 RE7-9는 라인 RE1-6중 세 라인에 할당된 바와 동일한 수평 공간을 차지할 수 있게 된다. 따라서, RE7-9에 대해 부가적인 수평의 선의 공간이 필요없게 된다.

<30> 도 5의 레지스터 파일에 있어서, 다음과 같은 사항을 알 수 있게 된다.

성분의 형태 및 위치	성분의 수
데이터 셀당 기록 데이터 선	3
데이터 셀당 판독 데이터 선	6
데이터 셀당 기록 인에이블 선	3
데이터 셀당 판독 인에이블 선	6
데이터 행당 수평의 선(즉, 판독 및 기록 인에이블)	9
데이터 열당 수직의 선(즉, 판독 및 기록 데이터)	9
데이터 셀당 트랜지스터	19
가드 셀당 기록 데이터의 선	3
가드 셀당 판독 데이터의 선	3
가드 셀당 기록 인에이블의 선	3
가드 셀당 판독 인에이블의 선	3
가드 행당 수평의 선(판독 인에이블 및 기록 인에이블)	6
가드 열당 수직의 선(판독 데이터 및 기록 데이터)	6
가드 셀당 트랜지스터	13
전체 수평의 선의 공간	9*128=1152
전체 수직의 선	9*32+6*1=294
전체 트랜지스터	19*32*128+13*1*128=79488

<33> 이와 같이, 도 2 및 5-7의 실시예는 도 1 및 3-4의 실시예에 비하여 22.912개의 보다 적은 트랜지스터와 384개의 보다 적은 수평의 선 공간과 90개의 보다 적은 수직의 선을 갖는다.

<34> 도 4, 6 및 7의 판독 인에이블 입력 및 기록 인에이블 입력은 도 8에 도시된 바와 같은 디코더 회로를 사용하여 판독 어드레스 입력 및 기록 어드레스 입력으로부터 얻어진다. 표준 어드레스 디코딩 블록이 801, 802, 803, 804, 805, 806, 807, 808, 809, 810, 811, 812에 도시된다. 이들 블록들은 8비트 어드레스 WA1, WA2, WA3, RA1, RA2, RA3, RA4, RA5, RA6, RA7, RA8, RA9를 128 비트 인에이블 신호 WA1, WA2, WA3, RA1, RA2, RA3, RA4, RA5, RA6, RA7, RA8, RA9 각각으로 변환한다.

<35> 기록 인에이블 신호 각각의 비트는 레지스터 파일의 각각의 행에 관련하며, 데이터 레지스터 파일 유닛(a)과 가드 레지스터 파일 유닛(b) 모두의 각각의 행의 각 셀로 진행한다. 판독 인애이블 신호 RE1, RE2, RE3, RE4, RE5및 RE6은 데이터 레지스더 파일 유닛(a)의 각각의 행과 관련되며, 데이터 레지스터 파일 유닛(a)의 각각의 행의 각 셀로 진행한다. 판독 인에이블 신호 RE7, RE8 및 RE9는 가드 레지스터 파일 유닛(b)의 각각의 행과 관련되며, 가드 레지스터 파일 유닛(b)의 각각의 행의 각 셀로 진행한다. 이와 같이 실례로 WE1의 비트 1은 양쪽 레지스터 파일 유닛의 행 1의 각각의 셀로 진행하고; RE1의 비트 1은 데이타 레지스터 파일 유닛(a)의 행 1의 각각의 셀로 진행하며; RE7의 비트 1은 가드 파일 레지스터 유닛(b)의 행 1의 각각의 셀로 진행한다.

<36> 당 기술 분야에 숙련된 사람들을 본 발명에 따른 멀티포트 레지스터 파일이 다양한 다른 실시예를 가질 수 있다는 것을 알 수 있을 것이다. 이러한 실시예들은 다음의 사항들을 포함한다. 데이터 레지스터는 특정 프로세서의 피연산자 또는 결과 데이터에 이용되는 16 비트와 같은 어떤 폭도 될 수 있다. 가드 레지스트는 멀티비트 가드 또는 플레그 값이 이용되는 경우 보다 적은 폭이 될 수 있다. 프로세서가 다른 폭의 다른 데이터를 이동할 필요가 있다면, 보다 많은 파일이 이용될 수 있다.

(57) 청구의 범위

청구항 1

다수의 기능 유닛과,

제 1의 수의 비트(a first number of bit)를 각각 가지는 제 1의 수의 어드레스 가능한 제 1 레지스터(a first number of addressable first registers), 상기 제 1의 수의 비트보다는 적은 제 2의 수의 비트를 각각 가지는 제 2의 수의 어드레스 가능한 제 2 레지스터, 관련 기록 어드레스 포트를 각각 가지는 다수의 기록 포트로서, 상기 기능 유닛들이 각각의 기록 포트및 관련 기록 어드레스 포트에 연결되는, 상기 다수의 기록 포트, 및 관련 판독 어드레스 포트를 각각 가지는 다수의 판독 포트로서, 상기 기능 유닛들이 각가의 판독 포트 및 관련 판독 어드레스 포트에 연결되는, 상기 다수의 판독 포트를 포함하는 레지스터 파일을 구비하는 프로세서에 있어서,

상기 프로세서는 특정의 제 1 레지스터와 특정의 제 2 레지스터 모두에 어드레스하는 기록 어드레스를 상기 기록 포트들 중 적어도 한 포트와 관련하는 상기 기록 어드레스 포트에 공급가능하고,

상기 레지스터 파일은, 상기 관련하는 기록 어드레스 포트상에서 상기 기록 어드레스를 수신할 때 상기 특정의 제 1 레지스터와 상기 특정의 제 2레지스터 모두에 상기 기록 포트들 중 적어도 한 포트상의 데이터를 기록하도록 배열되며,

상기 특정의 제 1 레지스터와 상기 특정의 제 2 레지스터는 상기 판독 어드레스 포트를 통하여 독립적으로 어드레스 가능한 것을 특징으로 하는 프로세서.

청구항 2

제 1 항에 있어서,

상기 제 1 레지스터들은 상기 기록 포트들, 상기 기록 어드레스 포트들, 상기 판독 포트들 및 상기 판독 어드레스 포트들 중 관련 포트와 함께 제 1파일 유닛에 배치되고,

상기 제 2 레지스터들은 상기 기록 포트들, 상기 기록 어드레스 포트들, 상기 판독 포트들 및 상기 판독 어드레스 포트들 중 관련 포트와 함께 제 2파일 유닛에 배치되는 것을 특징으로 하는 프로세서.

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 레지스터 파일은 멀티포트 레지스터 파일이며, 상기 제 1 및/또는 제 2 레지스터 중 적어도 한 레지스터는 하나 이상의 판독 포트로부터 액세스 될 수 있는 것을 특징으로 하는 프로세서.

청구항 4

제 1 항 또는 제 2 항에 있어서,

상기 기능 유닛들 중 적어도 한 유닛은, 특정의 제 2 레지스터로부터 판독된 가드 비트에 따라 조건적으로 동작의 결과를 기록하기 위해 배치되는 것는 특징으로 하는 프로세서.

청구항 5

제 1 항 또는 제 2 항에 있어서,

상기 제 2의 수의 비트는 1 비트인 것을 특징으로 하는 프로세서.

청구항 6

제 1 항 또는 제 2 항에 있어서,

상기 프로세서는, 상기 기능 유닛들에 의해 병렬로 실행하기 위한 복수 동작 코드를 수용하여, 단일의 머신 사이클에서 동시에 개시하는 명령 레지스터를 포함하는 VLIW 프로세서인 것을 특징으로 하는 프로세서.

청구항 7

다수의 기능 유닛과,

제 1의 수의 비느(a first number of bit)를 각각 가지는 제 1의 수의 어드레스 가능한 제 1 레지스터(a first number of addressable first registers), 상기 제 1의 수의 비트보다는 적은 제 2의 수의 비트를 각각 가지는 제 2의 수의 어드레스 가능한 제 2 레지스터, 관련 기록 어드레스 포트를 가지는 각각 다수의 기록 포트로서, 상기 기능 유닛들이 각각의 기록 포트및 관련 기록 어드레스 포트에 연결되는, 상기 다수의 기록 포트, 및 관련 판독 어드레스 포트를 각각 가지는 다수의 판독 포트로서, 상기 기능 유닛들이 각각의 판독 포트 및 관련 판독 어드레스 포트에 연결되는, 상기 다수의 판독 포트를 포함하는 레지스터 파일을 구비하는 프로세서에 있어서,

상기 레지스터 파일은 멀티포트 레지스터 파일이며, 상기 제 1 및/또는 제 2 레지스터 중 적어도 한 레지스터는 하나 이상의 판독 포트로부터 액세스 가능한 것을 특징으로 하는 프로세서.

청구항 8

제 7 항에 있어서,

상기 제 1 레지스터들은 상기 기록 포트들, 상기 기록 어드레스 포트들, 상기 판독 포트들 및 상기 판독 어드레스 포트들 중 관련 포트와 함께 제 1파일 유닛에 배치되고,

상기 제 2 레지스터들은 상기 기록 포트들, 상기 기록 어드레스 포트들, 상기 판독 포트들 및 상기 판독 어드레스 포트들 중 관련 포트와 함께 제 2파일 유닛에 배치되는 것을 특징으로 하는 프로세서.

청구항 9

제 1, 2, 7 또는 8 항 중 어느 한 항에 따른 프로세서에 사용되기 적합한 멀티포트 레지스터 파일.

청구항 10

프로세서를 동작하는 방법에 있어서,

제 1 기능 유닛으로부터의 데이터 및 기록 어드레스를 레지스터 파일의 기록 포트 및 상응하는 기록 어드레스 포트에 각각 공급하는 단계와,

상기 기록 어드레스에 의해 어드레스된 제 1 레지스터에 상기 데이터를 기억시키고, 상기 기록 어드레스에 의해 어드레스된 제 2 레지스터에는 상기 데이터의 단지 일부만을 기억시키는 단계와,

제 1 및 제 2 액세스 동작중 한 동작 또는 두 동작 모두에서 상기 데이터 및/또는 상기 데이터의 일부를 사용하는 단계를 구비하며,

상기 제 1 액세스 동작은, 상기 제 2 레지스터의 판독 어드레스를 상기 레지스터 파일의 판독 어드레스 포트에 공급하는 단계와, 상기 제 2 레지스터로부터의 상기 데이터의 일부를 제 2 기능 유닛으로 판독하는 단계와 상기 일부의 값에 따라 상기 제 2 기능 유닛으로부터의 결과를 조건적으로 기록하는 단계를 구비하며,

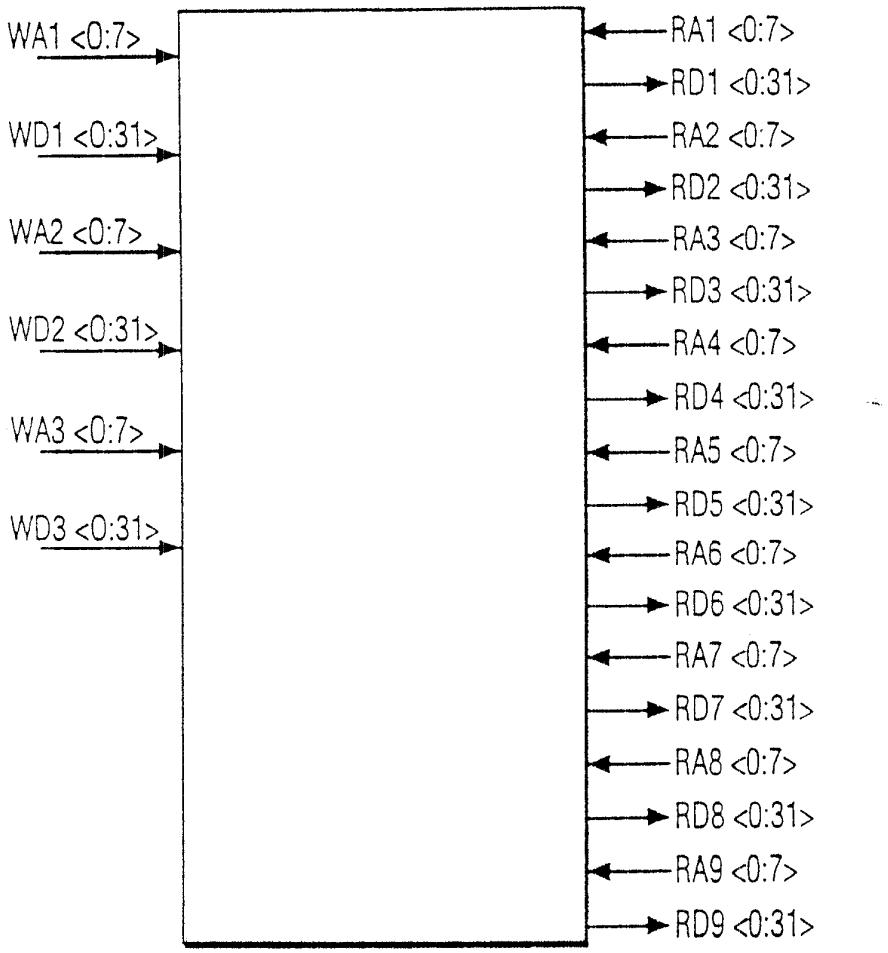
상기 제 2 액세스 동작은, 상기 제 1 레지스터의 판독 어드레스를 상기 레지스터 파일의 판독 어드레스 포트에 공급하는 단계와, 상기 제 1 레지스터 로부터의 상기 데이터를 제 3 기능 유닛으로 판독하는 단계와, 상기 제 3 기능 유닛으로 상기 데이터 상에서 동작하는 단계를 구비하는 것을 특징으로 하는 프로세서 동작 방법.

요약

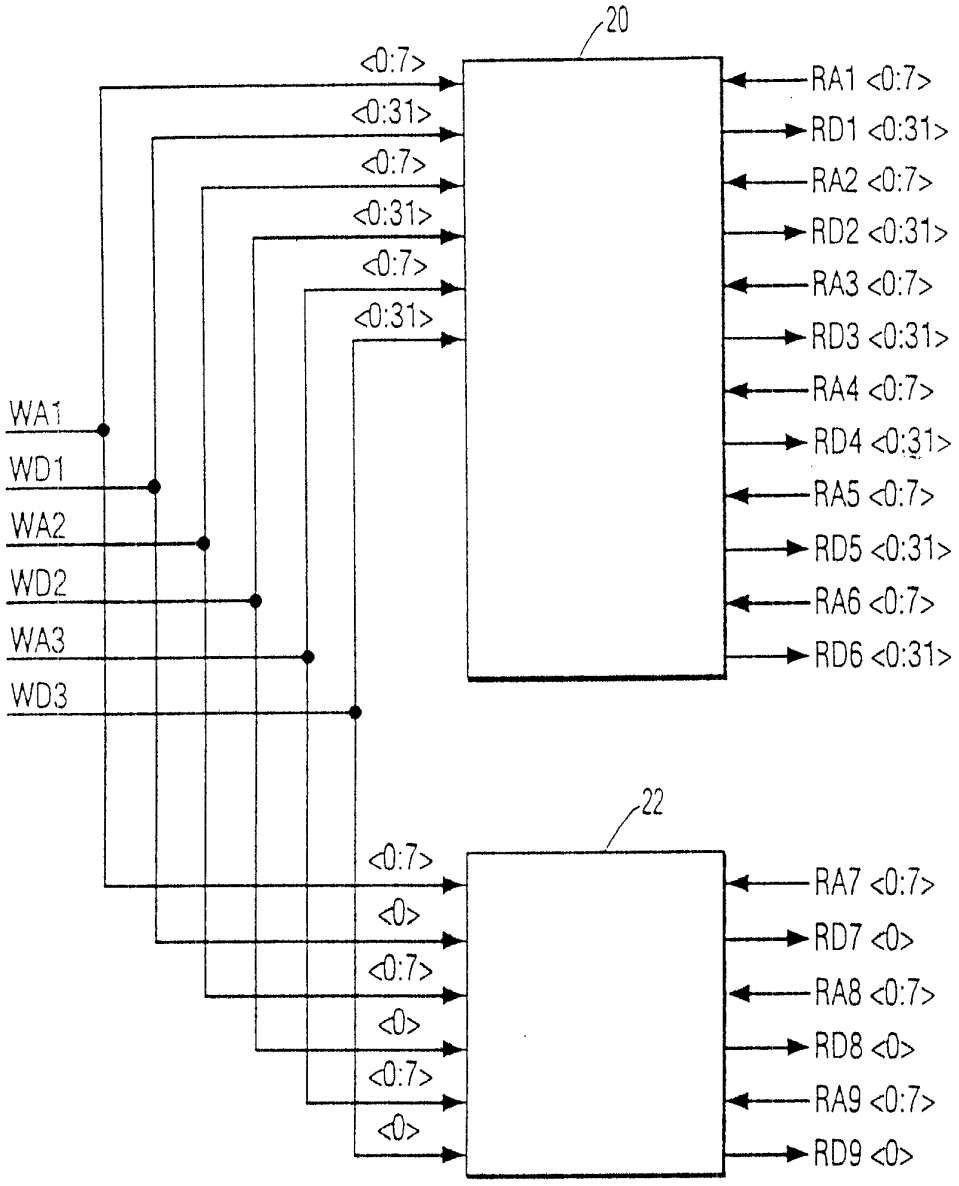
멀티포트 레지스터 파일은 제 1 폭의 레지스터를 갖는 제 1 파일 유닛과 제 2 폭의 레지스터를 갖는 제 2 파일 유닛을 포함한다. 제 2 폭은 제 1 폭 보다는 작다. 데이터는 하나의 기록 동작으로 제 1 및 제 2 파일 유닛 모두에 기록되고, 독립적으로 제 1 및 제 2 파일 유닛으로부터 개별적 판독이 가능하나, 제 1 파일 유닛은 VLIW 프로세서의 기능 유닛에 대한 피연산자가 되는 데이터. 또는 이들 기능 유닛으로부터의 결과 데이터를 수용한다. 제 2 파일 유닛은 이들 기능 유닛을 조건적으로 동작시키는 가드 비트를 수용한다.

도면

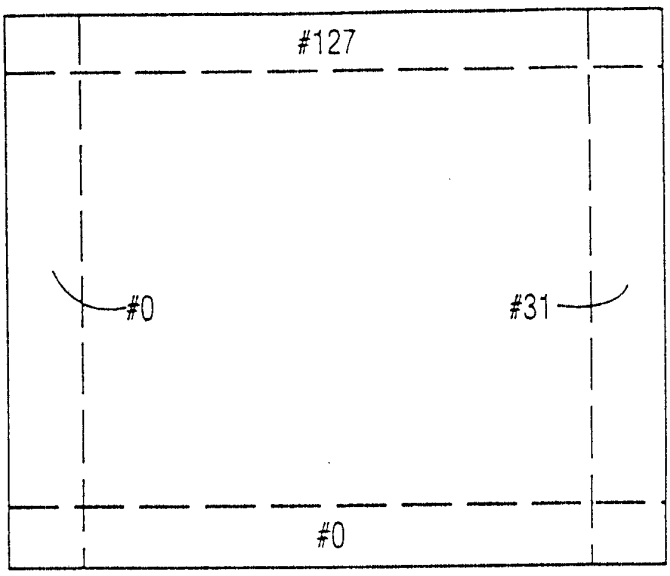
도면1


WA1 <0:7>
WD1 <0:31>
WA2 <0:7>
WD2 <0:31>
WA3 <0:7>
WD3 <0:31>
RA1 <0:7>
RD1 <0:31>
RA2 <0:7>
RD2 <0:31>
RA3 <0:7>
RD3 <0:31>
RA4 <0:7>
RD4 <0:31>
RA5 <0:7>
RD5 <0:31>
RA6 <0:7>
RD6 <0:31>
RA7 <0:7>
RD7 <0:31>
RA8 <0:7>
RD8 <0:31>
RA9 <0:7>
RD9 <0:31>

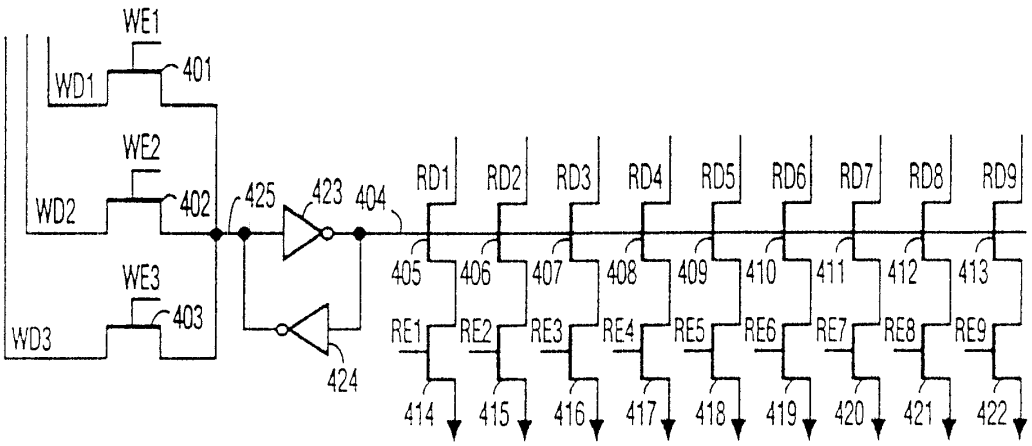
도면2


20
<0:7>
<0:31>
<0:7>
<0:31>
<0:7>
<0:31>
WA1
WD1
WA2
WD2
WA3
WD3
RA1 <0:7>
RD1 <0:31>
RA2 <0:7>
RD2 <0:31>
RA3 <0:7>
RD3 <0:31>
RA4 <0:7>
RD4 <0:31>
RA5 <0:7>
RD5 <0:31>
RA6 <0:7>
RD6 <0:31>
22
<0:7>
<0>
<0:7>
<0>
<0:7>
<0>
RA7 <0:7>
RD7 <0>
RA8 <0:7>
RD8 <0>
RA9 <0:7>
RD9 <0>

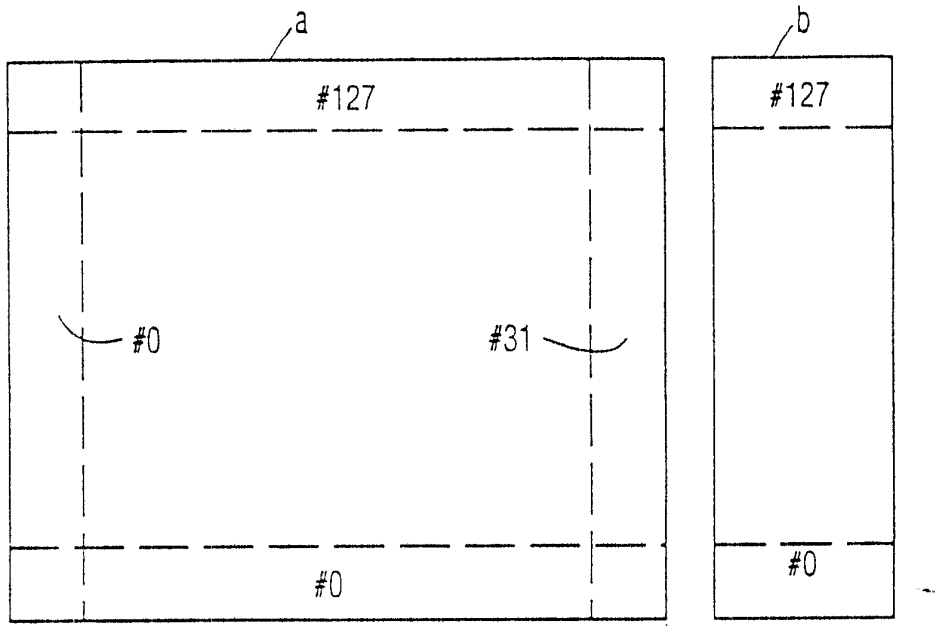
도면3


#127
#0
#31
#0

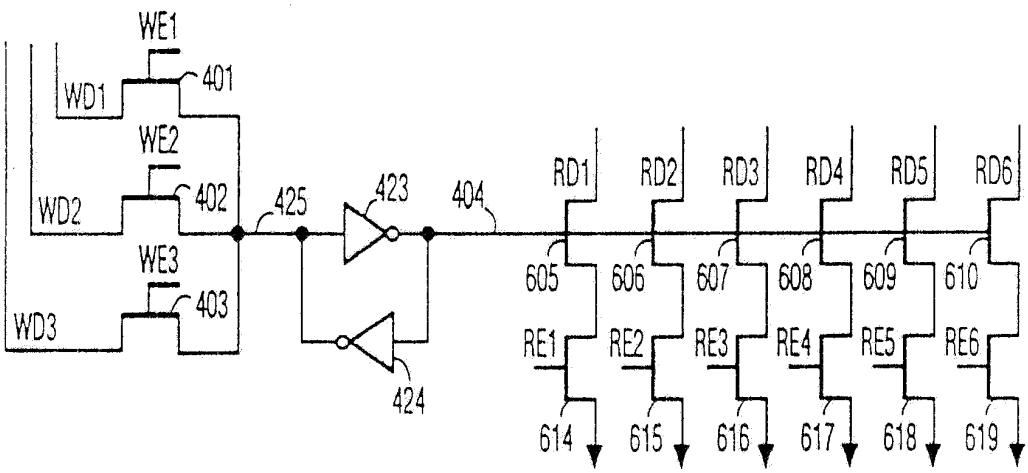
도면4


WE1
WD1
401
WE2
WD2
402
425
423
404
RD1
RD2
RD3
RD4
RD5
RD6
RD7
RD8
RD9
WE3
WD3
403
405
406
407
408
409
410
411
412
413
RE1
RE2
RE3
RE4
RE5
RE6
RE7
RE8
RE9
424
414
415
416
417
418
419
420
421
422

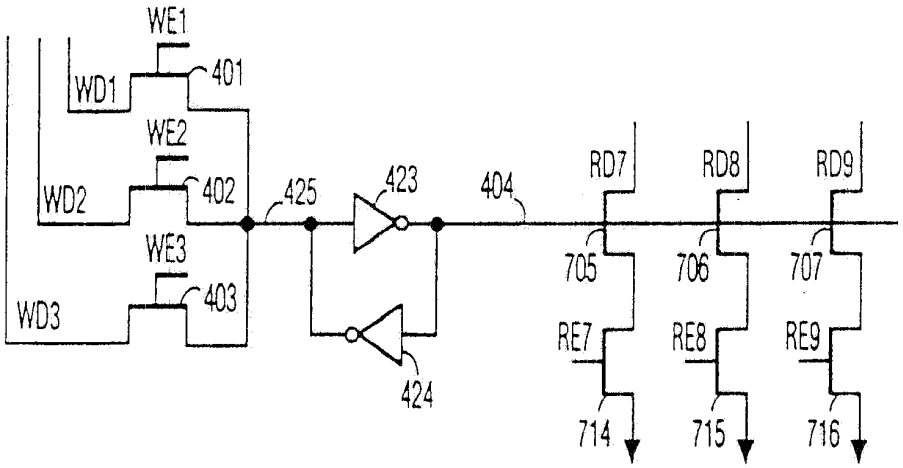
도면5


a
b
#127
#127
#0
#31
#0
#0

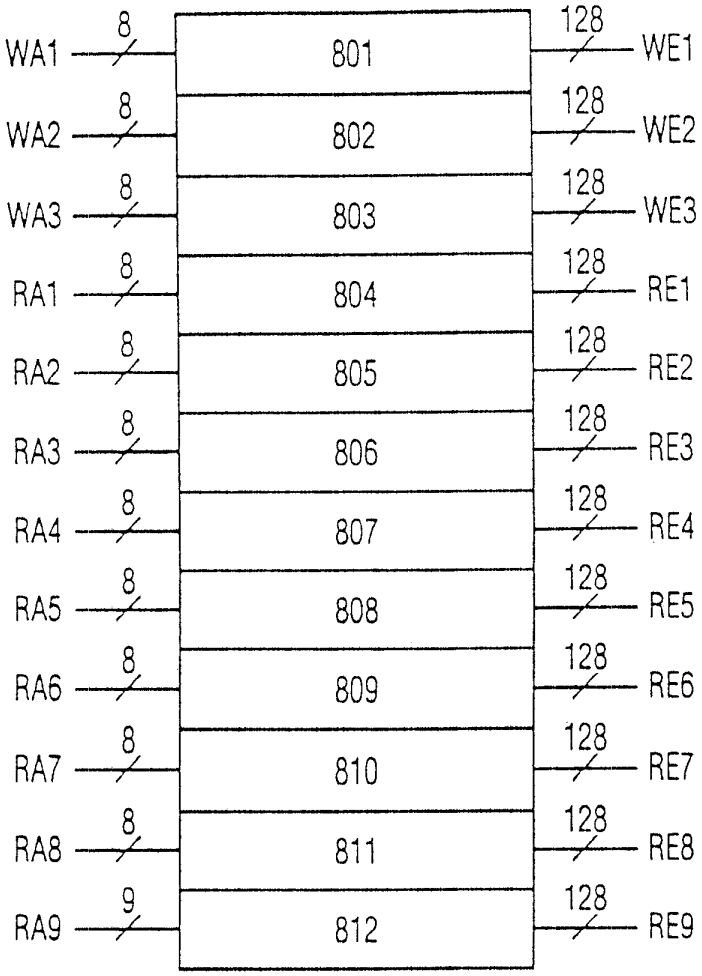
도면6


WE1
WD1
401
WE2
WD2
402
425
423
404
RD1
RD2
RD3
RD4
RD5
RD6
WE3
403
WD3
605
606
607
608
609
610
RE1
RE2
RE3
RE4
RE5
RE6
424
614
615
616
617
618
619

도면7


WE1
WD1
401
WE2
WD2
402
425
423
404
RD7
RD8
RD9
WE3
403
WD3
705
706
707
RE7
RE8
RE9
424
714
715
716

도면8


WA1
8
WA2
8
WA3
8
RA1
8
RA2
8
RA3
8
RA4
8
RA5
8
RA6
8
RA7
8
RA8
8
RA9
9
801
802
803
804
805
806
807
808
809
810
811
812
128
WE1
128
WE2
128
WE3
128
RE1
128
RE2
128
RE3
128
RE4
128
RE5
128
RE6
128
RE7
128
RE8
128
RE9