

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4114915号  
(P4114915)

(45) 発行日 平成20年7月9日(2008.7.9)

(24) 登録日 平成20年4月25日(2008.4.25)

(51) Int.Cl.

F I

G 0 6 F 12/08 (2006.01)

G 0 6 F 12/08 5 3 1 C

G 0 6 F 12/08 5 1 7 B

G 0 6 F 12/08 5 5 1 Z

G 0 6 F 12/08 5 4 1 Z

請求項の数 20 (全 15 頁)

(21) 出願番号 特願2002-150389 (P2002-150389)  
 (22) 出願日 平成14年5月24日(2002.5.24)  
 (65) 公開番号 特開2003-345653 (P2003-345653A)  
 (43) 公開日 平成15年12月5日(2003.12.5)  
 審査請求日 平成17年4月25日(2005.4.25)

(73) 特許権者 503121103  
 株式会社ルネサステクノロジ  
 東京都千代田区大手町二丁目6番2号  
 (74) 代理人 100089071  
 弁理士 玉村 静世  
 (72) 発明者 吉岡 真一  
 東京都小平市上水本町五丁目20番1号  
 株式会社日立製作所 半導体グループ内  
 (72) 発明者 成瀬 峰信  
 東京都小平市上水本町5丁目22番1号  
 株式会社日立超エル・エス・アイ・システムズ内

審査官 清木 泰

最終頁に続く

(54) 【発明の名称】 データ処理装置及びデータ処理システム

(57) 【特許請求の範囲】

【請求項 1】

外部に第1バスと第2バスが別々に接続可能であって、前記第1バスに接続する外部バスマスタに前記第2バスに接続する外部メモリのアクセスを許容するバス権を与えることが可能なデータ処理装置であって、前記外部メモリをキャッシュ対象とすることが可能なキャッシュメモリを含み、

前記外部バスマスタからのアクセス要求の条件が特定の条件を満たすとき、前記キャッシュメモリの状態をチェックし、メモリアクセスアドレスに対して前記キャッシュメモリにヒットするブロックがあれば前記メモリアクセスアドレスのデータとの間のキャッシュコヒーレンスを維持する処理を行なった後に、前記外部バスマスタからのアクセス要求に

10

応答する外部メモリアクセスを開始可能にするものであり、  
 前記キャッシュコヒーレンスを維持する処理は、  
 前記ヒットしたブロックがダーティであるかを判定する第1処理と、  
 前記外部バスマスタからのアクセスがライトアクセスであるか、リードアクセスであるかを判別する第2処理と、

前記ヒットしたブロックがダーティで且つ、前記ライトアクセスであるときに、上記ヒットしたブロックに含まれるデータを前記外部メモリにライトバックし、且つ、前記キャッシュメモリのブロックを無効化する第3処理と、を含むことを特徴とするデータ処理装置。

【請求項 2】

20

前記キャッシュコヒーレンシを維持する処理は、更に、前記キャッシュメモリのヒットするブロックがダーティであってリードアクセスに応答するときは当該ブロックをライトバックし且つクリーン化し、前記キャッシュメモリのヒットするブロックがクリーンであってリードアクセスに応答するときは当該ブロックを無効化する第4処理を含むことを特徴とする請求項1記載のデータ処理装置。

【請求項3】

前記キャッシュコヒーレンシを維持する処理は、更に、前記キャッシュメモリのヒットするブロックがクリーンであってリードアクセスに応答するとき及びヒットするブロックが存在しない時は、何もしないことを特徴とする請求項1または2記載のデータ処理装置。

10

【請求項4】

前記特定の条件をプログラマブルに指定するための制御レジスタを有することを特徴とする請求項1または2記載のデータ処理装置。

【請求項5】

前記制御レジスタは、アクセスアドレスとの比較に用いられる特定のアドレスを指定するための第1記憶領域を有することを特徴とする請求項4記載のデータ処理装置。

【請求項6】

前記制御レジスタは、アドレス比較のアドレスレンジを指定する第2記憶領域を有することを特徴とする請求項5記載のデータ処理装置。

【請求項7】

前記制御レジスタは、アドレス比較結果の一致又は不一致の何れを特定の条件成立とすることを指定するための第3記憶領域を有することを特徴とする請求項5記載のデータ処理装置。

20

【請求項8】

前記制御レジスタは、前記特定の条件が不成立であることを選択的に指定するための第4記憶領域を有することを特徴とする請求項5記載のデータ処理装置。

【請求項9】

キャッシュメモリを内蔵するCPU、外部バスマスタを接続可能な外部インタフェース回路、外部メモリを接続可能なメモリインタフェース回路、及びそれらが共通接続される内部バスを有するデータ処理装置であって、

30

前記外部インタフェース回路は、外部バスマスタからの要求にตอบสนองしてバス権を委譲することが可能であり、バス権を委譲したとき、外部バスマスタからの要求に応じて、前記内部バスから前記メモリインタフェース回路を介して外部メモリをアクセス可能とし、

前記メモリインタフェース回路を介して外部メモリをアクセスするときのアクセス条件が特定の条件を満たすとき、前記CPUに所定のキャッシュ制御コマンドを発行し、それに対する所定の応答を待って前記メモリインタフェース回路を介する外部メモリアクセスを開始可能とし、

前記CPUは、前記キャッシュ制御コマンドを受理したとき、キャッシュメモリの状態をチェックし、メモリアクセスアドレスに対してキャッシュヒットブロックがあれば前記メモリアクセスアドレスのデータとの間のキャッシュコヒーレンシを維持する処理を行なって、前記所定の応答を前記外部インタフェース回路に返すことが可能であり、

40

前記キャッシュコヒーレンシを維持する処理は、

前記ヒットしたブロックがダーティであるかを判定する第1処理と、

前記外部バスマスタからのアクセスがライトアクセスであるか、リードアクセスであるかを判別する第2処理と、

前記ヒットしたブロックがダーティで且つ、前記ライトアクセスであるときに、上記ヒットしたブロックに含まれるデータを前記外部メモリにライトバックし、且つ、前記キャッシュメモリのブロックを無効化する第3処理と、を含むことを特徴とするデータ処理装置。

【請求項10】

50

前記キャッシュコヒーレンシを維持する処理は、更に、ヒットブロックがダーティであってリードアクセスに応答するときはヒットブロックをライトバックし且つ当該ブロックをクリーン化し、ヒットブロックがクリーンであってライトアクセスに応答するときはヒットブロックを無効化する第4処理を含むことを特徴とする請求項9記載のデータ処理装置。

【請求項11】

前記外部インタフェース回路は、前記特定の条件を指定するための制御レジスタを有し、前記制御レジスタは前記CPUによってアクセス可能なことを特徴とする請求項10記載のデータ処理装置。

【請求項12】

前記制御レジスタは、前記外部バスマスタからのアクセスアドレスとの比較に用いられる特定のアドレスを指定するための第1記憶領域を有することを特徴とする請求項11記載のデータ処理装置。

【請求項13】

前記制御レジスタは、アドレス比較を行うアドレス長を指定する第2記憶領域を有することを特徴とする請求項12記載のデータ処理装置。

【請求項14】

前記制御レジスタは、アドレス比較結果の一致又は不一致の何れを特定の条件成立とするかを指定するための第3記憶領域を有することを特徴とする請求項12記載のデータ処理装置。

【請求項15】

前記制御レジスタは、前記特定の条件が不成立であることを選択的に指定するための第4記憶領域を有することを特徴とする請求項12記載のデータ処理装置。

【請求項16】

前記外部インタフェース回路は、前記外部バスマスタにバス権を与えた状態で前記所定の応答を待っているとき、前記外部インタフェース回路の状態が所定の状態であることを条件に、前記外部バスマスタに対してバス権の解放とリトライを要求することを特徴とする請求項10記載のデータ処理装置。

【請求項17】

前記所定の状態は、前記外部インタフェース回路が新たなアクセス要求を受け付け不可能な状態であることを特徴とする請求項16記載のデータ処理装置。

【請求項18】

データプロセッサと、前記データプロセッサに接続されたローカルバスと、前記ローカルバスに接続された外部メモリと、前記データプロセッサに接続されたシステムバスと、前記システムバスに接続された外部バスマスタと、前記システムバスに接続されたその他の回路と、を有するデータ処理システムであって、

前記データプロセッサは、前記外部バスマスタに前記外部メモリのアクセスを許容するバス権を与えることが可能であって、前記外部メモリをキャッシュ対象とすることが可能なキャッシュメモリを含み、外部バスマスタからのアクセス要求の条件が特定の条件を満たすとき、前記キャッシュメモリの状態をチェックし、メモリアccessアドレスに対してキャッシュにヒットするブロックがあれば前記メモリアccessアドレスのデータとの間のキャッシュコヒーレンシを維持する処理を行なって、前記外部バスマスタからのアクセス要求に応答する外部メモリアccessを開始可能にするものであり、

前記キャッシュコヒーレンシを維持する処理は、

前記ヒットするブロックがダーティであるかを判定する第1処理と、

前記外部バスマスタからのアクセスがライトアクセスであるか、リードアクセスであるかを判別する第2処理と、

前記ヒットするブロックがダーティで且つ、前記ライトアクセスであるときに、上記ヒットするブロックに含まれるデータを前記外部メモリにライトバックし、且つ、前記キャッシュメモリのブロックを無効化する第3処理と、を含むことを特徴とするデータ処理シ

10

20

30

40

50

ステム。

【請求項 19】

前記外部バスマスタからの前記アクセス要求は、外部バスマスタが接続されているアドレス空間情報を含むことを特徴とする請求項 18 記載のデータ処理システム。

【請求項 20】

前記データプロセッサは、前記特定の条件をプログラマブルに指定するための制御レジスタを有し、前記制御レジスタは、アクセスアドレスとの比較に用いられる特定のアドレスを指定するための第 1 記憶領域と、アドレス比較のアドレスレンジを指定する第 2 記憶領域と、アドレス比較結果の一致又は不一致の何れを特定の条件とするかを指定するための第 3 記憶領域と、を有することを特徴とする請求項 18 記載のデータ処理システム。

10

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、キャッシュメモリを有するデータ処理装置におけるキャッシュコヒーレンシに関し、例えば外部バスマスタがデータプロセッサのローカルメモリをアクセス可能なとき、外部バスマスタによるローカルメモリアクセス時のキャッシュコヒーレンシの維持に適用して有効な技術に関する。

【0002】

【従来の技術】

データプロセッサのローカルバスに接続されたローカルメモリをローカルバスとは別のバスに接続された外部バスマスタにアクセス可能にする技術について記載された文献として、特開 2000 - 282704、特開 2001 - 306486 の公報がある。前者には、CPU の外部バスとして汎用バスと SDRAM バスとがあり、その汎用バスに接続されるバスマスタが CPU 内に設けられている透過制御部を介して SDRAM をアクセスできるデータ処理システムについて記載される。後者には、CPU チップに外部システムバスを介してバスマスタが、また、専用インタフェースを介して RDRAM (SDRAM) が接続されるシステムにおいて、バスマスタが CPU チップ内を介して RDRAM (SDRAM) をアクセスできるようにした制御方式が記載される。

20

【0003】

【発明が解決しようとする課題】

30

データプロセッサがキャッシュメモリを内蔵するとき、外部バスマスタとデータプロセッサがキャッシュ対象領域 (キャッシュابلエリア) を共有するとき、前記ローカルメモリとキャッシュメモリのコヒーレンシを取る必要がある。このコヒーレンシ維持のためには、例えば、外部バスマスタが上記キャッシュابلエリアをアクセスするとき、アクセス前にデータプロセッサに割り込みを入れ、その割り込みハンドラでデータプロセッサのキャッシュメモリをパージし、パージ完了後、該エリアをアクセスする。しかしながら、外部バスマスタがデータプロセッサに割り込みを入れ、そのハンドラでキャッシュメモリをパージする操作を介在させると、性能低下を招く虞がある。特に、外部バスマスタによるデータ転送量が小さい場合、実際の転送より、上記割り込みハンドラによるコヒーレンシ実現用の前処理が長い時間を要することになり、オーバーヘッドとして無視できない。

40

【0004】

また、キャッシュメモリそれ自体が能動的にバスアクセス状態を監視し、キャッシュコヒーレンシを維持するように能動的に動作するスヌープ方式のキャッシュ制御を採用することも可能であるが、この制御方式は、キャッシュメモリによる能動的な制御故に回路の物理的及び論理的な規模が増大し、コストの増大を招いてしまう。

【0005】

本発明の目的は、外部バスマスタとキャッシュابلエリアを共有可能なときにキャッシュコヒーレンシを維持する処理に移行するための前処理によるオーバーヘッドを低減することができるデータ処理装置、更にはデータ処理システムを提供することにある。

【0006】

50

本発明の別の目的は、外部バスマスタとキャッシュابلエリアを共有可能なときにキャッシュコヒーレンシの維持を行なうための物理的及び論理的な規模を小さくすることができるデータ処理装置、更にはデータ処理システムを提供することにある。

【 0 0 0 7 】

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【 0 0 0 8 】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【 0 0 0 9 】

〔 1 〕本発明に係るデータ処理装置は、外部に第 1 バスと第 2 バスが別々に接続可能であって、前記第 1 バスに接続する外部バスマスタに前記第 2 バスに接続する外部メモリのアクセスを許容するバス権を与えることが可能なデータプロセッサであって、前記外部メモリをキャッシュ対象とすることが可能なキャッシュメモリを含む。このデータプロセッサは、外部バスマスタからのアクセス要求の条件が特定の条件を満たすとき、キャッシュメモリの状態をチェックし、外部バスマスタからのメモリアクセスアドレスに対してキャッシュメモリにヒットするブロックがあれば前記メモリアクセスアドレスのデータとの間のキャッシュコヒーレンシを保つ操作を行なって、前記外部バスマスタからのアクセス要求に応答する外部メモリアクセスを開始可能にする。

【 0 0 1 0 】

上記した手段によれば、データ処理装置が外部バスマスタとキャッシュابلエリアを共有可能なときにキャッシュコヒーレンシを維持する処理に移行するための前処理では、外部バスマスタからのアクセス要求の条件が特定の条件を満たすか否かを判定すればよく、CPUへの割り込み処理に必要な状態保存などの前処理を要しない。外部バスマスタにデータプロセッサ内のバス権を与えることによってCPU動作との間の関係は整合する。また、キャッシュコヒーレンシを保つ操作はキャッシュメモリがバス状態を監視して能動的に行なうものではないから、従来のバススヌープ方式のキャッシュ制御を採用する場合に比べて、キャッシュコヒーレンシの維持を行なうための物理的及び論理的な規模を小さくすることが可能である。

【 0 0 1 1 】

本発明の一つの具体的な態様として、データ処理装置は、前記特定の条件をプログラマブルに指定するための制御レジスタを有する。前記制御レジスタは、アクセスアドレスとの比較に用いられる特定のアドレスを指定するための第 1 記憶領域を有する。アクセスアドレスがキャッシュابلエリアであるか否かの判定に用いられる。

【 0 0 1 2 】

前記制御レジスタは、アドレス比較のアドレスレンジを指定する第 2 記憶領域を有する。キャッシュابلエリアのサイズを任意に指定可能になる。

【 0 0 1 3 】

前記制御レジスタは、アドレス比較結果の一致又は不一致の何れを特定の条件成立とすることを指定するための第 3 記憶領域を有する。第 1 記憶領域及び第 2 記憶領域を用いてキャッシュابلエリアを直接指定するときは、アドレス比較結果の一致を特定の条件成立とすればよい。第 1 記憶領域及び第 2 記憶領域を用いてノンキャッシュابلエリアを指定するときは、アドレス比較結果の不一致を特定の条件成立とすればよい。キャッシュابلエリアがノンキャッシュابلエリアに分断されている状態を指定するのに便利である。

【 0 0 1 4 】

前記制御レジスタは、前記特定の条件が不成立であることを選択的に指定するための第 4 記憶領域を有してよい。要するに、キャッシュコヒーレンシを保つための一連の処理について選択 / 非選択が可能になる。

【 0 0 1 5 】

10

20

30

40

50

前記キャッシュコヒーレンシを保つ操作は、例えば、外部バスマスタによるメモリアクセスアドレスに基づいたキャッシュのヒットしたブロックがダーティであってライトアクセスに応答するときは当該ブロックをライトバックし且つ無効化し、キャッシュのヒットするブロックがダーティであってリードアクセスに応答するときは当該ブロックをライトバックし且つクリーン化し、キャッシュのヒットするブロックがクリーンであってライトアクセスに応答するときはヒットブロックを無効化し、キャッシュにヒットするブロックがクリーンであってリードアクセスに応答するとき及びヒットするブロックが存在しない時は、何もしない操作である。

【 0 0 1 6 】

〔 2 〕更に具体的な観点による本発明に係るデータ処理装置は、キャッシュメモリを内蔵するCPU、外部バスマスタを接続可能な外部インタフェース回路、外部メモリを接続可能なメモリインタフェース回路、及びそれらが共通接続される内部バスを有する。前記外部インタフェース回路は、外部バスマスタからの要求に応答してバス権を委譲することが可能であり、バス権を委譲したとき、外部バスマスタからの要求に応じて、前記内部バスから前記メモリインタフェース回路を介して外部メモリをアクセス可能とする。更に前記外部インタフェース回路は、前記メモリインタフェース回路を介して外部メモリをアクセスするときのアクセス条件が特定の条件を満たすとき、前記CPUに所定のキャッシュ制御コマンドを発行し、それに対する所定の応答を待って前記メモリインタフェース回路を介する外部メモリアccessを開始可能とする。前記CPUは、前記キャッシュ制御コマンドを受理したとき、キャッシュメモリの状態をチェックし、メモリアccessアドレスに対してキャッシュメモリにヒットするブロックがあれば前記メモリアccessアドレスのデータとの間のキャッシュコヒーレンシを保つ操作を行なって、前記所定の応答を前記外部インタフェース回路に返すことが可能である。

【 0 0 1 7 】

この発明においても上記同様に、データ処理装置が外部バスマスタとキャッシュブルエリアを共有可能なときにキャッシュコヒーレンシを維持する処理に移行するには、CPUへの割り込み処理に必要な状態保存などの前処理を要せず、また、従来のバススヌープ方式のキャッシュ制御を採用する場合に比べて、キャッシュコヒーレンシの維持を行なうための物理的及び論理的な規模を小さくすることが可能である。

【 0 0 1 8 】

前記外部インタフェース回路には、上記同様に、第1乃至第4記憶領域が割当てられた制御レジスタを設け、前記特定の条件をプログラマブルに指定可能にするのが望ましい。

【 0 0 1 9 】

前記外部インタフェース回路は、外部にバス権を与えた状態で前記所定の応答を待っているとき、前記外部インタフェース回路の状態が所定の状態であることを条件に、前記外部に対してバス権の解放とリトライを要求する機能を有することが望ましい。前記所定の状態は、前記外部インタフェース回路が新たなアクセス要求を受け付け不可能な状態である。例えば、CPUが外部インタフェース回路に外部リードアクセスを指示して、CPUがデータリードを待っているとき、外部バスマスタが外部インタフェース回路からバス権を獲得して外部メモリアccess可能にされることがある。このとき、キャッシュコヒーレント維持のためにCPUがキャッシュメモリのライトバックを行なおうとしても、CPUは先に発行したリードアクセスに対するリードデータを待っているためにライトバックのための外部メモリアccessを行なうことができずにデッドロックになってしまう可能性がある。前記外部インタフェース回路が新たなアクセス要求を受け付け不可能な状態にあるとき、そのようなデッドロックを生ずる可能性があるため、前記バス権の解放とリトライの要求機能により、外部バスマスタにバス権を放棄させれば、先のリードアクセスが処理されてCPUは新たなアクセス要求を発行可能になる。この状態で外部バスマスタは、バス権放棄により中断若しくは中止した外部メモリアccessをリトライすればよい。これにより、デッドロックの虞を未然に防止することができる。

【 0 0 2 0 】

〔 3 〕本発明に係るデータ処理システムは、データプロセッサと、前記データプロセッサに接続されたローカルバスと、前記ローカルバスに接続された外部メモリと、前記データプロセッサに接続されたシステムバスと、前記システムバスに接続された外部バスマスタと、前記システムバスに接続されたその他の回路と、を有する。前記データプロセッサは、前記外部バスマスタに前記外部メモリのアクセスを許容するバス権を与えることが可能であって、前記外部メモリをキャッシュ対象とすることが可能なキャッシュメモリを含み、外部バスマスタからのアクセス要求の条件が特定の条件を満たすとき、前記キャッシュメモリの状態をチェックし、メモリアクセスアドレスに対してキャッシュメモリにヒットするブロックがあれば前記メモリアクセスアドレスのデータとの間のキャッシュコヒーレンシを保つ操作を行なって、前記外部バスマスタからのアクセス要求に応答する外部メモリアクセスを開始可能にする。

10

#### 【 0 0 2 1 】

前記外部バスマスタによる前記アクセス要求には、外部バスマスタが接続されるアドレス空間情報を含むとよい。これにより、データプロセッサは、バス幅やウェイトサイクル数等の外部バスマスタのアクセス能力に合わせて外部バスマスタとインタフェースを行なうことができる。

#### 【 0 0 2 2 】

前記データプロセッサには、上記同様に、第 1 乃至第 4 記憶領域が割当てられた制御レジスタを設け、前記特定の条件をプログラマブルに指定可能にするのが望ましい。更に、複数の外部バスマスタがシステムバスに接続される場合には、夫々の外部バスマスタに応じて前記制御レジスタを夫々有し、前記特定の条件をプログラマブルに指定可能にしても良い。

20

#### 【 0 0 2 3 】

##### 【 発明の実施の形態 】

図 1 には本発明に係るデータ処理システムが例示される。同図に示されるデータ処理システムは、データプロセッサ 1、前記データプロセッサ 1 に接続されたローカルバス 2、前記ローカルバス 2 に接続された外部メモリ例えばダブルデータレートの大容量の S D R A M ( Synchronous Dynamic Random Access Memory ) 3、前記データプロセッサ 1 に接続されたシステムバス 4、前記システムバス 4 に接続された外部バスマスタ 5、前記システムバス 4 に接続されたその他の回路例えばフラッシュメモリ ( F L A S H ) 6 及び S R A M ( Static Random Access Memory ) 7、そしてデータプロセッサ 1 に接続された P C I ( P eripheral Component Interconnect ) バス 8 を備えて成る。前記ローカルバス 2 は S D R A M 3 に専用化され、例えばメモリモジュール向け小振幅高速インタフェースである S S T L ( Stub Series Terminated Transceiver Logic ) 2 のバス仕様に準拠する。システムバス 4 は L V T T L ( Low Voltage TTL ) に準拠するバスであり、共有バスとして利用される。前記外部バスマスタ 5 はグラフィックコントローラ又はハードディスクコントローラなどのバスマスタモジュールを意味する。図示は省略するが、システムバス 4 には複数の外部バスマスタ及び複数の A S I C を接続することも可能である。

30

#### 【 0 0 2 4 】

前記データプロセッサ 1 は、キャッシュメモリ 1 0 を内蔵した C P U 1 1、D M A C 1 2 ( Direct Memory Access Controller )、P C I インタフェース回路 1 3、S D R A M インタフェース回路 1 4、外部バスインタフェース回路 1 5、周辺ブリッジインタフェース回路 1 6、デバッグインタフェース回路 1 7、それらの回路ジュールを接続する内部バス ( オンチップバス ) 1 8 から成る。周辺ブリッジインタフェース回路 1 6 は、オンチップバス 1 8 と周辺バス 2 0 との間のブリッジを構成する。周辺バス 2 0 には適宜の内部周辺回路 ( I P ) 2 1 が接続される。S D R A M インタフェース回路 1 4 はデータプロセッサ 1 のローカルメモリである前記 S D R A M 3 がローカルバス 2 経由で接続される。外部バスインタフェース回路 1 5 は、前記システムバス 4 とオンチップバス 1 8 に接続される。

40

#### 【 0 0 2 5 】

前記 S D R A M 3 はキャッシュメモリ 1 0 によるキャッシュブル領域を含む。外部バスイ

50

インタフェース回路 15 は、オンチップバス 18 側のバスマスタモジュールである CPU 11 からのバス権要求、DMAC 12 からのバス権要求、そしてシステムバス 4 側のバスマスタモジュールである外部バスマスタ 5 からのバス権要求を調停する。図 1 において BREQ は外部バスマスタ 5 から外部バスインタフェース回路 15 へのバス権要求信号、BACCK は外部バスインタフェース回路 15 から外部バスマスタ 5 へのバス権承認信号である。

#### 【0026】

CPU 11 又は DMAC 12 がバス権を獲得すれば、そのバス権を獲得したバスマスタモジュールが外部バスインタフェース回路 15 を介してシステムバス 4 の回路モジュールをアクセスすることができる。

10

#### 【0027】

一方、システムバス 4 側の外部バスマスタ 5 がバス権を獲得したときは、外部バスマスタ 5 はシステムバス 4 の回路モジュールをアクセスすることができ、更に、外部バスインタフェース回路 15 を介して SDRAM 3 のアクセスが可能にされる。これは、図 1 のシステムでは SSTL 2 の高速バス仕様を用いて高速大容量メモリである SDRAM 3 をシステムバス 4 から切り離れたローカルメモリとし、この SDRAM 3 を CPU 11 のワークメモリとして、更には外部バスバスマスタのテンポラリメモリ或はフレームバッファメモリとしても利用可能にするためである。外部バスマスタ 5 が SDRAM 3 をアクセスする場合の経路は、外部バスマスタ 5、外部バスインタフェース回路 15、オンチップバス 18、SDRAM インタフェース回路 14 及び SDRAM 3 に通ずる経路となる。尚、システムバス側の外部バスマスタ 5 がバス権を獲得したときは、外部バスマスタ 5 はオンチップバス 18 上のその他の回路モジュールをアクセスすることも可能である。要するに外部バスマスタ 5 はローカルメモリ (SDRAM 3) も含めてデータプロセッサ 1 をアクセスすることができる。

20

#### 【0028】

図 2 にはデータプロセッサのオンチップバス 18 に接続された回路モジュールに割り当てられる物理アドレスマップが例示される。4 ギガバイト (GB) のアドレス空間に、夫々の回路モジュールがマッピングされる。例えば図中、FEMI\_db は前記外部バスインタフェース回路 15 をメモリマップド I/O とみなしたとき当該回路 15 に割り当てられるアドレス空間、EMI\_DRAM は SDRAM 3 のアドレス空間である。

30

#### 【0029】

図 3 には外部バスインタフェース回路 15 に割り当てられるアドレスマップが例示される。ここでは 128 メガバイト (MB) のアドレス空間がエリア 0 ~ エリア 4 までの 5 個のエリアに分割される。図の例からも明らかなように、外部バスインタフェース回路 15 には外部バスマスタ 5 が複数個接続される場合もある。図示は省略するが、更に ASIC も複数接続することが可能である。

#### 【0030】

外部バスマスタ 5 がシステムバス 4 上の回路モジュールをアクセスするときは、どの回路モジュールをアクセスするかを示すために対応する回路モジュールのモジュール選択信号 (チップ選択信号) をアサートする。外部バスマスタ 5 がデータプロセッサ 1 をアクセスするときは、全てのモジュール選択信号をネゲートする。このとき外部バスマスタ 5 は、自分自身が図 3 のどのエリアに接続されているかを通知するためにアドレス空間情報 26 (図 1 参照) を外部バスインタフェース回路 15 に出力する。外部バスインタフェース回路 15 は、制御レジスタ 27 として、図 3 のエリア 0 ~ 4 毎に図 4 のメモリ制御レジスタ AnMCR (n = 0 ~ 4) を有し、外部バスマスタ 5 が通知するアドレス空間情報により制御レジスタ AnMCR (n = 0 ~ 4) の中から一つを選択し、それによって外部バスインタフェース回路 15 は外部バスマスタ 5 との通信に必要なウェイトサイクル数などの制御情報を認識する。

40

#### 【0031】

図 4 のメモリ制御レジスタ AnMCR (n = 0 ~ 4) は、前述のようにエリア 0 ~ エリア

50



4の夫々に対応して存在し、各エリアに接続されるデバイスと外部インタフェース回路15との間のアクセスを規定するパラメータを指定する。外部バスマスタ5が外部インタフェース回路15をアクセスするとき、それがどのアドレスエリアに接続されているかは、前記アドレス空間情報26により通知される。外部インタフェース回路15は通知されたエリアのメモリ制御レジスタAnMCR(n=0~4)の内容に従って、外部バスマスタ5とハンドシェイクで情報のインタフェース制御を行なう。

#### 【0032】

図5に外部バスマスタ5と外部インタフェース回路15との間のバスアービトレーションシーケンスが例示される。期間T1ではオンチップバス18側のCPU11などにより外部インタフェース回路15を介してシステムバス4がアクセスされている状態を示す。期間T2では外部バスマスタ5がバス権を取ってデータプロセッサ1をアクセスするときのシステムバス4の状態を示している。外部バスインタフェース回路15はバス権を取っていないためハイインピーダンス状態となり、システムバス4上ではバス権を取っている外部バスマスタ5よりアドレス等の情報が出力されている。期間T3はその後、再度オンチップバス18側のCPU11などにより外部インタフェース回路15を介してシステムバス4がアクセスされている状態を示す。尚、図5では前記信号BREQ, BACKを負論理信号として図示している。

#### 【0033】

図6には外部バスマスタ5がローカルメモリをアクセスするときの処理フローが例示される。先ず、外部バスマスタ5が外部インタフェース回路15にバス権要求信号BREQをアサートしてオンチップバス18のバス権を要求する(ST1)。オンチップバス18側との競合が無ければバス権承認信号BACKがアサートされて外部バスマスタ5にバス権が与えられる(ST2)。これにより、外部バスマスタ5はデータプロセッサ1をアクセスする。続いて外部バスマスタ5が外部インタフェース回路15にアドレス、データ(ライト時)、コマンドを送る(ST3)。外部インタフェース回路15は、そのメモリアクセスアドレスがキャッシュコヒーレンシ(単にコヒーレンシとも称する)対象アドレスか否かを判定し(ST4)、コヒーレンシ対象アドレスであるという特定の条件を満たすとき、CPU11にコヒーレンシコマンドを送る。コヒーレンシコマンドを受取ったときCPU11の動作については詳細を後述するが、概略的には、前記キャッシュメモリ10の状態をチェックし、メモリアクセスアドレスに対してキャッシュにヒットするブロックがあれば前記メモリアクセスアドレスのデータとの間のキャッシュコヒーレンシを保つ操作を行なって、コヒーレンシコマンドに対する応答を外部インタフェース回路15に返す。外部インタフェース回路15はコヒーレンシコマンドに対する応答の受領を確認すると(ST6)、今度はSDRAMインタフェース回路14にアクセスコマンドを供給して、SDRAM3のアクセス動作を開始させる(ST7)。

#### 【0034】

図7にはコヒーレンシコマンド受理後のCPU11によるコヒーレンシ処理フローが例示される。コヒーレンシコマンドを受理し(ST10)、キャッシュメモリ10をチェックし(ST11)、キャッシュヒットか否かを判定し(ST12)、キャッシュミスであれば当該コヒーレンシコマンドに対する応答を外部インタフェース回路15に返す(ST19)。キャッシュヒットであればダーティブロックにヒットしたか否かを判定し(ST13)、次にライトアクセスに回答するアクセスであったか、換言すればライトアクセス時のコヒーレンシ維持かリードアクセス時のコヒーレンシ維持かを判別する(ST14, ST15)。ステップST12~ST15の判定により、キャッシュのヒットするブロックがダーティであってライトアクセスに回答するアクセスのときはヒットするブロックをライトバックし且つ当該ブロックを無効化し(ST16)、キャッシュのヒットするブロックがダーティであってリードアクセスに回答するときはヒットするブロックをライトバックし且つ当該ブロックをクリーン化し(ST17)、キャッシュのヒットするブロックがクリーンであってライトアクセスに回答するときはヒットするブロックを無効化する操作を行なって(ST18)、当該コヒーレンシコマンドに対する応答を外部インタフェー

10

20

30

40

50

ス回路 15 に返す ( S T 19 )。

【 0 0 3 5 】

コヒーレンシ対象アドレスという特定の条件をプログラマブルに指定する為の制御レジスタ 28 について説明する。外部インタフェース回路 15 は、その制御レジスタ 28 として、例えば図 8 に例示されるスヌープアドレスレジスタ S N P A R n ( n = 0 , 1 ) と、図 9 に例示されるスヌープ制御レジスタ S N P C R n ( n = 0 , 1 ) を有する。

【 0 0 3 6 】

図 8 にはスヌープアドレスレジスタ S N P A R n ( n = 0 , 1 ) の一例が示される。スヌープアドレスレジスタ S N P A R n のビット 31 ~ 0 ( C A D R : 第 1 記憶領域 ) には、C P U 11 により 32 ビットの物理アドレス ( アクセスアドレスとの比較に用いられるアドレス情報 ) が任意に指定可能にされる。

【 0 0 3 7 】

図 9 にはスヌープ制御レジスタ S N P C R n ( n = 0 , 1 ) の一例が示される。ビット 1 ~ 0 ( S N P M D : 第 3 記憶領域及び第 4 記憶領域 ) は、外部インタフェース回路 15 がコヒーレンシコマンドを発行する機能をイネーブルにするか否か、またコヒーレンシコマンドを発行する場合には、スヌープアドレスレジスタ S N P A R n のアドレスと、外部バスマスタ 5 のアクセスアドレスの比較結果が一致したとき発行するのか、不一致のとき発行するのかを指定する。ビット 4 ~ 2 ( R A N G E : 第 2 記憶領域 ) は、アドレス比較を行なうアドレス長を指定する。ビット 7 ~ 4 は、スヌープアドレスレジスタ S N P A R n 及びスヌープ制御レジスタ S N P C R n をどのエリアに接続された外部バスマスタからのアクセスに用いるかを指定する。この例では、スヌープアドレスレジスタ S N P A R n 及びスヌープ制御レジスタ S N P C R n がともに 2 本実装されており、外部バスマスタ 5 が最大 2 つのエリアに接続された場合までをサポートすることができる。また複数の外部バスマスタが接続される場合には夫々に対応した前記スヌープアドレスレジスタ S N P A R n 及びスヌープ制御レジスタ S N P C R n を外部バスインタフェース 15 内に持たせることにより任意に制御することが可能となる。

【 0 0 3 8 】

前記スヌープアドレスレジスタ S N P A R n の第 1 記憶領域と前記スヌープ制御レジスタ S N P C R n の第 2 記憶領域を用いて図 10 のキャッシュブルエリア C E 1 を直接指定するときは、アドレス比較結果の一致をコヒーレンシコマンド発行の条件成立とすればよい。前記スヌープアドレスレジスタ S N P A R n の第 1 記憶領域と前記スヌープ制御レジスタ S N P C R n の第 2 記憶領域を用いて図 10 のノンキャッシュブルエリア N C E 2 を指定するときは、アドレス比較結果の不一致をコヒーレンシコマンド発行の条件成立とすればよい。この設定はキャッシュブルエリア C E 2 がノンキャッシュブルエリア N C E 2 に分断されている状態を指定するのに便利である。

【 0 0 3 9 】

次に、外部インタフェース回路 15 の内蔵バッファのフル状態によるデッドロック条件とその解消方法について図 6 を参照しながら説明する。

【 0 0 4 0 】

前記外部インタフェース回路 15 は、外部バスマスタ 5 にバス権を与えた状態で前記キャッシュコヒーレンシコマンドに対する C P U 11 からの応答を待っているとき ( 図 6 の S T 6 )、前記外部インタフェース回路 15 の状態が所定の状態、例えば前記外部インタフェース回路 15 のリクエスト受付バッファ ( 図 1 の 30 ) がフル状態で新たなアクセス要求を受け付け不可能な状態、であることを条件に ( 図 6 の S T 8 )、前記外部インタフェース回路 15 は前記外部バスマスタに対してバス権の解放とリトライを要求する機能を有する ( 図 6 の S T 9 )。例えば、C P U 11 が外部インタフェース回路 15 に外部接続された S R A M 7 などに対する外部リードアクセスを指示して、C P U 11 がデータリードを待っているとき、外部バスマスタ 5 が外部インタフェース回路 15 からバス権を獲得して S D R A M 3 をアクセス可能にされることがある。このとき、キャッシュコヒーレントコマンドが発行されて例えば C P U 11 がキャッシュメモリ 10 のライトバックを行なおう

10

20

30

40

50

としても、CPU 15は先に発行したリードアクセスに対するリードデータを待っているためにライトバックのための外部メモリアccessを行なうことができずにデッドロックになってしまう可能性がある。そこで前記外部インタフェース回路15が新たなアクセス要求を受け付け不可能な状態にあるとき、そのようなデッドロックを生ずる可能性があるので、前記バス権の解放とリトライを要求機能により外部バスマスタ5にバス権を放棄させれば、先のリードアクセスが処理されてCPU 11は新たなアクセス要求を発行可能になる。この状態で外部バスマスタ5は、バス権放棄により中断若しくは中止したSDRAM 3のアクセスをリトライすればよい。これにより、デッドロックの虞を未然に防止することができる。

#### 【0041】

以上説明したデータプロセッサ1及びこれを適用したデータ処理システムによれば以下の作用効果を得る。

#### 【0042】

外部バスマスタ5がデータプロセッサ1のキャッシュブルローカルメモリとしてのSDRAM 3にアクセスするとき、キャッシュメモリ10のキャッシュコヒーレンスを維持させる処理を行うのにデータプロセッサ1への割り込み処理が不要になり、その処理のオーバーヘッドを低減でき、そのメモリアccessを高速化することができる。外部バスマスタ5のデータ転送処理とデータプロセッサ1の演算処理を並列に実行できるようになり、データ処理性能も向上させることが可能になる。これに対し、そのようなキャッシュコヒーレンスを維持させるのにデータプロセッサへの割り込み処理を介在させる場合には、その割り込みハンドラ実行中に、データプロセッサは他の処理を実行できず、また割り込み処理のオーバーヘッド(割り込み開始、レジスタ待避、回復など)にプロセッサマシナサイクルで50~100サイクル程度必要になる。本発明の場合にはオーバーヘッドはプロセッササイクルで10サイクル程度であり、データ転送とプロセッサ処理の並列実行も可能である。

#### 【0043】

更に、外部バスマスタ5のドライバソフトを簡略化でき、その開発工数も低減可能になる。外部バスマスタ5のドライバから、コヒーレンシ用の割り込みハンドラを除くことができるからである。

#### 【0044】

以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

#### 【0045】

例えば、外部バスマスタがリードアクセスする時のコヒーレンシチェックに伴うキャッシュ操作を下記のようにすることも可能である。即ち、キャッシュメモリのリードヒットするブロックがダーティであるとき、ヒットするブロックをライトバックすると共にクリーン化し、更にそのデータを外部インタフェース回路15に直接供給する。キャッシュメモリのリードヒットするブロックがクリーンなとき、ヒットするブロックのデータを外部インタフェース回路15に供給する。このように、キャッシュメモリのリードヒット時には、外部バスマスタ5が所望とするデータはCPU 11のキャッシュメモリ10内に存在しているから、そのデータをCPU 11から直接外部インタフェース回路15に転送することにより、前述したところの外部インタフェース回路15がコヒーレンシコマンドの完了通知を受理した後にSDRAMインタフェース回路14を改めてアクセスする場合に比べて、高速アクセスが可能になる。

#### 【0046】

また、データプロセッサのオンチップ回路モジュールは前記説明に限定されず適宜変更可能である。ローカルメモリとしての外部メモリはダブルデータレートのSDRAMに限定されず、シングルデータレート、或はその他記憶形式のメモリであってもよい。また、システムバスとローカルバスの仕様はLVTTLとSSTL2に限定されず適宜変更可能で

10

20

30

40

50

ある。また、本発明は複数のキャッシュ内蔵のプロセッサで構成される、マルチプロセッサシステムにも適用可能である。

【 0 0 4 7 】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【 0 0 4 8 】

外部バスマスタがデータ処理装置のキャッシュブルメモリをアクセスするとき、キャッシュメモリのキャッシュコヒーレンシを維持させるのにデータ処理装置への割り込み処理が不要になり、キャッシュコヒーレンシを維持させる処理のオーバーヘッドが小さくなり、そのアクセスを高速化することができる。外部バスマスタのデータ転送処理とデータ処理装置の演算処理を並列に実行できるようになり、データ処理性能も向上させることが可能になる。更に、外部バスマスタのドライバソフトを簡略化でき、その開発工数も低減可能になる。

【図面の簡単な説明】

【図 1】本発明に係るデータ処理システムを例示するブロック図である。

【図 2】データプロセッサのオンチップバスに接続された回路モジュールに割り当てられるも物理アドレスマップを例示する説明図である。

【図 3】外部バスインタフェース回路に割り当てられるアドレスマップを例示する説明図である。

【図 4】メモリ制御レジスタ  $A_n M C R$  の説明図である。

【図 5】外部バスマスタと外部インタフェース回路との間のバスアービトレーションシーケンスを例示するタイミングチャートである。

【図 6】外部バスマスタがローカルメモリをアクセスするときの処理を例示するフローチャートである。

【図 7】コヒーレンシコマンド受理後の CPU によるコヒーレンシ処理を例示するフローチャートである。

【図 8】スヌープアドレスレジスタ  $S N P A R_n$  の一例が示す説明図である。

【図 9】スヌープ制御レジスタ  $S N P C R_n$  の一例が示す説明図である。

【図 10】スヌープアドレスレジスタの第 1 記憶領域と前記スヌープ制御レジスタの第 2 記憶領域を用いてキャッシュブルエリアを直接指定した状態とノンキャッシュブルエリアを指定した状態とを対比した説明図である。

【符号の説明】

- 1 データプロセッサ
- 2 ローカルバス
- 3 S D R A M
- 4 システムバス
- 5 外部バスマスタ
- 10 キャッシュメモリ
- 11 C P U
- 15 外部インタフェース回路
- 27, 28 制御レジスタ
- $A_n M C R$  メモリ制御レジスタ
- $S N P A R_n$  スヌープアドレスレジスタ
- $S N P C R_n$  スヌープコントロールレジスタ
- C A D R 第 1 領域
- $S N P M D$  第 3 記憶領域及び第 4 記憶領域
- R A N G E 第 2 領域

10

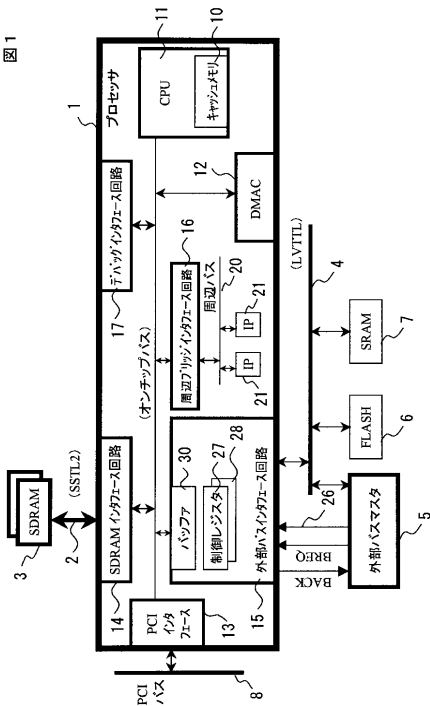
20

30

40

【図1】

図1



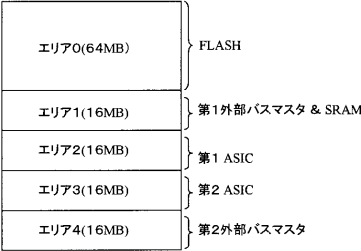
【図2】

図2

モジュール名	ブロックタイプ	物理アドレス範囲	物理アドレス空間
FEMl_db	DB	H' 00000000~H' 07FFFFFF	128M
FEMl_cb	CB	H' 08000000~H' 08FFFFFF	16M
PERIPHERAL_cb	CB	H' 09000000~H' 0AFFFFFF	32M
Debug_link	DB	H' 0B000000~H' 0BFFFFFF	16M
Debug_cb	CB	H' 0C000000~H' 0CFFFFFF	16M
CPU	CB	H' 0D000000~H' 0DFFFFFF	16M
DMAC	CB	H' 0E000000~H' 0EFFFFFF	16M
リザーブ	UB	H' 0F000000~H' 3FFFFFFF	784M
PCI_db	DB	H' 40000000~H' 5FFFFFFF	512M
PCI_cb	CB	H' 60000000~H' 60FFFFFF	16M
リザーブ	UB	H' 61000000~H' 60FFFFFF	240M
Shwy Socket	UB	H' 07000000~H' 07FFFFFF	256M
EMI_DRAM	DB	H' 80000000~H' FEFFFFFF	2032M
EMI_cb	CB	H' FF000000~H' FFFFFFFF	16M

【図3】

図3



【図4】

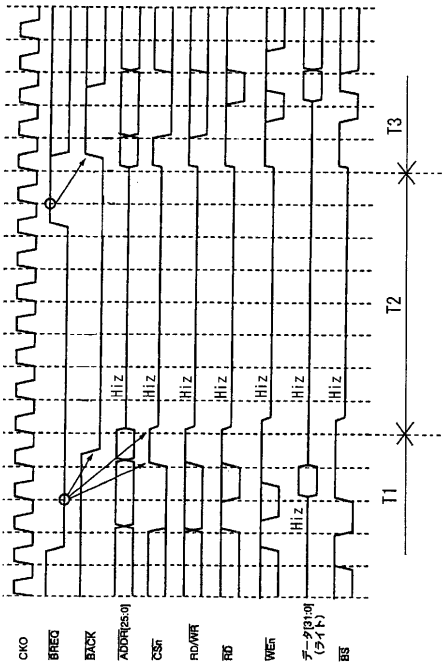
図4

(メモリ制御レジスタ: AnMCR (n=0~4))

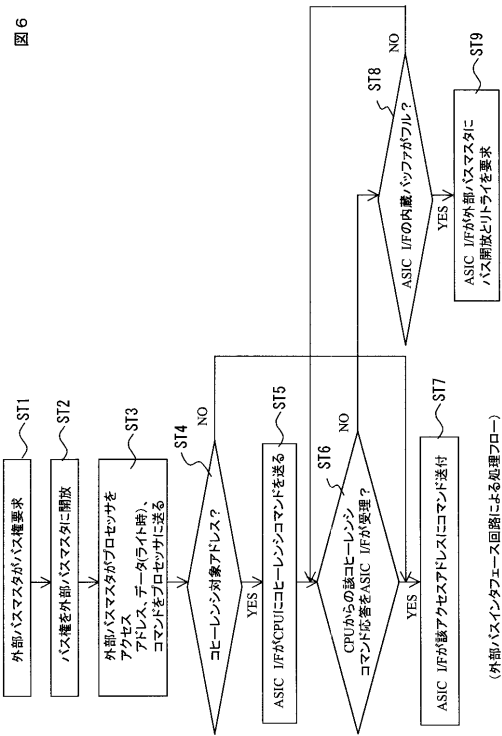
ビット	フィールド名	内容
0	TYPE	メモリタイプ
2:1	—	予約
4:3	SZ	バス幅
7:5	BST	バースト制御
8	FLMD	Flashモード
9	FLWP	Flashライトプロテクト
10	MBC	バイト制御SRAMモード
11	—	予約
14:12	IW	サイクル間ウェイト
13	—	予約
18:16	BP	バーストピッチ
19	—	予約
22:20	WS	ウェイトサイクル
23	—	予約
25:24	HLD	ホールドサイクル
26	—	予約
27	STUP	セットアップサイクル
63:28	—	予約

【図5】

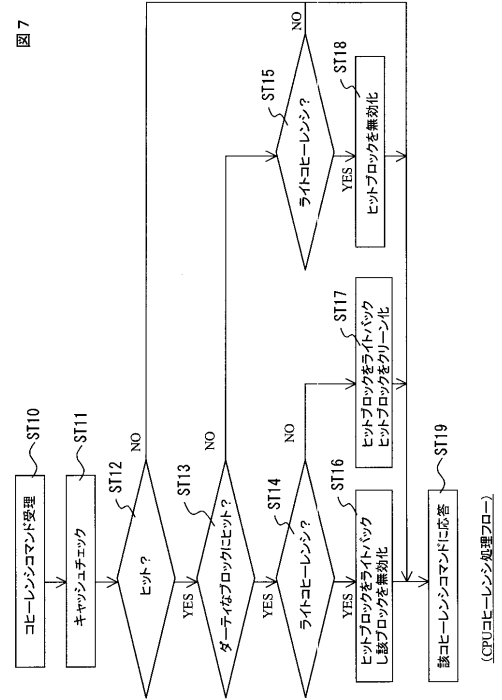
図5



【図 6】



【図 7】

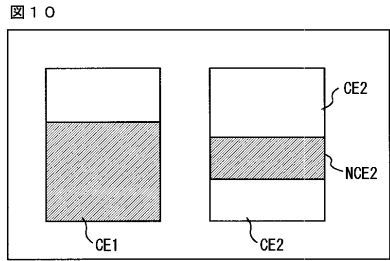


【図 8】

図 8  
(スヌープアドレスレジスタ SNPARn (n=0, 1))

ビット	フィールド名	内容
31:0	CADR	比較アドレス 予約
63:32	—	—

【図 10】



【図 9】

図 9  
(スヌープ制御レジスタ SNPCRn (n=0, 1))

ビット	フィールド名	内容
1:0	SNPMD	スヌープ制御 00: SNPARnは比較されない 01: 予約 10: SNPARnは比較される 不一致のときコヒーレンスコマンドを発行 11: SNPARnは比較される 一致のときコヒーレンスコマンドを発行
4:2	RANGE	SNPARnの比較されるアドレスレンジを示す 000: SNPARn.CADR(31:12)を比較 001: SNPARn.CADR(31:16)を比較 010: SNPARn.CADR(31:20)を比較 011: SNPARn.CADR(31:24)を比較 100-111: 予約
7:4	AREA	SNPCRn, SNPARnがどのエリアに接続された 外部マスタを制御するかを示す 000: エリア0 001: エリア1 010: エリア2 011: エリア3 100: エリア4 101-111: 予約
63:8	—	予約

---

フロントページの続き

- (56)参考文献 特開昭62-226350(JP,A)  
特開2001-282704(JP,A)  
特開2001-306486(JP,A)  
特開平09-006713(JP,A)  
特開2000-315186(JP,A)  
特開平09-022382(JP,A)  
特開平03-122735(JP,A)  
特開平03-102546(JP,A)  
特開昭64-076343(JP,A)

- (58)調査した分野(Int.Cl., DB名)

G06F12/08-12/12