



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0089639
(43) 공개일자 2014년07월16일

(51) 국제특허분류(Int. Cl.)
H01L 27/115 (2006.01) H01L 21/8247 (2006.01)
(21) 출원번호 10-2013-0000624
(22) 출원일자 2013년01월03일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
임한진
서울 서초구 서초대로40길 72, 102동 309호 (서초동, 한빛삼성아파트)
유원석
경기 화성시 동탄반석로 71, 446동 1602호 (반송동, 솔빛마을쌍용예가아파트)
(74) 대리인
권혁수, 송윤호, 오세준

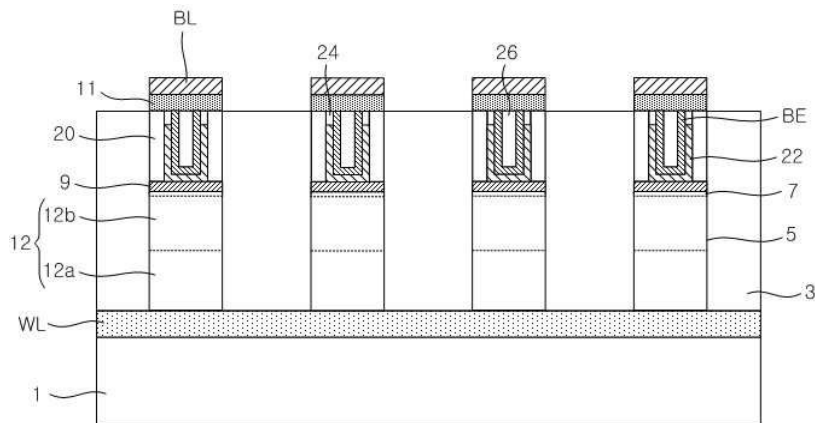
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 가변 저항 메모리 장치 및 그 형성 방법

(57) 요약

본 발명은 반도체 장치 및 그의 제조 방법을 제공한다. 이 반도체 장치는 금속함유막과 반도체막 사이에 장벽 저하부를 포함하므로써 상기 금속함유막과 상기 반도체막 간의 쇼트키 장벽 높이(Schottky barrier height)를 금속 실리사이드막과 반도체막 간의 쇼트키 장벽 높이 보다 낮출 수 있다. 이로써, 금속 함유막과 반도체막 사이의 전류 흐름을 개선하여 온 전류를 증가시키고 동작 속도를 향상시킬 수 있다.

대표도 - 도3c



(72) 발명자

전인상

서울 동작구 사당로20다길 32, (사당동)

남석우

경기 성남시 분당구 황새울로 54, 316동 1902호 (정자동, 상록마을우성아파트)

이공수

경기 화성시 병점서로 8, 108동 1802호 (병점동, 남수원두산아파트)

한재중

서울특별시 서초구 잠원동 신반포한신아파트 58-24신반포11차(한신)APT322-106호

특허청구의 범위

청구항 1

반도체 막 상에 배치되는 금속함유막; 및

상기 반도체 막과 상기 금속함유막 사이에 배치되는 장벽 저하부를 포함하되,

상기 장벽 저하부는 상기 금속함유막과 상기 반도체막 간의 쇼트키 장벽 높이(Schottky barrier height)를 금속 실리사이드막과 반도체막 간의 쇼트키 장벽 높이 보다 낮추는 반도체 장치.

청구항 2

제 1 항에 있어서,

상기 반도체막에는 $10^{20}/\text{cm}^3$ 이상의 P형 불순물이 도핑되는 반도체 장치.

청구항 3

제 1 항에 있어서,

상기 장벽 저하부는 상기 반도체막의 표면에 알루미늄, 갈륨, 베릴륨, 붐소, 백금 중에 선택되는 적어도 하나의 원소의 이온이 도핑됨으로써 형성되는 반도체 장치.

청구항 4

제 3 항에 있어서,

상기 장벽 저하부에 포함되는 상기 원소의 농도는 $10^{19}\sim 10^{20}/\text{cm}^3$ 인 반도체 장치.

청구항 5

제 3 항에 있어서,

상기 장벽 저하부와 상기 금속 함유막 사이에 배치되는 금속실리사이드막을 더 포함하는 반도체 장치.

청구항 6

제 1 항에 있어서,

상기 장벽 저하부는 실리콘 산화막 보다 높은 유전 상수를 가지는 고유전막을 포함하는 반도체 장치.

청구항 7

제 6 항에 있어서,

상기 장벽 저하부는 상기 고유전막과 상기 반도체 막 사이에 배치되는 열산화막을 더 포함하는 반도체 장치.

청구항 8

제 7 항에 있어서,

상기 열산화막은 5~10Å의 두께를 가지는 반도체 장치.

청구항 9

제 6 항에 있어서,

상기 고유전막은 알루미늄 산화막이며 10Å 이하의 두께를 가지는 반도체 장치.

청구항 10

제 6 항에 있어서,

상기 고유전막은 티타늄 산화막이며 60Å 이하의 두께를 가지는 반도체 장치.

명세서

기술분야

[0001] 본 발명은 반도체 장치 및 그 형성 방법에 관한 것이다.

배경기술

[0002] 반도체 메모리 장치의 고성능화 및 저전력화 추세에 맞추어, FRAM(Ferroelectric Random Access Memory), MRAM(magnetic Random Access Memory) 및 PRAM(phase-change Random Access Memory)과 같은 차세대 반도체 메모리 장치들이 개발되고 있다. 이러한 차세대 반도체 메모리 장치들을 구성하는 물질들은 전류 또는 전압에 따라, 그 저항값이 달라지며, 전류 또는 전압 공급이 중단되더라도 저항값을 그대로 유지하는 특성을 갖는다.

[0003] 이러한 가변 저항 메모리 장치들 중, 상변화 물질(phase-change material)을 이용하는 상변화 메모리 장치(PRAM)는 빠른 동작 속도를 가지며, 고집적화에 유리한 구조로 되어 있어, 개발이 계속되고 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명이 해결하려는 과제는 동작 속도를 향상시킬 수 있는 반도체 장치를 제공하는데 있다.

[0005] 본 발명이 해결하려는 다른 과제는 상기 반도체 장치의 제조 방법을 제공하는데 있다.

과제의 해결 수단

[0006] 상기 과제를 달성하기 위한 본 발명에 따른 반도체 장치는, 반도체 막 상에 배치되는 금속함유막; 및 상기 반도체 막과 상기 금속함유막 사이에 배치되는 장벽 저하부를 포함하되, 상기 장벽 저하부는 상기 금속함유막과 상기 반도체막 간의 쇼트키 장벽 높이(Schottky barrier height)를 금속실리사이드막과 반도체막 간의 쇼트키 장벽 높이 보다 낮춘다.

[0007] 상기 반도체막에는 $10^{20}/\text{cm}^3$ 이상의 P형 불순물이 도핑될 수 있다.

[0008] 일 예에 있어서, 상기 장벽 저하부는 상기 반도체막의 표면에 붕소, 알루미늄, 갈륨, 베릴륨, 불소, 백금 중에 선택되는 적어도 하나의 원소의 이온이 도핑됨으로써 형성될 수 있다. 상기 장벽 저하부에 포함되는 상기 원소의 농도는 바람직하게는 $10^{19} \sim 10^{20}/\text{cm}^3$ 일 수 있다. 상기 반도체 장치는 상기 장벽 저하부와 상기 금속 함유막 사이에 배치되는 금속실리사이드막을 더 포함할 수 있다.

[0009] 다른 예에 있어서, 상기 장벽 저하부는 실리콘 산화막 보다 높은 유전 상수를 가지는 고유전막을 포함할 수 있다. 상기 장벽 저하부는 상기 고유전막과 상기 반도체 막 사이에 배치되는 열산화막을 더 포함할 수 있다. 상기 열산화막은 바람직하게는 5~10Å의 두께를 가질 수 있다. 구체적인 일 예에서, 상기 고유전막은 알루미늄 산화막일 수 있으며 이때 바람직하게는 10Å 이하의 두께를 가진다. 구체적인 다른 예에 있어서, 상기 고유전막은 티타늄 산화막일 수 있으며 이때 바람직하게는 60Å 이하의 두께를 가진다.

[0010] 또 다른 예에 있어서, 상기 반도체 장치는, 상기 반도체막 아래에 배치되는 기판; 상기 기판에 배치되는 워드라인; 상기 금속 함유막 상에 배치되며 상기 워드라인과 교차하는 비트라인; 및 상기 금속 함유막과 상기 비트라인 사이에 배치되는 가변 저항 패턴을 더 포함할 수 있으며, 상기 반도체막은 상기 워드라인과 상기 금속함유막 사이에 배치되는 PN접합 다이오드를 구성할 수 있다. 이때 구체적인 일 예에 있어서, 상기 반도체 장치는 상기 기판을 덮으며, 상기 반도체막, 상기 장벽 저하부 및 상기 금속 함유막이 배치되는 제 1 홀을 포함하는 제 1 층간절연막을 더 포함할 수 있으며, 상기 장벽 저하부는 고유전막을 포함하며, 상기 고유전막은 상기 제 1 홀의 내측벽을 따라 연장될 수 있다. 또는 다른 구체적인 예에 있어서, 상기 반도체 장치는, 상기 기판을 덮으며 상기 반도체막이 내부에 배치되는 제 1 층간절연막; 및 상기 제 1 층간절연막 상에 배치되며 상기 금속 함유막이 내부에 배치되는 제 2 층간절연막을 더 포함할 수 있으며, 상기 장벽 저하부는 고유전막을 포함하며, 상기 고유

전막은 연장되어 상기 제 1 층간절연막과 상기 제 2 층간절연막 사이에 개재될 수 있다.

- [0011] 또 다른 예에 있어서, 상기 반도체막은 반도체 기판이며, 상기 반도체 장치는, 상기 반도체 기판 상에 배치되는 게이트 전극; 및 상기 금속 함유막과 상기 반도체막 사이에 개재되는 금속실리사이드막을 더 포함할 수 있으며, 상기 금속함유막은 상기 게이트 전극에 인접하는 콘택에 대응될 수 있고, 상기 장벽 저하부는 상기 반도체막의 표면에 붕소, 알루미늄, 갈륨, 베릴륨, 불소, 백금 중에 선택되는 적어도 하나의 원소의 이온이 도핑됨으로써 형성될 수 있다.
- [0012] 또 다른 예에 있어서, 상기 반도체막은 반도체 기판이며, 상기 반도체 장치는 상기 반도체 기판 상에 배치되는 게이트 전극을 더 포함하며, 상기 금속함유막은 상기 게이트 전극에 인접하는 콘택에 대응되며, 상기 장벽 저하부는 고유전막을 포함하며, 상기 고유전막은 연장되어 상기 게이트 전극의 상부를 덮을 수 있다.
- [0013] 상기 다른 과제를 달성하기 위한 본 발명에 따른 반도체 장치의 제조 방법은, 반도체 막 상에 금속 함유막을 형성하는 단계; 및 상기 반도체막과 상기 금속 함유막 사이에 장벽 저하부를 형성하는 단계를 포함한다.
- [0014] 일 예에 있어서, 상기 장벽 저하부를 형성하는 단계는, 상기 금속 함유막을 형성하기 전에 상기 반도체 막 상에 금속 실리사이드막을 형성하는 단계; 이온주입 공정을 진행하여 상기 금속 실리사이드막 아래의 상기 반도체막 표면에 붕소, 알루미늄, 갈륨, 베릴륨, 불소, 백금 중에 선택되는 적어도 하나의 원소의 이온을 도핑하는 단계를 포함할 수 있다.
- [0015] 다른 예에 있어서, 상기 장벽 저하부를 형성하는 단계는 상기 금속 함유막을 형성하기 전에 진행될 수 있다. 이 때 상기 장벽 저하부를 형성하는 단계는 상기 반도체 막 상에 열산화막 및 고유전막을 형성하는 단계를 포함할 수 있다.

발명의 효과

- [0016] 본 발명의 일 예에 따른 반도체 장치는 금속함유막과 반도체막 사이에 장벽 저하부를 포함함으로써 상기 금속 함유막과 상기 반도체막 간의 쇼트키 장벽 높이(Schottky barrier height)를 금속실리사이드막과 반도체막 간의 쇼트키 장벽 높이 보다 낮출 수 있으며, 보다 바람직하게는 상기 장벽 저하부는 상기 반도체막과 상기 금속 함유막 사이의 쇼트키 장벽 높이(Schottky barrier height)를 0.6eV 이하로 낮출 수 있다. 이로써, 금속 함유막과 반도체막 사이의 전류 흐름을 개선하여 온 전류를 증가시키고 동작 속도를 향상시킬 수 있다.

도면의 간단한 설명

- [0017] 도 1은 본 발명의 실시예 1에 따른 반도체 장치의 단면도이다.
- 도 2는 본 발명의 실시예 2에 따른 반도체 장치의 단면도이다.
- 도 3a는 본 발명의 실시예 3에 따른 가변 저항 메모리 장치의 메모리 셀 어레이를 나타내는 회로도이다.
- 도 3b는 본 발명의 실시예 3에 반도체 장치의 레이아웃이다.
- 도 3c는 본 발명의 실시예 3에 따라 도 3b를 A-A선으로 자른 단면도이다.
- 도 4a 내지 4d는 도 3c의 단면을 가지는 반도체 장치를 제조하는 과정을 순차적으로 나타내는 단면도들이다.
- 도 5는 본 발명의 실시예 4에 따라 도 3b를 A-A선으로 자른 단면도이다.
- 도 6a 및 6b는 도 5의 단면을 가지는 반도체 장치를 제조하는 과정을 순차적으로 나타내는 단면도들이다.
- 도 7은 본 발명의 실시예 5에 따라 도 3b를 A-A선으로 자른 단면도이다.
- 도 8a 내지 8c는 도 7의 단면을 가지는 반도체 장치를 제조하는 과정을 순차적으로 나타내는 단면도들이다.
- 도 9는 본 발명의 실시예 6에 따른 반도체 장치의 단면도이다.
- 도 10은 도 9의 단면을 가지는 반도체 장치를 제조하는 과정을 나타내는 단면도이다.
- 도 11은 본 발명의 실시예 7에 따른 반도체 장치의 단면도이다.
- 도 12는 도 11의 단면을 가지는 반도체 장치를 제조하는 과정을 나타내는 단면도이다.
- 도 13은 본 발명의 실시예들에 따른 메모리 장치를 포함하는 시스템을 나타내는 블록도이다.

도 14는 본 발명의 실시예들에 따른 메모리 장치가 적용된 메모리 카드를 나타내는 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0018] 이상의 본 발명의 목적들, 다른 목적들, 특징들 및 이점들은 첨부된 도면과 관련된 이하의 바람직한 실시예들을 통해서 쉽게 이해될 것이다. 그러나 본 발명은 여기서 설명되는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예들은 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되는 것이다.
- [0019] 본 명세서에서, 어떤 구성 요소가 다른 구성 요소 상에 있다고 언급되는 경우에 그것은 다른 구성요소 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 구성요소가 개재될 수도 있다는 것을 의미한다. 또한, 도면들에 있어서, 구성요소들의 두께는 기술적 내용의 효과적인 설명을 위해 과장된 것이다.
- [0020] 본 명세서에서 기술하는 실시예들은 본 발명의 이상적인 예시도인 단면도 및/또는 평면도들을 참고하여 설명될 것이다. 도면들에 있어서, 막 및 영역들의 두께는 기술적 내용의 효과적인 설명을 위해 과장된 것이다. 따라서, 제조 기술 및/또는 허용 오차 등에 의해 예시도의 형태가 변형될 수 있다. 따라서, 본 발명의 실시예들은 도시된 특정 형태로 제한되는 것이 아니라 제조 공정에 따라 생성되는 형태의 변화도 포함하는 것이다. 예를 들면, 직각으로 도시된 식각 영역은 라운드지거나 소정 곡률을 가지는 형태일 수 있다. 따라서, 도면에서 예시된 영역들은 속성을 가지며, 도면에서 예시된 영역들의 모양은 소자의 영역의 특정 형태를 예시하기 위한 것이며 발명의 범주를 제한하기 위한 것이 아니다. 본 명세서의 다양한 실시예들에서 제1, 제2 등의 용어가 다양한 구성요소들을 기술하기 위해서 사용되었지만, 이들 구성요소들이 이 같은 용어들에 의해서 한정되어서는 안 된다. 이들 용어들은 단지 어느 구성요소를 다른 구성요소와 구별시키기 위해서 사용되었을 뿐이다. 여기에 설명되고 예시되는 실시예들은 그것의 상보적인 실시예들도 포함한다.
- [0021] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 '포함한다(comprises)' 및/또는 '포함하는(comprising)'은 언급된 구성요소는 하나 이상의 다른 구성요소의 존재 또는 추가를 배제하지 않는다.
- [0022] 이하, 도면들을 참조하여, 본 발명의 실시예들에 대해 상세히 설명하기로 한다.
- [0023] <실시예 1>
- [0024] 도 1은 본 발명의 실시예 1에 따른 반도체 장치의 단면도이다.
- [0025] 도 1을 참조하면, 반도체막(51) 상에 금속함유막(55)이 적층된다. 상기 반도체막(51)은 예를 들면 실리콘 단결정일 수 있다. 상기 금속함유막(55)은 예를 들면 금속막 및 금속질화막 중에 적어도 하나일 수 있다. 상기 반도체막(51)과 상기 금속함유막(55) 사이에는 금속실리사이드막(53)이 개재되어 오믹층의 역할을 할 수 있다. 상기 금속실리사이드막(53)과 상기 반도체막(51) 사이에는 장벽 저하부(7)가 배치된다. 상기 장벽 저하부(7)는 상기 금속함유막(55)과 상기 반도체막(51) 간의 쇼트키 장벽 높이(Schottky barrier height, SBH)를, 상기 금속 실리사이드막(53)과 상기 반도체막(51)이 직접 접할 경우의 금속실리사이드막(53)과 반도체막(51) 간의 쇼트키 장벽 높이 보다 낮춘다. 바람직하게는 상기 장벽 저하부(7)는 상기 반도체막(51)과 상기 금속 함유막(55)의 쇼트키 장벽 높이(Schottky barrier height)를 0.6eV 이하로 낮출 수 있다. 상기 장벽 저하부(7)는 상기 반도체막(51)의 표면에 알루미늄, 갈륨, 베릴륨, 불소, 백금 중에 선택되는 적어도 하나의 원소의 이온이 도핑됨으로써 형성될 수 있다. 가장 바람직하게는 상기 장벽 저하부(7)에 알루미늄이 도핑될 수 있다. 상기 장벽 저하부(7)에 포함되는 상기 원소의 농도는 바람직하게는 $10^{19} \sim 10^{20} / \text{cm}^3$ 일 수 있다. 상기 반도체막(51)에는 예를 들면 P형 불순물이 도핑될 수 있다. 이때 상기 반도체막(51)에 도핑된 P형 불순물의 농도는 약 $10^{20} / \text{cm}^3$ 이상일 수 있다. 본 실시예 1에서 상기 장벽 저하부(7)는 상기 금속 실리사이드막(53)과 상기 P형 반도체막(51) 사이에 위치하여 상기 금속 실리사이드막(53)을 안정화시켜 쇼트키 장벽 높이를 낮출 수 있다. 이와 같이 상기 장벽 저하부(7)에 의해 상기 금속 함유막(55)과 상기 반도체막(51) 사이의 쇼트키 장벽 높이를 낮춤으로써 상기 금속함유막(55)과 상기 반도체막(51) 사이의 전기저항을 낮춰 전류 흐름을 개선시키고 이로써 동작 속도를 향상시킬 수 있다.
- [0026] 도 1의 구조를 형성하는 방법은 다음과 같다. 먼저 상기 반도체 막(51)을 형성한 후에, 이온주입 공정을 진행하여 상기 반도체막(51)에 P형 불순물을 도핑할 수 있다. 상기 반도체막(51) 상에 금속막을 증착하고 열처리 공정

을 진행하여 상기 금속막과 상기 반도체막(51)을 반응시켜 금속 실리사이드막(53)을 형성한다. 그리고 상기 금속실리사이드막(53)으로 변하지 않은 미반응된 금속막을 제거한다. 붕소, 알루미늄, 갈륨, 베릴륨, 불소, 백금 중에 선택되는 적어도 하나의 원소를 이용하여 이온주입 공정을 진행하여 상기 금속 실리사이드막(53) 아래의 상기 반도체막(51)의 표면에 인접하도록 장벽 저하부(7)를 형성한다.

[0027] <실시예 2>

[0028] 도 2는 본 발명의 실시예 2에 따른 반도체 장치의 단면도이다.

[0029] 도 2를 참조하면, 반도체막(51)과 금속함유막(55) 사이에 장벽저하부(7)가 개재된다. 본 실시예에서 상기 반도체막(51)과 상기 금속함유막(55) 사이에는 금속실리사이드막이 개재되지 않을 수 있다. 상기 장벽저하부(7)는 실리콘 산화막 보다 높은 유전 상수를 가지는 고유전막(6a)을 포함할 수 있다. 상기 고유전막(6a)은 예를 들면 알루미늄산화막, 티타늄산화막 및 지르코늄산화막 중에 적어도 하나일 수 있다. 상기 고유전막(6a)이 알루미늄산화막일 경우, 바람직하게는 10Å 이하의 두께를 가진다. 상기 고유전막(6a)이 티타늄 산화막일 경우, 바람직하게는 60Å 이하의 두께를 가진다. 상기 장벽 저하부(7)는 상기 고유전막(6a)과 상기 반도체 막(51) 사이에 배치되는 열산화막(6b)을 더 포함할 수 있다. 상기 열산화막(6b)은 바람직하게는 5~10Å의 두께를 가질 수 있다. 상기 고유전막(6a)과 상기 열산화막(6b)은 상기 반도체막(51)과 상기 금속함유막(55) 사이에서 쌍극자를 형성함으로써 쇼트키 장벽 높이를 낮출 수 있다. 이 경우, 상기 장벽 저하부(7)는 상기 쇼트키 장벽 높이를 바람직하게는 0.2eV 이하까지 낮출 수 있다. 그 이외의 구성은 실시예 1과 동일/유사할 수 있다.

[0030] 도 2의 반도체 장치를 제조하는 과정은 다음과 같다. 먼저, 상기 반도체 막(51)을 형성한 후에, 이온주입 공정을 진행하여 상기 반도체막(51)에 P형 불순물을 도핑할 수 있다. 상기 반도체막(51) 상에 상기 고유전막(6a)을 증착한다. 이때 상기 고유전막(6a)을 증착하기 위해 실온보다 높은 고온에서 소스가스로 산소가 공급된다. 이러한 고온에서 공급되는 산소는, 상기 고유전막(6a)이 형성되기 전에 상기 반도체막(51)의 표면과 반응하여 열산화막(6b)이 형성될 수 있다. 이때 형성되는 상기 열산화막(6b)의 두께는 약 5~10Å일 수 있다. 상기 열산화막(6b)이 얇게 형성된 후에 상기 고유전막(6a)이 증착된다. 상기 고유전막(6a)을 형성한 후에 이 위에 상기 금속함유막(55)을 형성한다.

[0031] -실험예-

[0032] (1) 대조군 1: 약 $10^{20}/\text{cm}^3$ 의 농도로 붕소가 도핑된 실리콘막 상에 코발트 실리사이드막과 티타늄질화막을 차례로 형성하였다.

[0033] (2) 대조군 2: 약 $10^{20}/\text{cm}^3$ 의 농도로 붕소가 도핑된 실리콘막 상에 코발트 실리사이드막 없이 티타늄 질화막을 형성하였다.

[0034] (3) 실험군 1: 약 $10^{20}/\text{cm}^3$ 의 농도로 붕소가 도핑된 실리콘막 상에 알루미늄산화막을 약 10Å의 두께로 형성하였다. 이때 상기 알루미늄 산화막과 상기 실리콘막 사이에 열산화막이 약 5Å의 두께로 형성되었다. 상기 알루미늄 산화막 상에 티타늄질화막을 형성하였다.

[0035] (4) 실험군 2: 약 $10^{20}/\text{cm}^3$ 의 농도로 붕소가 도핑된 실리콘막 상에 티타늄산화막을 약 60Å의 두께로 형성하였다. 이때 상기 티타늄 산화막과 상기 실리콘막 사이에 열산화막이 약 5Å의 두께로 형성되었다. 상기 티타늄 산화막 상에 티타늄질화막을 형성하였다.

[0036] 상기 대조군들과 상기 실험군들에서 티타늄질화막의 두께는 동일하였다. 그리고 상기 티타늄질화막과 상기 실리콘막 사이의 쇼트키 장벽 높이(SBH)를 측정하였다. 이때의 실험 결과를 아래 표 1에 나타내었다.

표 1

	대조군 1	대조군 2	실험군 1	실험군 2
SBH	1.13eV	1.21eV	1.05eV	0.69eV

[0038] 표 1에서 알 수 있듯이, 본 발명에 따른 장벽 저하부에 의해 SBH를 낮출 수 있음을 알 수 있다.

[0039] <실시예 3>

- [0040] 도 3a는 본 발명의 실시예 3에 따른 가변 저항 메모리 장치의 메모리 셀 어레이를 나타내는 회로도이다.
- [0041] 도 3a를 참조하면, 본 실시예 3에 따른 반도체 장치는 가변저항 메모리 장치(100)일 수 있으며 더욱 더 구체적으로는 상변환 메모리 장치일 수 있다. 이 가변 저항 메모리 장치(100)에서는 다수의 메모리 셀(MC)들이 매트릭스 형태로 배열된다. 상기 각각의 메모리 셀들(MC)은 가변 저항 소자(11)와 선택 소자(12)를 포함한다. 상기 가변 저항 소자(11)는 비트 라인(BL)과 상기 선택 소자(12) 사이에 연결되며, 상기 선택 소자(12)는 상기 가변 저항 소자(11)와 워드 라인(WL) 사이에 연결될 수 있다.
- [0042] 상기 가변 저항 소자(11)는, 예를 들어, 상변화 물질(phase-change materials), 강유전체 물질(ferroelectric materials) 또는 자성체 물질(magnetic materials)을 포함할 수 있다. 상기 가변 저항 소자(11)는 상기 비트 라인(BL)을 통해 공급되는 전류의 양에 따라 상태가 결정될 수 있다.
- [0043] 상기 선택 소자(12)는 상기 가변 저항 소자(11)와 상기 워드 라인(WL) 사이에 연결될 수 있으며, 상기 워드 라인(WL)의 전압에 따라 상기 가변 저항 소자(11)로의 전류 공급이 제어된다. 본 발명에서 상기 선택 소자(12)는 PN 접합 다이오드(diode)일 수 있다.
- [0044] 이후, 본 발명의 실시예들에서는 상기 가변 저항 소자(11)로 상변화 물질을 채택한 메모리 셀들을 포함하는 가변 저항 메모리 장치를 예로 들어 설명하기로 한다. 그러나, 본 발명의 기술적 사상은 이에 제한되지 않으며, RRAM(Resistance Random Access Memory), FRAM(Ferroelectric RAM) 및 MRAM(Magnetic RAM) 등에도 적용될 수 있음은 당연하다.
- [0045] 본 발명의 실시예들에서 상기 가변 저항 소자(11)인 상변화 물질은 온도에 따라 저항이 변화한다. 즉, 상변화 물질은 온도 및 냉각 시간에 따라 비교적 저항이 높은 비정질 상태(amorphous state)와, 비교적 저항이 낮은 결정 상태(crystal state)를 갖는다. 이러한 상기 가변 저항 소자(11)는 하부 전극을 통해 공급되는 전류의 양에 따라 주울 열(Joule's heat)이 발생되어 상변화 물질을 가열시킬 수 있다. 이 때, 주울 열은 상변화 물질의 비저항 및 전류의 공급 시간에 비례하여 발생한다.
- [0046] 도 3b는 본 발명의 실시예 3에 반도체 장치의 레이아웃이다. 도 3c는 본 발명의 실시예 3에 따라 도 3b를 A-A선으로 자른 단면도이다.
- [0047] 도 3b 및 도 3c를 참조하면, 본 실시예 3에 따른 가변 저항 메모리 장치는, 기판(1)에 배치되는 복수개의 서로 평행한 워드라인들(WL)을 포함한다. 상기 기판(1)은 예를 들면 P형 불순물이 도핑된 반도체 기판일 수 있다. 상기 기판(1)에는 소자분리막(미도시)이 배치되어 활성 영역을 정의할 수 있다. 상기 워드라인들(WL)은 예를 들면 상기 기판(1) 내에 N형 불순물로 도핑된 불순물 도핑 영역일 수 있다. 또는 상기 워드라인들(WL)은 도전 패턴으로 형성될 수 있다. 상기 워드라인들(WL) 상에는 복수개의 서로 평행한 비트라인들(BL)이 배치된다. 상기 비트라인들(BL)은 상기 워드라인들(WL)과 교차하도록 배치된다. 상기 비트라인들(BL)과 상기 워드라인들(WL)사이에서 상기 기판(1) 상에는 층간절연막(3)이 배치된다. 상기 비트라인들(BL)과 상기 워드라인들(WL)이 교차하는 부분들에서 상기 층간절연막(3)에는 선택소자홀(5)이 형성된다. 상기 선택 소자홀(5) 안에는 선택 소자(12)가 배치된다. 본 실시예에서 상기 선택 소자(12)는 PN접합 다이오드일 수 있다. 상기 선택 소자(12)는 서로 반대되는 타입의 불순물이 도핑된 제 1 반도체 막(12a)과 제 2 반도체 막(12b)을 포함할 수 있다. 상기 제 1 반도체 막(12a)은 예를 들면 N형 불순물로 도핑될 수 있다. 상기 제 2 반도체 막(12b)은 예를 들면 P형 불순물로 도핑될 수 있다. 상기 제 2 반도체막(12b)은 실시예 1의 반도체막(51)에 대응될 수 있다. 상기 선택 소자홀(5) 안에서 상기 선택 소자(12) 상에는 금속실리사이드막(9)이 배치될 수 있다. 상기 금속실리사이드막(9)은 오믹층의 역할을 한다. 상기 금속 실리사이드막(9)은 예를 들면 코발트 실리사이드일 수 있다. 상기 금속 실리사이드막(9)과 상기 제 2 반도체 막(12b) 사이에는 장벽 저하부(7)가 배치된다. 상기 장벽 저하부(7)는 실시예 1의 장벽 저하부(7)와 동일/유사할 수 있다.
- [0048] 계속해서 상기 금속 실리사이드막(9) 상에서 상기 선택 소자홀(5)의 측벽은 절연 스페이서(20)로 덮일 수 있다. 상기 절연 스페이서(20)의 내측벽과 상기 금속 실리사이드막(9)의 상부면은 확산 방지막(22)으로 덮인다. 상기 확산 방지막(22)은 금속 질화막일 수 있으면 예를 들면 티타늄 질화막일 수 있다. 상기 확산 방지막(22)은 컵 형태를 가질 수 있다. 상기 확산 방지막(22)의 상부면 상에는 제 2 매립 절연 패턴(24)이 배치된다. 상기 확산 방지막(22)과 상기 제 2 매립 절연 패턴(24)의 내측면과 바닥면은 하부전극(BE)으로 덮인다. 상기 하부전극(BE)은 금속막으로 예를 들면 텅스텐일 수 있다. 상기 하부 전극(BE)은 컵 형태를 가질 수 있다. 상기 하부전극(BE)의 상부면은 상기 제 2 매립 절연 패턴(24)의 상부면과 공면을 이룬다. 상기 하부전극(BE)의 내부는 제 1 매립 절연 패턴(26)으로 채워진다.

- [0049] 상기 하부전극(BE) 상에는 가변 저항 패턴(11)이 배치된다. 상기 가변 저항 패턴(11)은 Te, Se, Ge, Sb, Bi, Pb, Sn, Ag, As, S, Si, P, O, 및 C로 이루어진 그룹으로부터 선택된 두 개 이상의 화합물로 형성할 수 있다. 상기 가변 저항 패턴(11)은 상기 하부 전극(BE)과 접한다. 상기 가변 저항 패턴(11) 상에는 상기 비트라인(BL)이 배치된다.
- [0050] 본 실시예 3에 따른 가변 저항 메모리 장치는 상기 가변 저항부(7)를 포함하므로써 온 전류를 증가시키고 소자 동작 속도를 향상시킬 수 있다.
- [0051] 도 4a 내지 4d는 도 3c의 단면을 가지는 반도체 장치를 제조하는 과정을 순차적으로 나타내는 단면도들이다.
- [0052] 도 4a를 참조하면, 예를 들면 P형 불순물로 도핑된 기판(1)을 준비한다. 상기 기판(1)에 소자분리막(미도시)을 형성하여 라인 형태의 활성 영역들을 정의한다. 제 1 이온주입 공정을 진행하여 상기 노출된 활성 영역에 예를 들면 N형 불순물을 도핑하여 워드라인들(WL)을 형성한다. 상기 기판(1) 상에 층간절연막(3)을 적층하고, 패터닝하여 복수개의 서로 이격된 선택 소자홀들(5)을 형성한다. 상기 선택 소자홀들(5)은 상기 워드라인(WL)을 노출시키도록 형성된다. SEG>Selective epitaxial growth) 공정을 진행하여 상기 선택 소자홀(5)의 소정 부분을 채우는 반도체막을 형성한다. 그리고 제 2 이온주입 공정을 진행하여 상기 반도체막의 하부에 N형 불순물을 도핑하여 제 1 반도체막(12a)을 형성한다. 제 3 이온 주입 공정을 진행하여 상기 반도체막의 상부에 P형 불순물을 도핑하여 제 2 반도체막(12b)을 형성한다.
- [0053] 도 4b를 참조하면, 상기 기판(1)의 전면 상에 금속막(미도시)을 콘포말하게 적층한 후, 열처리하여 상기 금속막을 상기 제 2 반도체막(12b)의 표면과 반응시켜 금속 실리사이드막(9)을 형성한다. 미반응된 금속막을 제거한다.
- [0054] 도 4c를 참조하면, 제 4 이온주입 공정(P1)을 진행하여 상기 금속실리사이드막(9) 하부에 붕소, 알루미늄, 갈륨, 베릴륨, 불소, 백금 중에 선택되는 적어도 하나의 원소의 이온을 도핑하여 장벽 저하부(7)를 형성한다.
- [0055] 도 4d를 참조하면, 상기 금속 실리사이드막(9) 상에서 상기 선택 소자홀(5)의 내측벽을 덮는 절연 스페이서(20)를 형성한다. 상기 절연 스페이서(20)의 내측벽과 상기 금속 실리사이드막(9)의 상부면을 덮는 확산 방지막(22)을 콘포말하게 형성한다. 상기 확산 방지막(22)의 내부 측면과 바닥면을 덮도록 하부전극막(BE)을 콘포말하게 형성한다. 그리고 상기 하부전극막(BE)의 내부를 채우는 제 1 매립 절연막(26)을 형성한다. 평탄화 식각 공정을 진행하여 상기 층간 절연막(3) 상의 상기 제 1 매립 절연막(26), 상기 하부전극막(BE), 상기 확산방지막(22)을 제거하고 상기 선택소자홀(5) 안에 하부전극(BE)과 제 1 매립 절연 패턴(26)을 형성한다. 노출된 상기 확산 방지막(22)의 상부를 일부 리세스시키고 상기 확산 방지막(22)의 상부면과 접하는 제 2 매립 절연 패턴(24)을 형성한다.
- [0056] 후속으로 도 3b 및 3c를 참조하여, 상기 기판(1) 상에 가변 저항막(11)과 도전막을 차례대로 적층한 후 패터닝하여 가변 저항 패턴(11)과 비트라인(BL)을 형성한다.
- [0057] <실시예 4>
- [0058] 도 5는 본 발명의 실시예 4에 따라 도 3b를 A-A선으로 자른 단면도이다.
- [0059] 도 5를 참조하면, 본 실시예 4에 따른 가변 저항 메모리 장치에서 장벽 저하부(7)는 실시예 2에서처럼 고유전막(6b)과 열산화막(6a)을 포함한다. 이때 상기 고유전막(6b)은 연장되어 상기 선택 소자홀(5)의 내벽과 상기 절연 스페이서(20) 사이에 개재될 수 있다. 그외의 구성은 실시예 2 및 3과 동일/유사할 수 있다.
- [0060] 도 6a 및 6b는 도 5의 단면을 가지는 반도체 장치를 제조하는 과정을 순차적으로 나타내는 단면도들이다.
- [0061] 도 6a를 참조하면, 도 4a와 같은 상태에서 상기 기판(1)의 전면 상에 고유전막(6b)을 콘포말하게 증착한다. 이때 상기 고유전막(6a)을 증착하기 위해 고온에서 공급된 산소가 상기 제 2 반도체막(12b)의 표면과 반응하여 열산화막(6b)이 형성될 수 있다.
- [0062] 도 6b를 참조하면, 상기 고유전막(6b)을 형성한 후에 상기 고유전막(6b)의 내측벽을 덮는 절연 스페이서(20)를 형성한다. 그리고 실시예 3에서 설명한 바와 동일/유사하게 후속 공정을 진행할 수 있다.
- [0063] <실시예 5>
- [0064] 도 7은 본 발명의 실시예 5에 따라 도 3b를 A-A선으로 자른 단면도이다.
- [0065] 도 7을 참조하면, 본 실시예 5에 따른 가변 저항 메모리 장치에서는 차례로 적층된 제 1 층간절연막(3)과 제 2

층간절연막(44)을 포함한다. 상기 제 1 층간절연막(3) 내에 선택 소자홀(5)이 형성되고 상기 선택 소자홀(5) 안에 선택 소자(12)가 배치된다. 상기 제 2 층간절연막(44)에는 하부전극홀(46)이 배치되고, 상기 하부전극홀(46) 안에 확산 방지막(22), 하부전극(BE) 및 제 1 및 제 2 매립 절연 패턴들(26, 24)이 배치된다. 상기 확산 방지막(22)과 상기 제 2 반도체 막(12b) 사이에는 장벽 저하부(7)가 배치된다. 상기 장벽저하부(7)를 구성하는 고유전막(6b)은 연장되어 상기 제 1 및 제 2 층간절연막들(3, 44) 사이에 개재될 수 있다. 그외의 구성은 실시예 4와 동일/유사할 수 있다.

[0066] 도 8a 내지 8c는 도 7의 단면을 가지는 반도체 장치를 제조하는 과정을 순차적으로 나타내는 단면도들이다.

[0067] 도 8a를 참조하면, 예를 들면 P형 불순물로 도핑된 기판(1)을 준비한다. 상기 기판(1)에 소자분리막(미도시)을 형성하여 라인 형태의 활성 영역들을 정의한다. 제 1 이온주입 공정을 진행하여 상기 노출된 활성 영역에 예를 들면 N형 불순물을 도핑하여 워드라인들(WL)을 형성한다. 상기 기판(1) 상에 제 1 층간절연막(3)을 적층하고, 패터닝하여 복수개의 서로 이격된 선택 소자홀들(5)을 형성한다. 상기 선택 소자홀들(5)은 상기 워드라인(WL)을 노출시키도록 형성된다. SEG>Selective epitaxial growth) 공정을 진행하여 상기 선택 소자홀(5)의 소정 부분을 채우는 반도체막을 형성한다. 그리고 제 2 이온주입 공정을 진행하여 상기 반도체막의 하부에 N형 불순물을 도핑하여 제 1 반도체막(12a)을 형성한다. 제 3 이온 주입 공정을 진행하여 상기 반도체막의 상부에 P형 불순물을 도핑하여 제 2 반도체막(12b)을 형성한다. 상기 제 2 반도체막(12b)의 상부면의 높이는 거의 상기 제 1 층간절연막(3)의 상부면의 높이와 같을 수 있다. 상기 기판(1)의 전면 상에 고유전막(6b)을 형성한다. 이때 상기 고유전막(6b)은 상기 제 1 층간절연막(3)의 상부면을 모두 덮도록 형성될 수 있다. 상기 고유전막(6b)을 형성하기 바로 직전에 실시예 2에서 설명한 바와 마찬가지로 열산화막(6a)이 상기 고유전막(6b)과 상기 제 2 반도체 막(12b) 사이에 형성될 수 있다.

[0068] 도 8b를 참조하면, 상기 고유전막(6b)의 전면 상에 제 2 층간절연막(44)을 형성하고 패터닝하여 상기 선택 소자(12)와 중첩되도록 이의 폭보다 좁은 폭을 가지는 하부전극홀(46)을 형성한다.

[0069] 도 8c를 참조하면, 상기 하부전극홀(46)의 내벽을 콘포말하게 덮는 확산 방지막(22)과 하부전극막(BE)을 형성하고 제 1 매립 절연막(26)으로 채운다. 평탄화 식각 공정을 진행하여 상기 제 2 층간절연막(44) 상의 상기 확산 방지막(22), 하부전극막(BE) 및 제 1 매립 절연막(26)을 제거하고 상기 하부전극홀(46) 안에 하부전극(BE)과 제 1 매립 절연 패턴(26)을 형성한다. 상기 확산 방지막(22)의 상부를 일부 리세스시킨후 제 2 매립 절연 패턴(24)을 형성한다.

[0070] 후속으로 실시예 3과 동일/유사한 공정을 진행할 수 있다.

[0071] <실시예 6>

[0072] 도 9는 본 발명의 실시예 6에 따른 반도체 장치의 단면도이다.

[0073] 도 9를 참조하면, 본 실시예 6에 따른 반도체 장치는 기판(1) 상에 게이트 전극(GE)이 배치된다. 상기 기판(1)은 예를 들면 N형 불순물로 도핑될 수 있다. 상기 게이트 전극(GE)에 인접한 상기 기판(1)에는 소오스/드레인 영역(SD)이 배치된다. 상기 소오스/드레인 영역(SD)은 예를 들면 P형 불순물로 도핑될 수 있다. 상기 소오스/드레인 영역(SD)과 상기 게이트 전극(GE)을 포함하는 트랜지스터는 예를 들면 PMOSFET일 수 있다. 상기 소오스/드레인 영역(SD) 상에 금속 실리사이드막(32)이 배치된다. 상기 금속 실리사이드막(32) 및 상기 게이트 전극(GE)은 층간절연막(34)으로 덮인다. 상기 층간절연막(34)에는 콘택홀(36)이 형성된다. 상기 콘택홀(36) 안에는 상기 소오스/드레인 영역(SD) 상의 상기 금속 실리사이드막(32)과 접하는 콘택 플러그(40)가 배치될 수 있다. 상기 콘택 플러그(40)는 예를 들면 텅스텐으로 형성될 수 있다. 상기 콘택 플러그(40)는 티타늄질화막과 같은 확산방지막을 더 포함할 수 있다. 상기 금속 실리사이드막(32)과 상기 소오스/드레인 영역(SD) 사이에는 장벽 저하부(7)가 배치된다. 상기 장벽 저하부(7)의 폭은 상기 금속 실리사이드막(32)의 폭보다 좁은 상기 콘택홀(36)의 폭과 동일/유사할 수 있다. 상기 장벽 저하부(7)는 실시예 1의 장벽 저하부(7)와 마찬가지로 상기 소오스/드레인 영역(SD)의 표면에 붕소, 알루미늄, 갈륨, 베릴륨, 불소, 백금 중에 선택되는 적어도 하나의 원소의 이온이 도핑됨으로써 형성될 수 있다. 그 외의 구성은 실시예 1과 동일/유사할 수 있다.

[0074] 도 10은 도 9의 단면을 가지는 반도체 장치를 제조하는 과정을 나타내는 단면도이다.

[0075] 도 10을 참조하면, 기판(1)에 예를 들면 N형 불순물을 도핑할 수 있다. 상기 기판(1) 상에 게이트 절연막, 게이트 전극(GE) 및 캐핑막 패턴을 형성한다. 예를 들면 P형 불순물을 도핑하여 상기 게이트 전극(GE)의 양측의 상기 기판(1) 내에 소오스/드레인 영역(SD)을 형성한다. 상기 게이트 전극(GE)의 측벽을 덮는 스페이서를 형성한다. 상기 기판(1)의 전면 상에 금속막을 콘포말하게 형성한 후 열처리하여 상기 소오스/드레인 영역(SD)의 표

면 상에 금속 실리사이드막(32)을 형성한다. 미반응된 상기 금속막을 제거한다. 상기 기관(1)의 전면 상에 층간 절연막(34)을 형성한 후 패터닝하여 상기 소오스/드레인 영역(SD)과 중첩되는 상기 금속 실리사이드막(32)을 노출시키는 콘택홀(36)을 형성한다. 이온주입 공정(P1)을 진행하여 붕소, 알루미늄, 갈륨, 베릴륨, 불소, 백금 중에 선택되는 적어도 하나의 원소의 이온을 도핑하여 상기 금속 실리사이드막 아래에 장벽 저하부(7)를 형성한다.

[0076] 후속으로 도 9를 참조하여 상기 장벽 저하부(7)를 채우는 콘택 플러그(40)를 형성한다. 그 외의 제조 과정은 실시예 1과 동일/유사할 수 있다.

[0077] <실시예 7>

[0078] 도 11은 본 발명의 실시예 7에 따른 반도체 장치의 단면도이다.

[0079] 도 11을 참조하면, 본 실시예 7에 따른 반도체 장치는 기관(1) 상에 게이트 전극(GE)이 배치된다. 상기 기관(1)은 예를 들면 N형의 불순물로 도핑될 수 있다. 상기 게이트 전극(GE)에 인접한 상기 기관(1)에는 소오스/드레인 영역(SD)이 배치된다. 상기 소오스/드레인 영역(SD)은 예를 들면 P형의 불순물로 도핑될 수 있다. 상기 소오스/드레인 영역(SD)과 상기 게이트 전극(GE)을 포함하는 트랜지스터는 예를 들면 PMOSFET일 수 있다. 상기 소오스/드레인 영역(SD) 및 상기 게이트 전극(GE)은 층간절연막(34)으로 덮인다. 상기 층간절연막(34)에는 콘택홀(36)이 형성된다. 상기 콘택홀(36) 안에는 상기 소오스/드레인 영역(SD) 상의 상기 금속 실리사이드막(32)과 접하는 콘택 플러그(40)가 배치될 수 있다. 상기 콘택 플러그(40)는 예를 들면 텅스텐으로 형성될 수 있다. 상기 콘택 플러그(40)는 티타늄질화막과 같은 확산방지막을 더 포함할 수 있다. 상기 콘택 플러그(40)와 상기 소오스/드레인 영역(SD) 사이에는 장벽 저하부(7)가 배치된다. 상기 장벽 저하부(7)는 고유전막(6b)과 열산화막(6a)을 포함한다. 상기 열산화막(6a)은 상기 콘택홀(36)의 폭보다 넓은 폭을 가지며, 연장되어 상기 소오스/드레인 영역(SD)의 표면의 전체를 덮을 수 있다. 상기 고유전막(6b)은 연장되어 상기 게이트 전극(GE)을 덮을 수 있다. 그 외의 구성은 실시예 2와 동일/유사할 수 있다.

[0080] 도 12는 도 11의 단면을 가지는 반도체 장치를 제조하는 과정을 나타내는 단면도이다.

[0081] 도 12를 참조하면, 상기 기관(1)에 예를 들면 N형의 불순물을 도핑할 수 있다. 상기 기관(1) 상에 게이트 절연막, 게이트 전극(GE) 및 캐핑막 패턴을 형성한다. 예를 들면 P형 불순물을 도핑하여 상기 게이트 전극(GE)의 양측의 상기 기관(1) 내에 소오스/드레인 영역(SD)을 형성한다. 상기 게이트 전극(GE)의 측벽을 덮는 스페이서를 형성한다. 상기 기관(1)의 전면 상에 고유전막(6b)을 콘포말하게 형성한다. 이때 상기 고유전막(6b)과 상기 소오스/드레인 영역(SD) 사이에는 열산화막(6a)이 형성된다. 상기 고유전막(6b)은 상기 게이트 전극(GE)을 덮도록 형성된다.

[0082] 후속으로 도 11을 참조하면, 상기 고유전막(6a) 상에 층간절연막(34)을 패터닝하여 콘택홀(36)을 형성하고 이를 채워 콘택 플러그(40)를 형성한다.

[0083] 그 외의 제조 과정은 실시예 2와 동일/유사할 수 있다.

[0084] 도 13은 본 발명의 실시예들에 따른 메모리 장치를 포함하는 시스템을 나타내는 블록도이다.

[0085] 도 13을 참조하면, 상술한 본 발명의 실시예에 따른 가변 저항 메모리 소자는 메모리 카드(200)에 응용될 수 있다. 일례로, 메모리 카드(200)는 호스트와 저항성 메모리(210) 간의 제반 데이터 교환을 제거하는 메모리 컨트롤러(220)를 포함할 수 있다. 에스램(222)은 중앙처리장치(224)의 동작 메모리로서 사용될 수 있다. 호스트 인터페이스(226)는 메모리 카드(200)와 접속되는 호스트의 데이터 교환 프로토콜을 구비할 수 있다. 오류 수정 코드(228)는 저항성 메모리(210)로부터 독출된 데이터에 포함되는 오류를 검출 및 정정할 수 있다. 메모리 인터페이스(230)는 저항성 메모리(210)와 인터페이싱한다. 중앙처리장치(224)는 메모리 컨트롤러(220)의 데이터 교환을 위한 제반 제어 동작을 수행한다.

[0086] 메모리 카드(200)에 응용된 저항성 메모리(210)가 본 발명의 실시예에 따른 가변 저항성 메모리 소자를 포함함으로써, 오픈 패턴 및 제1 전극 패턴이 자기 정렬되며, 이에 제조 공정이 더욱 단순화될 수 있다. 또한, 본 발명의 실시예에 따른 가변 저항 메모리 소자의 선택 소자는 일반적인 선택 소자보다 실질적으로 낮은 높이를 가짐으로써, 공정을 용이하게 수행할 수 있다.

[0087] 도 14는 본 발명의 실시예들에 따른 메모리 장치가 적용된 메모리 카드를 나타내는 블록도이다.

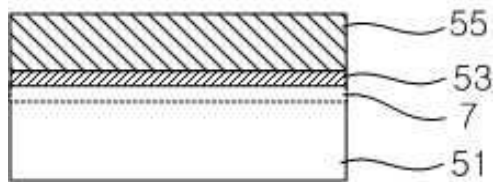
[0088] 도 14를 참조하면, 정보 처리 시스템(300)은 본 발명의 실시예에 따른 반도체 메모리 소자, 가령 저항 가변성

메모리를 구비한 메모리 시스템(310)을 포함할 수 있다. 정보 처리 시스템(300)은 모바일 기기나 컴퓨터 등을 포함할 수 있다. 일례로, 정보 처리 시스템(300)은 메모리 시스템(310)과 각각 시스템 버스(360)에 전기적으로 연결된 모뎀(320), 중앙처리장치(330), 램(340), 유저인터페이스(350)를 포함할 수 있다. 메모리 시스템(310)에는 중앙처리장치(330)에 의해서 처리된 데이터 또는 외부에서 입력된 데이터가 저장될 수 있다. 메모리 시스템(310)은 메모리(312)와 메모리 컨트롤러(314)를 포함할 수 있으며, 도 14를 참조하여 설명한 메모리 카드(200)와 실질적으로 동일하게 구성될 수 있다. 정보 처리 시스템(300)은 메모리 카드, 반도체 디스크 장치(Solid State Disk), 카메라 이미지 프로세서(Camera Image Sensor) 및 그 밖의 응용 칩셋(Application Chipset)으로 제공될 수 있다. 일례로, 메모리 시스템(310)은 반도체 디스크 장치(SSD)로 구성될 수 있으며, 이 경우 정보 처리 시스템(300)은 대용량의 데이터를 메모리 시스템(310)에 안정적으로 그리고 신뢰성 있게 저장할 수 있다.

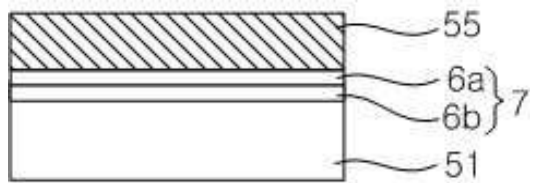
[0089] 이상, 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징으로 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예에는 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

도면

도면1

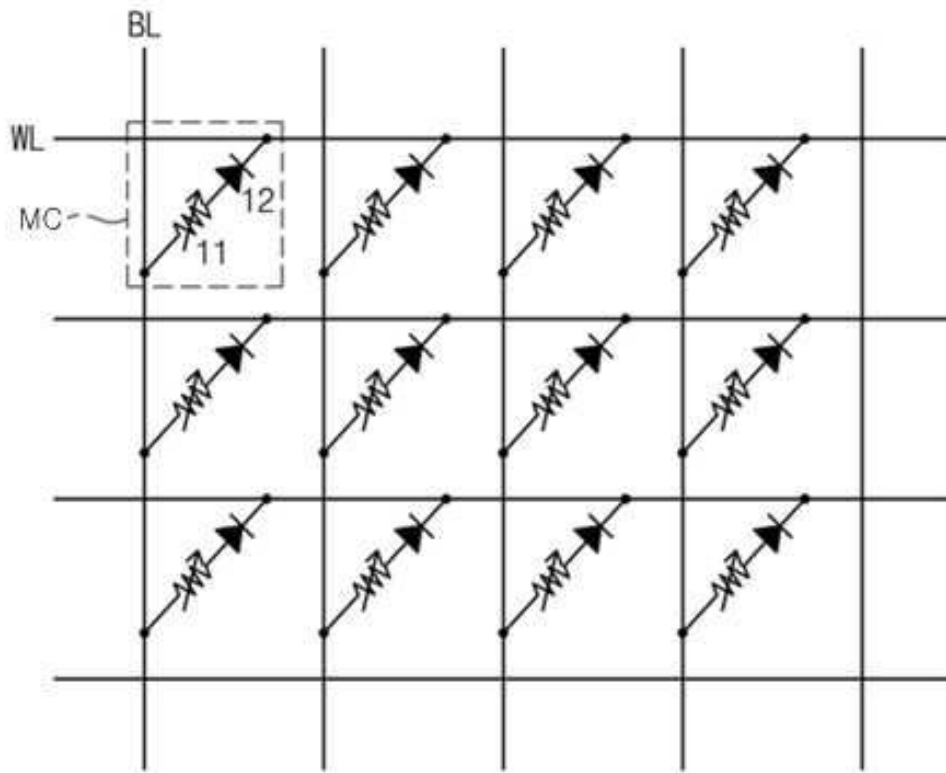


도면2

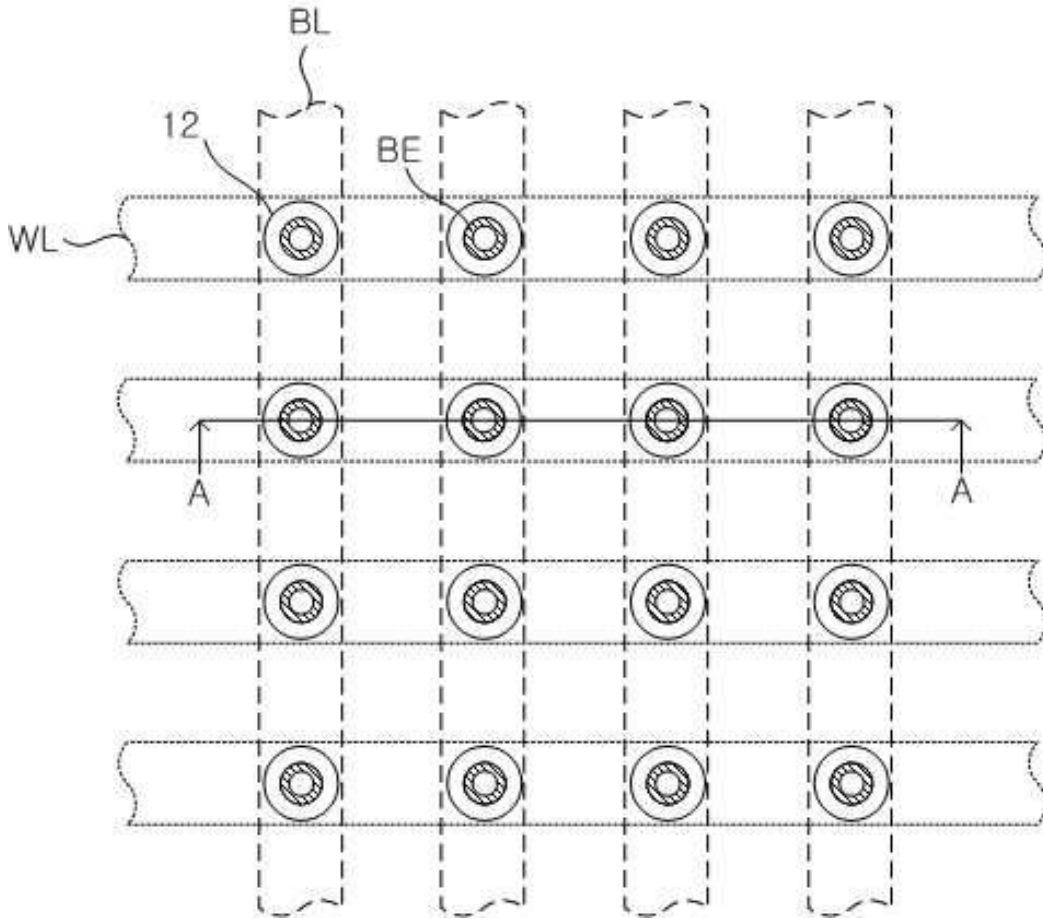


도면3a

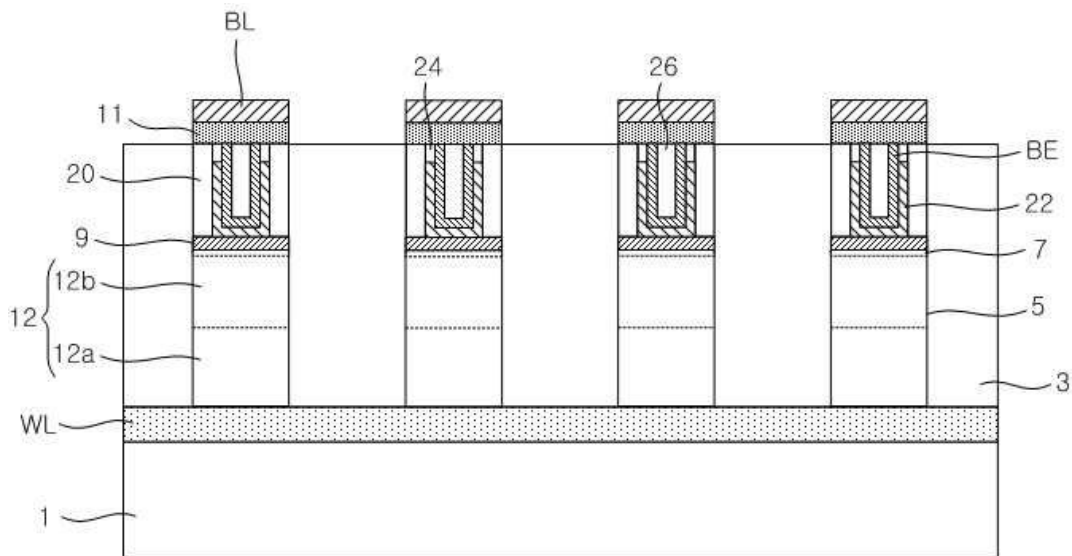
100



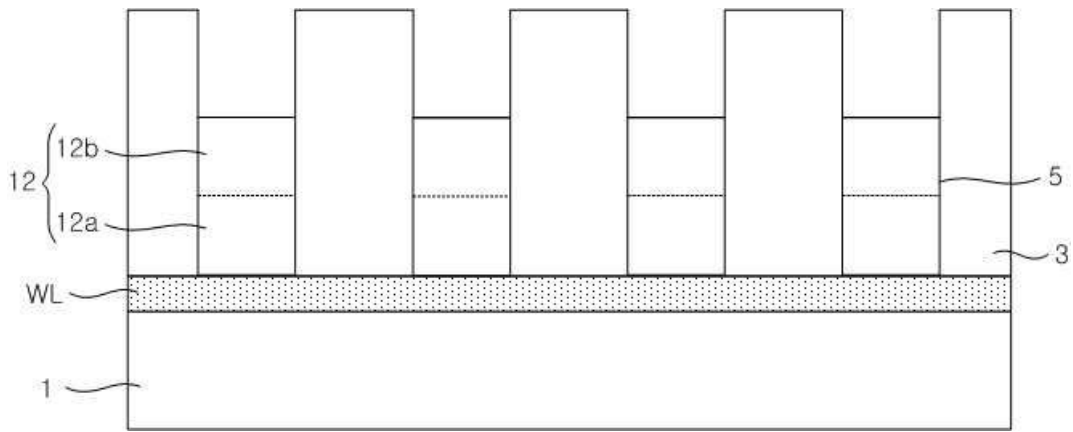
도면3b



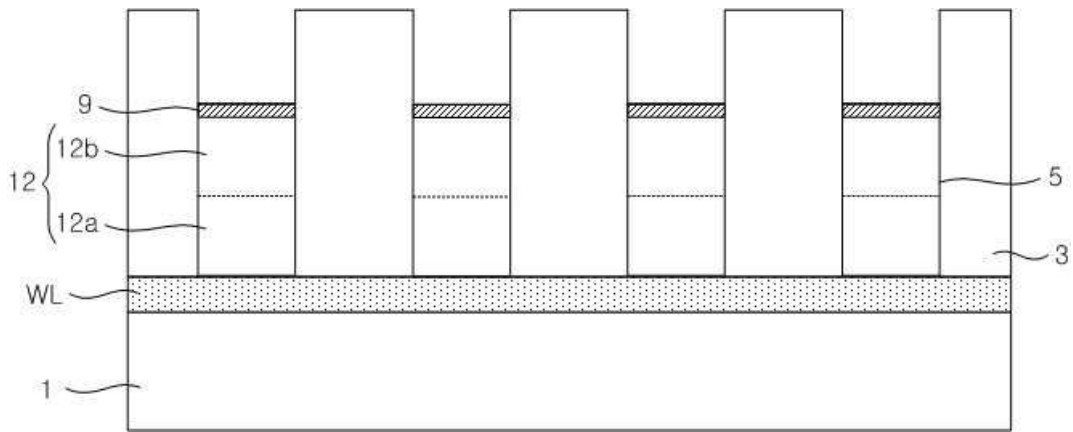
도면3c



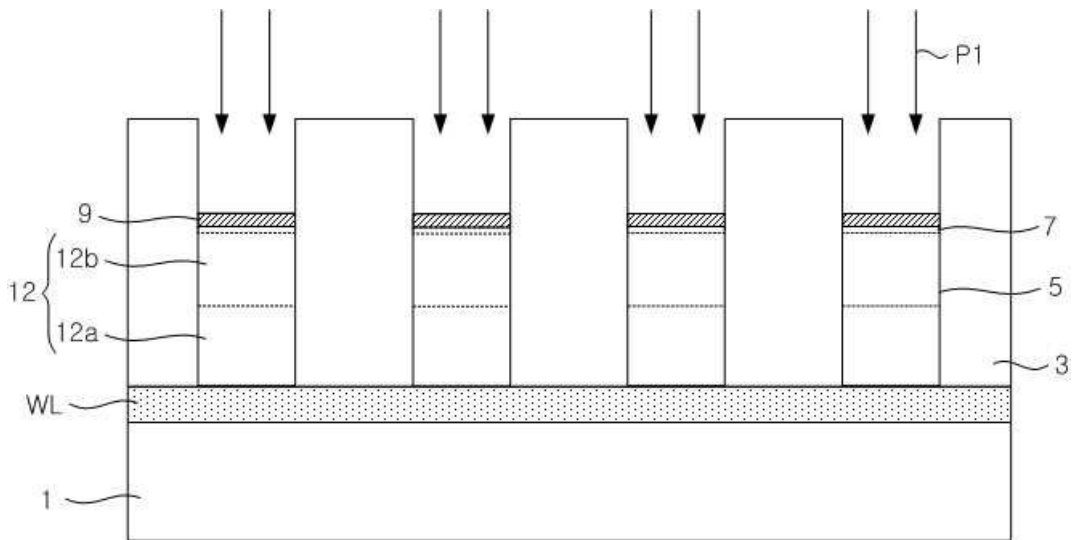
도면4a



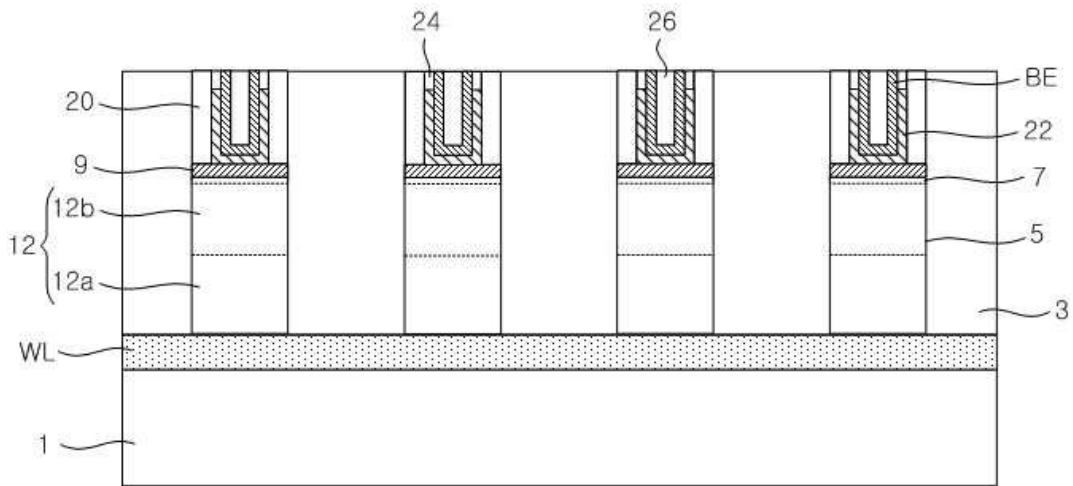
도면4b



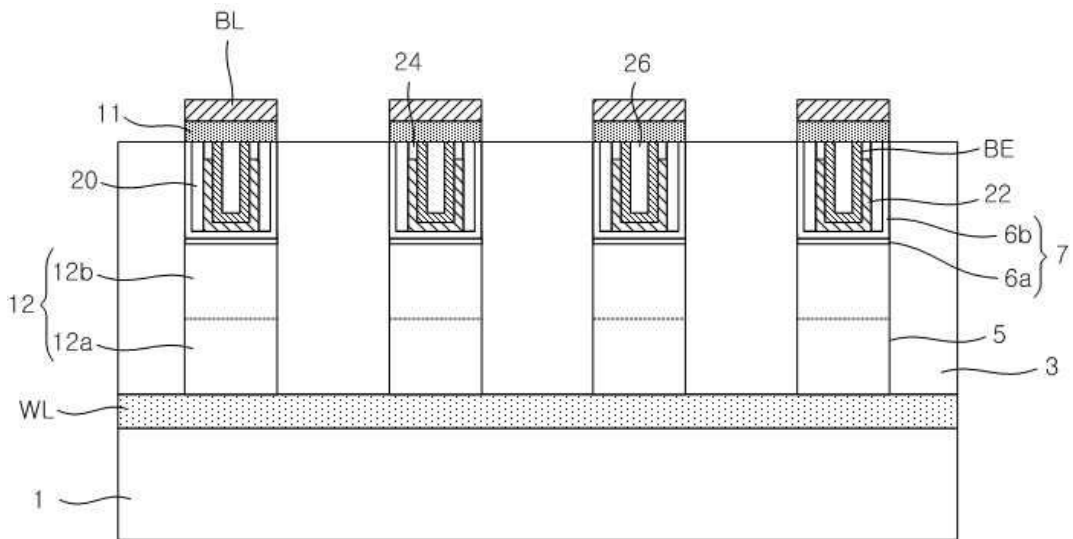
도면4c



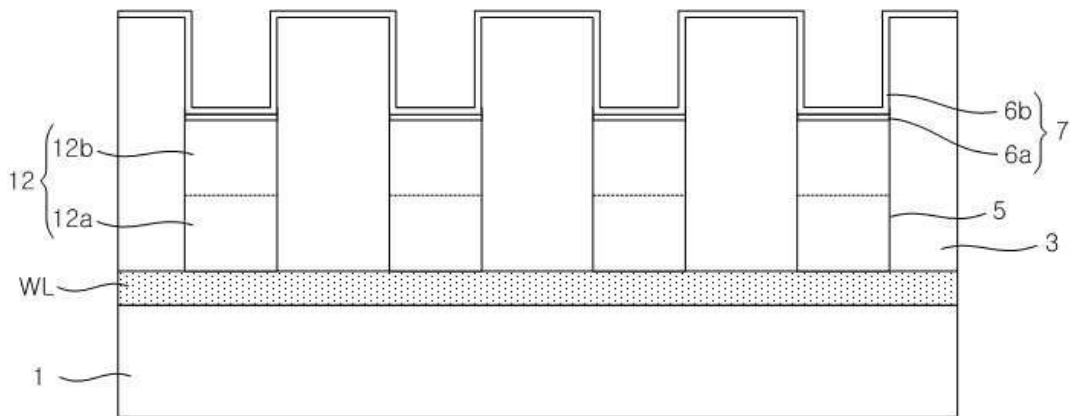
도면4d



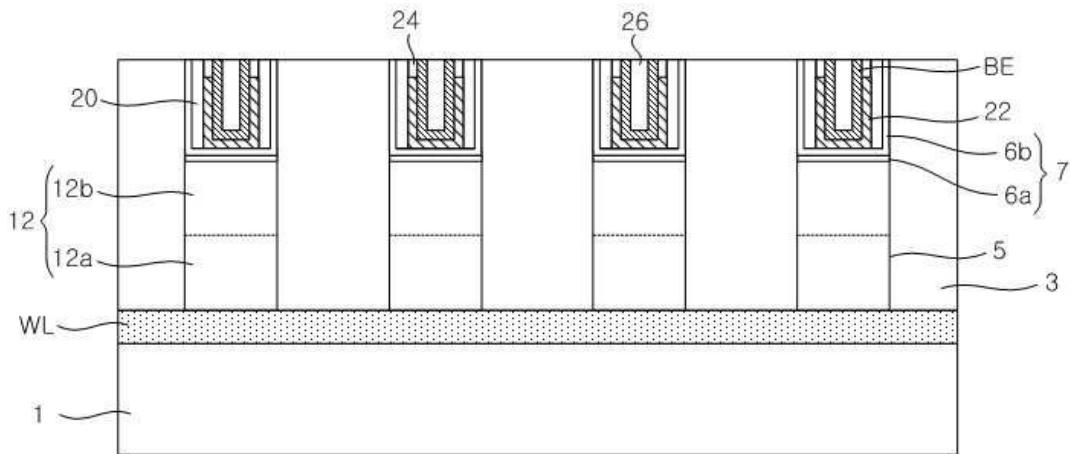
도면5



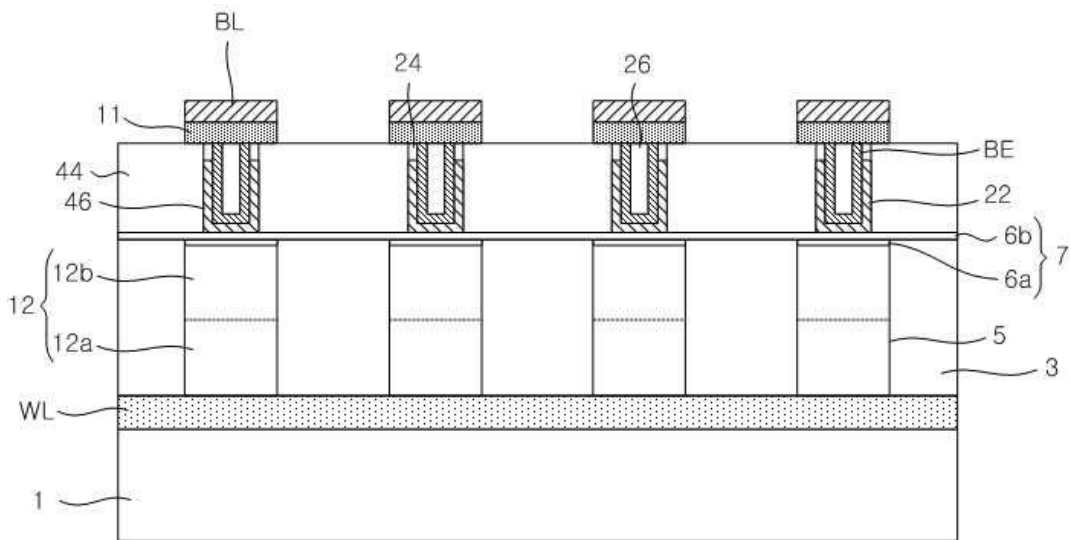
도면6a



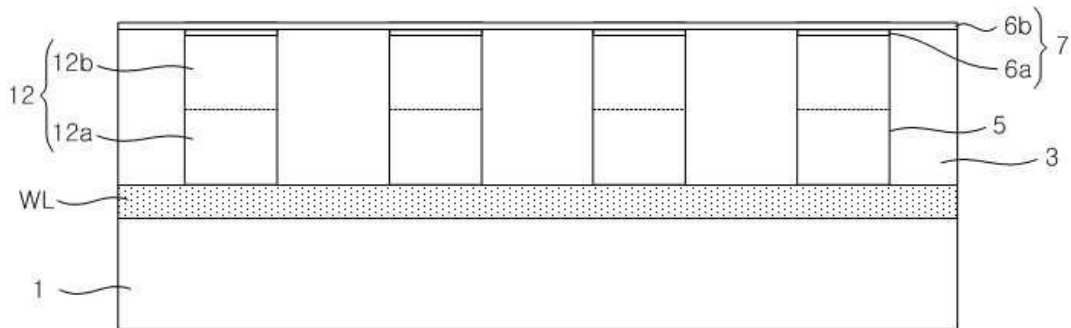
도면6b



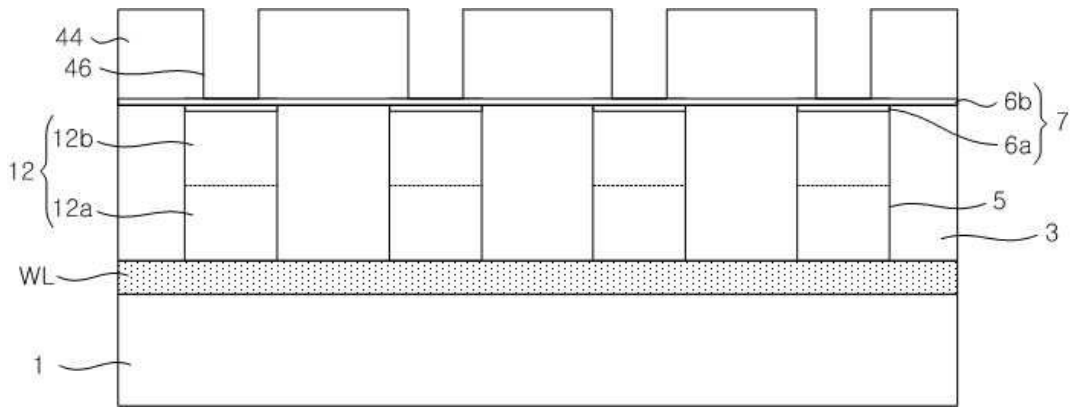
도면7



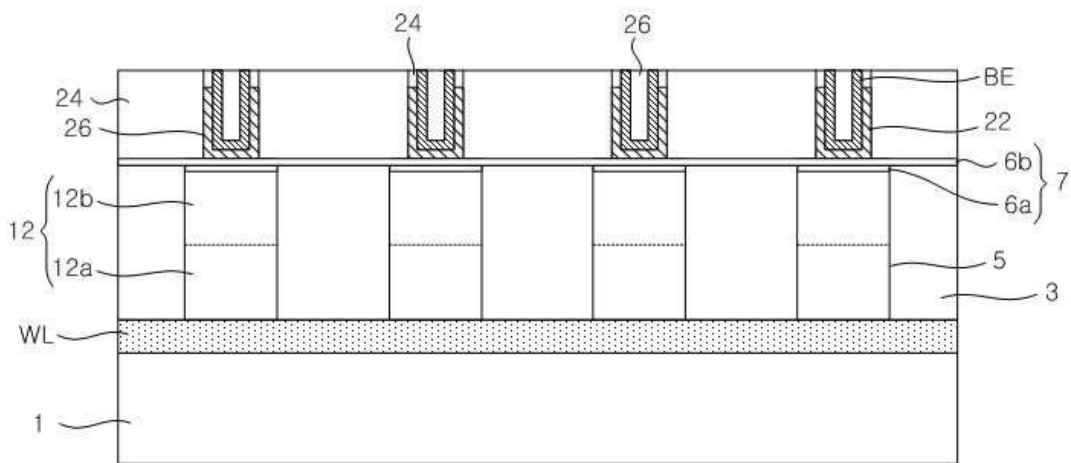
도면8a



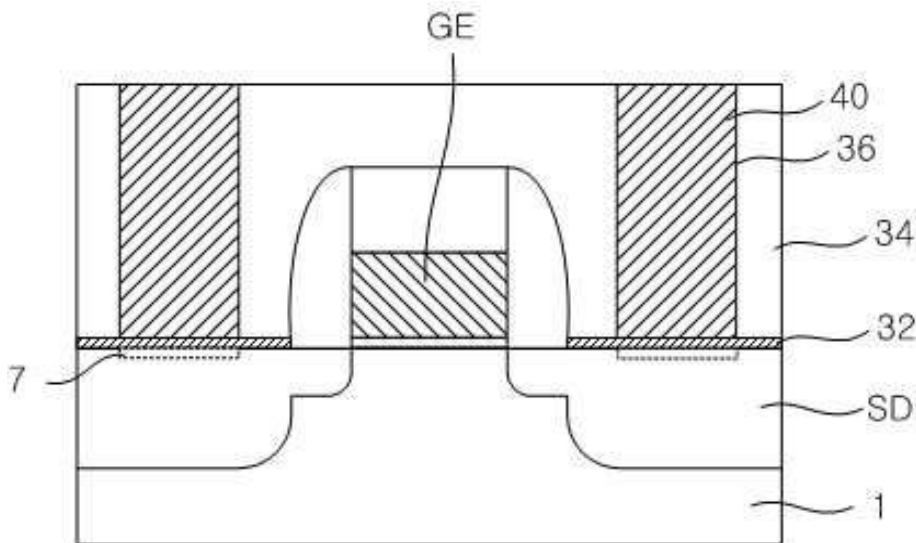
도면8b



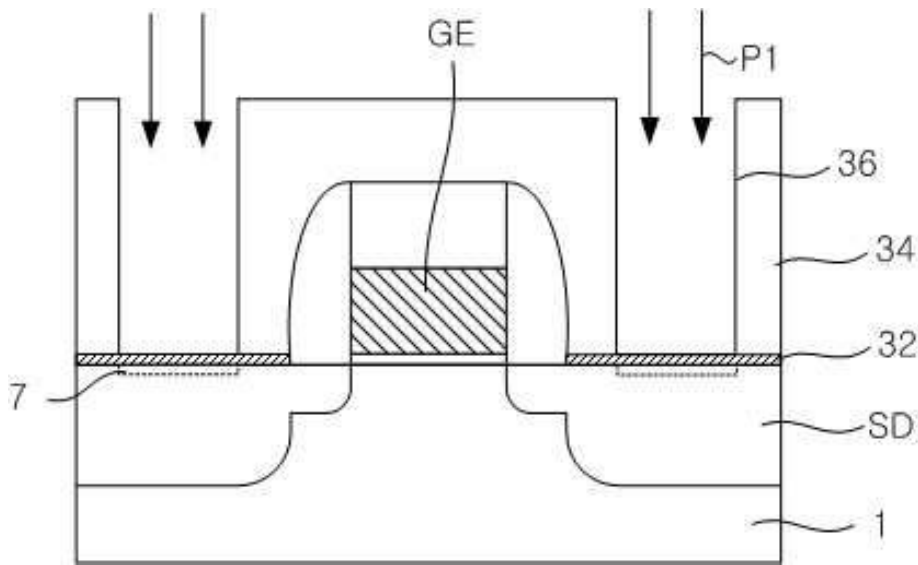
도면8c



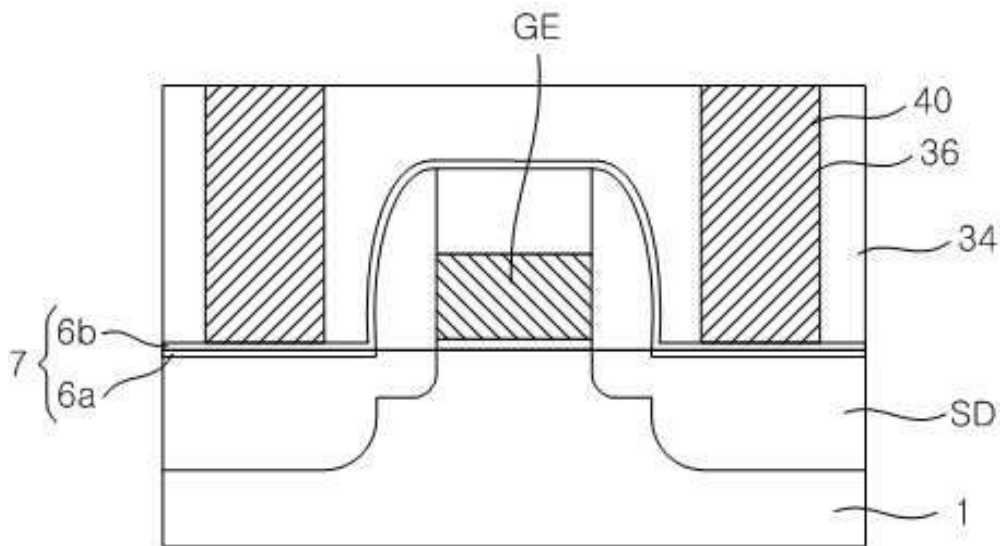
도면9



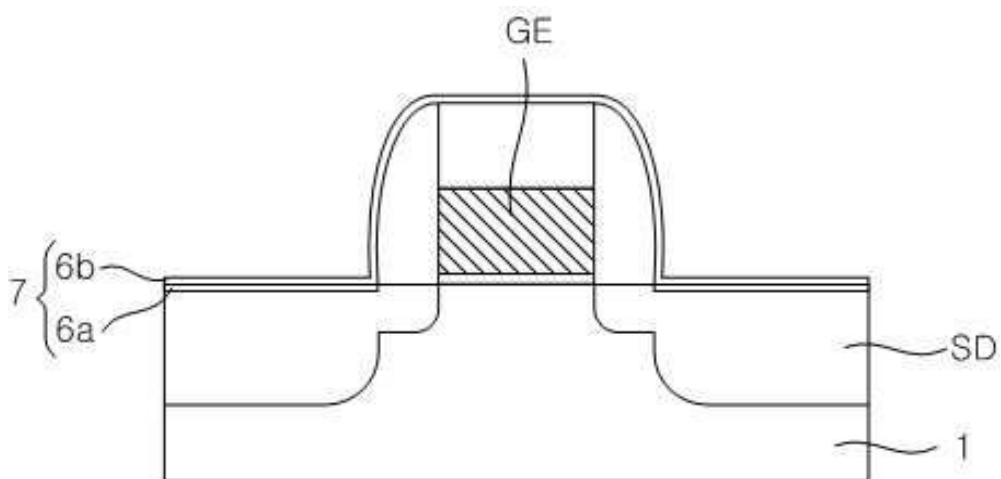
도면10



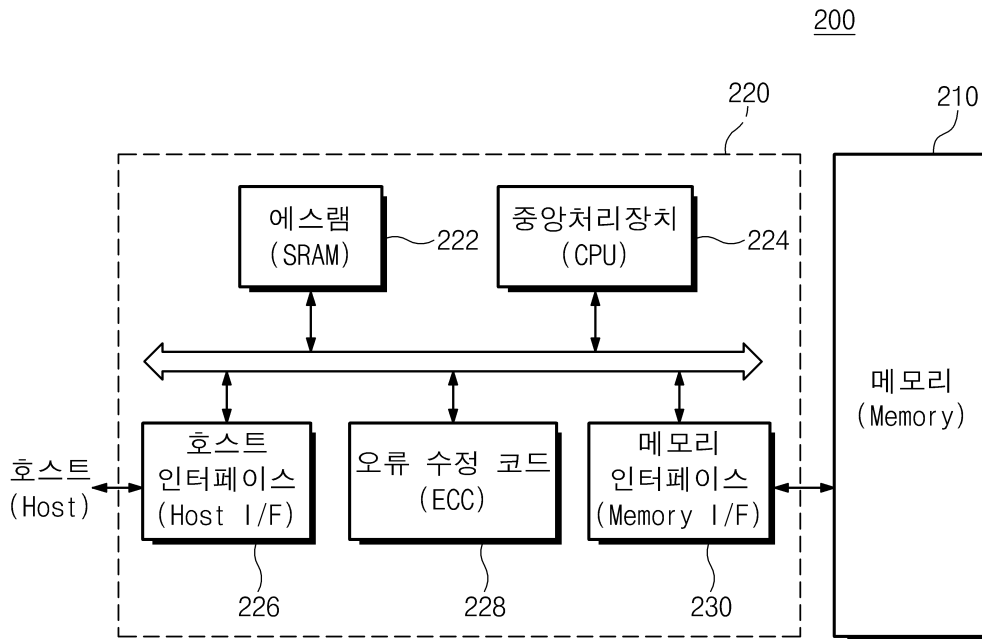
도면11



도면12



도면13



도면14

