



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

236 363

(11)

(B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 30 06 83
(21) PV 4933-83

(51) Int. Cl.³
G 06 F 9/00

(40) Zveřejněno 14 05 84
(45) Vydáno 01 11 87

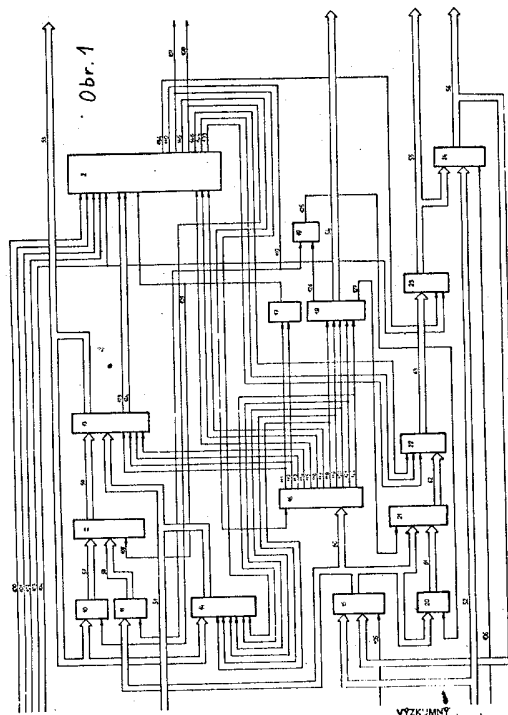
(75)
Autor vynálezu

KUBÍN PAVEL ing.CSc.,
LOUTOCKÝ DUŠAN ing., PRAHA

(54)

Zapojení řídicího procesoru

Elektronické číslicové počítače, vnější paměti, řídicí jednotky magnetických diskových pamětí. Jednoduchý řídicí procesor umožňující řízení rychlých elektronických jednotek. Vynález se týká zapojení jednoduchého a rychlého řídicího procesoru sestaveného z bipolárních obvodů malé a střední integrace používajícího pro řízení sekvenčních činností mikroprogramových prostředků. Elektronické číslicové počítače, řídicí jednotky, testovací zařízení.



Vynález se týká jednoduchého řídicího procesoru určeného jako řídicí člen řídicích jednotek s vysokou rychlostí přenosu dat.

Při připojování vnějších zařízení s vysokou rychlostí přenosu dat k minipočítačům je třeba vybavit takováto zařízení řídicími jednotkami, které musí při zachování celkové nízké ceny vykonávat často značně složité funkce a řídit rychlý přenos dat mezi vnějším zařízením a minipočítačem.

Takovéto řídicí jednotky byly doposud řešeny převážně jako čistě sekvenční logické automaty využívající pro řízení činnosti synchronních nebo asynchronních logických sekvenčních obvodů. Takováto řešení jsou složitá jak pro návrh, tak i pro oživení a údržbu a jsou řešena jednouúčelově pro danou aplikaci. Při tom je možné takovéto řídicí jednotky řešit pomocí mikroprogramově řízených řadičů, při tom ale nelze vzhledem k požadavkům na vysokou rychlost provádění potřebných funkcí i přenosu dat použít standardních mikroprocesorových obvodů. Možným řešením takového řadiče je použití mikroprocesorových řezů. Takovéto obvody ale vyžadují vzhledem k jinému typu pouzdření specializovanou konstrukci desky a jejich cena i dostupnost je mnohdy problematická.

Uvedené nevýhody řeší jednoduché zapojení řídicího procesoru podle vynálezu, jehož podstata spočívá v tom, že vstupní datová sběrnice je připojena na skupinu výstupů zápisníku a na první skupinu vstupů aritmeticko-logické jednotky a dále výstupní sběrnice řídicí paměti je připojena na skupinu výstupů řídicí paměti a na první skupinu vstupů druhého multiplexoru a dále výstupní datové vedení je připojeno na skupinu výstupů aritmeticko-logické jednotky a na skupinu vstupů střadače a na skupinu vstupů zápisníku a dále výstupní vedení dekodovaných

adres je připojeno na skupinu výstupů prvního binárního dekoderu a dále výstupní vedení řídicí paměti je připojeno na skupinu výstupů registru adresy a na první skupinu adresových vstupů řídicí paměti a dále vstupní diagnostické vedení je připojeno na druhou skupinu vstupů druhého multiplexoru a na druhou skupinu datových vstupů řídicí paměti a dále skupina výstupů střadače je spojena vedením střadače s první skupinou vstupů prvního multiplexoru a dále skupina výstupů registru konstanty je spojena vedením konstanty se druhou skupinou vstupů prvního multiplexoru a dále skupina výstupů prvního multiplexoru je spojena druhým vedením aritmeticko-logické jednotky s druhou skupinou vstupů aritmeticko-logické jednotky a dále skupina výstupů druhého multiplexoru je spojena vedením informace se skupinou vstupů registru konstanty a se skupinou vstupů registru mikroinstrukce a s první skupinou vstupů třetího multiplexoru a se skupinou vstupů registru návratové adresy a dále skupina výstupů registru návratové adresy je spojena vedením registru návratové adresy s druhou skupinou vstupů třetího multiplexoru a dále skupina výstupů třetího multiplexoru je spojena vedením čítače adresy se skupinou vstupů čítače adresy a dále skupina výstupů čítače adresy je spojena vedením adresy se skupinou vstupů registru adresy a dále vstupní vodič signálu nulování je připojen na první vstup posuvného registru a dále vstupní vodič signálu krokování je připojen na první součtový vstup třetího součtově-součinového obvodu a dále vstupní vodič signálu zastavení je připojen na první vstup součinu druhého součtového vstupu třetího součtově-součinového obvodu a dále vstupní vodič signálu diagnostického vkládání do registru mikroinstrukce je připojen na třetí součtový vstup šestého součtově-součinového obvodu a dále vstupní vodič hodinového signálu je připojen na první, hodinový vstup druhého klopného obvodu a na druhý, hodinový vstup posuvného registru a na první, hodinový vstup třetího klopného obvodu a na první, hodinový vstup čtvrtého klopného obvodu a na první, hodinový vstup prvního klopného obvodu a na první, hodinový vstup pátého klopného obvodu a na první, hodinový vstup šestého klopného obvodu a na první, hodinový vstup sedmého klopného obvodu a na první vstup součinu prvního součtového vstupu pátého součtově-součinového obvodu a na první vstup součinu druhého součtového vstupu pátého součtově-součinového obvodu a na první vstup součinu

třetího součtového vstupu pátého součtově-součinového obvodu a na první vstup pátého součinového hradla a na první vstup šestého součinového hradla a na první vstup sedmého součinového hradla a na první, hodinový vstup registru adresy a dále vstupní vodič signálu diagnostiky je připojen na výběrový vstup druhého multiplexoru a dále vstupní vodič signálu zápisu do paměti je připojen na vkládací vstup řídicí paměti a dále výstupní vodič signálu vložení do zápisníku je připojen na výstup šestého součinového hradla a na první, vkládací vstup zápisníku a dále výstupní vodič signálu vložení do střadače je připojen na výstup sedmého součinového hradla a na vkládací vstup střadače a dále výstup prvního součinového hradla je spojen vodičem signálu délky mikroinstrukce s výběrovým vstupem prvního multiplexoru a s druhým, nulovacím vstupem třetího klopného obvodu a s prvním vstupem součinu prvního součtového vstupu čtvrtého součtově-součinového obvodu a s třetím vstupem součinu druhého součtového vstupu pátého součtově-součinového obvodu a dále výstup pátého součinového hradla je spojen vodičem signálu vložení konstanty s vkládacím vstupem registru konstanty a s prvním vstupem druhého součinového hradla a dále první výstup registru mikroinstrukce je spojen vodičem signálu devátého řádu kódu mikroinstrukce s prvním vstupem aritmeticko-logické jednotky a s prvním vstupem prvního součinového hradla a dále druhý výstup registru mikroinstrukce je spojen vodičem signálu osmého řádu kódu mikroinstrukce s druhým vstupem aritmeticko-logické jednotky a s druhým vstupem prvního součinového hradla a dále třetí výstup registru mikroinstrukce je spojen vodičem signálu sedmého řádu kódu mikroinstrukce s třetím vstupem aritmeticko-logické jednotky a dále čtvrtý výstup registru mikroinstrukce je spojen vodičem signálu šestého řádu kódu mikroinstrukce se čtvrtým vstupem aritmeticko-logické jednotky a dále pátý výstup registru mikroinstrukce je spojen vodičem signálu desátého řádu kódu mikroinstrukce s druhým vstupem šestého součinového hradla a s druhým invertujícím vstupem sedmého součinového hradla a dále šestý výstup registru mikroinstrukce je spojen vodičem signálu jedenáctého řádu kódu mikroinstrukce s prvním vstupem druhého binárního dekódéru a dále sedmý výstup registru mikroinstrukce je spojen vodičem signálu dvanáctého řádu kódu mikroinstrukce se druhým vstupem druhého binárního dekódéru a dále osmý výstup registru mikro-

instrukce je spojen vodičem signálu pátého řádu kódu mikroinstrukce s prvním vstupem prvního binárního dekódéru a s druhým, adresovým vstupem zápisníku a dále devátý výstup registru mikroinstrukce je spojen vodičem signálu čtvrtého řádu kódu mikroinstrukce s druhým vstupem prvního binárního dekódéru a se třetím, adresovým vstupem zápisníku a dále desátý výstup registru mikroinstrukce je spojen vodičem signálu třetího řádu kódu mikroinstrukce se třetím vstupem prvního binárního dekódéru a se čtvrtým, adresovým vstupem zápisníku a dále jedenáctý výstup registru mikroinstrukce je spojen vodičem signálu druhého řádu kódu mikroinstrukce se čtvrtým vstupem prvního binárního dekódéru a s pátým, adresovým vstupem zápisníku a dále dvanáctý výstup registru mikroinstrukce je spojen vodičem signálu prvního řádu kódu mikroinstrukce s pátým vstupem prvního binárního dekódéru a se šestým, adresovým vstupem zápisníku a dále první výstup aritmeticko-logické jednotky je spojen vodičem signálu nulového výsledku s prvním vstupem součinu prvního součtového vstupu prvního součtově-součinového obvodu a dále druhý výstup aritmeticko-logické jednotky je spojen vodičem signálu přenosu s prvním vstupem součinu druhého součtového vstupu prvního součtově-součinového obvodu a dále výstup druhého součinového hradla je spojen vodičem signálu vložení návratové adresy s vkládacím vstupem registru návratové adresy a dále první výstup prvního binárního dekódéru je spojen vodičem signálu adresy návratového registru s druhým vstupem druhého součinového hradla a dále druhý výstup prvního binárního dekódéru je spojen vodičem signálu návratu z podprogramu s výběrovým vstupem třetího multiplexoru a dále první výstup druhého binárního dekódéru je spojen vodičem signálu skoku při nulovosti výsledku s druhým vstupem součinu prvního součtového vstupu prvního součtově-součinového obvodu a dále druhý výstup druhého binárního dekódéru je spojen vodičem signálu skoku při přenosu s druhým vstupem součinu druhého součtového vstupu prvního součtově-součinového obvodu a dále třetí výstup druhého binárního dekódéru je spojen vodičem signálu neskoku s prvním vstupem součinu prvního součtového vstupu druhého součtově-součinového obvodu a s druhým, nulovacím vstupem šestého klopného obvodu a s prvním vstupem součinu čtvrtého součtového vstupu šestého součtově-součinového obvodu a dále čtvrtý výstup druhého binárního dekódéru je spojen vodičem sig-

nálu skoku s prvním vstupem součinu třetího součtového vstupu prvního součtově-součinového obvodu a dále výstup prvního součtově-součinového obvodu je spojen vodičem signálu provedení skoku s druhým, datovým vstupem prvního klopného obvodu a dále výstup prvního klopného obvodu je spojen vodičem signálu vložení adresy skoku s prvním, vkládacím vstupem čítače adresy a dále výstup třetího součinového hradla je spojen vodičem signálu vložení do registru adresy s druhým, režimovým vstupem registru adresy a dále výstup druhého součtově-součinového obvodu je spojen vodičem signálu posledního taktu s druhým vstupem součinu druhého součtového vstupu třetího součtově-součinového obvodu a dále výstup třetího součtově-součinového obvodu je spojen vodičem signálu rozběhu s druhým, datovým vstupem druhého klopného obvodu a dále výstup druhého klopného obvodu je spojen vodičem signálu taktu A1 s třetím, datovým vstupem třetího klopného obvodu a s druhým vstupem součinu prvního součtového vstupu pátého součtově-součinového obvodu a s druhým vstupem součinu prvního součtového vstupu čtvrtého součtově-součinového obvodu a dále výstup třetího klopného obvodu je spojen vodičem signálu taktu B1 s prvním vstupem třetího součinového hradla a s druhým součtovým vstupem čtvrtého součtově-součinového obvodu a s druhým vstupem pátého součinového hradla a dále výstup čtvrtého součtově-součinového obvodu je spojen vodičem s druhým datovým vstupem čtvrtého klopného obvodu a dále výstup čtvrtého klopného obvodu je spojen vodičem signálu taktu C1 s druhým, datovým vstupem pátého klopného obvodu a s třetím vstupem součinu prvního součtového vstupu prvního součtově-součinového obvodu a s třetím vstupem součinu druhého součtového vstupu prvního součtově-součinového obvodu a s druhým vstupem součinu třetího součtového vstupu prvního součtově-součinového obvodu a dále výstup pátého klopného obvodu je spojen vodičem signálu taktu D1 s druhým vstupem třetího součinového hradla a s druhým vstupem součinu prvního součtového vstupu druhého součtově-součinového obvodu a s třetím, datovým vstupem šestého klopného obvodu a s třetím vstupem šestého součinového hradla a s třetím vstupem sedmého součinového hradla a s druhým vstupem součinu čtvrtého součtového vstupu šestého součtově-součinového obvodu a dále výstup šestého klopného obvodu je spojen vodičem signálu taktu A2 s druhým, datovým vstupem sedmého klopného obvodu a s druhým vstupem součinu třetího součtového

vstupu pátého součtově-součinového obvodu a dále výstup sedmého klopného obvodu je spojen vodičem signálu taktu B2 s třetím vstupem třetího součinového hradla a s druhým součtovým vstupem druhého součtově-součinového obvodu a s druhým součtovým vstupem šestého součtově-součinového obvodu a dále výstup pátého součtově-součinového obvodu je spojen vodičem signálu přičítání s druhým, čítacím vstupem čítače adresy a dále výstup šestého součtově-součinového obvodu je spojen vodičem signálu vložení do registru mikroinstrukce s vkládacím vstupem registru mikroinstrukce a dále první výstup posuvného registru je spojen vodičem signálu nulování se třetím vstupem součinu druhého součtového vstupu třetího součtově-součinového obvodu a s třetím, nulovacím vstupem prvního klopného obvodu a s čtvrtým vstupem třetího součinového hradla a s třetím, nulovacím vstupem čítače adresy a dále druhý výstup posuvného registru je spojen vodičem signálu vynulování s prvním vstupem čtvrtého součinového hradla a dále třetí výstup posuvného registru je spojen vodičem s druhým, invertujícím vstupem čtvrtého součinového hradla a dále výstup čtvrtého součinového hradla je spojen vodičem signálu zpožděného nulování s prvním součtovým vstupem šestého součtově-součinového obvodu a s třetím součtovým vstupem třetího součtově-součinového obvodu.

Hlavní výhodou zapojení podle vynálezu je to, že využívá jednoduchých a snadno dostupných obvodů malé a střední integrace, přičemž výsledný objem elektroniky takového řídicího procesoru je srovnatelný s řešením obdobného procesoru s použitím mikroprocesorových řezů.

Na připojených dvou obrázcích je znázorněno jednak schéma zapojení celého řídicího procesoru (obr. 1), jednak jeho vlastní řídicí části (obr. 2).

Řídicí procesor sestává ze střadače 10, registru 11 konstanty, prvního multiplexoru 12, aritmeticko-logické jednotky 13, zápisníku 14, druhého multiplexoru 15, registru 16 mikroinstrukce, prvního součinového hradla 17, prvního binárního dekódéru 18, druhého součinového hradla 19, registru 20 návratové adresy, třetího multiplexoru 21, čítače 22 adresy, registru 23 adresy, řídicí paměti 24 a z řídicích obvodů, znázorně-

ných na obrázku 2 a sestávajících z druhého binárního dekódéru 25, prvního součtově-součinového obvodu 26, prvního klopného obvodu 27, třetího součinového hradla 28, druhého součtově-součinového obvodu 29, třetího součtově-součinového obvodu 30, druhého klopného obvodu 31, třetího klopného obvodu 32, čtvrtého součtově-součinového obvodu 33, čtvrtého klopného obvodu 34, pátého klopného obvodu 35, šestého klopného obvodu 36, sedmého klopného obvodu 37, posuvného registru 38, čtvrtého součinového hradla 39, pátého součtově-součinového obvodu 40, pátého součinového hradla 41, šestého součinového hradla 42, sedmého součinového hradla 43 a šestého součtově-součinového obvodu 44. Na těchto obrázcích je znázorněno zapojení vstupních vodičů, výstupních vodičů i vodičů propojujících vstupy i výstupy těchto obvodů a to tak, že vstupní datová sběrnice 51 je připojena na skupinu výstupů zápisníku 14 a na první skupinu vstupů aritmeticko-logické jednotky 13 a dále výstupní sběrnice 56 řídicí paměti je připojena na skupinu výstupů řídicí paměti 24 a na první skupinu vstupů druhého multiplexoru 15 a dále výstupní datové vedení 53 je připojeno na skupinu výstupů aritmeticko-logické jednotky 13 a na skupinu vstupů střadače 10 a na skupinu vstupů zápisníku 14 a dále výstupní vedení 54 dekodovaných adres je připojeno na skupinu výstupů prvního binárního dekódéru 18 a dále výstupní vedení 55 řídicí paměti je připojeno na skupinu výstupů registru 23 adresy a na první skupinu adresových vstupů řídicí paměti 24 a dále vstupní diagnostické vedení 52 je připojeno na druhou skupinu vstupů druhého multiplexoru 15 a na druhou skupinu datových vstupů řídicí paměti 24 a dále skupina výstupů střadače 10 je spojena vedením 57 střadače s první skupinou vstupů prvního multiplexoru 12 a dále skupina výstupů registru 11 konstanty je spojena vedením 58 konstanty se druhou skupinou vstupů prvního multiplexoru 12 a dále skupina výstupů prvního multiplexoru 12 je spojena druhým vedením 59 aritmeticko-logické jednotky s druhou skupinou vstupů aritmeticko-logické jednotky 13 a dále skupina výstupů druhého multiplexoru 15 je spojena vedením 60 informace se skupinou vstupů registru 11 konstanty a se skupinou vstupů registru 16 mikroinstrukce a s první skupinou vstupů třetího multiplexoru 21 a se skupinou vstupů registru 20 návratové adresy a dále skupina výstupů registru 20 návratové adresy je spojena vedením

61 registru návratové adresy s druhou skupinou vstupů třetího multiplexoru 21 a dále skupina výstupů třetího multiplexoru 21 je spojena vedením 62 čítače adresy se skupinou vstupů čítače 22 adresy a dále skupina výstupů čítače 22 adresy je spojena vedením 63 adresy se skupinou vstupů registru 23 adresy a dále vstupní vodič 100 signálu nulování je připojen na první vstup posuvného registru 38 a dále vstupní vodič 101 signálu krokování je připojen na první součtový vstup třetího součtově-součinového obvodu 30 a dále vstupní vodič 102 signálu zastavení je připojen na první vstup součinu druhého součtového vstupu třetího součtově-součinového obvodu 30 a dále vstupní vodič 103 signálu diagnostického vkládání do registru mikroinstrukce je připojen na třetí součtový vstup šestého součtově-součinového obvodu 44 a dále vstupní vodič 104 hodinového signálu je připojen na první, hodinový vstup druhého klopného obvodu 31 a na druhý, hodinový vstup posuvného registru 38 a na první, hodinový vstup třetího klopného obvodu 32 a na první, hodinový vstup čtvrtého klopného obvodu 34 a na první, hodinový vstup prvního klopného obvodu 27 a na první, hodinový vstup pátého klopného obvodu 35 a na první, hodinový vstup šestého klopného obvodu 36 a na první, hodinový vstup sedmého klopného obvodu 37 a na první vstup součinu prvního součtového vstupu pátého součtově-součinového obvodu 40 a na první vstup součinu druhého součtového vstupu pátého součtově-součinového obvodu 40 a na první vstup součinu třetího součtového vstupu pátého součtově-součinového obvodu 40 a na první vstup pátého součinového hradla 41 a na první vstup šestého součinového hradla 42 a na první vstup sedmého součinového hradla 43 a na první, hodinový vstup registru 23 adresy a dále vstupní vodič 105 signálu diagnostiky je připojen na výběrový vstup druhého multiplexoru 15 a dále vstupní vodič 106 signálu zápisu do paměti je připojen na vkládací vstup řídicí paměti 24 a dále výstupní vodič 107 signálu vložení do zápisníku je připojen na výstup šestého součinového hradla 42 a na první, vkládací vstup zápisníku 14 a dále výstupní vodič 108 signálu vložení do střadače je připojen na výstup sedmého součinového hradla 43 a na vkládací vstup střadače 10 a dále výstup prvního součinového hradla 17 je spojen vodičem 109 signálu délky mikroinstrukce s výběrovým vstupem prvního multiplexoru 12 a s druhým, nulovacím vstupem třetího

klopného obvodu 32 a s prvním vstupem součinu prvního součtového vstupu čtvrtého součtově-součinového obvodu 33 a s třetím vstupem součinu druhého součtového vstupu pátého součtově-součinového obvodu 40 a dále výstup pátého součinového hradla 41 je spojen vodičem 110 signálu vložení konstanty s vkládacím vstupem registru 11 konstanty a s prvním vstupem druhého součinového hradla 19 a dále první výstup registru 16 mikroinstrukce je spojen vodičem 111 signálu devátého řádu kódu mikroinstrukce s prvním vstupem aritmeticko-logické jednotky 13 a s prvním vstupem prvního součinového hradla 17 a dále druhý výstup registru 16 mikroinstrukce je spojen vodičem 112 signálu osmého řádu kódu mikroinstrukce s druhým vstupem aritmeticko-logické jednotky 13 a s druhým vstupem prvního součinového hradla 17 a dále třetí výstup registru 16 mikroinstrukce je spojen vodičem 113 signálu sedmého řádu kódu mikroinstrukce s třetím vstupem aritmeticko-logické jednotky 13 a dále čtvrtý výstup registru 16 mikroinstrukce je spojen vodičem 114 signálu šestého řádu kódu mikroinstrukce se čtvrtým vstupem aritmeticko-logické jednotky 13 a dále pátý výstup registru 16 mikroinstrukce je spojen vodičem 115 signálu desátého řádu kódu mikroinstrukce s druhým vstupem šestého součinového hradla 42 a s druhým, invertujícím vstupem sedmého součinového hradla 43 a dále šestý výstup registru 16 mikroinstrukce je spojen vodičem 116 signálu jedenáctého řádu kódu mikroinstrukce s prvním vstupem druhého binárního dekóderu 25 a dále sedmý výstup registru 16 mikroinstrukce je spojen vodičem 117 signálu dvanáctého řádu kódu mikroinstrukce se druhým vstupem druhého binárního dekóderu 25 a dále osmý výstup registru 16 mikroinstrukce je spojen vodičem 118 signálu pátého řádu kódu mikroinstrukce s prvním vstupem prvního binárního dekóderu 18 a s druhým, adresovým vstupem zápisníku 14 a dále devátý výstup registru 16 mikroinstrukce je spojen vodičem 119 signálu čtvrtého řádu kódu mikroinstrukce s druhým vstupem prvního binárního dekóderu 18 a se třetím, adresovým vstupem zápisníku 14 a dále desátý výstup registru 16 mikroinstrukce je spojen vodičem 120 signálu třetího řádu kódu mikroinstrukce se třetím vstupem prvního binárního dekóderu 18 a se čtvrtým, adresovým vstupem zápisníku 14 a dále jedenáctý výstup registru 16 mikroinstrukce je spojen vodičem 121 signálu druhého řádu kódu mikroinstrukce se čtvrtým vstupem prvního binárního dekóderu

18 a s pátým, adresovým vstupem zápisníku 14 a dále dvanáctý výstup registru 16 mikroinstrukce je spojen vodičem 122 signálu prvního řádu kódu mikroinstrukce s pátým vstupem prvního binárního dekóderu 18 a se šestým, adresovým vstupem zápisníku 14 a dále první výstup aritmeticko-logické jednotky 13 je spojen vodičem 123 signálu nulového výsledku s prvním vstupem součinu prvního součtového vstupu prvního součtově-součinnového obvodu 26 a dále druhý výstup aritmeticko-logické jednotky 13 je spojen vodičem 124 signálu přenosu s prvním vstupem součinu druhého součtového vstupu prvního součtově-součinnového obvodu 26 a dále výstup druhého součinnového hradla 19 je spojen vodičem 125 signálu vložení návratové adresy s vkládacím vstupem registru 20 návratové adresy a dále první výstup prvního binárního dekóderu 18 je spojen vodičem 126 signálu adresy návratového registru s druhým vstupem druhého součinnového hradla 19 a dále druhý výstup prvního binárního dekóderu 18 je spojen vodičem 127 signálu návratu z podprogramu s výběrovým vstupem třetího multiplexoru 21 a dále první výstup druhého binárního dekóderu 25 je spojen vodičem 128 signálu skoku při nulovosti výsledku s druhým vstupem součinu prvního součtového vstupu prvního součtově-součinnového obvodu 26 a dále druhý výstup druhého binárního dekóderu 25 je spojen vodičem 129 signálu skoku při přenosu s druhým vstupem součinu druhého součtového vstupu prvního součtově-součinnového obvodu 26 a dále třetí výstup druhého binárního dekóderu 25 je spojen vodičem 130 signálu nesko-ku s prvním vstupem součinu prvního součtového vstupu druhého součtově-součinnového obvodu 29 a s druhým, nulovacím vstupem šestého klopného obvodu 36 a s prvním vstupem součinu čtvrtého součtového vstupu šestého součtově-součinnového obvodu 44 a dále čtvrtý výstup druhého binárního dekóderu 25 je spojen vodičem 131 signálu skoku s prvním vstupem součinu třetího součtového vstupu prvního součtově-součinnového obvodu 26 a dále výstup prvního součtově-součinnového obvodu 26 je spojen vodičem 132 signálu provedení skoku s druhým, datovým vstupem prvního klopného obvodu 27 a dále výstup prvního klopného obvodu 27 je spojen vodičem 133 signálu vložení adresy skoku s prvním vkládacím vstupem čítače 22 adresy a dále výstup třetího součinnového hradla 28 je spojen vodičem 134 signálu vložení do re-

gistru adresy s druhým, režimovým vstupem registru 23 adresy a dále výstup druhého součtově-součinnového obvodu 29 je spojen vodičem 135 signálu posledního taktu s druhým vstupem součinnu druhého součtového vstupu třetího součtově-součinnového obvodu 30 a dále výstup třetího součtově-součinnového obvodu 30 je spojen vodičem 136 signálu rozběhu s druhým, datovým vstupem druhého klopného obvodu 31 a dále výstup druhého klopného obvodu 31 je spojen vodičem 137 signálu taktu A1 s třetím, datovým vstupem třetího klopného obvodu 32 a s druhým vstupem součinnu prvního součtového vstupu pátého součtově-součinnového obvodu 40 a s druhým vstupem součinnu prvního součtového vstupu čtvrtého součtově-součinnového obvodu 33 a dále výstup třetího klopného obvodu 32 je spojen vodičem 138 signálu taktu B1 s prvním vstupem třetího součinnového hradla 28 a s druhým součtovým vstupem čtvrtého součtově-součinnového obvodu 33 a s druhým vstupem pátého součinnového hradla 41 a dále výstup čtvrtého součtově-součinnového obvodu 33 je spojen vodičem 139 s druhým, datovým vstupem čtvrtého klopného obvodu 34 a dále výstup čtvrtého klopného obvodu 34 je spojen vodičem 140 signálu taktu C1 s druhým, datovým vstupem pátého klopného obvodu 35 a s třetím vstupem součinnu prvního součtového vstupu prvního součtově-součinnového obvodu 26 a s třetím vstupem součinnu druhého součtového vstupu prvního součtově-součinnového obvodu 26 a s druhým vstupem součinnu třetího součtového vstupu prvního součtově-součinnového obvodu 26 a dále výstup pátého klopného obvodu 35 je spojen vodičem 141 signálu taktu D1 s druhým vstupem třetího součinnového hradla 28 a s druhým vstupem součinnu prvního součtového vstupu druhého součtově-součinnového obvodu 29 a s třetím, datovým vstupem šestého klopného obvodu 36 a s třetím vstupem šestého součinnového hradla 42 a s třetím vstupem sedmého součinnového hradla 43 a s druhým vstupem součinnu čtvrtého součtového vstupu šestého součtově-součinnového obvodu 44 a dále výstup šestého klopného obvodu 36 je spojen vodičem 142 signálu taktu A2 s druhým, datovým vstupem sedmého klopného obvodu 37 a s druhým vstupem součinnu třetího součtového vstupu pátého součtově-součinnového obvodu 40 a dále výstup sedmého klopného obvodu 37 je spojen vodičem 143 signálu taktu B2 s třetím vstupem třetího součinnového hradla 28 a s druhým součtovým vstupem druhého součtově-součinnového

obvodu 29 a s druhým součtovým vstupem šestého součtově-součinového obvodu 44 a dále výstup pátého součtově-součinového obvodu 40 je spojen vodičem 144 signálu přičítání s druhým, čítacím vstupem čítače 22 adresy a dále výstup šestého součtově-součinového obvodu 44 je spojen vodičem 145 signálu vložení do registru mikroinstrukce s vkládacím vstupem registru 16 mikroinstrukce a dále první výstup posuvného registru 38 je spojen vodičem 146 signálu nulování se třetím vstupem součinu druhého součtového vstupu třetího součtově-součinového obvodu 30 a s třetím, nulovacím vstupem prvního klopného obvodu 27 a s čtvrtým vstupem třetího součinového hradla 28 a s třetím, nulovacím vstupem čítače 22 adresy a dále druhý výstup posuvného registru 38 je spojen vodičem 147 signálu vynulování s prvním vstupem čtvrtého součinového hradla 39 a dále třetí výstup posuvného registru 38 je spojen vodičem 148 s druhým, invertujícím vstupem čtvrtého součinového hradla 39 a dále výstup čtvrtého součinového hradla 39 je spojen vodičem 149 signálu zpožděného nulování s prvním součtovým vstupem šestého součtově-součinového obvodu 44 a s třetím součtovým vstupem třetího součtově-součinového obvodu 30.

Řídící procesor podle tohoto vynálezu pracuje takto:

Vstupní osmibitová data jsou přivedena vstupní datovou sběrnicí 51 jako první operand na jednu skupinu vstupů aritmeticko-logické jednotky 13. Na tutéž skupinu vstupů je přiveden i výstup zápisníku 14; to, je-li vybrán jeden z registrů zápisníku 14 nebo některý z jiných registrů připojených na vstupní datovou sběrnicí 51 je určeno adresou příslušného registru, načtenou jako součást slova mikroinstrukce z řídicí paměti 24 a pamatovanou pro daný mikroinstrukční cyklus v registru 16 mikroinstrukce. Zvolený registr zápisníku 14 je určen přímo binární dekodací adresy ze slova mikroinstrukce prováděnou přímo obvodem zápisníku 14. Zvolený vnější registr, připojený na vstupní datovou sběrnicí 51 je určen výstupním vedením dekodovaných adres 54, po němž je vedena adresa zvoleného registru přímo dekodovaná prvním binárním dekódérem 18, na jehož vstupy jsou přivedeny příslušné řády slova mikroinstrukce.

Druhým operandem prováděné operace, přivedeným na druhou

skupinu vstupů aritmeticko-logické jednotky 13 je v závislosti na hodnotě signálu generovaného prvním součinným hradlem 17 ze dvou řádů slova mikroinstrukce, buď obsah střadače 10 nebo obsah registru 11 konstanty. Výběr jednoho z těchto dvou registrů je prováděn na prvním multiplexoru 12. Konstanta je na vstupy registru 11 konstanty přivedena z druhého multiplexoru 15, který v závislosti na hodnotě signálu diagnostiky vybírá buď hodnotu přivedenou po vstupním diagnostickém vedení 52 nebo hodnotu danou dolními osmi řády slova čteného v daném okamžiku mikroinstrukce z řídicí paměti 24.

Výsledek operace zpracovaný aritmeticko-logickou jednotkou 13 je veden výstupním datovým vedením 53 na vstupy zápisníku 14, střadače 10, případně vnějších registrů připojených na výstupní datové vedení 53. Tato výsledná hodnota se ukládá do toho registru, jenž je určen adresou načtenou jako součást slova mikroinstrukce a pamatovanou v registru 16 mikroinstrukce, nebo v závislosti na hodnotě signálu příslušného řádu slova mikroinstrukce do střadače 10.

Informace čtená z řídicí paměti 24 je určena adresou pamatovanou v registru 23 adresy. Změna této adresy je prováděna v čítači 22 adresy tak, že je obsah tohoto čítače buď zvětšen o jedničku, nebo je do tohoto čítače 22 adresy vložena informace z registru 20 návratové adresy, nebo výstup druhého multiplexoru 15, to znamená, v závislosti na hodnotě signálu 105 diagnostiky, buď hodnota přivedená po vstupním diagnostickém vedení 52 nebo hodnota čtená přímo z řídicí paměti 24. Stejná hodnota z výstupu druhého multiplexoru 15 může být k tomu určenou mikroinstrukcí, odvozenou z příslušné dekodace slova mikroinstrukce pamatovaného v registru 16 mikroinstrukce uložena i do registru 20 návratové adresy.

Řízení činnosti řídicího procesoru v cyklu provádění jedné mikroinstrukce vykonává řídicí obvod. Tento obvod je tvořen řadou šesti klopných obvodů, synchronizovaných hodinovým signálem přivedeným vodičem 104. Tyto klopné obvody jsou zapojeny jako posuvný registr, posuvy tohoto registru je možné modifikovat jednak signálem délky mikroinstrukce přivedeným vodičem 109 z výstupu prvního součinného hradla 17 na nulovací

vstup třetího klopného obvodu 32 a na vstup čtvrtého součtově-součinového obvodu 33, jednak signálem neskoku generovaným ze dvou řádů slova mikroinstrukce druhým binárním dekódérem 25 a přivedeným na jeden ze vstupů druhého součtově-součinového obvodu 29 a na nulovací vstup šestého klopného obvodu 36. Zpětná vazba tohoto posuvného registru je tvořena signálem rozběhu generovaným třetím součtově-součinným obvodem 30 ze signálu posledního taktu generovaného druhým součtově-součinným obvodem 29. Signál rozběhu je možné zrušit signálem zastavení přivedeným vodičem 102. Činnost posuvného registru je možné zahájit signálem zpožděného nulování přivedeným vodičem 149 z výstupu čtvrtého součinnového hradla 39 nebo signálem krokování přivedeným vodičem 101.

Signál zpožděného nulování je generován čtvrtým součinným hradlem 39 z výstupních signálů posuvného registru 38 synchronizujícího signál nulování přivedený na jeho vstup vodičem 100.

Signál vložení adresy skoku je generován a časován prvním klopným obvodem 27, z jehož výstupu je veden vodičem 133 na vkládací vstup čítače 22 adresy. Tento signál vložení adresy je generován při splnění podmínky skoku, na základě generace signálu splnění provedení skoku vodič 132 generovaného na základě dekodace příslušných řádů slova mikroinstrukce a signálů přenosu a nulového výsledku generovaných aritmeticko-logickou jednotkou 13 a přivedených na vstupy tohoto prvního součtově-součinnového obvodu 26 vodiči 123 a 124.

Signál určující okamžik přenosu obsahu čítače 22 adresy do registru 23 adresy je určen signálem vložení do registru adresy generovaným třetím součinným hradlem 28 a vedeným na vstup registru 23 adresy vodičem 134.

Signál přičítání je odvozen z příslušných klopných obvodů posuvného registru řídicího obvodu pátým součtově-součinným obvodem 40 a je veden vodičem 144 na přičítací vstup čítače 22 adresy.

Vložení konstanty načtené z řídicí paměti 24 do registru 11 konstanty je provedeno signálem vložení konstanty generovaným pátým součinným hradlem 41.

Výsledek operace prováděné aritmeticko-logickou jednotkou 13 a vedený na vstup zápisníku 14 a na vstupy ostatních registrů výstupním datovým vedením 53 je do těchto registrů vkládán signálem vložení do zápisníku generovaným šestým součinným hradlem 42.

Výsledek operace prováděné aritmeticko-logickou jednotkou 13 je přiveden rovněž na vstup střadače 10, do něhož je vkládán signálem vložení do střadače generovaným sedmým součinným hradlem 43.

Slovo mikroinstrukce načtené z řídicí paměti 24 je vloženo do registru 16 mikroinstrukce signálem vložení do registru mikroinstrukce odvozeným z příslušných klopných obvodů posuvného registru řídicího obvodu šestým součtově-součinným obvodem 44.

Řídicí procesor je použit v řídicích jednotkách pro připojení různých diskových pamětí k minipočítači a v testeru velkokapacitních diskových pamětí 100 Mb^{ite}.

PŘEDMĚT VYNÁLEZU

238 383

Zapojení řídicího procesoru, v y z n a č e n é t í m ,
že vstupní datová sběrnice (51) je připojena na skupinu výstupů zápisníku (14) a na první skupinu vstupů aritmeticko-logické jednotky (13) a dále výstupní sběrnice (56) řídicí paměti (24) je připojena na skupinu výstupů řídicí paměti (24) a na první skupinu vstupů druhého multiplexoru (15) a dále výstupní datové vedení (53) je připojeno na skupinu výstupů aritmeticko-logické jednotky (13) a na skupinu vstupů střadače (10) a na skupinu vstupů zápisníku (14) a dále výstupní vedení (54) dekódovaných adres je připojeno na skupinu výstupů prvního binárního dekóderu (18) a dále výstupní vedení (55) řídicí paměti je připojeno na skupinu výstupů registru (23) adresy a na první skupinu adresových vstupů řídicí paměti (24) a dále vstupní diagnostické vedení (52) je připojeno na druhou skupinu vstupů druhého multiplexoru (15) a na druhou skupinu datových vstupů řídicí paměti (24) a dále skupina výstupů střadače (10) je spojena vedením (57) střadače s první skupinou vstupů prvního multiplexoru (12) a dále skupina výstupů registru (11) konstanty je spojena vedením (58) konstanty se druhou skupinou vstupů prvního multiplexoru (12) a dále skupina výstupů prvního multiplexoru (12) je spojena druhým vedením (59) aritmeticko-logické jednotky s druhou skupinou vstupů aritmeticko-logické jednotky (13) a dále skupina výstupů druhého multiplexoru (15) je spojena vedením (60) informace se skupinou vstupů registru (11) konstanty a se skupinou vstupů registru (16) mikroinstrukce a s první skupinou vstupů třetího multiplexoru (21) a se skupinou vstupů registru (20) návratové adresy a dále skupina výstupů registru (20) návratové adresy je spojena vedením (61) registru návratové adresy s druhou skupinou vstupů třetího multiplexoru (21) a dále skupina výstupů třetího multiplexoru (21) je spojena vedením (62) čítače adresy se skupinou vstupů čítače (22) adresy a dále skupina výstupů čítače (22) adresy je spojena vedením (63) adresy se skupinou vstupů registru (23) adresy a dále vstupní vodič (100) signálu nulování je připojen na první vstup posuvného registru (38) a dále vstupní vodič (101) signálu krokování je připojen na první součtový vstup třetího součtově-součtinového obvodu (30) a dále vstupní vodič (102) signálu zastave-

ní je připojen na první vstup součinu druhého součtového vstupu třetího součtově-součinnového obvodu (30) a dále vstupní vodič (103) signálu diagnostického vkládání do registru mikroinstrukce je připojen na třetí součtový vstup šestého součtově-součinnového obvodu (44) a dále vstupní vodič (104) hodinového signálu je připojen na první, hodinový vstup druhého klopného obvodu (31) a na druhý, hodinový vstup posuvného registru (38) a na první, hodinový vstup třetího klopného obvodu (32) a na první, hodinový vstup čtvrtého klopného obvodu (34) a na první, hodinový vstup prvního klopného obvodu (27) a na první, hodinový vstup pátého klopného obvodu (35) a na první, hodinový vstup šestého klopného obvodu (36) a na první, hodinový vstup sedmého klopného obvodu (37) a na první vstup součinu prvního součtového vstupu pátého součtově-součinnového obvodu (40) a na první vstup součinu druhého součtového vstupu pátého součtově-součinnového obvodu (40) a na první vstup součinu třetího součtového vstupu pátého součtově-součinnového obvodu (40) a na první vstup pátého součinnového hradla (41) a na první vstup šestého součinnového hradla (42) a na první vstup sedmého součinnového hradla (43) a na první, hodinový vstup registru (23) adresy a dále vstupní vodič (105) signálu diagnostiky je připojen na výběrový vstup druhého multiplexoru (15) a dále vstupní vodič (106) signálu zápisu do paměti je připojen na vkládací vstup řídicí paměti (24) a dále výstupní vodič (107) signálu vložení do zápisníku je připojen na výstup šestého součinnového hradla (42) a na první, vkládací vstup zápisníku (14) a dále výstupní vodič (108) signálu vložení do střadače je připojen na výstup sedmého součinnového hradla (43) a na vkládací vstup střadače (10) a dále výstup prvního součinnového hradla (17) je spojen vodičem (109) signálu délky mikroinstrukce a výběrovým vstupem prvního multiplexoru (12) a s druhým, nulovacím vstupem třetího klopného obvodu (32) a s prvním vstupem součinu prvního součtového vstupu čtvrtého součtově-součinnového obvodu (33) a s třetím vstupem součinu druhého součtového vstupu pátého součtově-součinnového obvodu (40) a dále výstup pátého součinnového hradla (41) je spojen vodičem (110) signálu vložení konstanty s vkládacím vstupem registru (11) konstanty a s prvním vstupem druhého součinnového hradla (19) a dále první

výstup registru (16) mikroinstrukce je spojen vodičem (111) signálu devátého řádu kódu mikroinstrukce s prvním vstupem aritmeticko-logické jednotky (13) a s prvním vstupem prvního součinnového hradla (17) a dále druhý výstup registru (16) mikroinstrukce je spojen vodičem (112) signálu osmého řádu kódu mikroinstrukce s druhým vstupem aritmeticko-logické jednotky (13) a s druhým vstupem prvního součinnového hradla (17) a dále třetí výstup registru (16) mikroinstrukce je spojen vodičem (113) signálu sedmého řádu kódu mikroinstrukce s třetím vstupem aritmeticko-logické jednotky (13) a dále čtvrtý výstup registru (16) mikroinstrukce je spojen vodičem (114) signálu šestého řádu kódu mikroinstrukce se čtvrtým vstupem aritmeticko-logické jednotky (13) a dále pátý výstup registru (16) mikroinstrukce je spojen vodičem (115) signálu desátého řádu kódu mikroinstrukce s druhým vstupem šestého součinnového hradla (42) a s druhým, invertujícím vstupem sedmého součinnového hradla (43) a dále šestý výstup registru (16) mikroinstrukce je spojen vodičem (116) signálu jedenáctého řádu kódu mikroinstrukce s prvním vstupem druhého binárního dekódéru (25) a dále sedmý výstup registru (16) mikroinstrukce je spojen vodičem (117) signálu dvanáctého řádu kódu mikroinstrukce se druhým vstupem druhého binárního dekódéru (25) a dále osmý výstup registru (16) mikroinstrukce je spojen vodičem (118) signálu pátého řádu kódu mikroinstrukce s prvním vstupem prvního binárního dekódéru (18) a s druhým, adresovým vstupem zápisníku (14) a dále devátý výstup registru (16) mikroinstrukce je spojen vodičem (119) signálu čtvrtého řádu kódu mikroinstrukce s druhým vstupem prvního binárního dekódéru (18) a se třetím, adresovým vstupem zápisníku (14) a dále desátý výstup registru (16) mikroinstrukce je spojen vodičem (120) signálu třetího řádu kódu mikroinstrukce se třetím vstupem prvního binárního dekódéru (18) a se čtvrtým, adresovým vstupem zápisníku (14) a dále jedenáctý výstup registru (16) mikroinstrukce je spojen vodičem (121) signálu druhého řádu kódu mikroinstrukce se čtvrtým vstupem prvního binárního dekódéru (18) a s pátým, adresovým vstupem zápisníku (14) a dále dvanáctý výstup registru (16) mikroinstrukce je spojen vodičem (122) signálu prvního řádu kódu mikroinstrukce s pátým vstupem prvního binárního dekódéru (18) a se šestým,

adresovým vstupem zápisníku (14) a dále první výstup aritmeticko-logické jednotky (13) je spojen vodičem (123) signálu nulového výsledku s prvním vstupem součinu prvního součtového vstupu prvního součtově-součinového obvodu (26) a dále druhý výstup aritmeticko-logické jednotky (13) je spojen vodičem (124) signálu přenosu s prvním vstupem součinu druhého součtového vstupu prvního součtově-součinového obvodu (26) a dále výstup druhého součinového hradla (19) je spojen vodičem (125) signálu vložení návratové adresy s vkládacím vstupem registru (20) návratové adresy a dále první výstup prvního binárního dekóderu (18) je spojen vodičem (126) signálu adresy návratového registru s druhým vstupem druhého součinového hradla (19) a dále druhý výstup prvního binárního dekóderu (18) je spojen vodičem (127) signálu návratu z podprogramu s výběrovým vstupem třetího multiplexoru (21) a dále první výstup druhého binárního dekóderu (25) je spojen vodičem (128) signálu skoku při nulovosti výsledku s druhým vstupem součinu prvního součtového vstupu prvního součtově-součinového obvodu (26) a dále druhý výstup druhého binárního dekóderu (25) je spojen vodičem (129) signálu skoku při přenosu s druhým vstupem součinu druhého součtového vstupu prvního součtově-součinového obvodu (26) a dále třetí výstup druhého binárního dekóderu (25) je spojen vodičem (130) signálu neskoku s prvním vstupem součinu prvního součtového vstupu druhého součtově-součinového obvodu (29) a s druhým, nulovacím vstupem šestého klopného obvodu (36) a s prvním vstupem součinu čtvrtého součtového vstupu šestého součtově-součinového obvodu (44) a dále čtvrtý výstup druhého binárního dekóderu (25) je spojen vodičem (131) signálu skoku s prvním vstupem součinu třetího součtového vstupu prvního součtově-součinového obvodu (26) a dále výstup prvního součtově-součinového obvodu (26) je spojen vodičem (132) signálu provedení skoku s druhým, datovým vstupem prvního klopného obvodu (27) a dále výstup prvního klopného obvodu (27) je spojen vodičem (133) signálu vložení adresy skoku s prvním vkládacím vstupem čítače (22) adresy a dále výstup třetího součinového hradla (28) je spojen vodičem (134) signálu vložení do registru adresy s druhým, režimovým vstupem registru (23) adresy a dále výstup druhého součtově-součinového obvodu (29) je spojen vodičem (135) signálu posledního taktu

s druhým vstupem součinu druhého součtového vstupu třetího součtově-součinového obvodu (30) a dále výstup třetího součtově-součinového obvodu (30) je spojen vodičem (136) signálu rozběhu s druhým, datovým vstupem druhého klopného obvodu (31) a dále výstup druhého klopného obvodu (31) je spojen vodičem (137) signálu taktu A1 se třetím, datovým vstupem třetího klopného obvodu (32) a s druhým vstupem součinu prvního součtového vstupu pátého součtově-součinového obvodu (40) a s druhým vstupem součinu prvního součtového vstupu čtvrtého součtově-součinového obvodu (33) a dále výstup třetího klopného obvodu (32) je spojen vodičem (138) signálu taktu B1 s prvním vstupem třetího součinového hradla (28) a s druhým součtovým vstupem čtvrtého součtově-součinového obvodu (33) a s druhým vstupem pátého součinového hradla (41) a dále výstup čtvrtého součtově-součinového obvodu (33) je spojen vodičem (139) s druhým datovým vstupem čtvrtého klopného obvodu (34) a dále výstup čtvrtého klopného obvodu (34) je spojen vodičem (140) signálu taktu C1 s druhým, datovým vstupem pátého klopného obvodu (35) a s třetím vstupem součinu prvního součtového vstupu prvního součtově-součinového obvodu (26) a s třetím vstupem součinu druhého součtového vstupu prvního součtově-součinového obvodu (26) a s druhým vstupem součinu třetího součtového vstupu prvního součtově-součinového obvodu (26) a dále výstup pátého klopného obvodu (35) je spojen vodičem (141) signálu taktu D1 s druhým vstupem třetího součinového hradla (28) a s druhým vstupem součinu prvního součtového vstupu druhého součtově-součinového obvodu (29) a s třetím, datovým vstupem šestého klopného obvodu (36) a s třetím vstupem šestého součinového hradla (42) a s třetím vstupem sedmého součinového hradla (43) a s druhým vstupem součinu čtvrtého součtového vstupu šestého součtově-součinového obvodu (44) a dále výstup šestého klopného obvodu (36) je spojen vodičem (142) signálu taktu A2 s druhým, datovým vstupem sedmého klopného obvodu (37) a s druhým vstupem součinu třetího součtového vstupu pátého součtově-součinového obvodu (40) a dále výstup sedmého klopného obvodu (37) je spojen vodičem (143) signálu taktu B2 s třetím vstupem třetího součinového hradla (28) a s druhým součtovým vstupem druhého součtově-součinového obvodu (29) a s druhým součtovým vstupem šestého součtově-součino-

vého obvodu (44) a dále výstup pátého součtově-součinového obvodu (40) je spojen vodičem (144) signálu přičítání s druhým, čítacím vstupem čítače (22) adresy a dále výstup šestého součtově-součinového obvodu (44) je spojen vodičem (145) signálu vložení do registru mikroinstrukce s vkládacím vstupem registru (16) mikroinstrukce a dále první výstup posuvného registru (38) je spojen vodičem (146) signálu nulování se třetím vstupem součinu druhého součtového vstupu třetího součtově-součinového obvodu (30) a s třetím, nulovacím vstupem prvního klopného obvodu (27) a s čtvrtým vstupem třetího součinového hradla (28) a s třetím, nulovacím vstupem čítače (22) adresy a dále druhý výstup posuvného registru (38) je spojen vodičem (147) signálu vynulování s prvním vstupem čtvrtého součinového hradla (39) a dále třetí výstup posuvného registru (38) je spojen vodičem (148) s druhým, invertujícím vstupem čtvrtého součinového hradla (39) a dále výstup čtvrtého součinového hradla (39) je spojen vodičem (149) signálu zpožděného nulování s prvním součtovým vstupem šestého součtově-součinového obvodu (44) a s třetím součtovým vstupem třetího součtově-součinového obvodu (30).

2 výkresy

