



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

212194

(11)

(B1)

(22) Přihlášeno 22 12 80
(21) (PV 9112-80)

(51) Int. Cl.³
G 06 F 3/04

(40) Zveřejněno 31 07 81

(45) Vydáno 15 02 84

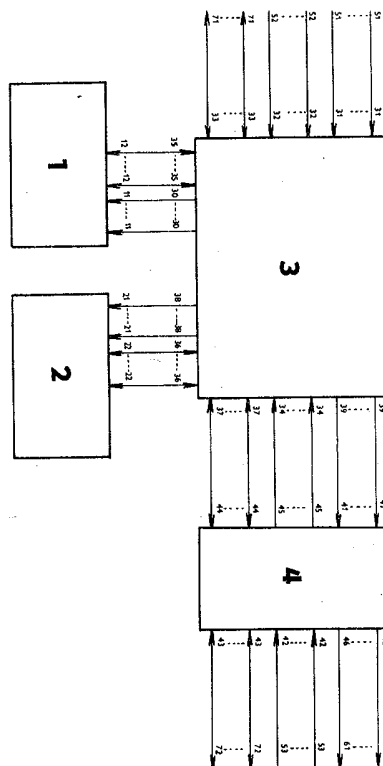
(75)

Autor vynálezu

ŠTÁHLAVSKÝ ZDENĚK dipl. tech., MACHOVSKÝ MIROSLAV ing., ZEMAN LUBOŠ ing.,
RITSCHEL MILOSLAV ing., PETRÁSEK JIŘÍ ing., KŘÍKAVA JIŘÍ, PRAHA

(54) Zapojení vyrovnávací paměti

Vynález se týká regulační a řídicí techniky a řeší zapojení vyrovnávací paměti signálů přicházejících z telemechanizačního zařízení do počítače. Signály přicházejí z telemechanizačního zařízení bit po bitu, přicházejí do zápisového a čtecího logického bloku, který rozhodne, do které ze dvou dílcích pamětí se budou ukládat. Na žádost z počítače vydá zápisový a čtecí logický blok pokyn k převedení obsahu jedné z dílcích pamětí do počítače jediným stykem. Informace ze čtené dílčí paměti jdou přes zápisový a čtecí blok do linkového vysílače-přijímače, kde se přetransformují z TTL úrovně na proudový signál a předávají se do počítače.



Vynález se týká zapojení vyrovnávací paměti signálů, přenášejících z telemechanizačního zařízení do počítače.

Při zpracování velkého množství signálů, které se přenášejí ze vzdálených míst z telemechanizačního zařízení do počítače, například při řízení dopravy, ovládání vodáren, plynáren, elektrických měření, produktovodů a podobně, se tento přenos provádí buď na výzvu minipočítače, nebo v automatickém cyklu.

Při přenosu signálů na výzvu počítače hrozí nebezpečí, že o některých změnách přenášených signálů nebude počítač informován, protože se sledovaný signál změnil mezi dvěma po sobě následujícími výzvami počítače zpět k původní hodnotě. Pokud k této situaci dojde, může počítač dodat chybné rozhodnutí, které je nežádoucí. Tento nedostatek odstraňuje přenos informací v automatickém cyklu. Při tomto přenosu se informace trvale snímají a v seriovém kódu se přenášejí do počítače.

Nedostatkem tohoto přenosu je, že probíhá relativně pomalu, řádově v jednotkách až desítkách bitů za sekundu a v některých případech neumožňuje řízení v reálném čase, protože počítač musí čekat, až dojdou všechny požadované informace, což je několik set bitů a teprve potom je může zpracovat. Dalším nedostatkem při tomto přenosu je, že je počítač při zpracování informace rušen neustálým nabízením dalších došlých bitů, které musí odebrat, což zabírá velké množství drahého strojového času. Toto uspořádání proto také neumožňuje řídit z časových důvodů větší počet telemechanizačních zařízení.

Proto se hledají cesty, které by zvýšily kapacitu zpracování. Jednu z možností představuje zapojení vyrovnávací paměti signálů, přenášejících z telemechanizačního zařízení do počítače, u něhož je druhý skupinový výstup linkového vysílače-přijímače spojen se skupinovým výstupem zapojení, jehož třetí skupinový vstup je spojen se druhým skupinovým vstupem linkového vysílače-přijímače, jehož druhý obousměrný skupinový vývod je spojen s druhým skupinovým obousměrným vývodem zapojení, podle vynálezu, jehož podstata spočívá v tom, že první skupinový vstup zapojení je spojen s prvním skupinovým vstupem zápisového a čtecího logického bloku, jehož druhý skupinový vstup je spojen se druhým skupinovým vstupem zapojení.

První obousměrný skupinový vývod zapojení je spojen s prvním obousměrným skupinovým vývodem zápisového a čtecího logického bloku, jehož druhý obousměrný skupinový vývod je spojen s obousměrným skupinovým vývodem první dílčí paměti. Její skupinový vstup je spojen s prvním skupinovým výstupem zápisového a čtecího logického bloku, jehož druhý skupinový výstup je spojen se skupinovým vstupem druhé dílčí paměti.

Její obousměrný skupinový vývod je spojen se třetím obousměrným skupinovým vývodem zápisového a čtecího logického bloku, jehož čtvrtý obousměrný skupinový vývod je spojen s prvním obousměrným skupinovým vývodem linkového vysílače-přijímače. Jeho první skupinový výstup je spojen se třetím skupinovým vstupem zápisového a čtecího logického bloku, jehož třetí skupinový výstup je spojen s prvním skupinovým vstupem linkového vysílače-přijímače.

Výhodou uspořádání podle vynálezu je, že pomalu přenášené informace z telemechanizačního zařízení bit po bitu ukládá do vyrovnávací paměti a po shromáždění všech potřebných informací přenáší tyto vysokou rychlostí do minipočítače jedním stykem. Tím se značně snižují nároky na drahý strojní čas počítače a zároveň nemůže dojít ke ztrátě žádného bitu z přenášené informace. Ušetřený strojový čas počítače umožní připojení většího množství telemechanizačního zařízení a tím i zpracování většího množství informací.

Příklad zapojení vyrovnávací paměti signálů předávaných z telemechanizačních zařízení do počítače je znázorněn v blokovém schématu na připojeném výkrese.

Jednotlivé bloky zapojení možno charakterizovat takto. První dílčí vyrovnávací paměť 1 a druhá dílčí vyrovnávací paměť 2 je polovodičová paměť, sestavená z polovodičových integrovaných obvodů, typu RAM, kapacitně organizovaná do r-slov po s-bitech, kde r může nabývat hodnoty až 32 slov a s může nabývat hodnoty až 22 bitů. Obě dílčí paměti umožňují určení adresy buď z počítače, nebo ze zápisového a čtecího logického bloku 3. Pracují střídavě v režimu "zápis" a "čtení" a slouží k uchování informací přicházejících z telemechanizačního zařízení. V dílčích pamětech 1, 2 se postupně shromažďují informace přicházející z telemechanizačního zařízení, které se potom jedním stykem přenášejí do počítače.

Zápisový a čtecí logický blok 3 je sestaven z polovodičových integrovaných obvodů a slouží jako řídicí jednotka zapojení. Obstarává střídání režimů "zápis" a "čtení", uvolňuje obě dílčí paměti 1, 2 k zápisu nebo čtení, určuje adresu dílčí paměti, do níž se má zapsat informace, uvolňuje čtení přijímaného slova a generuje všechny signály potřebné pro styk s telemechanizačním zařízením a s počítačem.

Linkový vysílač-přijímač 4 je sestaven z polovodičových integrovaných obvodů a v návaznosti na obvody styku spolupracujícího počítače zajišťuje přenos ve formě slov mezi počítačem a zápisovým a čtecím logickým blokem 3. Přijímané proudové signály z počítače přetvořuje na signály napěťové úrovně TTL a informace, které se vysílají k počítači přetvořuje z úrovně TTL na proudové signály.

Jednotlivé bloky jsou zapojeny tak, že první skupinový vstup 51 zapojení, sloužící pro vstup dat, je spojen s prvním skupinovým vstupem 31 zápisového a čtecího logického bloku 3. Druhý skupinový vstup 52 zapojení, který je určen pro vstup stavového slova, je spojen s druhým skupinovým vstupem 32 zápisového a čtecího logického bloku 3. První obousměrný skupinový vývod 71 zapojení je spojen s prvním obousměrným skupinovým vývodem 33 zápisového a čtecího logického bloku 3.

Druhý obousměrný skupinový vývod 35 zápisového a čtecího logického bloku 3, který je určen pro obousměrný průchod dat, je spojen s obousměrným skupinovým vývodem 12 první dílčí paměti 1. První skupinový výstup 30 zápisového a čtecího logického bloku 3, po kterém se uskutečňuje adresování, je spojen se skupinovým vstupem 11 první dílčí paměti 1. Druhý skupinový výstup 38 zápisového a čtecího logického bloku 3, po kterém se rovněž uskutečňuje adresování, je spojen se skupinovým vstupem 21 druhé dílčí paměti 2.

Třetí obousměrný skupinový vývod 36 zápisového a čtecího logického bloku 3, který je určen pro přenos v obou směrech, je spojen s obousměrným skupinovým vývodem 22 druhé dílčí paměti 2. Čtvrtý obousměrný skupinový vývod 37 zápisového a čtecího logického bloku 3 je spojen s prvním obousměrným skupinovým vývodem 44 linkového vysílače-přijímače 4. Třetí skupinový výstup 39 zápisového a čtecího logického bloku 3, sloužící pro přenos dat k počítači, je spojen s prvním skupinovým vstupem 41 linkového vysílače-přijímače 4.

První skupinový výstup 45 linkového vysílače-přijímače 4, který slouží pro adresování z počítače, je spojen se třetím skupinovým vstupem 34 linkového a čtecího logického bloku 3. Druhý skupinový výstup 46 linkového vysílače-přijímače 4, který slouží pro přenos dat do počítače, je spojen se skupinovým výstupem 61 zapojení. Druhý skupinový vstup 42 linkového vysílače-přijímače 4, po kterém jsou adresy z počítače, je spojen se třetím skupinovým vstupem 53 zapojení. Druhý obousměrný skupinový vývod 43 linkového vysílače-přijímače 4 je spojen se druhým obousměrným skupinovým vývodem 72 zapojení.

Zapojení pracuje takto. Signál nesoucí stavovou informaci přichází z telemechanizačního zařízení, které není na výkresech znázorněno, na první skupinový vstup 51 zapojení a odtud na první skupinový vstup 31 zápisového a čtecího logického bloku 3. Podle toho, která dílčí paměť je volná, rozhodne zápisový a čtecí logický blok 3 o tom, do které dílčí paměti se bude zápis provádět. Při zápisu do první dílčí paměti 1 se zápis uskuteční přes první skupinový výstup 30 zápisového a čtecího logického bloku 3 na skupinový vstup 11 první dílčí paměti 1.

V případě, že se zapisuje do druhé dílčí paměti 2, potom se zápis uskuteční přes druhý skupinový výstup 38 zápisového a čtecího logického bloku 3 na skupinový vstup 21 druhé dílčí paměti 2. Na žádost z počítače, který není na výkresech znázorněn, se do počítače přenášejí informace uložené v první dílčí paměti 1 a ve druhé dílčí paměti 2. Žádost z počítače přichází jednak na třetí skupinový vstup 53 zapojení a odtud na druhý skupinový vstup 42 linkového vysílače-přijímače 4, kde je adresa žádané informace. Řídící signál přichází z počítače na druhý obousměrný skupinový vývod 72 zapojení a odtud na druhý obousměrný skupinový vývod 43 linkového vysílače-přijímače 4. V linkovém vysílači-přijímači 4 se signály transformují do úrovně TTL a předávají se přes první skupinový výstup 45 linkového vysílače-přijímače 4 na třetí skupinový vstup 34 zápisového a čtecího logického bloku 3 a zároveň z prvního obousměrného skupinového vývodu 44 linkového vysílače-přijímače 4 na čtvrtý obousměrný vývod 37 zápisového a čtecího logického bloku 3.

Zápisový a čtecí logický blok 3 rozhodne, ze které ze dvou dílčích pamětí 1, 2 se bude žádaná informace vybírat. Podle toho, ze které dílčí paměti 1, 2 se bude žádaná informace vybírat, vyšle zápisový a čtecí logický blok 3 příslušné řídicí a adresové signály buď přes svůj druhý obousměrný skupinový vývod 35 a na obousměrný skupinový vývod 12 dílčí paměti 1, nebo přes svůj třetí obousměrný skupinový vývod 36 zápisového a čtecího logického bloku 3 na obousměrný skupinový vývod 22 druhé dílčí paměti 2.

Zvolené dílčí paměti 1, 2 požadovanou informaci vybaví. Ze druhé dílčí paměti 2 jde potom žádaná informace přes její obousměrný skupinový vývod 22 na třetí obousměrný skupinový vývod 36 zápisového a čtecího logického bloku 3. Z první dílčí paměti 1 jde žádaná informace přes její obousměrný skupinový vývod 12 na druhý obousměrný skupinový vývod 35 zápisového a čtecího logického bloku 3.

Zápisový a čtecí logický blok 3 žádanou informaci předá přes svůj třetí skupinový výstup 39 na první skupinový vstup 41 linkového vysílače-přijímače 4. V linkovém vysílači-přijímači 4 se žádaná informace přetransformuje z TTL úrovně na proudový signál a předá se přes jeho druhý skupinový výstup 46 na skupinový výstup 61 zapojení. Současně s převodem požadované informace oznámí zápisový a čtecí logický blok 3 počítači, že je informace připravena.

Oznámení předává zápisový a čtecí logický blok 3 přes svůj čtvrtý obousměrný skupinový vývod 37 na první obousměrný skupinový vývod 44 linkového vysílače-přijímače 4 a odtud přes jeho druhý obousměrný skupinový vývod 43 na druhý obousměrný skupinový vývod 72 zapojení. První obousměrný skupinový vývod 33 zápisového a čtecího logického bloku 3 řídí přes první obousměrný skupinový vývod 71 zapojení přenos informací z telemechanizačního zařízení, které není na výkrese znázorněno, do zápisového a čtecího logického bloku 3.

Vynálezu se využije při přenosu dat z telemechanizačního zařízení do počítače při řízení dopravy, vodáren, plynáren, elektrických měření.

P R E D M Ě T V Y N Á L E Z U

Zapojení vyrovnávací paměti signálů z telemechanizačního zařízení, u něhož je druhý skupinový výstup linkového vysílače-přijímače spojen se skupinovým výstupem zapojení, třetí skupinový vstup je spojen se druhým skupinovým vstupem linkového vysílače-přijímače, jehož druhý obousměrný skupinový vývod je spojen s druhým skupinovým obousměrným vývodem zapojení, vyznačující se tím, že první skupinový vstup (51) zapojení je spojen s prvním skupinovým vstupem (31) zápisového a čtecího logického bloku (3), jehož druhý skupinový vstup (32) je spojen se druhým skupinovým vstupem (52) zapojení, jehož první obousměrný skupinový vývod (71) je spojen s prvním obousměrným skupinovým vývodem (33) zápisového a čtecího logického bloku (3), jehož druhý obousměrný skupinový vývod (35) je spojen s obousměrným skupinovým vývodem (12) první dílčí paměti (1), jejíž skupinový vstup (11) je spojen

s prvním skupinovým výstupem (30) zápisového a čtecího logického bloku (3), jehož druhý skupinový výstup (38) je spojen se skupinovým vstupem (21) druhé dílčí paměti (2), jejíž obousměrný skupinový vývod (22) je spojen s třetím obousměrným skupinovým vývodem (36) zápisového a čtecího logického bloku (3), jehož čtvrtý skupinový obousměrný vývod (37) je spojen s prvním obousměrným skupinovým vývodem (44) linkového vysílače-přijímače (4), jehož první skupinový výstup (45) je spojen s třetím skupinovým vstupem (34) zápisového a čtecího logického bloku (3), jehož třetí skupinový výstup (39) je spojen s prvním skupinovým vstupem (41) linkového vysílače-přijímače (4).

1 list výkresů

