

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6614116号
(P6614116)

(45) 発行日 令和1年12月4日(2019.12.4)

(24) 登録日 令和1年11月15日(2019.11.15)

(51) Int.Cl.	F 1
HO 1 L 21/337	(2006.01)
HO 1 L 21/338	(2006.01)
HO 1 L 29/808	(2006.01)
HO 1 L 29/812	(2006.01)
HO 1 L 29/778	(2006.01)
HO 1 L	29/80
HO 1 L	29/80
HO 1 L	29/78
HO 1 L	29/78

請求項の数 8 (全 19 頁) 最終頁に続く

(21) 出願番号	特願2016-237723 (P2016-237723)	(73) 特許権者	000004260
(22) 出願日	平成28年12月7日 (2016.12.7)	株式会社デンソー	
(65) 公開番号	特開2017-212425 (P2017-212425A)	愛知県刈谷市昭和町1丁目1番地	
(43) 公開日	平成29年11月30日 (2017.11.30)	(74) 代理人	110001128
審査請求日	平成30年7月24日 (2018.7.24)	特許業務法人ゆうあい特許事務所	
(31) 優先権主張番号	特願2016-103352 (P2016-103352)	(72) 発明者	樽見 浩幸
(32) 優先日	平成28年5月24日 (2016.5.24)		愛知県刈谷市昭和町1丁目1番地 株式会
(33) 優先権主張国・地域又は機関	日本国 (JP)		社デンソー内
		(72) 発明者	小山 和博
			愛知県刈谷市昭和町1丁目1番地 株式会
			社デンソー内
		(72) 発明者	陰 泳信
			愛知県刈谷市昭和町1丁目1番地 株式会
			社デンソー内

最終頁に続く

(54) 【発明の名称】半導体装置

(57) 【特許請求の範囲】

【請求項 1】

横型のスイッチングデバイスを有する半導体装置であって、
導電性材料で構成された基板上に形成され、ドリフト領域を構成する第1のGaN系半導体にて構成された第1半導体層(2)および前記第1のGaN系半導体よりもバンドギャップエネルギーが大きい第2のGaN系半導体にて構成された第2半導体層(3)にて構成されるヘテロジャンクション構造を有し、前記第2半導体層にリセス部(5)が形成されたチャネル形成層(2、3)と、

前記リセス部内に形成されたゲート絶縁膜(6)および該ゲート絶縁膜の上に形成されたMOS構造のゲート電極となるMOSゲート電極(7)を有するゲート構造部と、

前記第2半導体層の上において、前記ゲート構造部を挟んだ両側に配置されたソース電極(8)およびドレイン電極(9)と、

前記第2半導体層の上において、前記ゲート構造部と前記ドレイン電極との間ににおける前記ドレイン電極から離れた位置に配置され、不純物がドープされていない第3のGaN系半導体にて構成された第3半導体層(4)と、

前記第3半導体層の上に形成されたp型の第4のGaN系半導体によって構成された第4半導体層(10)と、

前記第4半導体層に接触させられたジャンクションゲート電極(11)と、を備えるスイッチングデバイスを有し、

前記ソース電極と前記ジャンクションゲート電極は、前記MOSゲート電極を覆う層間

10

20

絶縁膜(12)の上に形成される電極層(13)を介して連結されており、

前記第4半導体層における前記ドレイン電極側の端部に対して前記第3半導体層における前記ドレイン電極側の端部が前記ドレイン電極側へ突き出している距離(X)が1 μm 以上かつ5 μm 以下とされている半導体装置。

【請求項2】

前記スイッチングデバイスが形成された領域をアクティブ領域(14)として、

前記電極層は、少なくとも前記アクティブ領域に形成されており、前記アクティブ領域において前記ソース電極と前記ジャンクションゲート電極とが前記電極層を介して連結されている請求項1に記載の半導体装置。

【請求項3】

前記MOSゲート電極は、一方向を長手方向として延設されており、

前記電極層は、前記アクティブ領域内において前記MOSゲート電極の延設方向に沿つて複数に分けて梯子状に配置され、

複数に分けて梯子状に配置された前記電極層の間ににおいて前記MOSゲート電極がゲートパッド(17)に接続されている請求項2に記載の半導体装置。

【請求項4】

前記第3半導体層は、前記ゲート構造部に接しており、前記ゲート構造部よりも前記ドレイン電極側に配置されているのに加えて前記ソース電極側にも配置されている請求項1ないし3のいずれか1つに記載の半導体装置。

【請求項5】

前記スイッチングデバイスのターンオフ時に、前記ジャンクションゲート電極および前記ソース電極を通じて流れる電流経路の抵抗成分による抵抗値をジャンクションゲート-ソース間抵抗値として、

前記ジャンクションゲート-ソース間抵抗値が200 $\text{m}\Omega$ 以下とされている請求項1ないし4のいずれか1つに記載の半導体装置。

【請求項6】

前記スイッチングデバイスのターンオフ時に、前記ジャンクションゲート電極および前記ソース電極を通じて流れる電流経路の抵抗成分による抵抗値をジャンクションゲート-ソース間抵抗値として、

前記ジャンクションゲート-ソース間抵抗値が100 $\text{m}\Omega$ 以下とされている請求項1ないし4のいずれか1つに記載の半導体装置。

【請求項7】

前記ジャンクションゲート-ソース間抵抗値は、前記第3半導体層の内部抵抗と、前記第4半導体層の内部抵抗と、前記第4半導体層と前記ジャンクションゲート電極との接触抵抗と、前記ジャンクションゲート電極から前記ソース電極に至る間の電極抵抗の合計抵抗値である請求項5または6に記載の半導体装置。

【請求項8】

前記第4半導体層と前記ジャンクションゲート電極との接触抵抗が100 $\text{m}\Omega$ 以下とされている請求項1ないし4のいずれか1つに記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、基板の上に、窒化ガリウム(以下、GaNという)や窒化アルミニウムガリウム(以下、AlGaNという)を積層するなど、第1のGaN系半導体層と第2のGaN系半導体層とによるヘテロジャンクション構造を備えた半導体装置に関する。

【背景技術】

【0002】

従来、非特許文献1において、ヘテロジャンクション構造を備えた横型のスイッチングデバイスとして、4端子構造のHEMT(High electron mobility transistor:高電子移動度トランジスタ)が提案されている。

10

20

30

40

50

【0003】

このスイッチングデバイスでは、サファイアなどの基板の上に、i-GaN層とi-AlGaN層とが積層されることでヘテロジアンクション構造が構成されている。i-AlGaN層を貫通してi-GaN層に達するように、MOS構造のゲート電極（以下、MOSゲート電極という）が形成されており、i-AlGaN層の表面上におけるMOSゲート電極を挟んだ両側にソース電極とドレイン電極とが形成されている。また、MOSゲート電極とドレイン電極との間ににおいて、i-AlGaN層の表面にはi-GaN層とp-GaN層との積層構造が形成されており、さらにp-GaN層の表面にジャンクションゲート電極（以下、JG電極という）が形成されている。i-AlGaN層上に形成されたi-GaN層およびp-GaN層はJG電極よりもドレイン電極方向に張り出してドレイン電極近傍まで形成された構造とされている。10

【0004】

このように、ソース電極とドレイン電極との間にJG電極とMOSゲート電極が配置されることで4端子構造のスイッチングデバイスとされている。

【先行技術文献】

【非特許文献】

【0005】

【非特許文献1】河合 弘治、共同研究者 中島 昭、『GaNパワー・デバイス - 新技術により低コスト化を目指す - 』、NEエレクトロニクスセミナー“GaNパワー・デバイス”2011年11月8日、化学会館20

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかしながら、上記のような構造の半導体装置では、JG電極とドレイン電極との間に形成される寄生容量、より詳しくは分極接合（Polarization Junction）によって構成される寄生容量が大きい。このため、スイッチングデバイスのオフ時に寄生容量への充電に時間が掛かり、JG電極側に構成されるJFETをオフするのが遅くなつて、高速スイッチングの妨げになるという問題がある。

【0007】

また、4端子構造のスイッチングデバイスを構成する場合、JG電極とソース電極とをボンディングワイヤによって電気的に接続することで、これらを同電位とすることが考えられるが、このような接続形態とすると、JG電極とソース電極との間のインピーダンスが大きくなり、高速スイッチングの妨げになる。30

【0008】

本発明は上記点に鑑みて、高速スイッチングが可能なスイッチングデバイスを有するジャンクション構造を備えた半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0009】

上記目的を達成するため、請求項1に記載の横型のスイッチングデバイスを有する半導体装置は、導電性材料で構成された基板上に形成され、ドリフト領域を構成する第1のGaN系半導体にて構成された第1半導体層（2）および第1のGaN系半導体よりもバンドギャップエネルギーが大きい第2のGaN系半導体にて構成された第2半導体層（3）にて構成されるヘテロジアンクション構造を有し、第2半導体層にリセス部（5）が形成されたチャネル形成層（2、3）と、リセス部内に形成されたゲート絶縁膜（6）および該ゲート絶縁膜の上に形成されたMOS構造のゲート電極となるMOSゲート電極（7）を有するゲート構造部と、第2半導体層の上において、ゲート構造部を挟んだ両側に配置されたソース電極（8）およびドレイン電極（9）と、第2半導体層の上において、ゲート構造部とドレイン電極との間ににおけるドレイン電極から離れた位置に配置され、不純物が意図的にドープされていない第3のGaN系半導体にて構成された第3半導体層（4）と、第3半導体層の上に形成されたp型の第4のGaN系半導体によって構成された第44050

半導体層(10)と、第4半導体層に接触させられたJG電極(11)と、を備えている。このような構成において、ソース電極とJG電極は、MOSゲート電極を覆う層間絶縁膜(12)の上に形成される電極層(13)を介して連結されており、第4半導体層におけるドレイン電極側の端部に対して第3半導体層におけるドレイン電極側の端部がドレイン電極側へ突き出している距離(X)が $1\text{ }\mu\text{m}$ 以上かつ $5\text{ }\mu\text{m}$ 以下とされている。

【0010】

このように、JG電極とソース電極とを電極層を通じて直接連結している。このため、寄生抵抗や寄生インダクタンスを低くすることが可能となる。また、ドレイン電極から第3半導体層および第4半導体層を離して配置することで、第3半導体層と2DEGとの対向面積をできるだけ小さくしている。このため、寄生容量が低減出来る。

10

【0011】

このように、ジャンクションゲート(JG)を介してJFET部のドレインとソース電極との間のL、C、Rのインピーダンス低減を図ることで、寄生容量を高速でチャージすることが可能となる。そして、JFET部を高速でオフできることから、よりスイッチングデバイスのターンオフを高速化することが可能となる。したがって、より高速スイッチングが可能なスイッチングデバイスにできる。

【0012】

なお、上記各手段の括弧内の符号は、後述する実施形態に記載の具体的手段との対応関係の一例を示すものである。

【図面の簡単な説明】

20

【0013】

【図1】第1実施形態にかかる半導体装置の断面斜視図である。

【図2】図1に示す半導体装置の上面レイアウト図である。

【図3】図1に示すスイッチングデバイスの等価回路である。

【図4】ターンオフ時の各部の電流値および電圧値の変化を示した図である。

【図5】図1に示す半導体装置における距離Xについて示した図である。

【図6】距離Xを変えてシミュレーションを行ったときの電界強度分布を示した図である。

【図7】距離Xに対する電界強度の変化をプロットした図である。

【図8】図5中のVIII-VIII線上における電界強度分布を示した図である。

30

【図9】第2実施形態にかかる半導体装置の断面斜視図である。

【図10】第3実施形態にかかる半導体装置の上面レイアウト図である。

【図11A】図10に示す半導体装置のバンプ接続構造の一例を示した断面図である。

【図11B】図10に示す半導体装置のバンプ接続構造の他の例を示した断面図である。

【図12】第4実施形態にかかる半導体装置の断面斜視図である。

【図13】第4実施形態にかかる半導体装置の上面レイアウト図である。

【図14】第4実施形態の変形例として示す半導体装置の断面斜視図である。

【図15】第5実施形態にかかる半導体装置の断面斜視図である。

【図16】第5実施形態の変形例として示す半導体装置の断面斜視図である。

【図17】第5実施形態の変形例として示す半導体装置の断面斜視図である。

40

【図18】第5実施形態の変形例として示す半導体装置の断面斜視図である。

【図19】他の実施形態で説明する半導体装置の上面レイアウト図である。

【図20】ターンオフ時にスイッチングデバイス中に流れる電流経路を示した図である。

【図21】シミュレーションに用いた計算構造回路図である。

【図22】JG-S間抵抗値と中間電位点の最大電圧値との関係をシミュレーションによって求めたときの結果を示した図である。

【発明を実施するための形態】

【0014】

以下、本発明の実施形態について図に基づいて説明する。なお、以下の各実施形態相互において、互いに同一もしくは均等である部分には、同一符号を付して説明を行う。

50

【0015】

(第1実施形態)

第1実施形態にかかる半導体装置について、図1～図8を参照して説明する。なお、図1は、本実施形態にかかる半導体装置に備えられる素子の1セル分を示した断面図であるが、このセルが複数備えられることで半導体装置が構成されている。

【0016】

図1に示すように、本実施形態にかかる半導体装置は、横型のスイッチングデバイスとして4端子のHEMTを備えた構成とされている。

【0017】

本実施形態のスイッチングデバイスは、基板1の表面に、アンドープのGaN(以下、u-GaNという)層2が形成されたものを化合物半導体基板として用いて形成されている。u-GaN層2の表面には、アンドープのAlGaN(以下、u-AlGaNという)層3が形成されており、u-GaN層2とu-AlGaN層3によってヘテロジヤンクション構造が構成されている。スイッチングデバイスは、これらu-GaN層2およびu-AlGaN層3をチャネル形成層として、AlGaN/GaN界面のu-GaN層2側にピエゾ効果および自発分極効果によって2DEGキャリアが誘起され、その領域がキャリアの流れるチャネルとなることで動作する。

【0018】

基板1は、Si(111)やSiCといった半導体材料などの導電性材料によって構成されている。基板1の上に直接u-GaN層2が形成されても良いが、u-GaN層2を結晶性良く成膜するために、必要に応じて下地膜となるバッファ層を形成しても良い。基板1の上に結晶性良くu-GaN層2が成膜できる場合には、バッファ層は無くても構わない。なお、ここでの結晶性とは、u-GaN層2中の欠陥や転位などであり、電気的および光学的な特性に対して影響を及ぼすものを意味している。

【0019】

u-GaN層2は、ドリフト領域として作動する電子走行層を構成する部分であり、第1のGaN系半導体層に相当する。u-GaN層2は、GaN系半導体材料にて形成されており、u-AlGaN層3側の表層部において2DEGが形成される。

【0020】

u-AlGaN層3は、第2のGaN系半導体層に相当し、u-GaN層2を構成するGaN系半導体材料よりもバンドギャップエネルギーの大きなGaN系半導体材料で構成されたものであり、電子供給部を構成している。

【0021】

u-AlGaN層3は、Al混晶比をxとして、Al_xGa_{1-x}Nで構成されている。このu-AlGaN層3のAl混晶比xおよび膜厚により、u-GaN層2の表面近傍に形成される2DEGの濃度が決まる。したがって、u-AlGaN層3のAl混晶比xおよび膜厚を調整することで2DEGの濃度を調整し、厚みによって2DEG濃度が大きく変動する範囲ではなく、Al混晶比によって一義的に2DEG濃度が決まるようにしてある。

【0022】

また、u-AlGaN層3の表面には、部分的に、不純物がドープされていないu-GaN層4が形成されている。

【0023】

u-AlGaN層3は、基板1の上面の全面に形成されており、u-GaN層4は、u-AlGaN層3のうち後述するMOSゲート電極7の近傍に形成され、後述するドレイン電極9側に向けて張り出すように延設されている。これらu-AlGaN層3およびu-GaN層4は、リセス部5において除去されている。リセス部5は、一方向、具体的には図1の断面に対する法線方向を長手方向として延設されている。

【0024】

リセス部5内には、ゲート構造部として、ゲート絶縁膜6を介してMOSゲート電極7

10

20

30

40

50

が埋め込まれている。具体的には、リセス部5の内壁面に所定膜厚のゲート絶縁膜6が成膜されており、このゲート絶縁膜6の上に更にMOSゲート電極7が形成されることでゲート構造部が構成されている。MOSゲート電極7を含むゲート構造部は、リセス部5に沿って形成されていることから、リセス部5と同様、一方向に沿って延設された状態となっている。

【0025】

ゲート絶縁膜6は、シリコン酸化膜(SiO₂)やアルミナ(Al₂O₃)などによって構成されており、MOSゲート電極7は、アルミニウム、プラチナなどの金属または不純物がドープされたPolycrystalline-Silicon(Poly-Si)などによって構成されている。これらゲート絶縁膜6およびMOSゲート電極7をリセス部5内に形成することでMOS構造のゲート構造部を構成している。なお、MOSゲート電極7を全体的にPoly-Siなどによって構成することもできるが、MOSゲート電極7の配線抵抗を低減するために、MOSゲート電極7の表面部に金属層7aを配置してある。

【0026】

一方、u-AlGaN層3の表面のうちゲート構造部を挟んだ両側それぞれにソース電極8とドレイン電極9が形成されている。ソース電極8およびドレイン電極9は、共にu-AlGaN層4から離れた位置に配置されており、u-AlGaN層4の端部からドレイン電極9までの距離は所定長さとされている。これらソース電極8やドレイン電極9は、それぞれオーム接觸である。

【0027】

また、u-AlGaN層4のうちMOSゲート電極7とドレイン電極9との間に位置する部分の表面には、p-AlGaN層10が形成されている。p-AlGaN層10は、ドレイン電極9側の端面がu-AlGaN層4のうちのドレイン電極9側の端面と面一、もしくはそれよりもMOSゲート電極7側に位置するように配置されている。本実施形態では、p-AlGaN層10のうちのドレイン電極9側の端面からu-AlGaN層4のうちのドレイン電極9側の端面までの距離が1μm以上かつ5μm以下の範囲となるようにしている。

【0028】

さらに、p-AlGaN層10の表面には、JG電極11が形成されている。JG電極11は、上記したソース電極8と連結されており、ソース電極8と同電位とされている。

【0029】

具体的には、MOSゲート電極7やu-AlGaN層4等を覆うように層間絶縁膜12が配置されており、層間絶縁膜12を覆うように電極層13が形成されている。この電極層13は、層間絶縁膜12に形成されたコンタクトホールを通じてu-AlGaN層3に接触させられると共に、p-AlGaN層10に接触させられている。この電極層13のうち、u-AlGaN層3に接触させられている部分によってソース電極8が構成され、p-AlGaN層10に接触させられている部分によってJG電極11が構成されている。このように、ソース電極8やJG電極11を同じ電極層13によって構成している。このため、これらの間をボンディングワイヤなどによって接続する場合と比較して、配線抵抗とインダクタンスを低減することが可能となっている。

【0030】

このような構造により、MOSゲート電極7、ソース電極8、ドレイン電極9およびJG電極11の4端子を備えたスイッチングデバイスが構成されている。そして、このようなスイッチングデバイスを備えることにより、本実施形態にかかる半導体装置が構成されている。なお、基板1の裏面側に形成されているのは裏面電極18であり、例えば図示しない配線を通じてソース電極8と電気的に接続されるなどにより、ソース電極8と同電位とされる。

【0031】

このように構成される半導体装置では、図2に示すように、スイッチングデバイスが形成される領域がアクティブ領域14とされる。なお、図2では、各部のレイアウトが判り易いように、左から2つ目の電極層13については省略して、その下に配置されるMOS

10

20

30

40

50

ゲート電極 7 やソース電極 8 および J G 電極 1 1 を実線で示してある。

【 0 0 3 2 】

図 2 に示すように、本実施形態では、アクティブ領域 1 4 を例えれば長方形状としており、互いに線対称となるように向かい合わせて配置された 2 つずつのセルの組が複数組、アクティブ領域 1 4 の長手方向に沿って並べられている。

【 0 0 3 3 】

各組には、2 つのセルに設けられた 2 本のソース電極 8 が平行に延設され、その 2 本のソース電極 8 を中心とした両側に M O S ゲート電極 7 が配置され、さらにソース電極 8 および M O S ゲート電極 7 を挟んだ両側に J G 電極 1 1 が配置されている。また、ソース電極 8 や M O S ゲート電極 7 および J G 電極 1 1 を挟んでドレイン電極 9 が形成されている。なお、図 2 ではソース電極 8 と J G 電極 1 1 とを別々に記載してあるが、これらは共に、図 1 に示したように M O S ゲート電極 7 の上に懸架されるように配置された電極層 1 3 によって構成され、一体化された構造となっている。また、図 2 では、u - G a N 1 0 について示していないが、例えば J G 電極 1 1 と同様のレイアウトとされる。

10

【 0 0 3 4 】

上記した電極層 1 3 は、少なくともアクティブ領域 1 4 内に配置されており、ソース電極 8 と J G 電極 1 1 とはアクティブ領域 1 4 内において電極層 1 3 を介して連結されている。このように、アクティブ領域 1 4 内においてソース電極 8 と J G 電極 1 1 とが連結されていることから、上記したようにインピーダンスを低減することが可能になる。

【 0 0 3 5 】

20

また、各電極 7 ~ 8、1 1 はそれぞれアクティブ領域 1 4 の長手方向に対して交差する方向に延設されてアクティブ領域 1 4 よりも外側まで延設されている。そして、ソース電極 8 および J G 電極 1 1 はソースパッド 1 5 に接続されており、ドレイン電極 9 はドレインパッド 1 6 に接続されている。M O S ゲート電極 7 は、ゲート引出配線 1 7 a を通じてゲートパッド 1 7 に接続されている。

【 0 0 3 6 】

なお、各組の 2 本のソース電極 8 は、ソースパッド 1 5 と反対側において連結されている。また、各組の 2 本の M O S ゲート電極 7 も、ゲート引出配線 1 7 a と反対側において連結されている。同様に、各組の 2 本の J G 電極 1 1 も、ソースパッド 1 5 と反対側において連結されている。このため、ソース電極 8 および J G 電極 1 1 はソースパッド 1 5 から離れた位置の部位においてもほぼ均等な電位となり、M O S ゲート電極 7 もゲート引出配線 1 7 a から離れた位置の部位においてもほぼ均等な電位となる。

30

【 0 0 3 7 】

続いて、本実施形態にかかるスイッチングデバイスを備えた半導体装置の作動および効果について説明する。

【 0 0 3 8 】

上記したように、M O S ゲート電極 7 と J G 電極 1 1 の両方を備えたスイッチングデバイスは、M O S ゲート電極 7 によって一般的な M O S F E T 動作が行われ、J G 電極 1 1 によって J F E T 動作が行われる。このため、図 1 に示すスイッチングデバイスの等価回路は図 3 に示す回路構成となる。

40

【 0 0 3 9 】

図 3 に示すように、スイッチングデバイスは、負荷 2 3 に接続され、ゲートドライバ 2 4 がゲート電圧を制御して本スイッチングデバイスをオンオフすることで負荷 2 3 の駆動を行う。

【 0 0 4 0 】

ここで、スイッチングデバイスは、M O S ゲート電極 7 によるノーマリオフの M O S F E T 部 3 0 と J G 電極 1 1 によるノーマリオンの J F E T 部 4 0 とが直列接続された構造となる。これら M O S F E T 部 3 0 と J F E T 部 4 0 との間の中間電位点 A とは、図 1 中に示したように、u - G a N 層 2 の表面部のうち J G 電極 1 1 の下方に位置している中間電位となる部分を指している。

50

【0041】

JG電極11はソース電極8に接続されていて同電位とされている。これらの間には配線による寄生インピーダンス50が存在しているが、これらの間が電極層13を通じて直接連結されていることから、寄生インピーダンス50の値は低くなっている。また、このような構成のスイッチングデバイスにおいて、JFET部40では、JG電極11とドレイン電極9や中間電位点Aとの間、および、ドレイン電極9と中間電位点Aとの間に、容量C1～C3が構成される。また、MOSFET部30では、MOSゲート電極7と中間電位点Aやソース電極8との間、および、中間電位点Aとソース電極8との間に、容量C4～C6が構成される。

【0042】

10
このような回路構成を有するスイッチングデバイスについて、ターンオフ時の動作は以下のようになる。

【0043】

図4は、誘導負荷を持つHブリッジ回路における本スイッチングデバイスのターンオフの波形を示している。まず、図4の時点T1において、MOSゲート電極7へのゲート電圧の印加を停止されると、MOSFET部30のオフ過程が始まることで、中間電位点Aの電位が上昇していく。この中間電位点Aの電位の上昇により、JFETのゲートのオフ過程が始まる。すなわち、ドレイン電極9側からJG電極11を通ってGND側に抜ける経路で変位電流 I_{dg} が流れることで、JFETの帰還容量C1がチャージされる。

【0044】

20
そして、帰還容量C1のチャージによってドレイン電極9の電位 V_{ds} が高くなる。また、ドレイン電流 I_d が低下していく。中間電位点Aの電位がJFET部40の閾値電圧を超えると、JFET部40がオフする。これによって、スイッチングデバイス全体がオフになる。

【0045】

このようなターンオフ動作を高速化するには、帰還容量C1へのチャージを高速に行えるようにすることが必要である。そして、帰還容量C1へのチャージを高速に行うためには、JG電極11とソース電極8との間のインピーダンス低減と帰還容量C1の低減が重要である。

【0046】

30
これに対して、本実施形態では、JG電極11とソース電極8との間が電極層13を通じて直接連結されていることから、これらの間に存在する配線抵抗による寄生インピーダンス50の抵抗値を低く抑えることができる。したがって、JG電極11とソース電極8との間のインピーダンス低減を図ることが可能となる。

【0047】

さらに、本実施形態では、u-GaN層4とp-GaN層10との積層構造について、ドレイン電極9から離して配置し、p-GaN層10の形成面積ができるだけ小さくなるようにしている。このようにすることで、p-GaN層10とu-AlGaN層3の表面部との間に構成される帰還容量C1を低減することが可能となる。そして、p-GaN層10のうちドレイン電極9側の端面がu-GaN層4のうちのドレイン電極9側の端面と面一、もしくはそれよりもMOSゲート電極7側に位置するようにしている。これにより、耐圧確保も可能となる。これについて、図5～図8を参照して説明する。

【0048】

40
帰還容量C1を低減するためには、p-GaN層10とu-AlGaN層3との対向面積を小さくすれば良い。そして、p-GaN層10の面積ができるだけ小さくするために、p-GaN層10のうちドレイン電極9側の端面がu-GaN層4のうちのドレイン電極9側の端面と面一となるようにするのが最も有効である。

【0049】

しかしながら、p-GaN層10およびu-AlGaN層3におけるドレイン電極9側の端面を面一となるようにすると、電界集中による耐圧低下が生じることが確認された。

10

20

30

40

50

【0050】

具体的には、図5に示すように、p-GaN層10のうちのドレイン電極9側の端面からu-GaN層4のうちのドレイン電極9側の端面までの距離、つまりp-GaN層10に対するu-GaN層4の突出量を距離Xとし、距離Xを変えて電界強度分布を調べた。ここでは、p-GaN層10からドレイン電極9までの距離を8μmに設定し、距離Xを0~7μmに変えてシミュレーションを行った。その結果、図6に示す電界強度分布が得られた。また、図6中における電界強度のピーク位置は、それぞれu-GaN層4のうちのドレイン電極9側の端部（以下、u-GaN端部という）の位置と、ドレイン電極9のうちu-GaN層4側の端部（以下、ドレイン端部という）である。距離Xに対するu-GaN端部とドレイン端部での電界強度をプロットすると、図7に示す結果となった。

10

【0051】

これらの図に示されるように、u-GaN端部の電界強度については、p-GaN層10のうちドレイン電極9側の端面をu-GaN層4のうちのドレイン電極9側の端面と面一となるようにすると、距離Xを1μm以上にする場合と比較して急激に上昇する。これは、阻止状態において、距離Xが1μm以上の場合は、ドレイン電極9からJG電極11にかけての空間電荷量の変化が急激になり、そのため、変化の大きな部分で強電界が発生するためである。すなわち、ドレイン電極9からu-GaN層4までは分極により正のチャージが存在し、u-GaN層4からp-GaN層10までは、分極による正の電荷と負の電荷が相殺しあってチャージはゼロである。また、p-GaN層10よりソース電極8側はp-GaN層10の空乏化により負のチャージが存在していて、徐々に空間電荷量が変化している。これが、x=1μm未満になるとu-GaN層4からp-GaN層10が面一にもしくはそれに近くなることにより、空間電荷がゼロの領域が狭くなる、または、なくなるため、正のチャージが負のチャージに短い距離で急激に変化するためである。我々の検討では、u-GaN層4のうちドレイン電極9側の端部をp-GaN層10のうちドレイン電極9側の端部から突き出すように距離Xを調整する、具体的には、距離Xを少なくとも1μm以上とすると、u-GaN端部の電界強度を低下させることができた。

20

【0052】

一方、ドレイン端部においては、u-GaN層4との距離が短くなるほど、その影響を受けて電界集中が生じて電界強度が増加している。具体的には、距離Xが5μmを超えると最大電界強度が急激に上昇するという結果になった。

30

【0053】

スイッチングデバイスの耐圧を考慮すると、最大電界強度が小さいことが好ましい。そして、最大電界強度を小さくするには距離Xを4.5μm以下とすれば良い。さらに図7に示されるように距離Xが1μm以上かつ4μm以下とすることが安定した耐圧を得るために設計をする上でより好ましい。

【0054】

したがって、距離Xを1μm以上かつ4.5μm以下の範囲となるようにすることで、帰還容量C1を低く抑えつつ、最大電界強度を小さくできるようにすることが可能となる。スイッチングデバイスの耐圧については、基本的にはu-GaN層10の端面からドレイン電極9までの間隔に依存し、その間隔が大きいほど耐圧が高くなる。これに対して、最大電界強度を小さくできる距離Xの範囲については、u-GaN層10の端面からドレイン電極9までの間隔にかかわらず上記した範囲のまま、つまり1μm以上かつ4.5μm以下で変わらない。したがって、u-GaN層10の端面からドレイン電極9までの間隔が変わったとしても、距離Xを1μm以上かつ4.5μm以下、好ましくは4μm以下とすることで上記効果を得ることができる。

40

【0055】

さらに、本実施形態では、u-GaN層4を貫通するようにMOSゲート電極7を形成している。つまり、MOSゲート電極7を含むゲート構造部に接するようにu-GaN層4が形成されている。このような構造とする場合、例えば、図5中のVIII-VIII線上にお

50

けるゲート絶縁膜6およびu-GaN層4での電界強度分布は図8に示す分布となり、MOSゲート構造に近づくにつれて電界強度は弱くなる。これは、u-GaN層4によってチャージバランスが取れて中性状態となるが導電性の基板から負の電荷が供給されるため、全体として負のチャージを帯びるからである。

【0056】

このように、u-GaN層4中における電界強度がMOSゲート電極7に行くに従い小さくなることからゲート絶縁膜6の電界強度が小さくなるため信頼性が向上する。

【0057】

以上説明したように、本実施形態では、JG電極11とソース電極8とを電極層13を通じて直接連結している。このため、寄生インピーダンス50の抵抗値を低くすることが可能となり、JG電極11とソース電極8との間のインピーダンス低減を図ることが可能となる。また、ドレイン電極9からu-GaN層4およびp-GaN層10を離して配置することで、p-GaN層4と2DEGとの対向面積をできるだけ小さくしている。このため、帰還容量C1を低減することも可能となる。

10

【0058】

このように、JG電極11とソース電極8との間の抵抗、インダクタンス低減および帰還容量C1の低減を図ることで、帰還容量C1を高速でチャージすることが可能となり、JFET部40を高速でオフできる。このため、よりスイッチングデバイスのターンオフを高速化することが可能となる。したがって、より高速スイッチングが可能なスイッチングデバイスにできる。

20

【0059】

また、u-GaN層4の端部がp-GaN層10よりもドレイン電極9側に突き出すように距離Xを設定し、距離Xを1μm以上かつ5μm以下となるようにしている。これにより、最大電界強度を小さくでき、半導体装置の耐圧向上を図ることも可能となる。

【0060】

さらに、u-GaN層4を貫通するようにMOSゲート電極7を形成している。したがって、u-GaN層4中における電界強度がMOSゲート電極7に向かって小さくなりゲート絶縁膜6の電界強度が小さくなるため信頼性が向上する。

【0061】

(第2実施形態)

30

第2実施形態について説明する。本実施形態は、第1実施形態に対してゲート構造部を変更したものであり、その他については第1実施形態と同様であるため、第1実施形態と異なる部分についてのみ説明する。

【0062】

図9に示すように、本実施形態では、ゲート構造部におけるMOSゲート電極7の低抵抗化を図るために、MOSゲート電極7をT字形状としている。すなわち、ソース-ドレイン間に電流が流れる方向において、MOSゲート電極7の上部を下部よりも幅広としたTゲート構造としている。換言すれば、リセス部5の外部においてリセス部5よりもソース電極8側およびドレイン電極9側に張り出すようにMOSゲート電極7を延設した構造としている。また、MOSゲート電極7の表面部に形成した金属層7aについても、MOSゲート電極7と同様に、リセス部5よりもソース電極8側およびドレイン電極9側に張り出すように延設している。

40

【0063】

このような構成とすることで、電流流れの断面積を拡大することができる。すなわち、MOSゲート電極7内においては、電流が図9の紙面垂直方向に流れることになる。したがって、紙面垂直方向を法線方向とする断面の断面積を拡大すること、つまり電流流れの断面積を拡大することができる。これにより、MOSゲート電極7の抵抗を小さくすることが可能となって、より高速化が可能となる。

【0064】

(第3実施形態)

50

第3実施形態について説明する。本実施形態は、第1実施形態に対してパッドレイアウトを変更したものであり、その他については第1実施形態と同様であるため、第1実施形態と異なる部分についてのみ説明する。

【0065】

図10に示すように、本実施形態では、アクティブ領域14内にソースパッド15およびドレインパッド16を配置している。ソースパッド15については、ソース電極8とJG電極11とを連結する電極層13の面積を広くとることで構成している。本実施形態の場合、隣り合うセル間において電極層13を繋ぐことでより広く面積がとれるようにしている。

【0066】

このように、アクティブ領域14内にソースパッド15を配置することにより、ソース電極8やJG電極11からソースパッド15に至るまでの配線長を短くでき、配線抵抗を小さくできるため、よりインピーダンス低減を図ることが可能となる。よって、さらなる高速スイッチングが可能なスイッチングデバイスができる。

【0067】

アクティブ領域14にドレインパッド16を備えることについても、ドレイン電極9からドレインパッド16に至るまでの配線長を短くでき、配線抵抗を小さくできる。

【0068】

このように配置されたゲートパッド17、ソースパッド15、ドレインパッド16に対して、例えばボンディングワイヤで外部と電気的に接続されることで、各部に任意の電圧を印加可能にできるが、図11Aおよび図11Bのようなバンプ接続構造とすることもできる。

【0069】

具体的には、図示しない所望の回路パターンおよび回路パターンの所望部位との接続用の電極部21が形成された電極接続基板20を用意する。そして、電極部21側を半導体装置に向け、各電極部21とゲートパッド17、ソースパッド15、ドレインパッド16との間をはんだ等で構成される導体バンプ22によって接続する。このようにすれば、電極接続基板20に形成される回路パターンとMOSゲート電極7、JG電極11とソース電極8、および、ドレイン電極9との電気的接続を同時に行うことができる接続構造とすることが可能となる。

【0070】

なお、図11Aでは、電極部21をゲートパッド17、ソースパッド15、ドレインパッド16よりも厚くした厚膜電極としており、図11Bでは、ゲートパッド17、ソースパッド15、ドレインパッド16を電極部21よりも厚くした厚膜電極としている。これらいずれの構造を適用することもできるし、電極部21やゲートパッド17、ソースパッド15、ドレインパッド16を同等の厚みとすることもできる。

【0071】

(第4実施形態)

第4実施形態について説明する。本実施形態は、第3実施形態に対してパッドレイアウトを変更したものであり、その他については第3実施形態と同様であるため、第1実施形態と異なる部分についてのみ説明する。

【0072】

図12に示すように、本実施形態では、ソース電極8とJG電極11とを連結している電極層13を梯子状のレイアウトとしている。具体的には、MOSゲート電極7の延設方向において複数個に分けること、もしくは、MOSゲート電極7の延設方向において電極層13に対して複数の開口部を設けることで、電極層13を梯子状にレイアウトしている。例えば、電極層13を構成する電極材料を成膜したのち、エッチングにより梯子状にパターンングすることによって図12に示す構造の電極層13を形成できる。

【0073】

このような構造とする場合、図13に示すように、アクティブ領域14内において、部

10

20

30

40

50

分的にゲート構造部の上に電極層 13 が形成されていない部分が存在することから、その部分をゲートパッド 17 として用いることもできる。また、ゲートパッド 17 とする部分以外については、ソース電極 8 や J G 電極 11 および電極層 13 を連結した構造とし、ソースパッド 15 として用いることができる。

【 0 0 7 4 】

このような構造とすれば、M O S ゲート電極 7 からゲートパッド 17 に至るまでの配線長も短くでき、配線抵抗を小さくできる。

【 0 0 7 5 】

なお、このように、電極層 13 を複数個に分け、その間にゲートパッド 17 を配置する構造とする場合においても、図 14 に示すように、第 2 実施形態と同様、M O S ゲート電極 7 を T 字形状とすることができます。これにより、第 2 実施形態と同様の効果を得ることも可能となる。

【 0 0 7 6 】

(第 5 実施形態)

第 5 実施形態について説明する。本実施形態は、第 1 実施形態に対して u - G a N 層 4 のレイアウトを変更したものであり、その他については第 1 実施形態と同様であるため、第 1 実施形態と異なる部分についてのみ説明する。

【 0 0 7 7 】

図 15 に示すように、本実施形態では、u - G a N 層 4 をゲート構造部から離した構造としており、ゲート構造部とドレイン電極 9 との間にのみ配置した構造としている。

【 0 0 7 8 】

このように、u - G a N 層 4 をゲート構造部から離した構造とすると、u - G a N 層 4 の面積を減らした分、2 D E G が増加する。これにより、オン抵抗 R o n を低減することが可能となる。

【 0 0 7 9 】

なお、図 15 では、第 1 実施形態の構造に対して u - G a N 層 4 のレイアウトを変更する場合について説明したが、その他の実施形態についても同様の構造を適用できる。例えば、図 16 に示すように、第 2 実施形態と同様、M O S ゲート電極 7 を T 字形状とする場合において、u - G a N 層 4 をゲート構造部から離した構造とすることができます。また、図 17 に示すように、第 4 実施形態と同様、電極層 13 を複数に分けた構造とする場合、u - G a N 層 4 をゲート構造部から離した構造とすることもできる。この場合にも、図 18 に示すように、第 2 実施形態と同様、M O S ゲート電極 7 を T 字形状とすることもできる。

【 0 0 8 0 】

(第 6 実施形態)

第 6 実施形態について説明する。本実施形態は、第 1 ~ 第 5 実施形態に対して J G - S 間抵抗値を規定したものであり、その他については第 1 ~ 第 5 実施形態と同様であるため、第 1 ~ 第 5 実施形態と異なる部分についてのみ説明する。なお、ここでは第 1 実施形態の構成の半導体装置を例に挙げて説明するが、第 2 ~ 第 5 実施形態の構成の半導体装置についても同様のことが言える。

【 0 0 8 1 】

上記第 1 ~ 第 5 実施形態のような構成の横型のスイッチングデバイスを有する半導体装置では、ゲート絶縁膜 6 の破壊や劣化を抑制することによる信頼性向上が重要である。ゲート絶縁膜 6 の破壊については、ターンオフ時の中間電位点 A での最大電圧値を小さくすることで抑制できる。このターンオフ時の中間電位点 A での最大電圧値について、本発明者らが鋭意検討を行ったところ、J G - S 間抵抗値に依存していることが確認された。

【 0 0 8 2 】

ここで、J G - S 間抵抗値について説明する。ターンオフ時にドレイン側から流れる電流は、図 20 に示すように、ドレイン電極 9 と u - G a N 層 4 を電極と見做し、これらの間に A 1 G a N 層 3 が挟まれて構成されるコンデンサを通じてソース側に流れる。J G -

10

20

30

40

50

S間抵抗値とは、このターンオフ時にJG電極11およびソース電極8を通じて電流が流れる電流経路の抵抗成分の合計のことを意味している。

【0083】

つまり、ドレイン側からの電流は、u-GaN層4やp-GaN層10から、さらにJG電極11を通じてソース電極8に流れるという電流経路を取るが、この電流経路中の抵抗成分の合計のことをJG-S間抵抗値と言っている。具体的には、この通電経路中の抵抗成分としては、u-GaN層4の内部抵抗 R_u 、p-GaN層10の内部抵抗 R_p 、p-GaN層10とJG電極11との接触抵抗 R_{pjg} 、JG電極11からソース電極8に至る間の電極抵抗 R_m がある。したがって、JG-S間抵抗値 R_{jgs} は、次の数式1で表される。

10

【0084】

(数1)

$$R_{jgs} = R_u + R_p + R_{pjg} + R_m$$

そして、第1～第5実施形態のように、JG電極11をソース電極8と連結した構造としており、これらが抵抗値の小さな金属で構成されていることから、電極抵抗 R_m については無視できる程度に小さい。したがって、数式1を簡略化すると、数式2のように表される。

【0085】

(数2)

$$R_{jgs} = R_u + R_p + R_{pjg}$$

20

また、ターンオフ時には、u-GaN層4やp-GaN層10に縦方向、つまり基板1の法線方向に電流が流れる。そして、p-GaN層10については厚みが例えば100nm以下と薄い上にMgなどの不純物密度が大きくなることから、p-GaN層10の内部抵抗 R_p がp-GaN層10とJG電極11との接触抵抗 R_{pjg} よりも十分に小さくなる。さらに、u-GaN層4については、厚みが薄いことに加えて、p-GaN層10と接しているためにp-GaN層10からのホールの拡散によって抵抗値が下がる。このため、u-GaN層4の内部抵抗 R_p も、p-GaN層10とJG電極11との接触抵抗 R_{pjg} よりも十分に小さくなる。したがって、数式2を更に簡略化すると、数式3のように表される。

【0086】

30

(数3)

$$R_{jgs} \approx R_{pjg}$$

このため、JG-S間抵抗値は、基本的には数式1によって表される抵抗値のことを意味しているが、簡略化すると、数式3のようにp-GaN層10とJG電極11との接触抵抗 R_{pjg} として表される。

【0087】

次に、ターンオフ時の中間電位点Aでの最大電圧値について、図21に示す計算構造用の回路に基づいてシミュレーションを行った。具体的には、スイッチングデバイス100のソース-ドレインの電流経路内に誘導負荷101を配置すると共に、誘導負荷101に対して並列的に還流ダイオード102を接続し、例えば400Vの電源103からの電力供給が行われるようにする。そして、スイッチングデバイス100のゲート電圧をゲート駆動部104により制御し、+10V印加している状態からゲート電圧の印加を解除し、0Vにする。これにより、スイッチングデバイス100のチャネル幅が100mmと想定した場合に50mAのドレイン電流を流すことができる。

40

【0088】

このようなシミュレーションを行ったところ、ゲート電圧 V_{gs} のオフ時間、換言すればゲート電圧の遮断速度 dV/dt に依存せずに、JG-S間抵抗値が所定値になると中間電位点Aの最大電圧値がほぼ一定値に収束することが確認された。具体的には、図22に示すように、中間電位点Aの最大電圧値は、JG-S間抵抗値が200mm以下になると10V以下の値でほぼ一定値となり、さらにJG-S間抵抗値が100mm以下に

50

なると 8 V 程度でほぼ一定値となっていた。

【0089】

このように、ターンオフ時における J G - S 間抵抗値と中間電位点 A の最大電圧値との間には臨界性があることが確認された。この臨界性は、ゲート電圧の遮断速度 $d V / d t$ に依存せず、J G - S 間抵抗値が 200 mm 以下、より好ましくは 100 mm 以下になると、中間電位点 A の最大電圧値が最も小さな値となるようにできる。また、シミュレーションではドレイン電流の一例として 5 A を例に挙げてあるが、この他の電流値であっても同様の傾向となり、上記した臨界性がドレイン電流にも依存せずに、J G - S 間抵抗値にのみ依存していた。

【0090】

よって、J G - S 間抵抗値を 200 mm 以下、好ましくは 100 mm 以下として、ターンオフ時における中間電位点 A の最大電圧を小さくすることができ、DC オフ状態より大きくなないようにできる。これにより、ゲート絶縁膜 6 に掛かる電界強度が大きくなることを抑制でき、ゲート絶縁膜 6 の破壊を抑制できるため、ゲート絶縁膜 6 の信頼性向上を図ることが可能となる。そして、ゲート絶縁膜 6 が破壊されることによってスイッチングデバイスが降伏する破壊を防止することができる。

【0091】

なお、J G - S 間抵抗値、つまり式 1 で示される各抵抗成分の合計値が 200 mm 以下、好ましくは 100 mm 以下となれば上記効果が得られる。また、式 3 のように J G - S 間抵抗値を p - GaN 層 10 と J G 電極 11 との接触抵抗 $R_{p j g}$ として表す場合、少なくとも接触抵抗 $R_{p j g}$ が 200 mm 以下であれば、上記効果を得ることができる。

【0092】

(他の実施形態)

本発明は上記した実施形態に限定されるものではなく、特許請求の範囲に記載した範囲内において適宜変更が可能である。

【0093】

例えば、上記各実施形態では、リセス部 5 の深さを、u - GaN 層 2 の表層部が一部除去されるまでの深さとしたが、これも一例を示したに過ぎない。例えば、リセス部 5 を u - GaN 層 2 の表面が露出するまでの深さとしても良いし、リセス部 5 の底面において 2 DEG キャリアが形成されない程度に u - AlGaN 層 3 の一部が残る程度の深さとされていても良い。

【0094】

また、図 2 などに示した上記各実施形態におけるスイッチングデバイスの上面レイアウトについても一例を示したに過ぎず、適宜変更可能である。

【0095】

また、上記各実施形態では、チャネル形成層を構成する第 1、第 2 の GaN 系半導体層が u - GaN 層 2 と u - AlGaN 層 3 によって構成される場合を例に挙げて説明した。しかしながら、これらは一例を示したものであり、第 1 の GaN 系半導体層およびこれよりもバンドギャップエネルギーが大きな第 2 の GaN 系半導体層によってチャネル形成層が構成されるものであれば、他の材料であっても良い。

【0096】

さらに、第 2 実施形態において、半導体装置の各パッドとの電気的な接続を図 11A や図 11B で説明したようなバンプ接続構造とすることを説明したが、勿論、第 1、第 3 ~ 第 5 実施形態についても同様の接続構造を適用できる。

【0097】

また、上記各実施形態では、例えば図 2 に示すように、MOS ゲート電極 7 や J G 電極 11 がアクティブ領域 14 の外側まで張り出すような構造とする場合について説明した。また、例えば J G 電極 11 と同様のレイアウトとされる u - GaN 層 10 についても、アクティブ領域 14 の外側まで張り出すような構造としている。しかしながら、これも一例

10

20

30

40

50

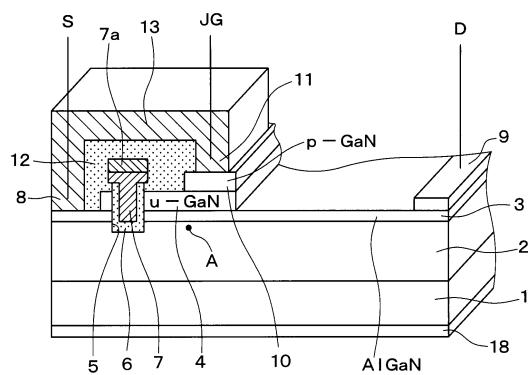
を示したに過ぎず、例えば図19に示したように、MOSゲート電極7やJG電極11およびu-GaN層10がアクティブ領域14の内側にのみ配置されるような構造と置いても良い。

【符号の説明】

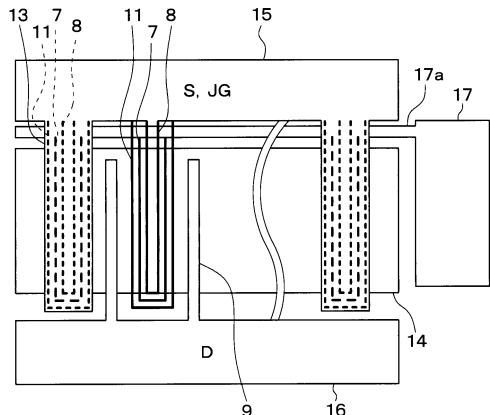
(0 0 9 8)

- 2 G a N 層
3 Al G a N 層
4 u - G a N 層
7 M O S ゲート電極
8 ソース電極
9 ドレイン電極
10 p - G a N 層
11 J G 電極
12 層間絶縁膜
13 電極層

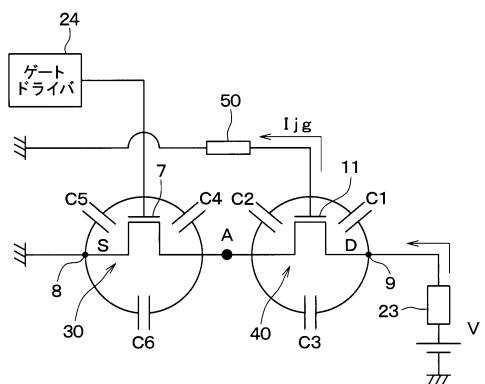
〔 1 〕



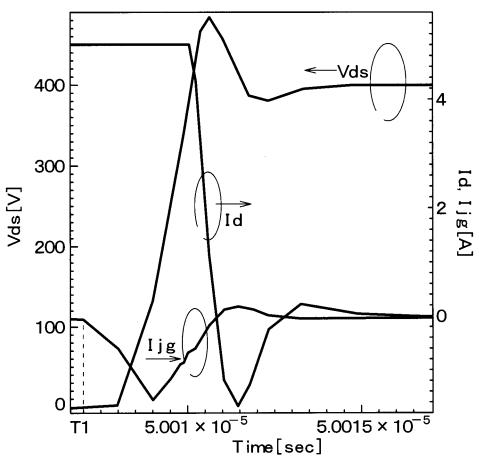
【 図 2 】



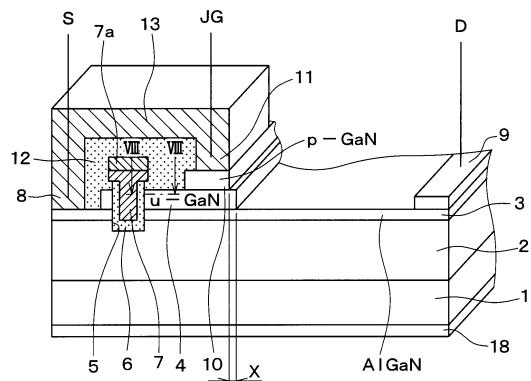
〔 3 〕



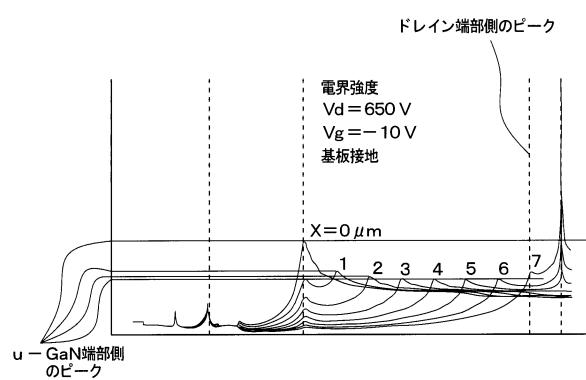
〔 4 〕



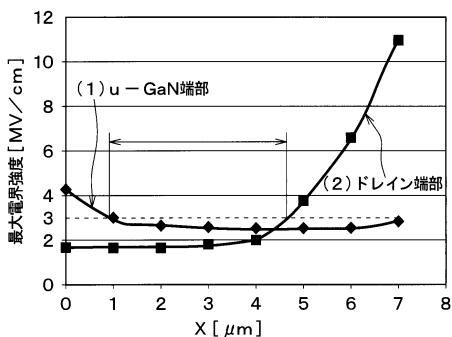
【図5】



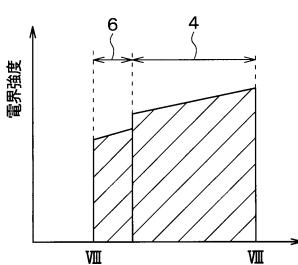
【図6】



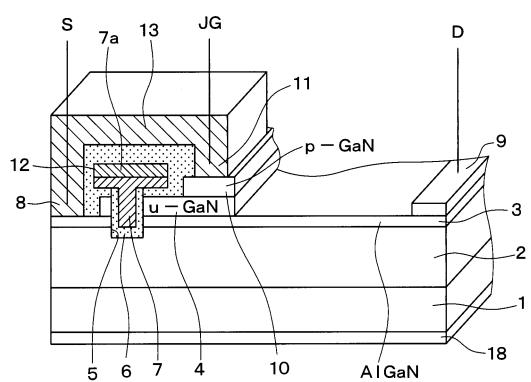
【図7】



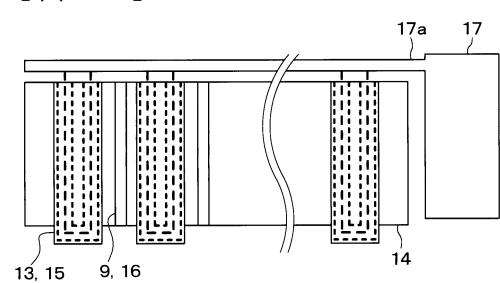
【図8】



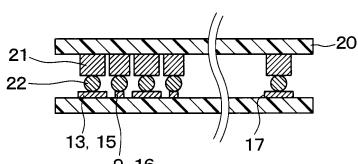
【図9】



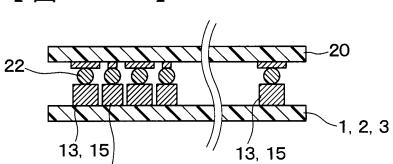
【図10】



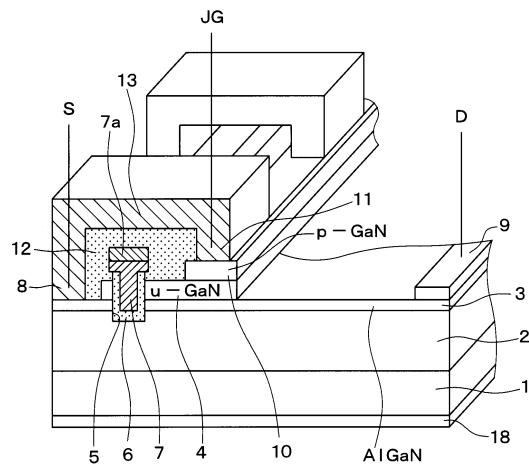
【図11A】



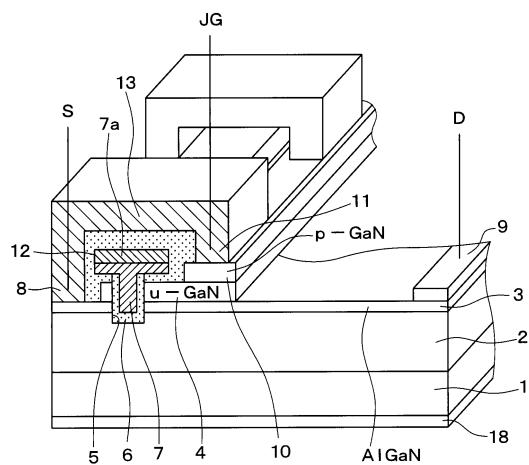
【図11B】



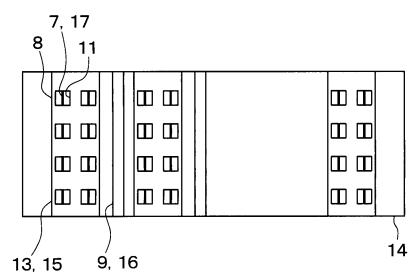
【図12】



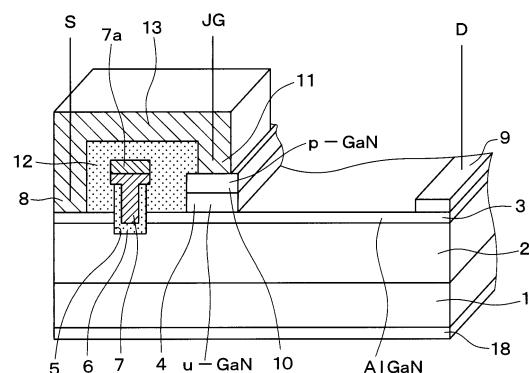
【図14】



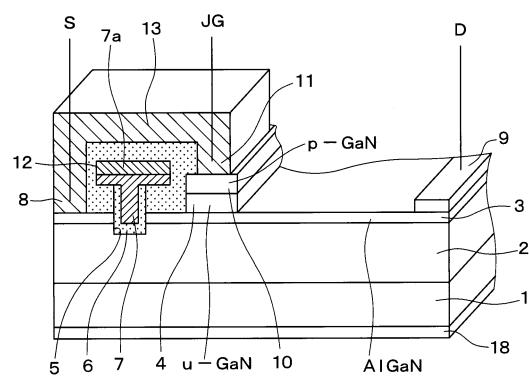
【図13】



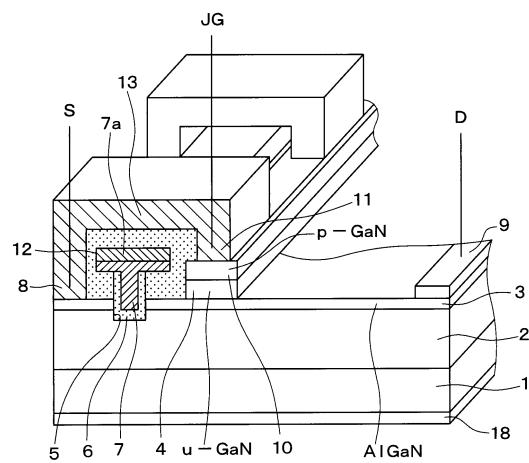
【図15】



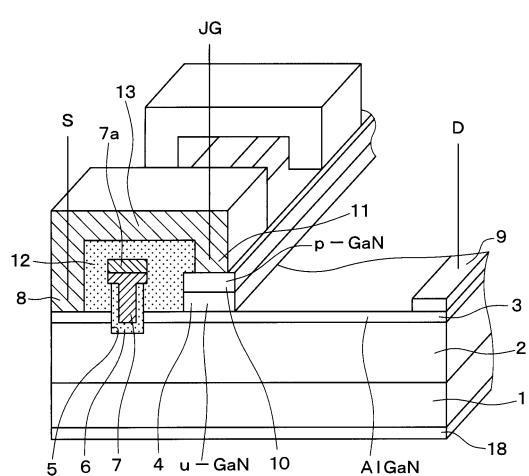
【図16】



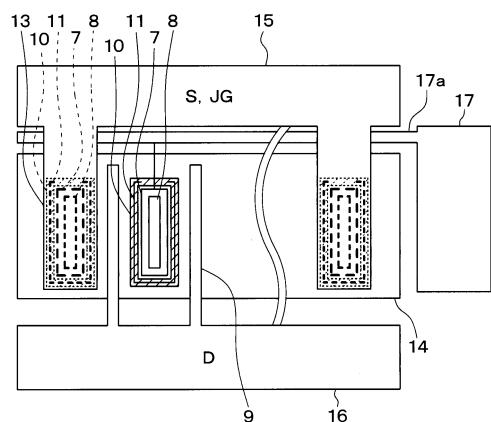
【図18】



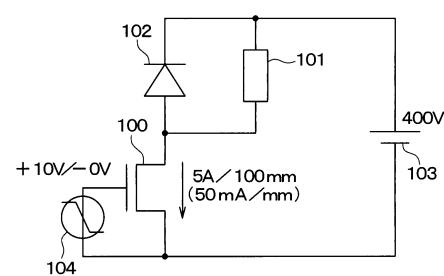
【図17】



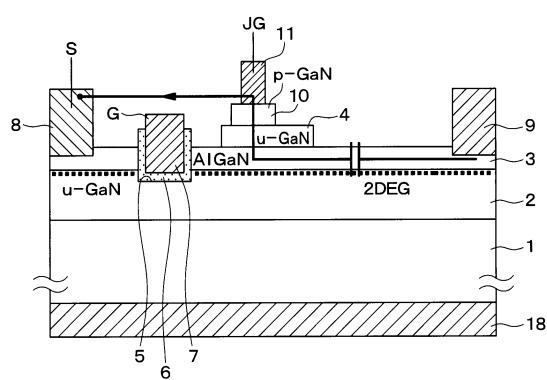
【図19】



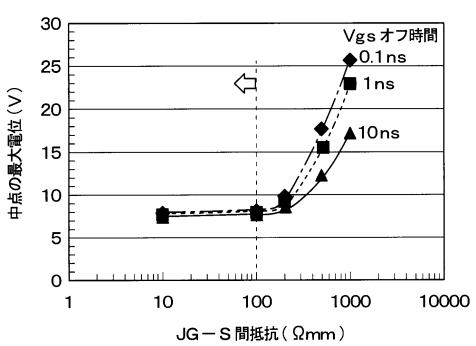
【図21】



【図20】



【図22】



フロントページの続き

(51)Int.Cl. F I

H 01 L 21/336 (2006.01)
H 01 L 29/78 (2006.01)

(72)発明者 星 真一
愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

審査官 恩田 和彦

(56)参考文献 特開2015-207610 (JP, A)

特表2013-532906 (JP, A)

特開2011-243978 (JP, A)

特開2007-150282 (JP, A)

特許第5828435 (JP, B1)

特開2011-181934 (JP, A)

特開2011-204993 (JP, A)

NAKAJIMA, Akira, et al., GaN-based Bidirectional Super HFETs Using Polarization Junction Concept on Insulator Substrate, In: Proceedings of the 2012 24th International Symposium on Power Semiconductor Devices and ICs, IEEE, 2012年, ISBN 978-1-4577-1595-2, p. 265-268

(58)調査した分野(Int.Cl., DB名)

H 01 L 21 / 337

H 01 L 21 / 336

H 01 L 21 / 338

H 01 L 29 / 778

H 01 L 29 / 78

H 01 L 29 / 808

H 01 L 29 / 812

IEEE Xplore