

	(19) 대한민국특허청(KR) (12) 공개특허공보(A)	(11) 공개번호 10-2016-0072282 (43) 공개일자 2016년06월23일
(51) 국제특허분류(Int. Cl.) H03M 1/38 (2006.01)	(71) 출원인 서강대학교산학협력단 서울특별시 마포구 백범로 35 (신수동, 서강대학교)	
(21) 출원번호 10-2014-0178964 (22) 출원일자 2014년12월12일 심사청구일자 2014년12월12일	(72) 발명자 안길초 서울 강남구 논현로 205, 3동 1007호 (도곡동, 도곡한신아파트) 곽용식 경기도 부천시 원미구 조마루로 47, 2414동 204호 (상동, 행복한마을)	
	(74) 대리인 특허법인충현	

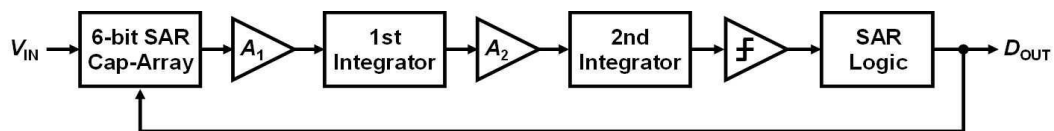
전체 청구항 수 : 총 13 항

(54) 발명의 명칭 2차 노이즈 셰이핑 기법을 적용한 SAR ADC

(57) 요약

본 발명은 2차 노이즈 셰이핑 기법을 적용한 SAR ADC에 관한 것으로, 아날로그 신호를 입력받아 입력전압을 샘플링하고, 입력전압을 저장하는 SAR(Successive Approximation Register) 커패시터 DAC 배열; SAR 커패시터 DAC 배열에서 SAR 동작을 수행하고 남은 잔류전압을 증폭하는 제 1 프리앰프; 제 1 프리앰프에 의해 증폭된 신호를 입력받아 단일-이득 버퍼를 통해 적분하는 제 1 적분기; 제 1 적분기의 출력신호를 입력받아 다시 증폭하는 제 2 프리앰프; 제 2 프리앰프에 의해 증폭된 신호를 입력받아 단일-이득 버퍼를 통해 적분하는 제 2 적분기; 제 2 적분기에서 출력된 전압과 기준전압을 비교하는 비교기; 및 차이전압에 따라 디지털 신호를 출력하고 SAR 커패시터 DAC를 제어하는 SAR 로직;으로 구성된다.

대표도 - 도1



이 발명을 지원한 국가연구개발사업

과제고유번호 1415128784

부처명 미래창조과학부

연구관리전문기관 정보통신산업진흥원

연구사업명 정보통신기술인력양성

연구과제명 아날로그IP설계기술

기 여 율 1/1

주관기관 서강대학교 산학협력단

연구기간 2014.01.01 ~ 2014.12.31

명세서

청구범위

청구항 1

아날로그 신호를 입력받아 입력전압을 샘플링하고, 상기 입력전압을 저장하는 SAR(Successive Approximation Register) 커패시터 DAC 배열;

상기 SAR 커패시터 DAC 배열에서 SAR 동작을 수행하고 남은 잔류전압을 증폭하는 제 1 프리앰프;

상기 제 1 프리앰프에 의해 증폭된 신호를 입력받아 단일-이득 버퍼(unity-gain buffer)를 통해 적분하는 제 1 적분기;

상기 제 1 적분기의 출력신호를 입력받아 다시 입력전압을 증폭하는 제 2 프리앰프;

상기 제 2 프리앰프에 의해 증폭된 신호를 입력받아 단일-이득 버퍼를 통해 적분하는 제 2 적분기;

상기 제 2 적분기에서 출력된 전압과 기준전압을 비교하는 비교기; 및

상기 비교기의 차이전압에 따라 디지털 신호를 출력하고 SAR 커패시터 DAC를 제어하는 SAR 로직;을 포함하는 2차 노이즈 셰이핑(noise-shaping) SAR ADC.

청구항 2

제 1 항에 있어서,

상기 제 1 프리앰프의 전압이득이 상기 제 1 적분기의 이득 계수로 사용되고, 상기 제 2 프리앰프의 전압이득은 상기 제 2 적분기의 이득 계수로 사용되는 것을 특징으로 하는 2차 노이즈 셰이핑 SAR ADC.

청구항 3

제 1 항에 있어서,

상기 프리앰프의 입력 전압의 크기는 SAR ADC의 해상도를 높일수록 작아지는 것을 특징으로 하는 2차 노이즈 셰이핑 SAR ADC.

청구항 4

제 1 항에 있어서,

상기 제 1 및 제 2 적분기는 루프 필터 구조에서 단일-이득 버퍼를 이용하여 의사-차동(pseudo-differential) 구조로 설계하는 것을 특징으로 하는 2차 노이즈 셰이핑 SAR ADC.

청구항 5

제 1 항에 있어서,

상기 SAR 커패시터 DAC 배열은 논-오버래핑(non-overlapping) 클록을 이용하여 클록 위상 Φ_1 및 Φ_1 와 반대 위상을 갖는 클록 위상 Φ_2 를 생성하는 것을 특징으로 하는 2차 노이즈 셰이핑 SAR ADC.

청구항 6

제 5 항에 있어서,

상기 SAR 커패시터 DAC 배열은 상기 클록 위상 Φ_1 동안 입력 신호를 샘플링하고, 그 다음 클록 위상 Φ_2 동안 SAR 동작이 수행되고, 상기 SAR 커패시터 DAC 배열에 남아있는 잔류전압은 제 1 프리앰프에 의해 증폭되는 과정을 반복하여 새로운 입력신호를 처리하는 것을 특징으로 하는 2차 노이즈 셰이핑 SAR ADC.

청구항 7

제 1 항에 있어서,

상기 SAR 커패시터 DAC 배열은 스위칭 에너지가 작고 배열의 면적을 줄일 수 있는 V_{cm} -Based 스위칭 기법을 적용한 것을 특징으로 하는 2차 노이즈 셰이핑 SAR ADC.

청구항 8

아날로그 신호가 입력되어 SAR(Successive Approximation Register) 커패시터 DAC 배열이 입력전압을 샘플링하는 단계;

상기 샘플링된 입력전압에 대해 상기 SAR 커패시터 DAC 배열이 SAR 동작을 수행하고 남은 잔류전압을 제 1 프리앰프가 증폭하는 단계;

제 1 적분기가 상기 제 1 프리앰프에 의해 증폭된 신호를 입력받아 단일-이득 버퍼(unity-gain buffer)를 통해 적분하고 제 2 프리앰프에 전달하는 단계;

상기 제 2 프리앰프가 입력 전압을 다시 증폭하여 제 2 적분기로 출력하는 단계;

상기 제 2 적분기가 상기 제 2 프리앰프에 의해 증폭된 신호를 입력받아 단일-이득 버퍼를 통해 적분하고 비교기에 전달하는 단계;

상기 비교기가 제 2 적분기에서 출력된 전압과 기준전압을 비교하는 단계; 및

SAR 로직이 상기 비교기의 차이 전압에 따라 디지털 신호를 출력하고 SAR 커패시터 DAC를 제어하는 단계;를 포함하는 2차 노이즈 셰이핑을 적용한 SAR 아날로그 디지털 변환방법.

청구항 9

제 8 항에 있어서,

상기 프리앰프의 입력 전압의 크기는 SAR ADC의 해상도를 높일수록 작아지는 것을 특징으로 하는 2차 노이즈 셰이핑을 적용한 SAR 아날로그 디지털 변환방법.

청구항 10

제 8 항에 있어서,

상기 제 1 및 제 2 적분기는 루프 필터 구조에서 단일-이득 버퍼를 이용하여 의사-차동(pseudo-differential) 구조로 설계하는 것을 특징으로 하는 2차 노이즈 셰이핑을 적용한 SAR 아날로그 디지털 변환방법.

청구항 11

제 8 항에 있어서,

상기 SAR 커패시터 DAC 배열은 논-오버래핑(non-overlapping) 클록을 이용하여 클록 위상 Φ_1 및 Φ_1 와 반대 위상을 갖는 클록 위상 Φ_2 를 생성하는 것을 특징으로 하는 2차 노이즈 셰이핑을 적용한 SAR 아날로그 디지털 변환방법.

청구항 12

제 11 항에 있어서,

상기 SAR 커패시터 DAC 배열은 상기 클록 위상 Φ_1 동안 입력 신호를 샘플링하고, 그 다음 클록 위상 Φ_2 동안 SAR 동작이 수행되고, 상기 SAR 커패시터 DAC 배열에 남아있는 잔류전압은 제 1 프리앰프에 의해 증폭되는 과정을 반복하여 새로운 입력신호를 처리하는 것을 특징으로 하는 2차 노이즈 셰이핑을 적용한 SAR 아날로그 디지털 변환방법.

청구항 13

제 8 항에 있어서,

상기 SAR 커패시터 DAC 배열은 스위칭 에너지가 작고 배열의 면적을 줄일 수 있는 V_{cm} -Based 스위칭 기법을 적용한 것을 특징으로 하는 2차 노이즈 셰이핑을 적용한 SAR 아날로그 디지털 변환방법.

발명의 설명

기술 분야

[0001] 본 발명은 SAR ADC(Successive Approximation Register Analog to Digital Converter)에 관한 것으로, 보다 상세하게는 노이즈 셰이핑(noise-shaping) 기법을 SAR에 적용하기 위해서 간단한 구조의 적분기를 포함함으로써 오버샘플링의 특성을 가진 2차 노이즈 셰이핑 SAR ADC에 관한 것이다.

배경 기술

[0002] CMOS(complementary metal-oxide semiconductor) 공정 기술이 수~수십 나노미터 수준으로 발전함에 따라 회로의 동작속도가 빨라지고, 집적도가 높아지고 있으며, 전원 전압의 크기가 낮아지면서 전력소모도 크게 감소하였다. 이러한 요소들은 디지털 회로 설계에는 큰 장점이 되었지만 증폭기 등을 사용하는 아날로그 회로 설계는 점점 더 어려워지게 되었다. 특히, 소자의 선폭이 점점 더 줄어들면서 소자 자체가 갖는 전압이득이 줄어들어 높은 전압이득을 갖는 증폭기의 설계가 점점 더 어려워지고 있다. 이러한 공정기술의 발전으로 인해 높은 전압이득의 증폭기를 필요로 하는 Analog-to-Digital Converter(ADC) 구조 대신, 증폭기를 사용하지 않는 SAR(Successive Approximation Register) ADC 구조를 이용하여 기존 증폭기를 사용하는 ADC를 대체하게 되었다.

[0003] SAR ADC는 대부분의 회로가 디지털 로직과 스위치, 커패시터로 이루어져 있기 때문에 다른 ADC에 비해 전력효율이 좋고, 나노 스케일 CMOS 공정에서 설계하기에 적합한 구조를 가지고 있다.

[0004] 하지만, SAR ADC 구조는 전치증폭기(Preamp), 비교기 등에서 발생하는 열 잡음(Thermal Noise) 때문에, 10 비트 이상의 유효 해상도를 얻기 어려운 점이 있다. 게다가 SAR ADC에서 1 비트의 해상도를 높이기 위해서는 커패시터-열(Capacitor-Array)의 크기를 두 배 증가시켜야한다는 특징 때문에, 고해상도로 갈수록 면적이 지수함수로 증가한다는 단점이 있다.

선행기술문헌

특허문헌

[0005] (특허문헌 0001) 대한민국 공개특허공보 제10-2005-0117321호 2005.12.14 공개.

비특허문헌

[0006] (비특허문헌 0001) J. A. Fredenburg, and M. P. Flynn, "A 90-MS/s 11-MHz- Bandwidth 62dB SNDR Noise-Shaping SAR ADC," IEEE J. of Solid-State Circuits, vol. 47, no. 12, pp. 2898-2904, 2012.12 공개.

발명의 내용

해결하려는 과제

[0007] 본 발명이 해결하고자 하는 과제는 SAR ADC의 구조에서 발생하는 열 잡음으로 인하여 10 비트 이상의 유효 해상도를 얻기 어려운 한계를 극복하고, 고 해상도를 만들기 위해서는 커패시터-열의 크기가 지수 배로 증가하는 문제점을 해소하는 SAR ADC 및 그 구현 방법을 제공하는 것이다. 즉, 작은 면적으로도 높은 유효 해상도를 갖는 SAR ADC를 제공하는 것이 목적이다.

과제의 해결 수단

[0008] 상기 기술적 과제를 해결하기 위하여, 본 발명의 일 실시예에 따른 2차 노이즈 셰이핑(noise-shaping) SAR ADC는, 아날로그 신호를 입력받아 입력전압을 샘플링하고, 상기 입력전압을 저장하는 SAR(Successive

Approximation Register) 커패시터 DAC 배열; 상기 SAR 커패시터 DAC 배열에서 SAR 동작을 수행하고 남은 잔류 전압을 증폭하는 제 1 프리앰프; 상기 제 1 프리앰프에 의해 증폭된 신호를 입력받아 단일-이득 버퍼(unity-gain buffer)를 통해 적분하는 제 1 적분기; 상기 제 1 적분기의 출력신호를 입력받아 다시 입력전압을 증폭하는 제 2 프리앰프; 상기 제 2 프리앰프에 의해 증폭된 신호를 입력받아 단일-이득 버퍼를 통해 적분하는 제 2 적분기; 상기 제 2 적분기에서 출력된 전압과 기준전압을 비교하는 비교기; 및 상기 비교기의 차이전압에 따라 디지털 신호를 출력하고 SAR 커패시터 DAC를 제어하는 SAR 로직;을 포함한다.

- [0009] 일 실시예에 따른 2차 노이즈 셰이핑 SAR ADC는 상기 제 1 프리앰프의 전압이득이 상기 제 1 적분기의 이득 계수로 사용되고, 상기 제 2 프리앰프의 전압이득은 상기 제 2 적분기의 이득 계수로 사용되는 것을 특징으로 한다.
- [0010] 일 실시예에 따른 2차 노이즈 셰이핑 SAR ADC에서 상기 프리앰프의 입력 전압의 크기는 SAR ADC의 해상도를 높일수록 작아지는 것을 특징으로 할 수 있다.
- [0011] 일 실시예에 따른 2차 노이즈 셰이핑 SAR ADC에서 상기 적분기는 루프 필터 구조에서 단일-이득 버퍼를 이용하여 의사-차동(pseudo-differential) 구조로 설계할 수 있다.
- [0012] 일 실시예에 따른 2차 노이즈 셰이핑 SAR ADC에서 상기 SAR 커패시터 DAC 배열은 논-오버래핑(non-overlapping) 클록을 이용하여 클록 위상 Φ_1 및 Φ_1 와 반대 위상을 갖는 클록 위상 Φ_2 를 생성할 수 있다.
- [0013] 상기된 실시예에서 상기 SAR 커패시터 DAC 배열은 상기 클록 위상 Φ_1 동안 입력 신호를 샘플링하고, 그 다음 클록 위상 Φ_2 동안 SAR 동작이 수행되고, 상기 SAR 커패시터 DAC 배열에 남아있는 잔류전압은 제 1 프리앰프에 의해 증폭되는 과정을 반복하여 새로운 입력신호를 처리할 수 있다.
- [0014] 일 실시예에 따른 2차 노이즈 셰이핑 SAR ADC에서 상기 SAR 커패시터 DAC 배열은 스위칭 에너지가 작고 배열의 면적을 줄일 수 있는 V_{cm} -Based 스위칭 기법을 적용할 수 있다.
- [0015] 상기 기술적 과제를 해결하기 위해 본 발명의 다른 실시예에 따른 2차 노이즈 셰이핑을 적용한 SAR(Successive Approximation Register) 아날로그 디지털 변환방법은, 아날로그 신호가 입력되어 SAR(Successive Approximation Register) 커패시터 DAC 배열이 입력전압을 샘플링하는 단계; 상기 샘플링된 입력전압에 대해 상기 SAR 커패시터 DAC 배열이 SAR 동작을 수행하고 남은 잔류전압을 제 1 프리앰프가 증폭하는 단계; 제 1 적분기가 상기 제 1 프리앰프에 의해 증폭된 신호를 입력받아 단일-이득 버퍼(unity-gain buffer)를 통해 적분하고 제 2 프리앰프에 전달하는 단계; 상기 제 2 프리앰프가 입력 전압을 다시 증폭하여 제 2 적분기로 출력하는 단계; 상기 제 2 적분기가 상기 제 2 프리앰프에 의해 증폭된 신호를 입력받아 단일-이득 버퍼를 통해 적분하고 비교기에 전달하는 단계; 상기 비교기가 제 2 적분기에서 출력된 전압과 기준전압을 비교하는 단계; 및 SAR 로직이 상기 비교기의 차이 전압에 따라 디지털 신호를 출력하고 SAR 커패시터 DAC를 제어하는 단계;를 포함한다.
- [0016] 다른 실시예에 따른 2차 노이즈 셰이핑을 적용한 SAR 아날로그 디지털 변환방법에서, 상기 프리앰프의 입력 전압의 크기는 SAR ADC의 해상도를 높일수록 작아지는 것을 특징으로 한다.
- [0017] 다른 실시예에 따른 2차 노이즈 셰이핑을 적용한 SAR 아날로그 디지털 변환방법에서, 상기 제 1 및 제 2 적분기는 루프 필터 구조에서 단일-이득 버퍼를 이용하여 의사-차동(pseudo-differential) 구조로 설계할 수 있다.
- [0018] 다른 실시예에 따른 2차 노이즈 셰이핑을 적용한 SAR 아날로그 디지털 변환방법에서, 상기 SAR 커패시터 DAC 배열은 논-오버래핑(non-overlapping) 클록을 이용하여 클록 위상 Φ_1 및 Φ_1 와 반대 위상을 갖는 클록 위상 Φ_2 를 생성한다.
- [0019] 상기된 실시예에서, 상기 SAR 커패시터 DAC 배열은 상기 클록 위상 Φ_1 동안 입력 신호를 샘플링하고, 그 다음 클록 위상 Φ_2 동안 SAR 동작이 수행되고, 상기 SAR 커패시터 DAC 배열에 남아있는 잔류전압은 제 1 프리앰프에 의해 증폭되는 과정을 반복하여 새로운 입력신호를 처리한다.
- [0020] 다른 실시예에 따른 2차 노이즈 셰이핑을 적용한 SAR 아날로그 디지털 변환방법에서, 상기 SAR 커패시터 DAC 배열은 스위칭 에너지가 작고 배열의 면적을 줄일 수 있는 V_{cm} -Based 스위칭 기법을 적용한 것을 특징으로 한다.

발명의 효과

[0021] 본 발명의 실시예들은, 간단한 구조의 적분기를 각 프리앰프의 뒤에 포함시켜 노이즈 셰이핑과 오버샘플링 특성을 SAR ADC에 적용함으로써 복잡한 디지털 칼리브레이션(digital calibration) 기법을 사용하지 않고도 기존의 한계 비트 이상의 유효 해상도의 성능을 갖는 SAR ADC를 제공한다. 나아가 노이즈 셰이핑 기법을 위해 델타 시그마 SAR ADC에서는 높은 전압을 가지는 증폭기를 이용했지만 본 발명의 실시예들에서는 25dB의 전압이득만으로 노이즈 셰이핑을 구현하여 나노 CMOS 공정에서도 쉽게 활용이 가능해진다.

도면의 간단한 설명

[0022] 도 1은 본 발명의 일 실시예에 따른 2차 노이즈 셰이핑 SAR ADC의 구성을 나타낸 블록도이다.
 도 2는 도 1에 대한 z-domain 등가 블록 다이어그램이다.
 도 3은 본 발명의 일 실시예에 따른 2차 노이즈 셰이핑 SAR ADC의 레이아웃을 나타낸 도면이다.
 도 4는 본 발명의 실시예들에서 사용되는 6-비트 DAC 커패시터 배열을 나타낸 도면이다.
 도 5는 도 1에서 첫 번째 적분기의 회로도와 타이밍 다이어그램을 나타낸 도면이다.
 도 6은 도 5에 대하여 실제 사용된 차동 구조의 첫 번째 적분기 회로도 및 타이밍 다이어그램을 나타낸 도면이다.
 도 7은 본 발명의 실시예들에서 사용되는 단일-이득 버퍼의 회로도를 나타낸 도면이다.
 도 8은 증폭기 전압이득에 대한 ADC의 SQNR 성능 변화를 나타낸 그래프이다.
 도 9는 프리앰프 전압이득에 대한 ADC의 SQNR 성능 변화를 나타낸 그래프이다.
 도 10은 각 프리앰프의 게이트-오버드라이브 전압 변화에 따른 SQNR 성능 변화를 나타낸 그래프이다.
 도 11은 본 발명의 실시예들에서 사용되는 프리앰프의 회로도이다.
 도 12는 본 발명의 다른 실시예에 따른 2차 노이즈 셰이핑을 적용한 SAR 아날로그 디지털 변환방법의 흐름도이다.

발명을 실시하기 위한 구체적인 내용

[0023] 본 발명에 관한 구체적인 내용의 설명에 앞서 이해의 편의를 위해 기존의 SAR ADC가 가지는 유효 해상도 문제를 분석하여 본 발명이 해결하고자 하는 과제를 도출하고, 그에 따른 해결 방안의 개요 혹은 기술적 사상의 핵심을 우선 제시한다.

[0024] 아날로그-디지털 변환기 중 측차 비교형 아날로그-디지털 변환기(SAR ADC)는 이진 탐색 방식으로 아날로그 신호를 양자화하는 변환 방식이다. 내부에 DAC와 비교기를 사용하여 입력신호를 샘플링하여 클록 단위로 출력 비트의 가장 상위 MSB부터 가장 하위 LSB쪽으로 그 값을 결정해 나간다. 구체적으로 비교기를 통해 입력전압이 DAC 기준전압의 반(1/2)보다 크다면 해당 비트는 1로 결정되고, 입력전압이 기준전압의 반보다 작다면 해당 비트는 0이 된다.

[0025] SAR 방식의 ADC는 한 번의 데이터 변환을 위해 여러 번의 비교기 동작을 해야만 하는 특징 때문에, 주로 수 KHz 대역의 낮은 속도에서 동작하는 응용분야에서만 사용되어져 왔다. 하지만 최근 나노 CMOS 공정 기술이 발달함에 따라 SAR ADC의 동작속도는 급속히 증가하게 되었고, 현재 8-10 비트의 해상도 및 수 ~ 수백 MHz의 동작속도를 갖는 ADC 중에서는 가장 전력 효율이 좋아 널리 사용되고 있다.

[0026] 한편, 동작속도는 빠르게 발전해 왔지만 잡음(noise) 및 부정합과 같은 여러 요소들 때문에 SAR ADC의 유효 해상도(Effective Resolution)는 최고 10 비트 수준에 머물러 있다. SAR ADC의 유효 해상도를 높이기 위해서 다양한 방법들이 발표되었지만, 11비트 이상의 유효 해상도를 얻기에는 여전히 많은 어려움이 있다.

[0027] 따라서 본 발명은 유효 해상도를 높이기 위해 오버샘플링 및 2차의 노이즈 셰이핑(noise-shaping) 기법이 적용된 SAR ADC를 제안하고자 한다. 본 발명의 실시예들은 SAR 커패시터 DAC(Digital to Analog Converter) 배열과 프리앰프(preampifiers), 적분기(Integrator), 비교기, 비동기식 SAR 로직(asynchronous SAR logic)을 포함하여 간단하게 구현할 수 있다. 도 1은 본 발명의 일 실시예에 따른 2차 노이즈 셰이핑 SAR ADC의 구성을 나타낸 블록도로서, 6비트 DAC 커패시터 배열(6-bit SAR Cap-Array), 2개의 프리앰프(A_1 , A_2), 2개의 적분기(1st

Integrator, 2nd Integrator), 비교기(Σ), 비동기식 SAR 로직(SAR Logic)을 포함한다.

[0028] 기존의 노이즈 셰이핑 기법을 적용하기 위한 적분기를 구현하기 위해서는 높은 이득(gain)을 갖는 증폭기가 요구되었지만, 본 발명의 실시예들에서는 25dB의 낮은 이득 증폭기를 기반으로 한 단일-이득 버퍼를 이용한 적분기를 사용한다. 오픈 루프(open-loop)의 형태로 동작하는 프리앰프는 비교기로 입력되는 신호의 차이를 증폭하여 비교기의 동작을 도와줄 뿐만 아니라, SAR 커패시터 DAC 배열에 있는 잔류 전압(residue)을 각 적분기로 전달하는 역할을 한다. 또한 프리앰프는 입력에서 보이는 각 적분기의 잡음의 크기를 줄여줌으로써 각 적분기에 잡음 요구조건을 완화시켜주는 역할을 한다.

[0029] 도 2는 도 1의 z-domain 등가 블록 다이어그램을 나타낸다. SAR ADC를 기반으로 동작하고 있기 때문에 입력신호가 양자화기로 직접 전달되는 피드-포워드(feed-forward) 형태로 모델링할 수 있으며, 도 2의 전체 전달함수는 아래 수학적 식 1과 같이 수식으로 표현할 수 있다.

수학적 식 1

$$Y(z) = U(z) + Q(z) \cdot (1 - z^{-1})^2$$

[0030]

[0031] 디지털 출력 신호(Y)는 아날로그 입력 신호(U)와 2차 노이즈-셰이핑된 양자화 잡음(Q)으로 표현할 수 있다.

[0032] 본 발명의 실시예로써, 실제 설계시 예상되는 사양은 아래 표 1과 같다.

표 1

Power supply voltage	1.0 V
Power consumption	1.28 mW
SNDR *	70.3 dB
ENOB **	11.4 bit
DR ***	73.1 dB
Signal bandwidth	1 MHz
Clock frequency	32 MHz
Oversampling Ratio	16
Figure of merit	239 fJ/conversion-step
Technology	45nm CMOS Process

* SNDR : Signal to Noise and Distortion Ratio

** ENOB : Effective Number Of Bit = (SNDR - 1.76)/6.02

*** DR : Dynamic Range

[0033]

[0034] 표 1을 참조하면 45nm의 CMOS 공정 데이터를 따라 회로를 설계하고 오버샘플링 비율은 16일 때, 최종적으로 얻을 수 있는 SNDR은 70.3dB가 된다. 도 3은 본 발명의 일 실시예에 따른 2차 노이즈 셰이핑 SAR ADC의 레이아웃을 나타낸 도면으로서, 실제 삼성전자의 45nm CMOS 공정 데이터를 이용하여 설계한 구현 예이다. 도 3의 전체 면적은 0.2mm^2 ($0.45\text{mm} \times 0.45\text{mm}$)이다.

[0035] 개략적으로 본 발명의 실시예들은 아날로그 신호에 대해 오버샘플링을 수행하는 SAR 커패시터 DAC 배열과 2개의 프리앰프와 2개의 적분기를 통해 2차의 노이즈 셰이핑을 수행하고 비교기와 SAR 로직을 통해 디지털 신호를 출력한다. 이하에서는 도 1의 각 구성을 회로의 흐름에 따라 구성 블록 단위로 상세히 설명한다.

- [0036] 먼저, SAR 커패시터 DAC 배열은 아날로그 신호를 입력받아 입력전압을 샘플링하고, 상기 입력전압을 저장한다. 도 1의 6비트 DAC 커패시터 배열의 회로는 도 4와 같이 구체적으로 표현할 수 있다. 기존 여러 종류의 커패시터 배열 구조 중에서 본 발명의 실시예들은 스위칭 에너지가 작고 면적을 줄일 수 있는 " V_{cm} -Based 스위칭 기법"이 적용된 커패시터 배열을 선택하였다. kT/C 잡음과 ADC의 동작속도를 고려하여, 단위 커패시턴스(C_0)의 크기는 48fF로 설계할 수 있으며, 기존의 SAR ADC만을 동작시키기 위한 커패시터 배열 구조와는 달리, 도 4에서는 DAC 커패시터 배열에 6비트의 잔류전압을 만들기 위해 여분의 커패시터를 더 사용하고 있다.
- [0037] 아날로그 입력 신호가 샘플링되면 제 1 프리앰프 및 제 1 적분기를 거쳐 첫 번째 노이즈 셰이핑 과정을 거치게 되는데, 적분기를 먼저 설명한다.
- [0038] 도 5는 스위치-커패시터 회로와 단일-이득 버퍼로 구성된 첫 번째 적분기와 타이밍 다이어그램을 나타낸다. 회로에 대해 간단히 설명하기 위해 도 5는 단일-종단 구조(single-ended structure)로 표현하였다.
- [0039] 첫 번째 적분기의 동작원리는 다음과 같다. 클록 위상 Φ_1 과 $\Phi_A(\text{time: } n-1)$ 동안 입력 신호 $V_{IN}(n-1)$ 은 DAC 커패시터 배열에서 샘플링 된다. 그 다음, 클록 위상 Φ_2 동안 SAR 동작이 수행되고, DAC 커패시터 배열에 남아있는 잔류 전압 $V_{RES}(n-1)$ 은 제 1 프리앰프에 의해 이득 A_1 만큼 증폭된다. 따라서 첫 번째 적분기의 출력 $V_1(n-1)$ 은 $A_1 \cdot V_{RES}(n-1)$ 이 되고, 이 값은 단일-이득 버퍼를 통해 C_{R1B} 에 샘플링된다. 그 다음 클락 위상 $\Phi_B(\text{time: } n)$ 가 되면, 입력신호 $V_{IN}(n)$ 이 DAC 커패시터 배열에 샘플링되고, 클록 위상 Φ_A 에서 샘플링되었던 잔류전압 $A_1 \cdot V_{RES}(n-1)$ 은 클록 위상 Φ_B 동안 C_{R1B} 에 그대로 유지된다.
- [0040] 다시 클록 위상 Φ_2 동안 이전과 같이 SAR 동작이 수행되고, DAC 커패시터 배열에 남아있는 잔류 전압 $V_{RES}(n)$ 은 제 1 프리앰프를 통해 값이 증폭된다. 이때, 첫 번째 적분기의 출력 $V_1(n)$ 은 $A_1 \cdot [V_{RES}(n) + V_{RES}(n-1)]$ 이다. 이를 z-domain 전달함수로 표현하면 아래 수학식 2와 같이 표현할 수 있다.

수학식 2

$$V_1(z) = A_1 \cdot \frac{z^{-1}}{1 - z^{-1}} \cdot V_{RES}(z)$$

- [0041]
- [0042] 도 6은 도 5에 대하여 실제 사용된 차동 구조의 첫 번째 적분기 회로도 및 타이밍 다이어그램을 나타낸 도면으로서, 본 발명의 실시예들에 따른 적분기 회로는 의사-차동(pseudo-differential) 구조를 이용하여 설계할 수 있다. C_{RA} 와 C_{RB} 는 kT/C 잡음, 부정합 요소, 주변 회로들의 기생성분 및 동작 속도 등을 고려하여 250 fF의 값을 채택하였다. 그림 6에서는 SAR 커패시터 DAC 배열에서 논-오버래핑(non-overlapping) 클록을 이용하여 클록 위상 Φ_1 및 Φ_1 과 반대 위상을 갖는 클록 위상 Φ_2 를 생성할 수 있다. 그리고, Φ_1 , Φ_2 신호를 이용하여 간단한 로직 회로를 통해 Φ_A 및 Φ_B 신호를 만들 수 있다.
- [0043] 도 1에서 두 번째 적분기(2nd Integrator)의 구조는 첫 번째 적분기(1st Integrator) 구조의 회로와 동일한 구조를 가진다. 하지만 두 번째 적분기(2nd Integrator)에 사용된 내부 회로들의 성능 요구 사항은, 기존 델타-시그마 ADC에서와 같이 첫 번째 적분기(1st Integrator)에 비해 완화될 수 있다. 따라서 두 번째 적분기(2nd Integrator) 내부의 커패시터 크기는 첫 번째 적분기(1st Integrator)에 사용된 값보다 더 작은 값인 150 fF으로 채택할 수 있고, 마찬가지로 단일-이득 버퍼의 대역폭 및 잡음 특성 역시 첫 번째 적분기(1st Integrator)에서 보다 완화된 조건으로 설계가 가능하기 때문에 더 작은 면적과 적은 전력을 사용할 수 있다. 궁극적으로 전체 ADC의 크기와 전력을 줄일 수 있게 된다.
- [0044] 첫 번째와 두 번째 적분기(1st, 2nd Integrator)에 사용되는 단일-이득 버퍼는 그림 7과 같이 간단한 구조의 증폭기를 이용하여 구현할 수 있다. 구현 예로써, 설계할 증폭기의 전압이득 요구사항을 구하기 위해 MATHWORK사의 MATLAB을 이용하여 전체 ADC를 모델링할 수 있고, 이 모델을 이용하여 증폭기 전압 이득에 대한 전체 성능 변화를 동작 모델 시뮬레이션을 통해 확인할 수 있다.

- [0045] 도 8은 증폭기 전압이득에 대한 ADC의 SQNR 성능 변화를 나타낸 그래프이다. 단일-이득 버퍼에 사용되는 증폭기의 전압이득에 대한 ADC의 SQNR(Signal to Quantization Noise Ratio) 성능 변화를 보여준다. 모델 동작 시뮬레이션을 통해, 약 20 dB 이상의 전압이득을 갖도록 설계하면 전체 ADC의 SQNR이 80 dB 이상의 안정적인 값을 얻을 수 있다는 것을 확인할 수 있고, 공정 변수 및 온도 변화 등에 의한 전압이득의 변화를 고려하여 실제로 25 dB 수준의 전압이득을 갖도록 설계할 수 있다.
- [0046] 다음으로 본 발명의 실시예들은 2개의 프리앰프(A_1 , A_2)를 사용한다. 기존의 델타-시그마 ADC에 주로 사용되어 왔던 적분기는 높은 이득의 증폭기와 커패시터로 이루어진 피드백 구조를 이용하여 적분기의 이득 계수가 결정되었지만, 본 발명의 실시예들에서는 수학적 2에서와 같이 프리앰프의 전압이득이 적분기의 이득 계수로 사용된다는 특징이 있다. 구체적으로 제 1 프리앰프의 전압이득은 제 1 적분기의 이득 계수로 사용되고, 제 2 프리앰프의 전압이득은 제 2 적분기의 이득 계수로 사용된다. 이러한 프리앰프는 도 5와 같이 오픈-루프로 구성되기 때문에, 전압이득 값이 공정 조건 및 온도 변화에 훨씬 더 민감하다. 게다가 클로즈드-루프(closed-loop)로 구성하는 것에 비해 전압이득의 선형성도 상대적으로 떨어지게 된다. 따라서 동작 모델 시뮬레이션을 통해 프리앰프의 전압이득 값과 전압이득의 선형성에 대해 정확히 분석하고 그 설계 조건을 결정하는 것은 매우 중요하다.
- [0047] 이하에서는 본 발명의 실시예들에 따른 SAR ADC에 사용되는 프리앰프의 전압이득 값에 따른 성능 변화를 MATLAB 툴을 이용한 동작 모델 시뮬레이션을 통해 검증한 것을 설명한다. 도 9는 프리앰프 전압이득에 대한 ADC의 SQNR 성능 변화를 나타낸 그래프이다. 전압이득에 의한 영향만을 확인하기 위해 프리앰프는 이상적인 선형성을 갖도록 모델링하고 동작 모델 시뮬레이션을 수행하였다. 그 결과 도 9와 같이 프리앰프의 전압이득 값이 3 V/V를 기준으로 약 $\pm 50\%$ 정도까지 변해도, 그 값이 이상적인 선형성을 갖는다면 ADC의 SQNR은 크게 변화하지 않는다는 것을 확인할 수 있다.
- [0048] 하지만, 전압이득을 너무 큰 값으로 설계하면 적분기의 출력 스윙이 커지게 되고, 출력 스윙이 커지면 적분기의 출력이 포화되어 전체 회로가 불안정하게 동작할 수 있으며 잔류 전압을 커패시터로 전달하는 단일-이득 버퍼의 선형성을 저하시킬 수 있다. 반대로 전압이득을 너무 작은 값으로 설계하면 입력에서 보이는 적분기 내부 회로의 잡음이 상대적으로 증가하게 되어 전체 ADC의 성능을 저하시킬 수 있다. 따라서 프리앰프의 전압이득을 적절한 값으로 설계하는 것이 상당히 중요하다.
- [0049] 본 발명의 실시예들에서는 입력 신호의 크기, 사용할 SAR 커패시터 DAC 배열의 비트 수 및 공정 조건의 변화 등을 고려하여 첫 번째와 두 번째 프리앰프가 티피컬(typical)한 조건에서 약 2 V/V의 전압이득을 갖도록 설계하였다.
- [0050] 본 발명의 실시예에 따른 SAR ADC에 사용되는 프리앰프가 오픈-루프로 설계되었기 때문에 전압이득의 선형성에 대해 정확히 분석하고 적절한 설계 요구조건을 설정해야 한다. 만일 프리앰프가 DAC 커패시터 배열에 남아있는 잔류 전압 값을 비선형적으로 증폭하여 적분기에 전달하게 되면 전체 ADC가 비선형적으로 동작하게 되어 왜곡으로 인해 성능이 현저히 저하될 수 있다.
- [0051] 본 발명에 따른 실시예들에서는 오픈-루프로 동작하는 프리앰프의 선형성을 결정하는 가장 중요한 요소인 프리앰프의 입력 전압의 크기와 프리앰프 입력단 소자의 게이트-오버드라이브(gate-overdrive) 전압(V_{ov})의 비율에 대해 분석하여 적절한 설계 요구조건을 설정할 수 있다. 오픈-루프로 동작하는 프리앰프는 입력 전압의 크기가 작을수록 그리고 입력단 소자의 게이트-오버드라이브 전압이 클수록 선형적으로 동작한다. 본 발명의 실시예들에서는 위 두 가지 변수에 대해 아래와 같이 분석하고 동작 모델 시뮬레이션을 통해 그 결과를 확인하였다.
- [0052] 첫 번째로, 프리앰프 입력 전압의 크기는 본 발명의 일 실시예에 따른 회로 내부에 사용된 SAR ADC의 해상도를 변경하여 조절할 수 있다. 프리앰프가 증폭해서 적분기로 전달해야 하는 입력 전압은 SAR 동작이 끝나고 난 다음 DAC 커패시터 배열에 남아 있는 잔류 전압이기 때문에, SAR ADC의 해상도를 높일수록 그 크기는 줄일 수 있다. 하지만, SAR ADC의 해상도를 높이면 DAC 커패시터 배열의 크기가 커지고 더 많은 비교 동작을 위해 전체 회로의 동작속도를 높여야하기 때문에 전력소모와 면적이 증가하게 된다.
- [0053] 두 번째로, 입력단 소자의 게이트-오버드라이브 전압은 aspect ratio(W/L)와 바이어스 전류의 크기를 변경함으로써 조절할 수 있다. 입력단 소자의 게이트-오버드라이브 전압은 소자로 흐르는 바이어스 전류와 aspect ratio가 클수록 그 값이 증가하게 된다. 하지만, 바이어스 전류를 증가시키면 전체 전력소모가 증가하게 되고, aspect ratio가 커지면 기생 커패시턴스의 크기가 커져서 DAC 커패시터 배열에 남아 있는 잔류 전압의 선형성을 저하시키게 된다.

- [0054] 본 발명의 실시예에서는 먼저 전체 회로의 동작속도를 고려하여 SAR ADC의 해상도를 6 비트로 선정하였다. 그 다음, 적절한 값의 게이트-오버드라이브 전압을 선정하기 위해 square law transistor model을 이용하여 MATLAB으로 프리앰프를 모델링하였다. 모델링된 프리앰프를 토대로 동작 모델 시뮬레이션을 수행하였고, 그 결과 첫 번째 프리앰프의 게이트-오버드라이브 전압은 ADC 기준전압의 0.1배 이상, 두 번째 프리앰프의 게이트-오버드라이브 전압은 ADC 기준전압의 0.06배 이상으로 설계되었을 때 안정적으로 동작한다는 것을 확인할 수 있었다. 도 10은 각 프리앰프의 게이트-오버드라이브 전압 변화에 따른 SQNR 성능 변화를 나타낸 그래프를 도시하였다.
- [0055] 도 11은 본 발명의 실시예들에서 사용되는 프리앰프의 회로도이다. 실제 설계는 공정 조건의 변화 및 온도 변화 등을 고려하여, 티피컬한 조건에서 프리앰프의 게이트-오버드라이브 전압을 각각 ADC 기준전압의 0.125배, 0.08배로 설계할 수 있다. 각 프리앰프는 완전-차동 구조의 간단한 증폭기를 사용하였고, common-mode feedback 회로는 저항을 이용하여 구현할 수 있다.
- [0056] 도 3의 레이아웃과 같이 본 발명의 실시예에 따른 2차 노이즈 셰이핑 SAR ADC 회로는 45nm CMOS 공정을 사용하여 제작할 수 있는데, 사용한 소자간의 부정합을 최소화시키기 위해 인터디지테이트(interdigitate) 방식으로 레이아웃을 진행할 수 있다. 그리고 신호 간섭에 의한 성능저하를 최소화하기 위해 회로 내부의 중요한 아날로그 신호는 그라운드 라인을 이용하여 보호하였고, 회로 내부에 빈 공간이 생기면 MOSFET 소자를 이용하여 전원 전압의 노이즈 필터링을 위한 디커플링(decoupling) 커패시터를 배치하였다. 이에 따라 회로의 전체 레이아웃은 약 0.2mm^2 의 면적을 차지하게 되었다.
- [0057] 다시 한번 정리하면, 아날로그 신호를 입력받아 입력전압을 샘플링하고 입력전압을 저장하는 SAR 커패시터 DAC 배열을 시작으로 커패시터 배열에서 SAR 동작을 수행하고 남은 잔류 전압을 증폭하는 제 1 프리앰프와 제 1 프리앰프에 의해 증폭된 신호를 입력받아 단일-이득 버퍼를 통해 적분하는 제 1 적분기에 의해 1차 노이즈 셰이핑을 하고, 제 1 적분기의 출력신호를 입력받아 다시 증폭하는 제 2 프리앰프와 제 2 프리앰프에 의해 증폭된 신호를 입력받아 단일-이득 버퍼를 통해 적분하는 제 2 적분기를 통해 2차 노이즈 셰이핑을 한다. 그 다음 제 2 적분기에서 출력된 신호와 기준전압을 비교하는 비교기 및 차이 전압에 따라 디지털 신호를 출력하고 SAR 커패시터 DAC를 제어하는 SAR 로직을 거쳐 최종적으로 아날로그 신호에 대한 디지털 신호를 생성하게 된다.
- [0058] 또한, 본 발명은 오버샘플링과 노이즈 셰이핑을 적용한 SAR ADC를 이용한 아날로그 디지털 변환방법으로 구체화할 수 있다. 도 12는 본 발명의 다른 실시예에 따른 2차 노이즈 셰이핑을 적용한 SAR 아날로그 디지털 변환방법의 흐름도이다. 각 단계는 앞서 설명한 도 1의 각 구성의 역할과 대응된다.
- [0059] 먼저, 아날로그 신호가 입력되어 SAR 커패시터 DAC 배열이 입력전압을 샘플링하고(S110 단계), 샘플링된 입력전압에 대해 SAR 커패시터 DAC 배열이 SAR 동작을 수행하고 남은 잔류전압을 제 1 프리앰프가 증폭한다(S120 단계). 증폭된 제 1 프리앰프의 출력신호를 제 1 적분기가 단일-이득 버퍼를 통해 적분하고 제 2 프리앰프로 전달한다(S130 단계). 제 2 프리앰프가 입력 전압을 다시 증폭하여 제 2 적분기로 전달하면(S140 단계), 제 2 적분기가 단일-이득 버퍼를 통해 적분하고 비교기로 전달한다(S150 단계). 비교기는 제 2 적분기의 출력신호와 기준전압을 비교(S160 단계)하여 SAR 로직을 통해 디지털 신호를 출력(S170 단계)함으로써 디지털 신호를 생성한다.
- [0060] 기존의 SAR ADC와 달리, 적분기를 이용하여 간단한 구조로 노이즈 셰이핑이 가능해지고, 기존의 노이즈 셰이핑을 적용시키기 위한 적분기와 달리 각 프리앰프의 전압이득이 자신의 다음에 위치한 적분기의 이득계수로 사용되는 특징을 가진다. 또한 프리앰프의 입력 전압의 크기는 SAR ADC의 해상도를 높일수록 작아지는데, 이는 커패시터 배열의 크기가 커지는 것을 의미한다.
- [0061] 아래 표 2는 최근까지 CMOS 공정을 사용하여 제작된 ADC 중에서 본 발명의 일 실시예에 따른 회로(This Work)와 유사한 성능을 보이는 ADC([1] 내지 [5])와의 비교를 나타낸 것이다. 본 발명의 일 실시예에 따른 회로는 오버샘플링과 노이즈 셰이핑을 사용하는 델타-시그마($\Delta\Sigma$) ADC와 비교하였을 때 낮은 수준의 '성능 지수(figure of merit)'를 보이고, 기존의 SAR ADC 보다 더 높은 수준의 SNDR 성능을 보이는 것을 알 수 있다.

표 2

	This Work	[1]	[2]	[3]	[4]	[5]
Topology	$\Delta\Sigma$ +SAR	SAR	SAR	$\Delta\Sigma$ +SAR	$\Delta\Sigma$	$\Delta\Sigma$
Bandwidth [MHz]	1	22.5	0.5	11	5	1.56
Oversampling ratio	16	-	-	4	8	8
SNDR [dB]	70.3	68.4	68.3	62.0	70.7	75
Power [mW]	1.28	2.8	0.02	0.81	8.1	2.6
Figure of Merit	239	36.3	11.7	35.8	280	440
Area [mm ²]	0.20	0.06	0.08	0.03	0.37	3.79
Technology [nm]	45	130	110	65	130	180
Calibration	X	O	X	X	X	X

[0062]

[0063]

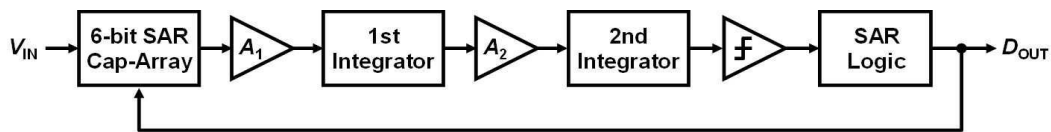
기존 발표된 SAR ADC의 구조로는 비교기의 잡음, 내부 소자들의 부정합, 비선형성 등에 의해 복잡한 디지털 칼리브레이션(digital calibration) 기법을 사용하지 않으면 11비트 이상의 유효 해상도를 얻기 어려웠다. 하지만, 본 발명의 실시예들에 따른 회로는 델타-시그마 ADC에서 사용되고 있는 노이즈 셰이핑과 오버샘플링을 SAR ADC에 적용하여, 디지털 칼리브레이션 기법을 사용하지 않고도 약 11.5비트의 유효 해상도를 얻을 수 있게 되었다. 또한 기존 델타-시그마 ADC에서는 노이즈 셰이핑 기법을 위해 높은 전압이득을 가지는 증폭기가 필요했지만, 제안하는 회로는 25 dB의 전압이득만으로도 노이즈 셰이핑 기법을 구현할 수 있기 때문에, 나노 CMOS 공정에서도 쉽게 활용이 가능한 장점을 갖는다.

[0064]

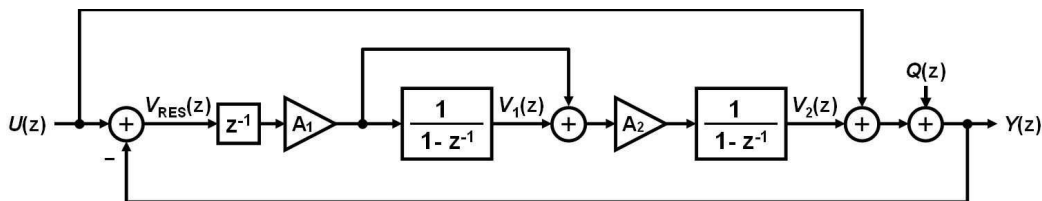
이상에서 본 발명에 대하여 그 다양한 실시예들을 중심으로 살펴보았다. 본 발명에 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명이 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 구현될 수 있음을 이해할 수 있을 것이다. 그러므로 개시된 실시예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 발명의 범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 할 것이다.

도면

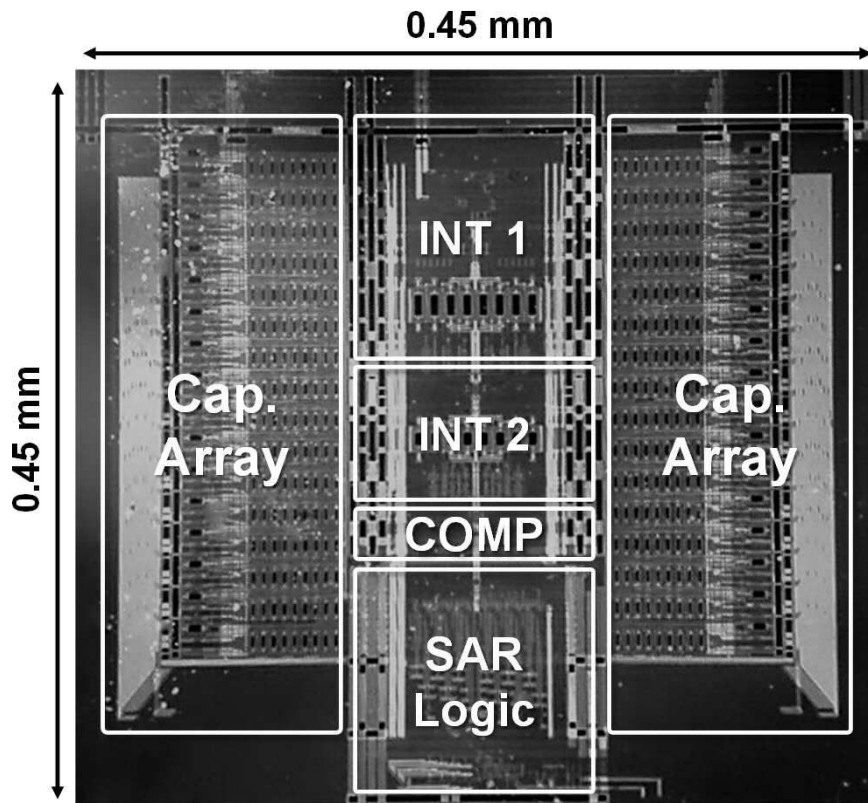
도면1



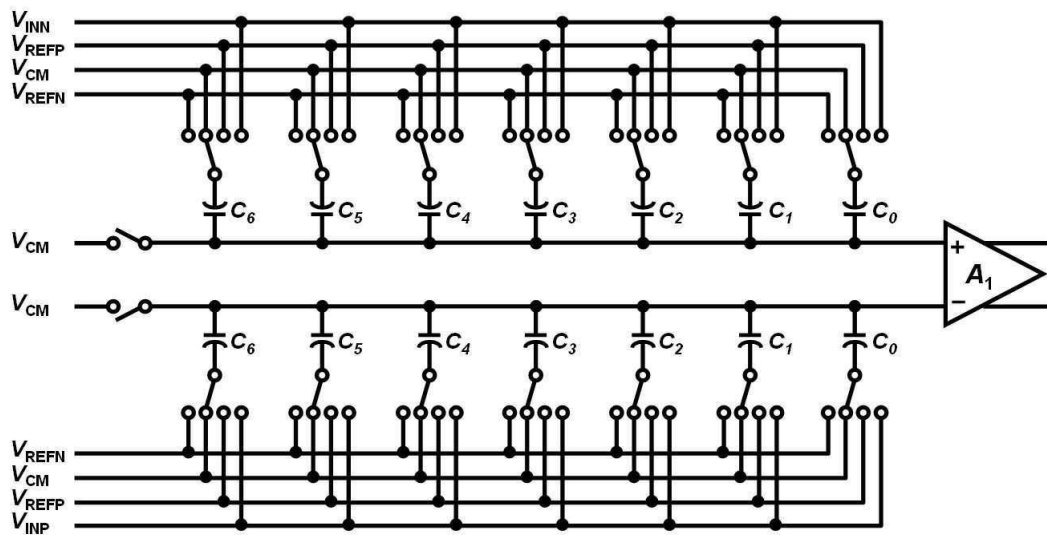
도면2



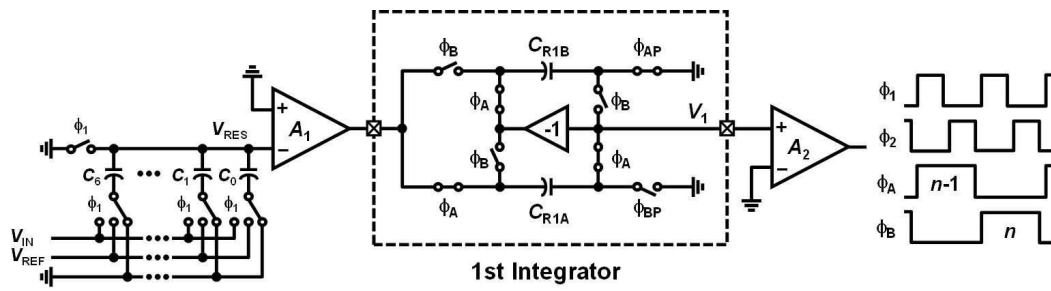
도면3



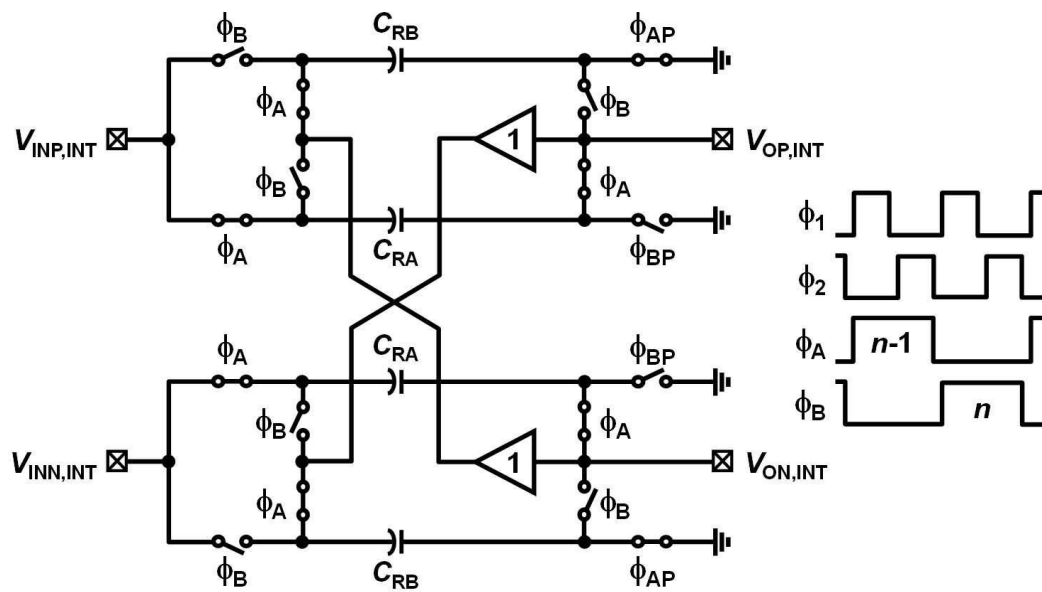
도면4



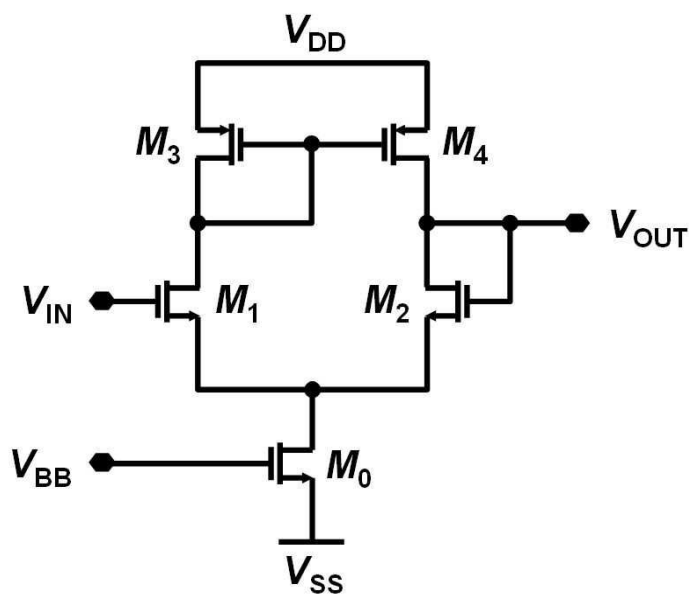
도면5



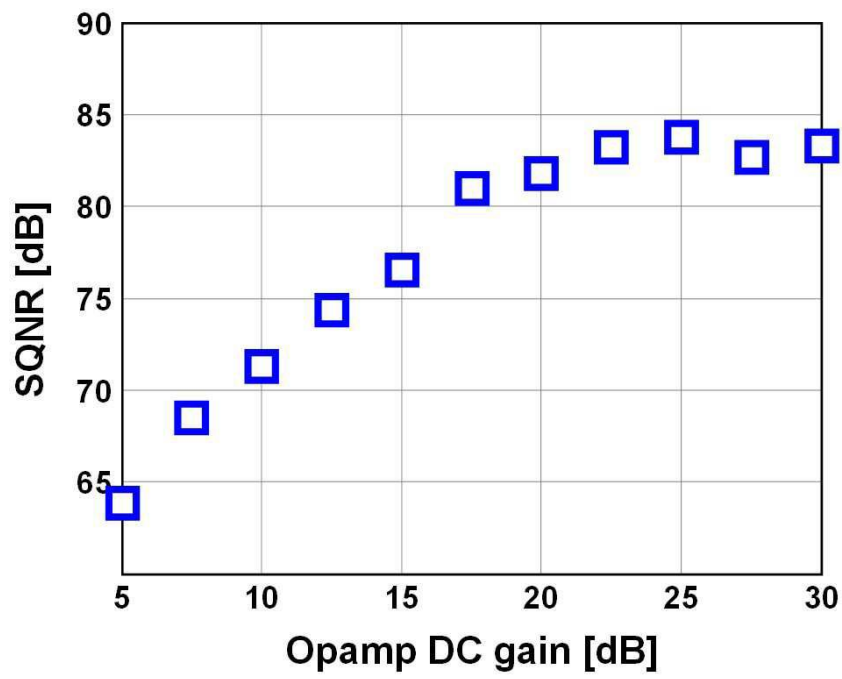
도면6



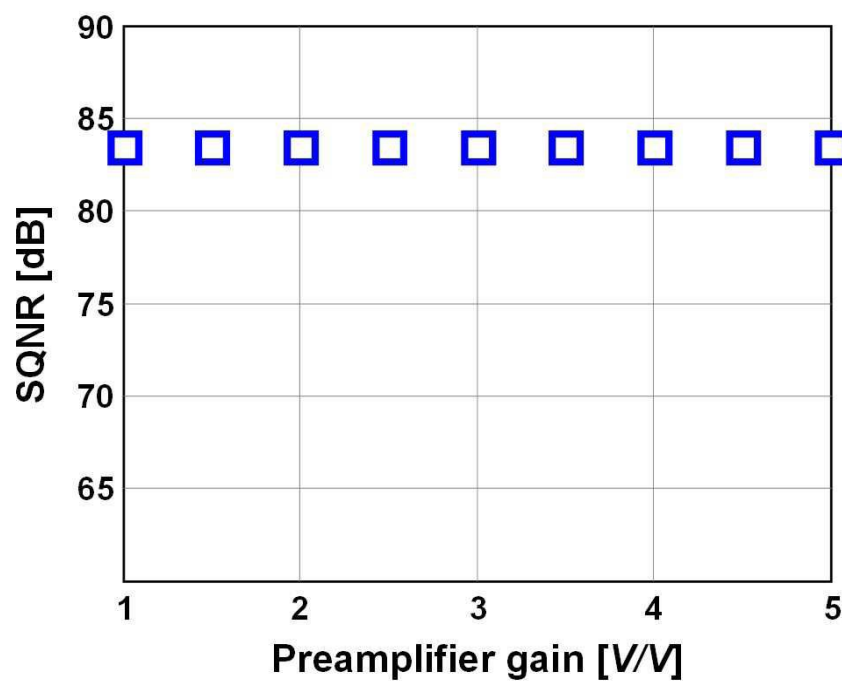
도면7



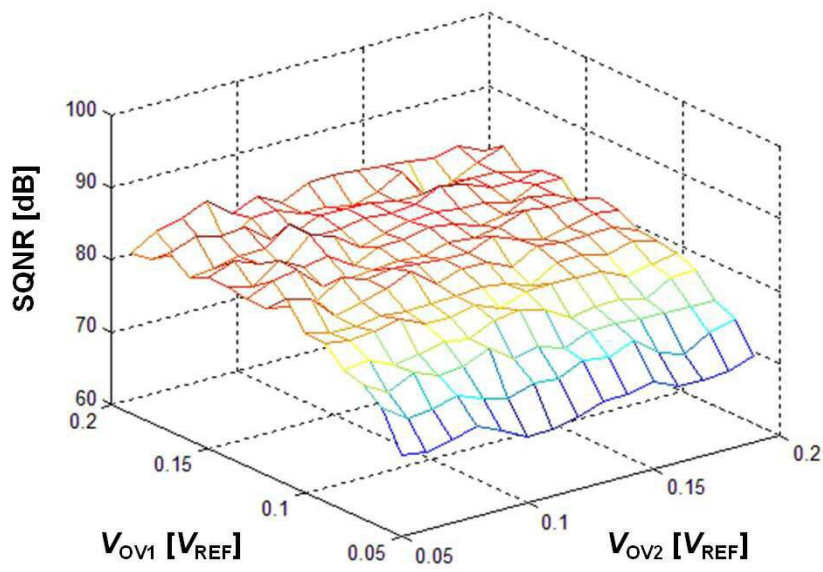
도면8



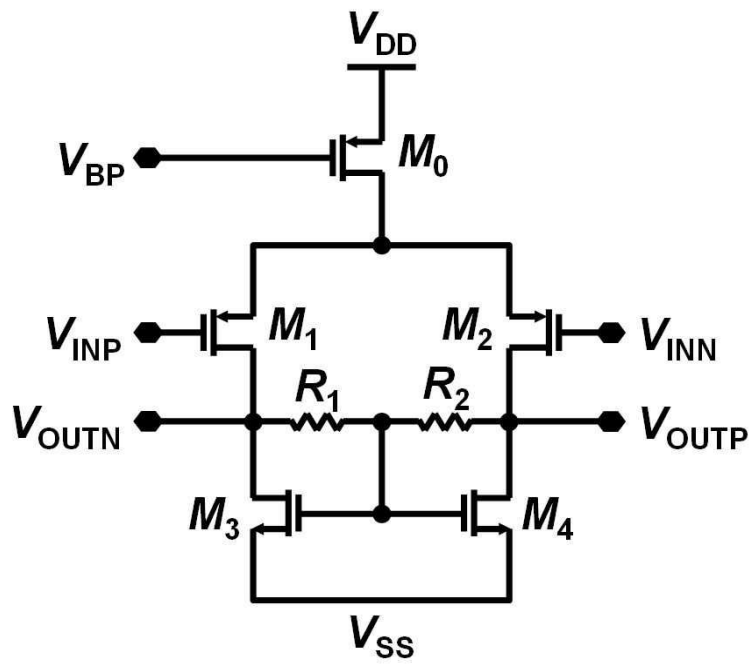
도면9



도면10



도면11



도면12

