



# (12)发明专利

(10)授权公告号 CN 103532540 B

(45)授权公告日 2017.04.12

(21)申请号 201310273922.5

(22)申请日 2013.07.02

(65)同一申请的已公布的文献号  
申请公布号 CN 103532540 A

(43)申请公布日 2014.01.22

(30)优先权数据  
61/667031 2012.07.02 US  
13/834400 2013.03.15 US

(73)专利权人 英特尔德国有限责任公司  
地址 德国诺伊比贝格

(72)发明人 K.冯阿尔尼姆 S.贝格勒

(74)专利代理机构 中国专利代理(香港)有限公司 72001  
代理人 张懿 王忠忠

(51)Int.Cl.

H03K 19/08(2006.01)

H03K 3/01(2006.01)

(56)对比文件

CN 101185049 A,2008.05.21,说明书第2页  
第9行至第9页第9行、图1.

US 7180348 B2,2007.02.20,全文.

US 6492854 B1,2002.12.10,全文.

US 2003/0067322 A1,2003.04.10,全文.

审查员 杨莹莹

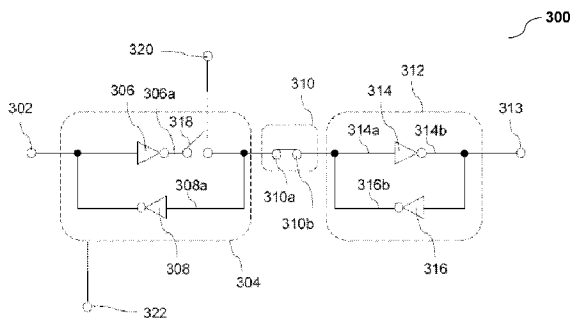
权利要求书4页 说明书11页 附图13页

## (54)发明名称

电路装置、保持触发器及用于操作电路装置  
和保持触发器的方法

## (57)摘要

本发明的名称是电路装置、保持触发器及用于操作电路装置和保持触发器的方法。本公开内容的各个方面提供一种电路装置,其包括:输入端;耦合到所述输入端的第一锁存电路,所述第一锁存电路包括第一正向反相器和第一反馈反相器;开关,其中所述开关的第一端子被耦合到所述第一正向反相器的输出端;耦合到所述开关的第二端子的第二锁存电路;耦合到所述第二锁存电路的输出端;以及隔离电路,其被配置成使所述第一正向反相器与所述第一反馈反相器的输入端隔离。



1. 一种电路装置,其包括:

输入端;

耦合到所述输入端的第一锁存电路,所述第一锁存电路包括第一正向反相器和第一反馈反相器;

开关,其中所述开关的第一端子被耦合到所述第一正向反相器的输出端;

耦合到所述开关的第二端子的第二锁存电路;

耦合到所述第二锁存电路的输出端;以及

隔离电路,其被配置成使所述第一正向反相器与所述第一反馈反相器的输入端隔离;

所述电路装置还包括:

耦合到所述第一锁存电路的电源端子,所述电源端子被配置成选择性地向所述第一锁存电路供应电力;以及

耦合到所述隔离电路的控制信号端子,所述控制信号端子被配置成将控制信号提供给所述隔离电路以可控制地使所述第一正向反相器与所述第一反馈反相器的输入端隔离;

其中所述控制信号端子被配置成将还原信号提供给所述隔离电路以使所述第一正向反相器与所述第一反馈反相器的输入端隔离,并且

其中所述控制信号端子被配置成将保存信号提供给所述隔离电路以将所述第一正向反相器耦合到所述第一反馈反相器的输入端。

2. 根据权利要求1所述的电路装置,

其中所述隔离电路被配置成可控制地使所述第一正向反相器与所述第一反馈反相器的输入端隔离。

3. 根据权利要求1所述的电路装置,所述第二锁存电路还包括:

第二正向反相器和第二反馈反相器,其中所述第二正向反相器的输入端被耦合到所述开关的第二端子,并且其中所述第二正向反相器的输出端被耦合到所述输出端。

4. 根据权利要求1所述的电路装置,

其中在所述控制信号端子已将所述保存信号提供给所述隔离电路之后,所述输入端通过所述第一正向反相器、所述开关以及所述第二锁存电路耦合到所述输出端。

5. 根据权利要求1所述的电路装置,

其中在所述电源端子恢复给所述第一锁存电路的电力之后,所述控制信号端子被配置成将所述还原信号提供给所述隔离电路以使所述第一正向反相器与所述第一反馈反相器的输入端隔离。

6. 根据权利要求5所述的电路装置,其还包括:

耦合到所述开关的时钟端子,所述时钟端子被配置成向所述开关供应包括第一二进制电平和第二二进制电平的二进制时钟信号,其中所述开关响应于所述第一二进制电平而闭合,并且

其中所述开关响应于所述第二二进制电平而断开。

7. 根据权利要求6所述的电路装置,

其中当所述时钟端子将所述第一二进制电平提供给所述开关时,所述输出端通过所述第二锁存电路、所述开关以及所述第一反馈反相器耦合到所述输入端。

8. 根据权利要求7所述的电路装置,

其中所述输出端被配置成通过所述第二锁存电路、所述开关以及所述第一反馈反相器将逻辑状态从所述输出端传播到所述输入端。

9. 一种保持触发器,其包括:

主电路,其包括第一正向反相器和第一反馈反相器;

从电路;

传输门,其被耦合在所述第一正向反相器的输出端与所述从电路的输入端之间;

隔离电路,其被配置成可控制地使所述第一正向反相器与所述第一反馈反相器隔离;

所述保持触发器还包括:

耦合到所述主电路的电源端子,所述电源端子被配置成选择性地将电力供应给所述主电路;以及

耦合到所述隔离电路的控制信号端子,所述控制信号端子被配置成将控制信号提供给所述隔离电路以可控制地使所述第一正向反相器与所述第一反馈反相器隔离;

其中所述控制信号端子被配置成将还原信号提供给所述隔离电路以使所述第一正向反相器与所述第一反馈反相器隔离,并且

其中所述控制信号端子被配置成将保存信号提供给所述隔离电路以将所述第一正向反相器耦合到所述第一反馈反相器。

10. 根据权利要求9所述的保持触发器,

其中所述从电路还包括第二正向反相器和第二反馈反相器;

其中所述第二正向反相器的输入端被耦合到所述传输门。

11. 根据权利要求9所述的保持触发器,其还包括:

耦合到所述主电路的输入端的逻辑端子,在所述控制信号端子已将所述保存信号提供给所述隔离电路之后,所述逻辑端子通过所述主电路的输入端、所述第一正向反相器以及所述传输门进一步耦合到所述从电路。

12. 一种用于操作电路装置的方法,

所述电路装置包括:

输入端;

耦合到所述输入端的第一锁存电路,所述第一锁存电路包括第一正向反相器和第一反馈反相器;

开关,其中所述开关的第一端子被耦合到所述第一正向反相器的输出端;

耦合到所述开关的第二端子的第二锁存电路;

耦合到所述第二锁存电路的输出端;以及

隔离电路,其被配置成可控制地使所述第一正向反相器与所述第一反馈反相器的输入端隔离;

所述方法包括:

向所述隔离电路提供保存信号以将所述第一正向反相器耦合到所述第一反馈反相器的输入端;

向所述输入端提供逻辑状态,其中在所述输入端处的所述逻辑状态通过所述输入端、所述第一正向反相器、所述开关以及所述第二锁存电路传播到所述输出端;

将在所述输出端处的所述逻辑状态存储在所述第二锁存电路中;

在所述第二锁存电路已存储了所述逻辑状态之后中断给所述第一锁存电路的电力；  
所述方法还包括：

向所述隔离电路提供所述保存信号包括通过耦合到所述隔离电路的控制信号端子来传送所述保存信号；

向所述输入端提供所述逻辑状态包括通过耦合到所述输入端的逻辑端子来传送所述逻辑状态；以及

将在所述输出端处的所述逻辑状态存储在所述第二锁存电路中包括在所述第二锁存电路内循环所述逻辑状态。

13. 根据权利要求12所述的方法，其包括：

恢复给所述第一锁存电路的电力；

将二进制时钟信号提供给所述开关，其中所述开关响应于第一二进制电平而闭合，并且其中所述开关响应于第二二进制电平而断开；

将存储在所述第二锁存电路中的逻辑状态写入到所述第一锁存电路中；以及

向所述隔离电路提供恢复信号以使所述第一正向反相器与所述第一反馈反相器的输入端重新连接。

14. 根据权利要求13所述的方法，其还包括：

将存储在所述第二锁存电路中的所述逻辑状态写入到所述第一锁存电路中包括：

当所述开关响应于所述第一二进制电平而闭合时向所述第一锁存电路提供存储在所述第二锁存电路中的所述逻辑状态，其中存储在所述第二锁存电路中的所述逻辑状态通过所述开关传播到所述第一锁存电路并且通过所述第一反馈反相器传播到所述第一正向反相器的输入端；并且

当所述开关响应于所述第二二进制电平而断开时存储在所述第二锁存电路中存储的所述逻辑状态，并且随后当所述开关响应于所述第一二进制电平而闭合时向所述第一锁存电路提供所述逻辑状态。

15. 一种用于操作保持触发器的方法，

所述保持触发器包括：

主电路，其包括第一正向反相器和第一反馈反相器；

从电路；

传输门，其被耦合在所述第一正向反相器的输出端与所述从电路的输入端之间；

隔离电路，其被配置成可控制地使所述第一正向反相器与所述第一反馈反相器隔离；

所述方法包括：

向所述隔离电路提供保存信号以将所述第一正向反相器耦合到所述第一反馈反相器；

向所述主电路的输入端提供逻辑状态，其中在所述主电路的输入端处的所述逻辑状态通过所述主电路的输入端、所述第一正向反相器以及所述传输门传播到所述从电路；

将所述逻辑状态存储在所述从电路中；以及

在所述从电路已存储了所述逻辑状态之后中断给所述主电路的电力；

所述方法还包括：

向所述隔离电路提供所述保存信号包括通过耦合到所述隔离电路的控制信号端子来传送所述保存信号；

向所述主电路的输入端提供所述逻辑状态包括通过耦合到所述主电路的逻辑端子来传送所述逻辑状态;以及

将所述逻辑状态存储在所述从电路中包括在所述从电路内循环所述逻辑状态。

16. 根据权利要求15所述的用于操作保持触发器的方法,其还包括:

恢复给所述主电路的电力;

将二进制时钟信号提供给所述传输门,其中所述传输门响应于第一二进制电平而是透明的,并且其中所述传输门响应于第二二进制电平而是不透明的;

将存储在所述从电路中的逻辑状态写入到所述主电路中;以及

向所述隔离电路提供恢复信号以使所述第一正向反相器与所述第一反馈反相器的输入端重新连接。

17. 根据权利要求16所述的方法,其还包括:

向所述隔离电路提供所述恢复信号包括通过耦合到所述隔离电路的所述控制信号端子来传送所述恢复信号;并且

将所述二进制时钟信号提供给所述传输门包括通过耦合到所述传输门的时钟信号端子来传送所述二进制时钟信号。

18. 根据权利要求16所述的方法,其还包括:

将存储在所述从电路中的所述逻辑状态写入到所述主电路中包括:

当所述传输门响应于所述第一二进制电平而是透明的时向所述主电路提供存储在所述从电路中的所述逻辑状态,其中存储在所述从电路中的所述逻辑状态通过所述传输门传播到所述主电路并且通过所述第一反馈反相器传播到所述第一正向反相器的输入端;并且

当所述传输门响应于所述第二二进制电平而是不透明的时存储在所述从电路中存储的所述逻辑状态,并且随后当所述传输门响应于所述第一二进制电平而是透明的时向所述主电路提供所述逻辑状态。

## 电路装置、保持触发器及用于操作电路装置和保持触发器的方法

[0001] 相关申请的交叉引用

[0002] 本申请要求2012年7月2日提交的美国临时申请No. 61/667,031的权益,其内容在此通过引用整体被并入以用于所有目的。

### 技术领域

[0003] 本公开内容的各个方面涉及电路装置、保持触发器及用于操作电路装置和保持触发器的方法。

### 背景技术

[0004] 保持电路可以被用来在周围逻辑被关断时保持逻辑状态(二进制1或二进制0)。这些保持电路可以被实现为保持触发器,其中保持触发器的选定部分可以被永久地通电,而另一部分可以被可控制地关断。然而,在典型的状态保持触发器中保持逻辑需要至少一个控制信号,需要附加的存储节点或锁存电路,并且将附加的定时条件强加于给周围逻辑的电力的唤醒,即其恢复之上。因此,与标准触发器相比,典型的保持触发器具有显著的面积和定时开销。因此,控制序列简单并且面积和定时开销小的状态保持触发器是所期望的。

### 发明内容

[0005] 本公开内容的各个方面提供电路装置。所述电路装置可以包括:输入端;耦合到所述输入端的第一锁存电路,所述第一锁存电路包括第一正向反相器(forward inverter)和第一反馈反相器;开关,其中所述开关的第一端子被耦合到所述第一正向反相器的输出端;耦合到所述开关的第二端子的第二锁存电路;耦合到所述第二锁存电路的输出端;以及隔离电路,其被配置成使所述第一正向反相器与所述第一反馈反相器的输入端隔离。

### 附图说明

[0006] 在图中,相同的附图标记贯穿不同视图通常指的是相同的部分。图不一定按比例绘制,重点代替地通常被放在示意本公开内容的各个方面的原理之上。在以下描述中,参考以下图对本公开内容的各个方面进行描述,在图中:

[0007] 图1示出了气球保持触发器;

[0008] 图2示出了采用主从D触发器架构的保持触发器;

[0009] 图3示出了根据本公开内容的一方面的电路装置;

[0010] 图4示出了根据本公开内容的一方面的在控制信号端子将从信号提供给隔离电路之后的电路装置;

[0011] 图5示出了根据本公开内容的一方面的由控制信号端子和电源端子所提供的信号的相对定时;

[0012] 图6示出了根据本公开内容的一方面的在控制信号端子将从信号提供给隔离电路

之后的电路装置；

[0013] 图7示出了根据本公开内容的一方面的在控制信号端子提供还原信号之后并且当时钟端子向开关提供第二二进制电平时的电路装置；

[0014] 图8示出了根据本公开内容的一方面的保持触发器；

[0015] 图9示出了根据本公开内容的另一方面的保持触发器；

[0016] 图10示出了根据本公开内容的一方面的用于操作电路装置的方法；

[0017] 图11示出了根据本公开内容的另一方面的用于操作电路装置的方法；

[0018] 图12示出了根据本公开内容的一方面的用于操作保持触发器的方法；

[0019] 图13示出了根据本公开内容的另一方面的用于操作保持触发器的方法。

### 具体实施方式

[0020] 以下具体描述参考附图,附图通过示意的方式示出本公开内容的特定细节和实施例,可以按所述特定细节和实施例来实践本公开内容。本公开内容的这些方面被足够详细地描述以使得本领域的技术人员能够实践本公开内容。可以利用本公开内容的其他方面,并且可以进行结构、逻辑以及电气改变而不背离本公开内容的范围。本公开内容的各个方面不一定相互排斥,因为本公开内容的一些方面能够与本公开内容的一个或多个其他方面组合以形成本公开内容的新的方面。

[0021] 保持触发器是即使在周围逻辑掉电之后也在其中保持数据的触发器。大多数现有技术的保持触发器可以被划分成两个类别:气球保持触发器和采用主从D触发器架构的保持触发器。

[0022] 图1示出了气球保持触发器100,而图2示出了依照本公开内容的各个方面的采用主从D触发器架构的保持触发器200。

[0023] 气球保持触发器100可以被实现为包括附加的存储节点106或附加的数据保留电路的主从锁存器102、104,所述附加的数据保留电路有时被称为“影子”锁存器或“气球”锁存器106。在实现中,主从锁存器102、104可以用标准的低 $V_t$ 晶体管设计,而气球锁存器106可以使用弱的高 $V_t$ 晶体管来设计。气球锁存器106可以被连接到始终接通的电源108并且可以在漏泄的主从寄存器锁存器102、104在睡眠模式下掉电的同时保持寄存器状态。气球保持触发器需要复杂定时以用于在从睡眠模式(即当主从锁存器102、104掉电时)到主动模式的任何转变时在气球锁存器106与主从锁存器102、104之间来回地转移数据并且反之亦然。通过示例的方式,如果时钟107为低并且主锁存器断开以及正对输入数据110进行采样,则在气球锁存器106中所保持的值被强迫进入从锁存器104中。然而,如果时钟107是高的,则在气球锁存器106中所保持的锁存值可以被强迫进入主锁存器102中并且然后当时钟107变低时传播到从锁存器104。气球保持触发器还遭受大尺寸、功率和延迟相关的问题。

[0024] 采用主从D触发器架构200的保持触发器可以包括始终接通的级,其中保持触发器200的主级202和从级204在保持阶段期间(即当数据被存储或保存在主级202或从级204中的任一个中时)两者都被供电或其中一个被供电。除小的速度降级以外,这种实现可以允许面积高效和功率高效的实现。然而,唤醒这些类型的保持触发器具有相对于时钟状态的特殊约束,诸如当离开保持模式时需要时钟为“0”。

[0025] 因此,具有简单的控制序列以及低面积和定时开销的状态保持触发器是所期望

的。

[0026] 本公开内容的各个方面提供一种电路装置。

[0027] 本公开内容的各个方面提供一种保持触发器。

[0028] 词“示例性的”在本文中被用来意指“用作示例、实例或示意”。在本文中被描述为“示例性的”本公开内容或设计的任何方面不一定应被看作为相比于本公开内容或设计的其他方面是优选的或有利的。

[0029] 词“电路”在本文中被用来意指任何种类的逻辑实现实体,其可以为执行存储在存储器中的软件、固件或其任何组合的专用电路或处理器。因此,在本公开内容的一方面,“电路”可以为硬连线逻辑电路或可编程逻辑电路,诸如可编程处理器,例如微处理器(例如复杂指令集计算机(CISC)处理器或精简指令集计算机(RISC)处理器)。“电路”还可以为执行软件的处理器,所述软件例如为任何种类的计算机程序,例如使用举例来说诸如为Java的虚拟机代码的计算机程序。不同的电路因此还能够由相同的部件,例如由执行两个不同程序的处理器来实现。

[0030] 在本公开内容的一方面,电路装置和保持触发器可以包括被允许独立于时钟状态重新激活的始终接通的从级(或始终接通的锁存电路)。相应地,电路装置和保持触发器可能能够进行独立于时钟状态的唤醒。电路装置和保持触发器可以允许将所保持的逻辑状态从始终接通的从级(或始终接通的锁存电路)写入到主级中,而无论时钟状态如何并且以低的定时和面积开销写入。

[0031] 图3示出了根据本公开内容的一方面的电路装置300。电路装置300可以包括输入端302,其可以被耦合到第一锁存电路304。如本文所用的那样,除非另外明确地描述,否则关于耦合、连接、通信或相互连接的术语指的是其中特征直接地或通过中间结构间接地与彼此进行通信的关系。相应地,输入端302可以被电连接到第一锁存电路304。

[0032] 第一锁存电路304可以包括第一正向反相器306和第一反馈反相器308。每个反相器306和308可以包括单个晶体管,例如单个金属氧化物半导体(MOS)晶体管,例如单个NMOS晶体管、与电阻器耦合的单个PMOS晶体管、或采用电阻器-晶体管逻辑(RTL)或晶体管-晶体管逻辑(TTL)配置的双极结晶体管(BJT)、或至少一个互补MOS(CMOS)晶体管或其任何组合。每个反相器306、308都可以为高有效或低有效锁存反相器。在本公开内容的一方面,每个反相器306、308都可以具有两个输入端子,并且输入端302可以被连接到第一正向反相器306的输入端中的至少一个。以同样的方式,第一正向反相器306的输出端306a可以被耦合到第一反馈反相器308的输入端中的至少一个。

[0033] 电路装置300可以包括开关310,其中开关310的第一端子310a(其还可以被称为第一受控端子310a)被耦合到第一正向反相器306的输出端306a。开关310可以包括至少一个NMOS晶体管、至少一个PMOS晶体管、至少一个双极结晶体管、至少一个CMOS晶体管、传输门或其任何组合。

[0034] 在本公开内容的各个方面,电路装置300可以包括耦合到开关310的第二端子310b(其还可以被称为第二受控端子310b)的第二锁存电路312。就第二锁存电路312而言,上面参考第一锁存电路304所描述的另外的特征是同样适用的,并且因此被重新陈述。

[0035] 电路装置300可以包括耦合到第二锁存电路312的输出端313。此外,第二锁存电路312可以包括第二正向反相器314和第二反馈反相器316,其中第二正向反相器314的输入端



314a被耦合到开关310的第二端子310b,并且其中第二正向反相器314的输出端314b被耦合到输出端313并且到第二反馈反相器316的输入端。

[0036] 在本公开内容的一方面,电路装置300可以进一步包括被配置成使第一正向反相器306与第一反馈反相器308的输入端308a隔离的隔离电路318。

[0037] 在本公开内容的一方面,隔离电路318可以被包括在(换句话说结合在)第一锁存电路304中或者由第一锁存电路304来实现,但可以至少部分地在第一正向反相器306和第一反馈反相器308外部。例如,如图3所示,隔离电路318可以为隔离开关,例如传输门,其中隔离电路318的第一端子318a(其还可以被称为第一受控端子318a)可以被耦合到第一正向反相器306的输出端306a,并且其中隔离电路318的第二端子318b(其还可以被称为第二受控端子318b)可以被耦合到开关310的第一端子310a和第一反馈反相器308的输入端308a。

[0038] 隔离电路318可以被包括在例如第一正向反相器306或第一反馈反相器308中。例如,隔离电路318和第一正向反相器306可以作为三态反相器一起实现,除典型的0和1二进制逻辑电平之外,所述三态反相器允许第一正向反相器306的输出端306a呈现高阻态。

[0039] 隔离电路318可以是与所有其他特征分开的电路。

[0040] 隔离电路318可以被配置成可控制地使第一正向反相器306与第一反馈反相器308的输入端308a隔离。相应地,电路装置300可以包括耦合到隔离电路318的控制信号端子320,其中控制信号端子320可以被配置成将控制信号提供给隔离电路318以可控制地使第一正向反相器306与第一反馈反相器308的输入端308a隔离。

[0041] 在本公开内容的各个方面,控制信号端子320可以被配置成将还原信号提供给隔离电路318以使第一正向反相器306与第一反馈反相器308的输入端308a隔离。控制信号端子320可以被进一步配置成将保存信号提供给隔离电路318以将第一正向反相器306耦合到第一反馈反相器308的输入端308a。保存信号和还原信号可以为典型的二进制逻辑信号“0”(“低”)和“1”(“高”)。保存信号和还原信号可以各自为预定电压和/或电流的模拟信号。

[0042] 电路装置300可以包括耦合到第一锁存电路304的电源端子322。电源端子322可以被配置成选择性地为第一锁存电路304供电。因此,第一锁存电路304可以在第一时间段期间被供应以电力,而在后期掉电(换句话说不被供应以电力)。以同样的方式,可以在其中给第一锁存电路304的电力已被切断的时期之后恢复给第一锁存电路304的电力。

[0043] 第二锁存电路312可以被永久地用电力供电。第二锁存电路312的电力供应可以通过电源端子322或者通过另一端子来提供。

[0044] 图4示出了根据本公开内容的各个方面的在控制信号端子提供保存信号之后的电路装置400。

[0045] 图5示出了根据本公开内容的各个方面的由控制信号端子和电源端子所提供的信号的相对定时。

[0046] 如上面所公开的那样,控制信号端子320可以被配置成将保存信号502提供给隔离电路318以将第一正向反相器306耦合到第一反馈反相器308的输入端308a。因此,第一正向反相器306的输出端306a可以被电耦合到第一反馈反相器308的输入端308a。

[0047] 如图4所示,在控制信号端子320已将保存信号502提供给隔离电路318之后,输入端302可以通过第一正向反相器306、开关310以及第二锁存电路312而被耦合到输出端313。在本公开内容的各个方面,开关310可以被耦合到时钟端子,其中第一时钟电平可以使开关

310闭合(如图4所示),而第二时钟电平可以使开关310断开。在其中供应给开关310的时钟信号是周期性的、本公开内容的方面,开关310可以被周期性断开和闭合。相应地,图4表示时钟信号使开关310闭合的时间瞬间。

[0048] 在本公开内容的各个方面,电路装置400可以包括耦合到输入端302的逻辑端子402。在控制信号端子320已将保存信号502提供给隔离电路318以将第一正向反相器306耦合到第一反馈反相器308的输入端308a之后,逻辑端子402可以通过输入端302、第一正向反相器306、开关310以及第二锁存电路312而被另外耦合到输出端313。

[0049] 逻辑端子402可以被配置成通过输入端302、第一正向反相器306、开关310以及第二锁存电路312将逻辑状态提供给输出端313。在其中第二锁存电路312包括第二正向反相器314并且第二反馈反相器316如图4所示的那样被布置的方面,第二锁存电路312可以被配置成通过至少在第二锁存电路312的第二正向反相器314与第二反馈反相器316之间循环逻辑状态来存储由逻辑端子402提供给输出端313的逻辑状态。相应地,存储在第二锁存电路312中的逻辑状态可以循环通过314a、314、314b、316、316a、314a、314等等。

[0050] 电源端子322可以被配置成在第二锁存电路312已存储了由逻辑端子提供给输出端313的逻辑状态之后中断给第一锁存电路304的电力504。相应地,逻辑状态可以通过第一锁存电路304和开关310而被传播到第二锁存电路312和输出端313,并且例如随后被存储在第二锁存电路312中。因此,即使当给第一锁存电路304的电力被切断时逻辑状态也可以被存储在电路装置400中,并且只要给第一锁存电路304的电力被切断,逻辑状态就可以一直被存储在电路装置400中。换句话说,当第一锁存电路304掉电或者处于睡眠模式时,逻辑状态可以被隔离或者保持在第二锁存电路312中。

[0051] 电源端子322可以恢复给第一锁存电路304的电力508。在这种情况下,在电源端子322恢复给第一锁存电路304的电力508之后,控制信号端子320可以被配置成将还原信号506提供给隔离电路318以使第一正向反相器306与第一反馈反相器308的输入端308a隔离。

[0052] 图6示出了根据本公开内容的各个方面的在控制信号端子提供还原信号之后的电路装置600。

[0053] 在其中隔离电路318可以被包括在第一锁存电路304中但与第一正向反相器306分开的方面,例如隔离开关,举例来说诸如为图6所示的传输门318,隔离电路318可以在控制信号端子320将还原信号506提供给隔离电路318之后处于断开位置,以使第一正向反相器306与第一反馈反相器308的输入端308a电去耦合。还将清楚的是,第一正向反相器306在这种情况下与开关310电去耦合。

[0054] 在其中隔离电路318可以被包括在第一正向反相器306或第一反馈反相器中的方面,举例来说诸如当隔离电路318和第一正向反相器306可以作为三态反相器一起实现时,第一正向反相器306的输出端306b可以在控制信号端子320将还原信号506提供给隔离电路318之后呈现高阻态,以使第一正向反相器306与第一反馈反相器308和开关310电去耦合。

[0055] 电路装置600可以包括耦合到开关310的时钟端子602,时钟端子602被配置成将包括第一二进制电平(例如逻辑电平“0”(“低”)和第二二进制电平(例如逻辑电平“1”(“高”))的二进制时钟信号(图5的510)供应给开关310。替换地,第一和第二二进制电平可以分别为逻辑电平“1”(“高”)或“0”(“低”)。

[0056] 开关310可以响应于第一二进制电平而闭合,而开关310可以响应于第二二进制电

平而断开。如本文所用的那样,‘闭合’指的是其中开关310的第一端子310a和第二端子310b被电耦合到彼此的情况,而‘断开’指的是其中开关310的第一端子310a和第二端子310b与彼此电去耦合的情况。

[0057] 本公开内容的一方面可以允许隔离(即保持或存储)在第二锁存电路12中的逻辑状态在唤醒后,即在第一锁存电路304的电力供应恢复后被写入到第一锁存电路304中,而无论时钟信号510如何。因此,本公开内容的一方面可以低面积和定时开销提供具有独立于时钟状态的唤醒的保持触发器。

[0058] 现在将详细地描述与两个二进制时钟状态中的每一个相关的本公开内容的各方面。

[0059] 开关310可以响应于第一二进制电平而闭合(如图6所示),即当时钟端子602将第一二进制电平510提供给开关310时,输出端313可以通过第二锁存电路312、开关310以及第一反馈反相器308a、308而被耦合到输入端302。

[0060] 存储(或保持或隔离)在第二锁存电路312中的逻辑状态(在使第一锁存电路掉电之前)可以被写入到第一锁存电路304中,这是因为该逻辑状态可以通过第二锁存电路312的第二反馈反相器316、开关310以及第一反馈反相器308从输出端传播到输入端,使得该逻辑状态被写入到第一正向反相器306的输入端中。

[0061] 图7示出了在控制信号端子320提供还原信号506之后并且当时钟端子602将第二二进制电平510提供给开关310时的电路装置700。

[0062] 在本公开内容的一方面,开关310可以响应于第二二进制电平而断开,即当时钟端子602将第一二进制电平510提供给开关310时输出端313可以与输入端电去耦合。尽管如此,存储(或保持或隔离)在第二锁存电路312中的逻辑状态(在使第一锁存电路掉电之前)可以保持被存储在第二锁存电路312中,这是因为第二锁存电路312中的逻辑状态继续在第二锁存电路312的第二正向反相器314与第二反馈反相器316之间循环。

[0063] 在其中时钟端子602被配置成提供周期性的二进制时钟信号的、本公开内容的方面,在第二二进制电平之后由时钟端子提供给开关310的二进制电平可以为第一二进制电平。在这方面,开关310在开关310接收到第一二进制电平后闭合,并且在第二锁存电路312中循环的逻辑状态随后被写入到第一锁存电路314中,如在图6中所描述的那样。相应地,存储在第二锁存电路312中的逻辑状态被还原到第一锁存电路304而无需附加的存储节点,举例来说诸如气球锁存器或影子锁存器,或者无需附加的定时开销,诸如需要时钟信号要为“0”或“1”。

[0064] 就有关电路装置的公开内容的各个方面而言所描述的各个特征同样地适用于保持触发器的特定情况。相应地,图8示出了根据本公开内容的各个方面的保持触发器。

[0065] 本公开内容的各个方面提供保持触发器800。在本公开内容的一方面,保持触发器800可以包括主电路802,其可以包括第一正向反相器804和第一反馈反相器806。就保持触发器的主电路802及其第一正向和反馈反相器804、806而言,上面参考电路装置的第一锁存电路及其第一正向和反馈反相器所描述的另外的特征分别是同样适用的,并且因此被重新陈述。

[0066] 在本公开内容的一方面,保持触发器800可以进一步包括从电路808。就保持触发器800的从电路808而言,上面参考电路装置的第二锁存电路所描述的另外的特征是同样适

用的,并且因此被重新陈述。

[0067] 在本公开内容的各个方面,保持触发器800可以包括耦合在第一正向反相器804的输出端与从电路808的输入端之间的传输门810。就保持触发器800的传输门810而言,上面参考电路装置的开关所描述的另外的特征是同样适用的,并且因此被重新陈述。

[0068] 保持触发器800可以包括被配置成可控制地使第一正向反相器804与第一反馈反相器806隔离的隔离电路。就保持触发器800的隔离电路而言,上面参考电路装置的隔离电路所描述的另外的特征是同样适用的,并且因此被重新陈述。特别地,如就电路装置而言在上面所陈述的那样,所述隔离电路可以与第一正向反相器804一起作为三态反相器来实现。因此,如图8所示,正向反相器804可以为三态反相器,其中第一正向反相器804的输出端可以呈现高阻态使得第一正向反相器804与第一反馈反相器802和传输门810电去耦合。

[0069] 在本公开内容的各个方面,从电路808可以包括第二正向反相器814和第二反馈反相器816,其中第二正向反相器814的输入端814a可以被耦合到传输门810。就保持触发器800的从电路808而言,上面参考电路装置的第二锁存电路所描述的另外的特征是同样适用的,并且因此被重新陈述。

[0070] 保持触发器800可以进一步包括耦合到主电路802的电源端子818,其中电源端子818可以被配置成选择性地将电力供应给主电路802。就保持触发器800的电源端子818而言,上面参考电路装置的电源端子所描述的另外的特征是同样适用的,并且因此被重新陈述。

[0071] 保持触发器800可以包括耦合到隔离电路812的控制信号端子817,其中控制信号端子818可以被配置成将控制信号提供给隔离电路812以可控制地使第一正向反相器804与第一反馈反相器806隔离。就保持触发器800的控制信号端子817而言,上面参考电路装置的控制信号端子818所描述的另外的特征是同样适用的,并且因此被重新陈述。

[0072] 在本公开内容的一方面,控制信号端子817可以被配置成将还原信号提供给隔离电路812以使第一正向反相器804与第一反馈反相器806电隔离。就由保持触发器800的控制信号端子817所提供的还原信号而言,上面参考由电路装置的控制信号端子所提供的还原信号而描述的另外的特征是同样适用的,并且因此被重新陈述。

[0073] 控制信号端子817可以被配置成将保存信号提供给隔离电路812以将第一正向反相器804耦合到第一反馈反相器806。就由保持触发器800的控制信号端子817所提供的保存信号而言,上面参考由电路装置的控制信号端子所提供的保存信号所描述的另外的特征是同样适用的,并且因此被重新陈述。

[0074] 在本公开内容的一方面,保持触发器800可以包括耦合到主电路802的输入端802a的逻辑端子820。在控制信号端子817已将保存信号提供给隔离电路812以将第一正向反相器804电耦合到第一反馈反相器806之后,逻辑端子820可以通过输入端802a以及主电路802的第一正向反相器804和传输门810而进一步耦合到从电路808。就保持触发器800的逻辑端子820而言,上面参考电路装置的逻辑端子所描述的另外的特征是同样适用的,并且因此被重新陈述。

[0075] 逻辑端子820可以被配置成通过主电路802的输入端802a、第一正向反相器804以及传输门810将逻辑状态提供给从电路808。

[0076] 从电路808可以被配置成存储由逻辑端子820提供给从电路808的逻辑状态,其中

将逻辑状态存储在从电路808中可以包括在从电路808的第二正向反相器814与第二反馈反相器816之间循环所述逻辑状态。就将逻辑状态存储在保持触发器800的从电路808中而言,上面参考将逻辑状态存储在电路装置的从电路808中所描述的另外的特征是同样适用的,并且因此被重新陈述。

[0077] 电源端子818可以被配置成在从电路808已存储了由逻辑端子820提供给从电路808的逻辑状态之后中断给主电路802的电力。就保持触发器800的电源端子818而言,上面参考电路装置的电源端子所描述的另外的特征是同样适用的,并且因此被重新陈述。

[0078] 在本公开内容的一方面,电源端子818可以恢复给主电路802的电力。在这种情况下,在电源端子818恢复给主电路802的电力之后,控制信号端子817可以被配置成将还原信号提供给隔离电路以使第一正向反相器804与第一反馈反相器806隔离。就保持触发器800的控制信号端子817而言,上面参考电路装置的控制信号端子所描述的另外的特征是同样适用的,并且因此被重新陈述。

[0079] 保持触发器800可以包括耦合到传输门810的时钟端子822。时钟端子822可以被配置成将包括第一二进制电平和第二二进制电平的二进制时钟信号供应给传输门810。

[0080] 传输门810可以响应于第一二进制电平而是透明的(transparent)。如本文所用的那样,“透明”可以意指在传输门810的第一端子处的信号被立即传播到传输门810的第二端子。换句话说,耦合在第一器件与第二器件之间的透明传输门将第一器件电耦合到第二器件。

[0081] 在本公开内容的一方面,传输门810可以响应于第二二进制电平而是不透明的(opaque)。如本文所用的那样,“不透明”可以意指在传输门810的第一端子处的信号未被传播到传输门810的第二端子。换句话说,耦合在第一器件与第二器件之间的不透明传输门810使第一器件与第二器件电去耦合。

[0082] 当时钟端子817将第一二进制电平提供给传输门810时,从电路808可以通过传输门810和第一反馈反相器806而被耦合到主电路802的输入端802a。从电路808可以被配置成通过第二反馈反相器816、传输门810以及第一反馈反相器806将逻辑状态从从电路808传播到主电路802的输入端802a。就保持触发器800的从电路808而言,上面参考电路装置的第二锁存电路所描述的另外的特征是同样适用的,并且因此被重新陈述。

[0083] 在本公开内容的一方面,当时钟端子817将第二二进制电平提供给传输门810时从电路808可以与主电路802去耦合。从电路808可以被配置成在从电路808与主电路802去耦合时存储逻辑状态,其中将逻辑状态存储在从电路808中包括在从电路808的第二正向反相器814与第二反馈反相器816之间循环该逻辑状态。就与主电路802去耦合的保持触发器800的从电路808而言,上面参考电路装置的第二锁存电路所描述的另外的特征是同样适用的,并且因此被重新陈述。

[0084] 图9示出了根据本公开内容的各个方面的保持触发器900。保持触发器900可以包括可包括附加的扫描和重置功能的逻辑端子902,从而允许保持触发器900表现为结合有保持能力的正常的扫描和重置触发器。保持触发器900的这个特征同样适用于上述电路装置。相应地,扫描-重置与保持能力的类似组合功能可以是可用于前述电路装置的。

[0085] 本公开内容的各种示例性方面提供用于操作电路装置的方法。图10示出了根据本公开内容的各个方面的用于操作电路装置的方法。

[0086] 所述电路装置可以包括:输入端;耦合到所述输入端的第一锁存电路,所述第一锁存电路包括第一正向反相器和第一反馈反相器;开关,其中所述开关的第一端子被耦合到所述第一正向反相器的输出端;耦合到所述开关的第二端子的第二锁存电路;耦合到所述第二锁存电路的输出端;以及隔离电路,其被配置成可控制地使所述第一正向反相器与所述第一反馈反相器的输入端隔离。

[0087] 在本公开内容的各个方面,方法1000可以包括:向隔离电路提供保存信号(在1002中),例如以将第一正向反相器耦合到第一反馈反相器的输入端;向输入端提供逻辑状态(在1004中),例如其中在输入端处的逻辑状态可以通过输入端、第一正向反相器、开关以及第二锁存电路传播到输出端;将逻辑状态(例如在输出端处的逻辑状态)存储在第二锁存电路中(在1006中);以及例如在第二锁存电路已存储了所述逻辑状态之后,中断给第一锁存电路的电力(在1008中)。

[0088] 向隔离电路提供保存信号(例如在1002中)可以包括通过耦合到隔离电路的控制信号端子来传送该保存信号。相应地,控制信号端子可以直接地或者通过中间器件将保存信号提供给隔离电路,使得控制信号端子和隔离电路被耦合。

[0089] 向输入端提供逻辑状态(例如在1004中)可以包括通过耦合到输入端的逻辑端子来传送该逻辑状态;并且将逻辑状态(例如在输出端处的逻辑状态)存储在第二锁存电路中(例如在1006中)可以包括在第二锁存电路内循环该逻辑状态。

[0090] 就用于操作使用这些物理特征的电路装置的方法而言,上面参考电路装置的物理特征所描述的另外的特征是同样适用的,并且因此被重新陈述。

[0091] 上述方法100可以是简单的控制序列,其可以被用来将数据保存在上面提到的电路装置的第二锁存电路中。

[0092] 图11示出了根据本公开内容的各个方面的用于操作上面提到的电路装置的方法1100。

[0093] 方法1100可以包括:恢复给第一锁存电路的电力(在1102中);将二进制时钟信号提供给开关(在1104中),例如其中开关可以响应于第一二进制电平而闭合,并且例如其中开关可以响应于第二二进制电平而断开;将逻辑状态(例如存储在第二锁存电路中的逻辑状态)写入到第一锁存电路中(在1106中);以及向隔离电路提供恢复信号(在1108中),例如以使第一正向反相器与第一反馈反相器的输入端重新连接。

[0094] 将二进制时钟信号提供给开关(例如在1104中)可以包括通过耦合到该开关的时钟信号端子来传送二进制时钟信号。

[0095] 将逻辑状态(例如存储在第二锁存电路中的逻辑状态)写入到第一锁存电路中(例如在1106中)可以包括当开关响应于第一二进制电平而闭合时向第一锁存电路提供存储在第二锁存电路中的逻辑状态,例如其中存储在第二锁存电路中的逻辑状态可以通过开关传播到第一锁存电路并且通过第一反馈反相器传播到第一正向反相器的输入端。

[0096] 此外,将逻辑状态(例如存储在第二锁存电路中的逻辑状态)写入到第一锁存电路中(例如在1106中)可以进一步包括当开关响应于第二二进制电平而断开时存储在第二锁存电路中所存储的逻辑状态,并且随后当开关响应于第一二进制电平而闭合时向第一锁存电路提供该逻辑状态。

[0097] 向隔离电路提供恢复信号(例如在1108中)可以包括通过耦合到隔离电路的控制

信号端子来传送该恢复信号。控制信号端子可以直接地或者通过中间器件将还原信号提供给隔离电路,使得控制信号端子和隔离电路被耦合。恢复信号可以例如适合于使第一正向反相器与第一反馈反相器的输入端重新连接。

[0098] 就用于操作使用这些物理特征的电路装置的方法而言,上面参考电路装置的物理特征所描述的另外的特征是同样适用的,并且因此被重新陈述。

[0099] 在本公开内容的一方面,上述方法1100可以是简单的控制序列,其可以被用来独立于时钟电平并且以低面积和定时开销将数据写入第一锁存电路。

[0100] 如图11所示,将二进制时钟信号提供给开关(在1104中)和/或将逻辑状态(例如存储在第二锁存电路中的逻辑状态)写入到第一锁存电路中(在1106中)可以发生在恢复给第一锁存电路的电力(在1102中)与向隔离电路提供恢复信号(在1108中)之间而没有所存储的数据被丢失。

[0101] 本公开内容的各个方面提供用于保持触发器的方法。图12示出了根据本公开内容的各个方面的用于操作保持触发器的方法1200。

[0102] 所述保持触发器可以包括:主电路,其包括第一正向反相器和第一反馈反相器;从电路;传输门,其被耦合在第一正向反相器的输出端与从电路的输入端之间;隔离电路,其被配置成可控制地使第一正向反相器与第一反馈反相器隔离。

[0103] 用于操作保持触发器的方法1200可以包括:向隔离电路提供保存信号(在1202中),例如以将第一正向反相器耦合到第一反馈反相器;向主电路的输入端提供逻辑状态(在1204中),例如其中在主电路的输入端处的逻辑状态可以通过该主电路的输入端、第一正向反相器、传输门传播到从电路;将逻辑状态存储在从电路中(在1206中);以及例如在从电路已存储了逻辑状态之后,中断给主电路的电力(在1208中)。

[0104] 向隔离电路提供保存信号(例如在1202中)可以包括通过耦合到隔离电路的控制信号端子来传送该保存信号。因此,控制信号端子可以直接地或者通过中间器件将保存信号提供给隔离电路,使得控制信号端子和隔离电路被耦合。

[0105] 在本公开内容的一方面,向主电路的输入端提供逻辑状态(例如在1204中)可以包括通过耦合到主电路的逻辑端子来传送所述逻辑状态。

[0106] 将逻辑状态存储在从电路中(例如在1206中)可以包括在从电路内循环该逻辑状态。

[0107] 就用于操作使用这些物理特征的保持触发器的方法而言,上面参考保持触发器的物理特征所描述的另外的特征是同样适用的,并且因此被重新陈述。

[0108] 上述方法1200可以是简单的控制序列,其可以被用来将数据保存在上面提到的保持触发器的从电路中。

[0109] 图13示出了根据本公开内容的各个方面的用于操作保持触发器的方法1300。

[0110] 方法1300可以包括:恢复给第一锁存电路的电力(在1302中);将二进制时钟信号提供给传输门(在1304中),例如其中传输门可以响应于第一二进制电平而是透明的,并且例如其中开关可以响应于第二二进制电平而不透明的;将逻辑状态(例如存储在第二锁存电路中的逻辑状态)写入到主存电路中(在1306中);以及向隔离电路提供恢复信号(在1308中),例如以使第一正向反相器与第一反馈反相器的输入端重新连接。

[0111] 将二进制时钟信号提供给传输门(例如在1304中)可以包括通过耦合到该传输门

的时钟信号端子来传送二进制时钟信号。

[0112] 将逻辑状态(例如存储在从电路中的逻辑状态)写入到主电路中(例如在1306中)可以包括当传输门响应于第一二进制电平而是透明的时向主电路提供存储在从电路中的逻辑状态,例如其中存储在从电路中的逻辑状态可以通过传输门传播到主电路并且通过第一反馈反相器传播到第一正向反相器的输入端。

[0113] 将存储在从电路中的逻辑状态写入到主电路中(例如在1306中)可以进一步包括当传输门响应于第二二进制电平而不是不透明的时存储在从电路中所存储的逻辑状态,并且随后当传输门响应于第一二进制电平而是透明的时向主电路提供该逻辑状态。

[0114] 向隔离电路提供恢复信号(例如在1308中)可以包括通过耦合到隔离电路的控制信号端子来传送该恢复信号。恢复信号可以例如适合于使第一正向反相器与第一反馈反相器的输入端重新连接。

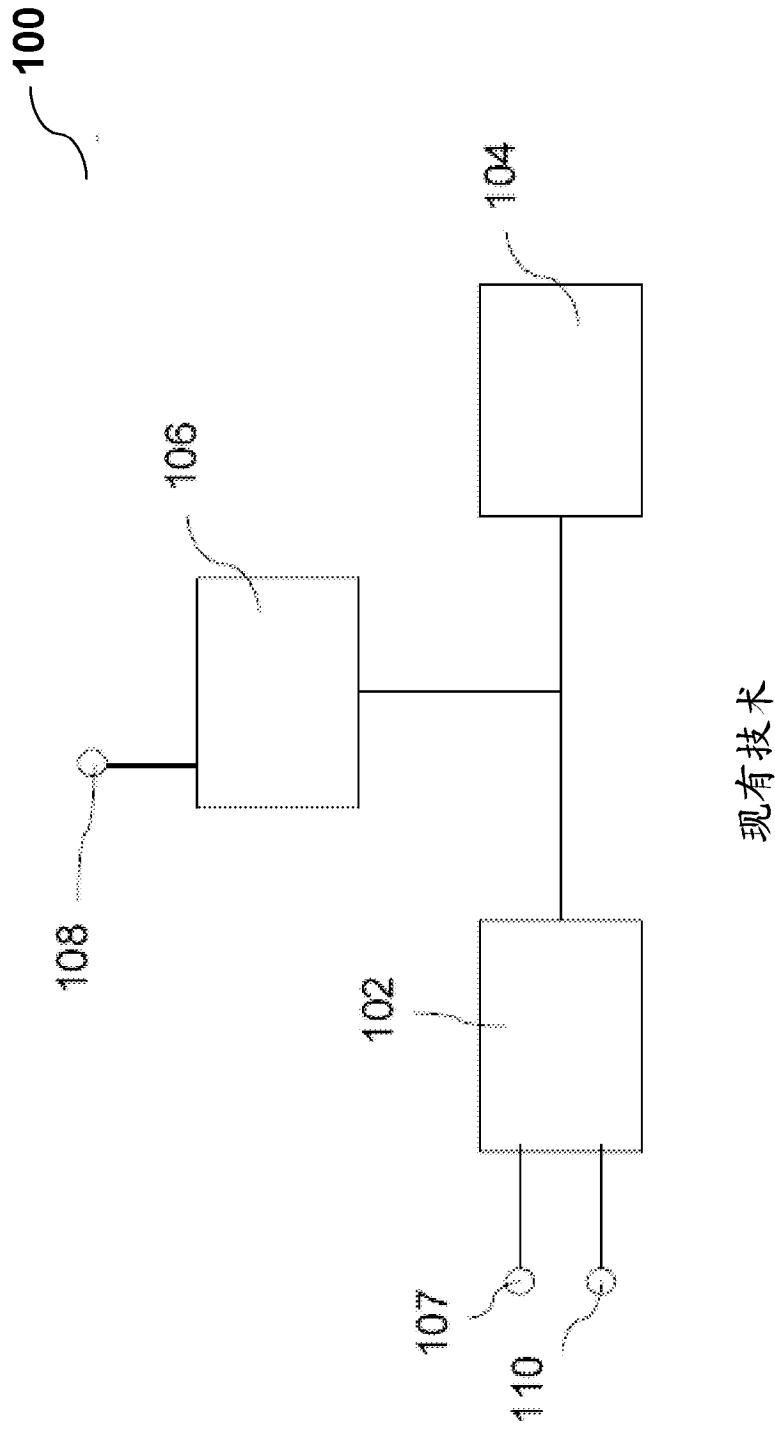
[0115] 就用于操作使用这些物理特征的保持触发器的方法而言,上面参考保持触发器的物理特征所描述的另外的特征是同样适用的,并且因此被重新陈述。

[0116] 上述方法1300可以是简单的控制序列,其可以被用来独立于时钟电平并且以低面积和定时开销将数据写入主电路。

[0117] 如图13所示,将二进制时钟信号提供给传输门(在1304中)和/或将逻辑状态(例如存储在第二锁存电路中的逻辑状态)写入到主电路中(在1306中)可以发生在恢复给主电路的电力(在1302中)与向隔离电路提供恢复信号(在1308中)之间而没有所存储的数据被丢失。

[0118] 虽然已经参考本公开内容的这些方面对本公开内容的各个方面特别地进行了示出和描述,但本领域的技术人员应该理解,可以在其中进行形式上和细节上的各种改变,而不背离如所附权利要求所限定的本公开内容的精神和范围。本公开内容的范围因此由所附权利要求来指示,并且落入权利要求的等同内容的意义和范围内的所有改变因此旨在被包含。





现有技术

图 1

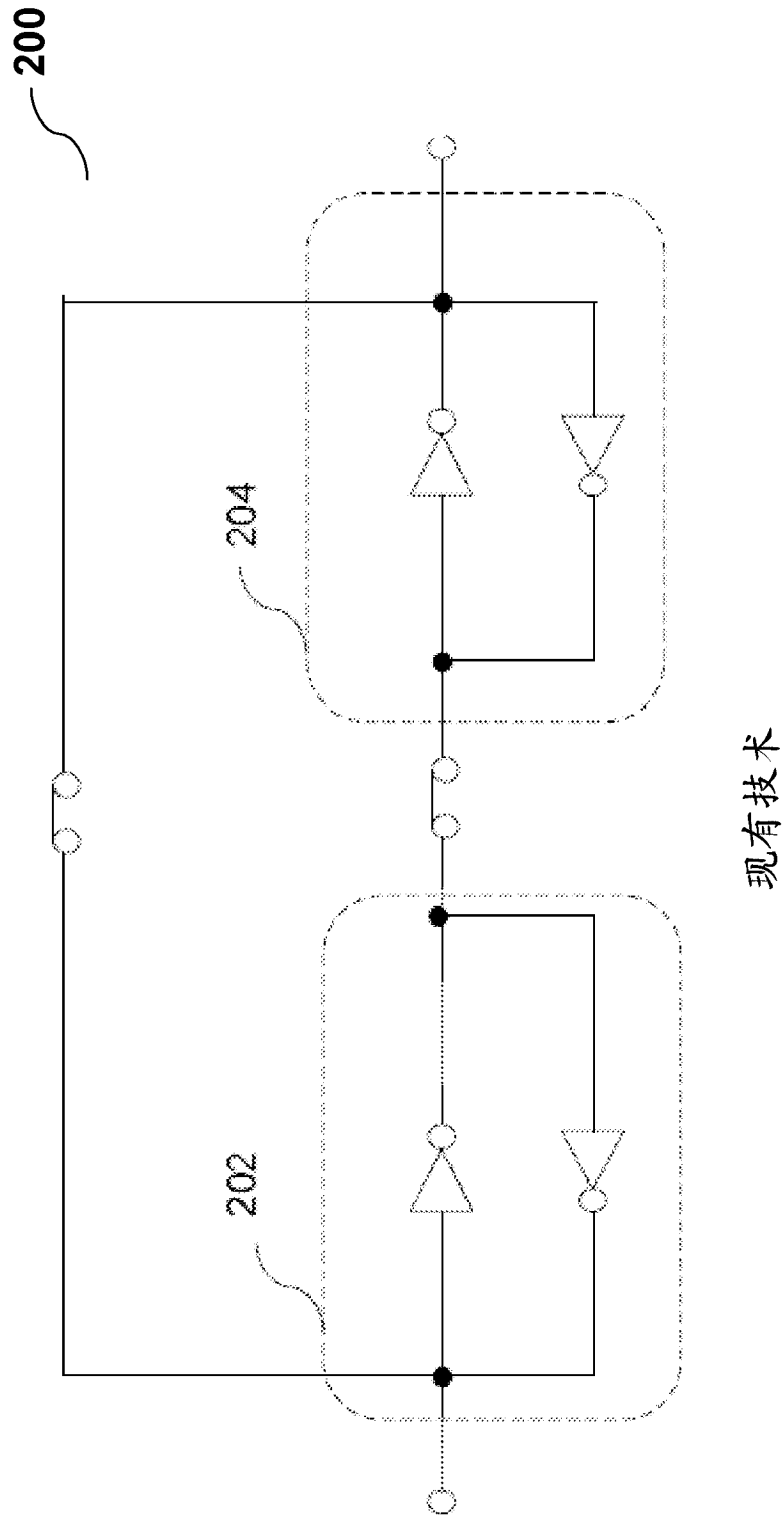


图 2

300

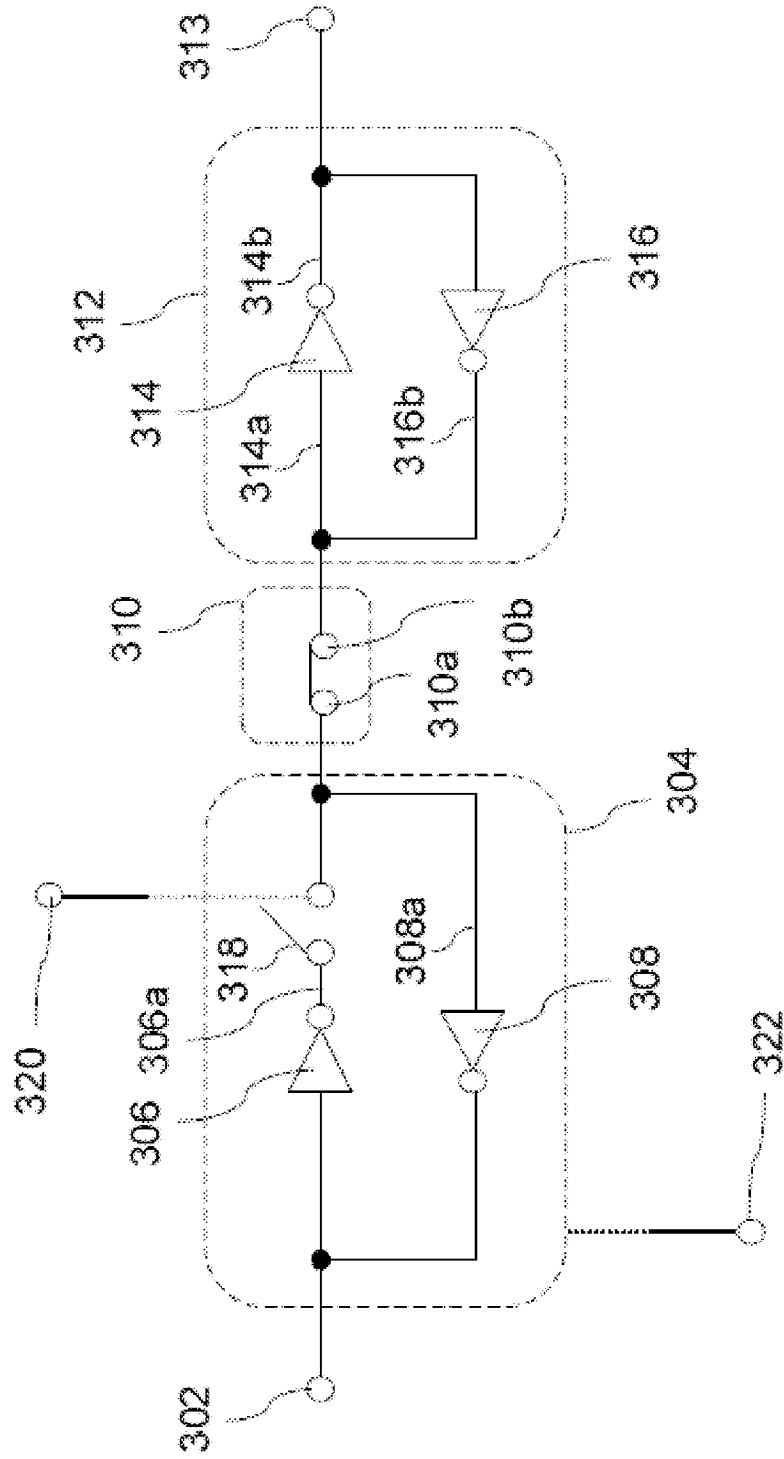


图 3

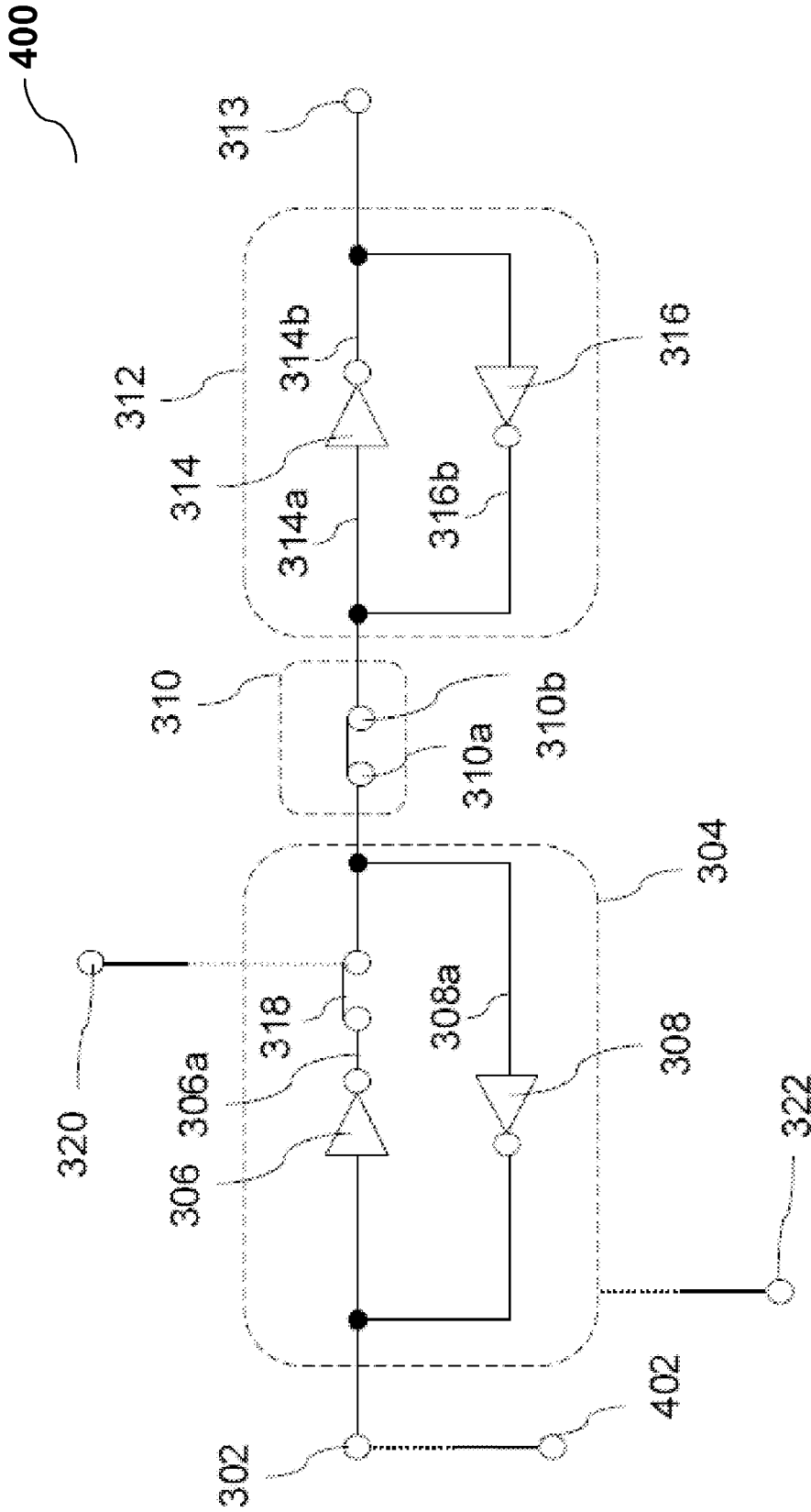


图 4

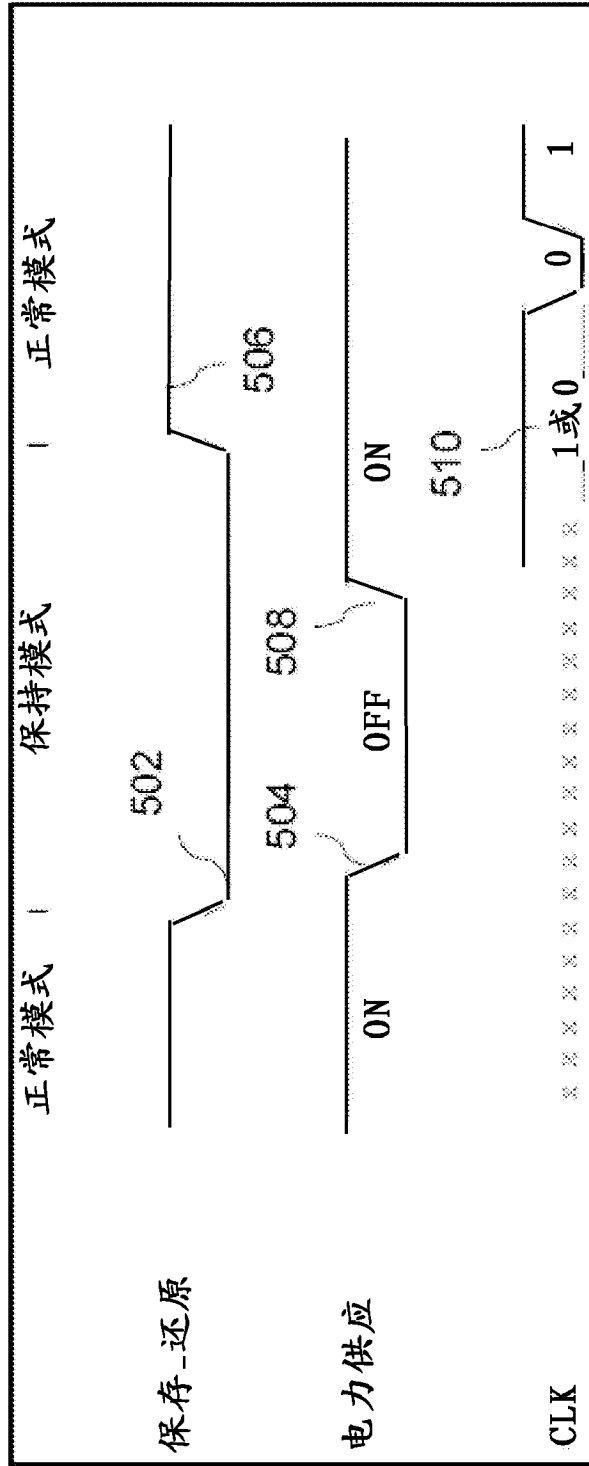


图 5

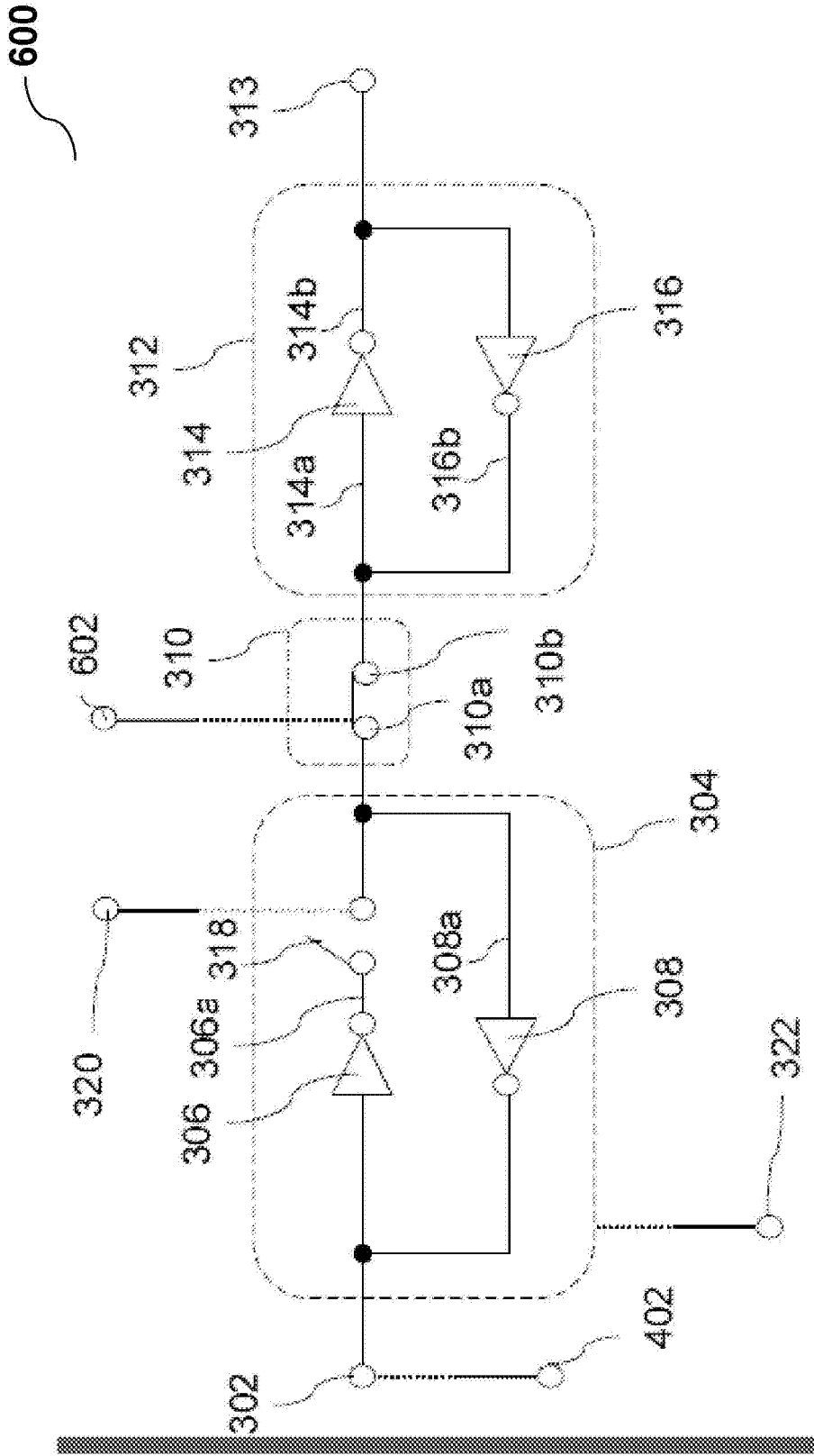


图 6

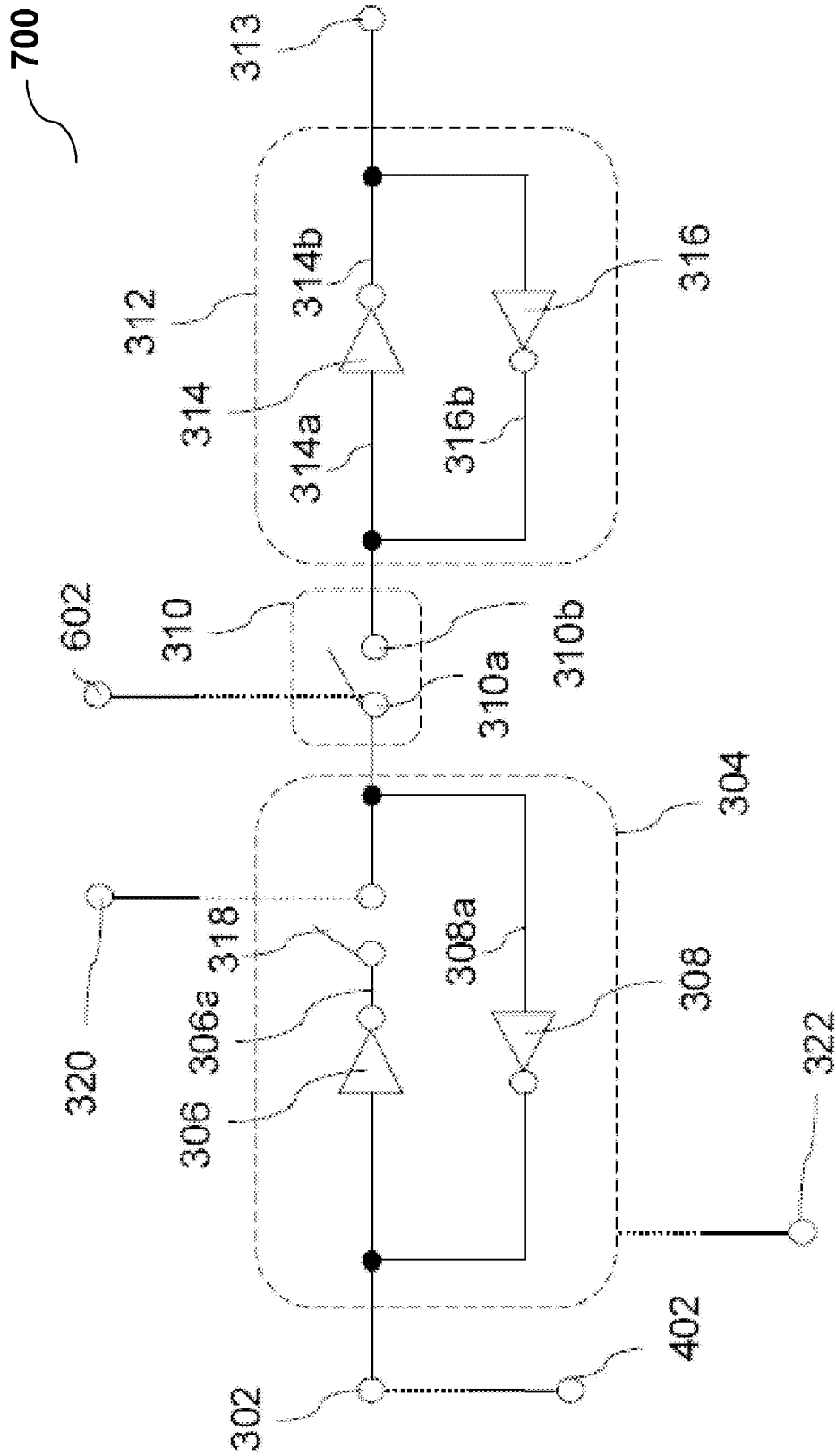


图 7

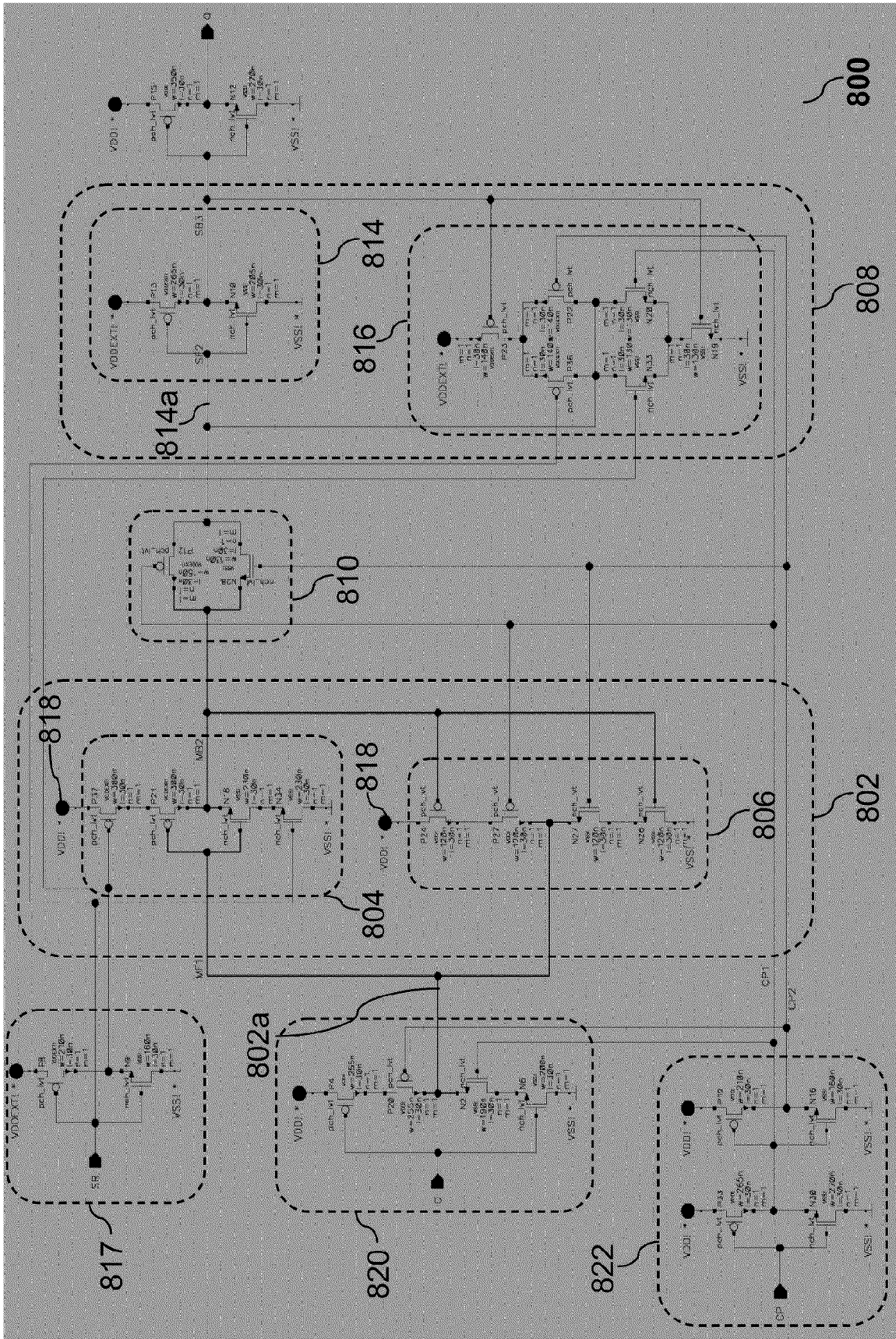


图 8



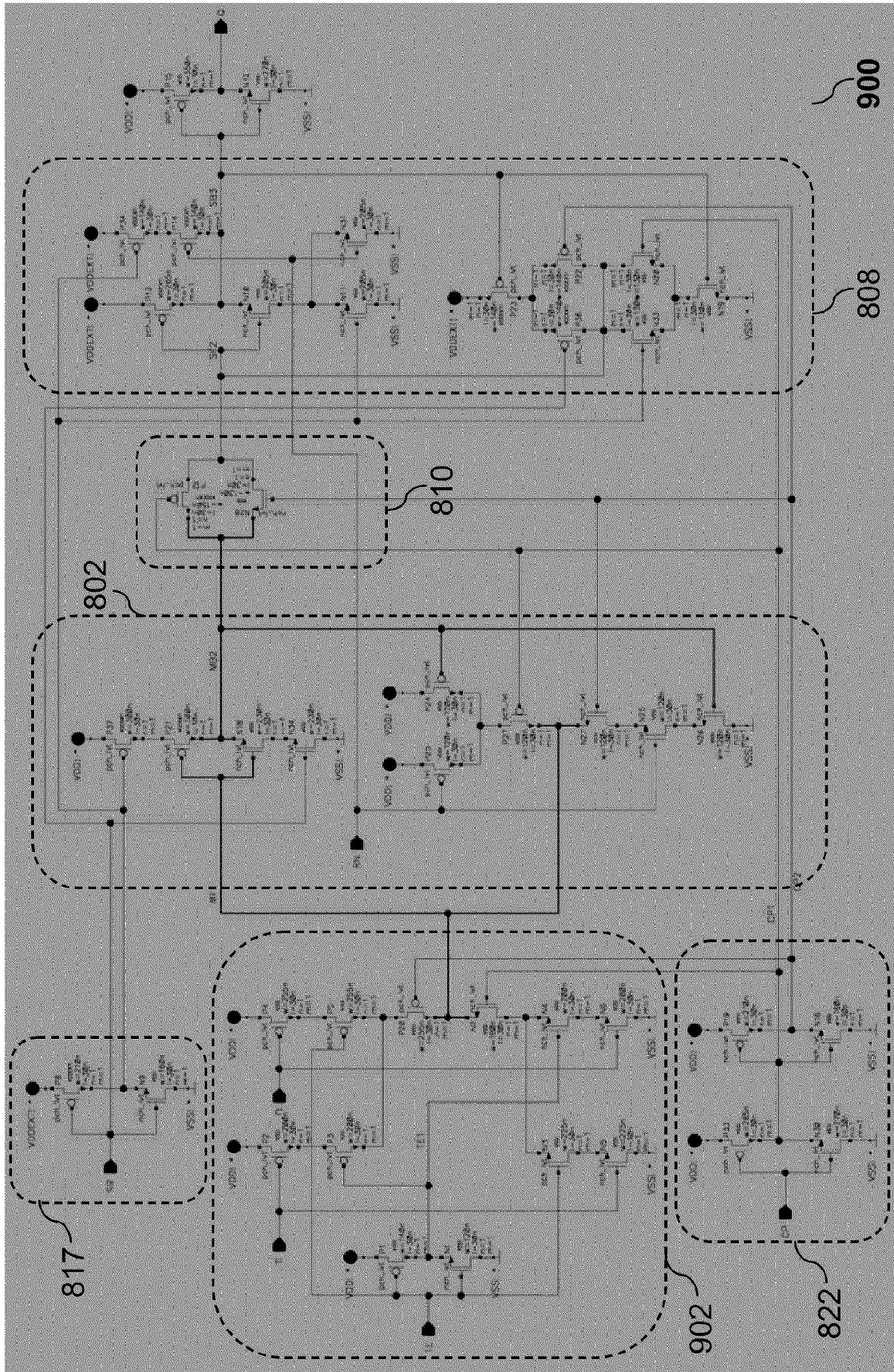


图 9

1000

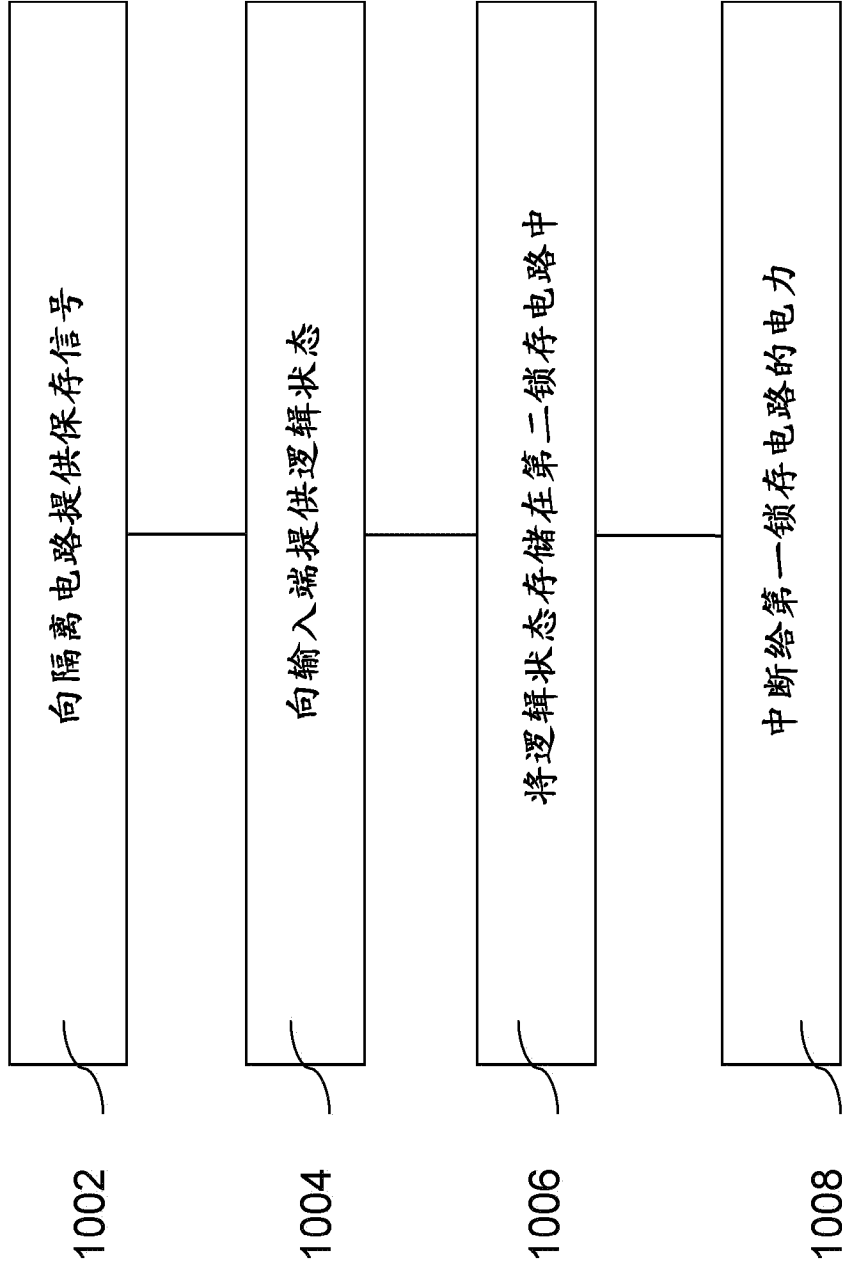


图 10

1100

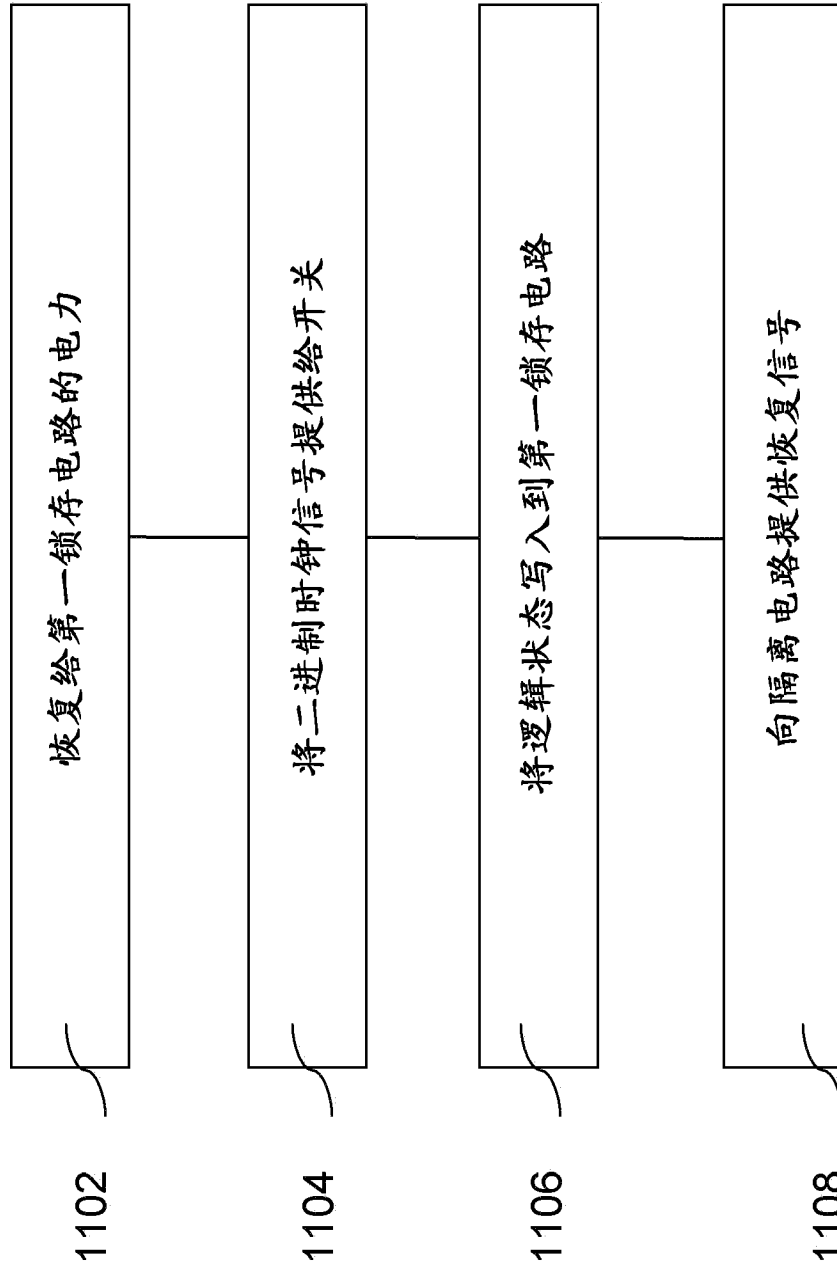


图 11

1200

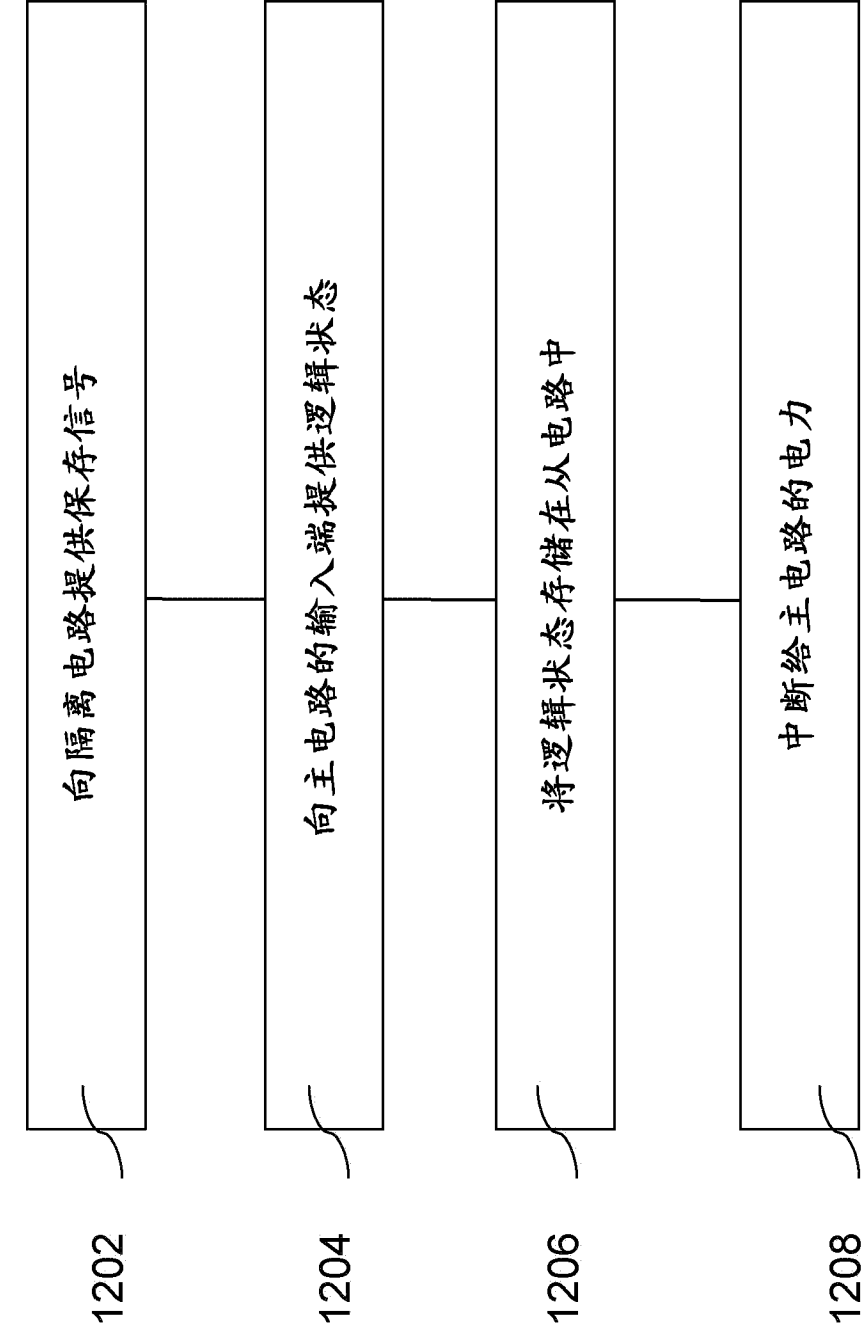


图 12

1300

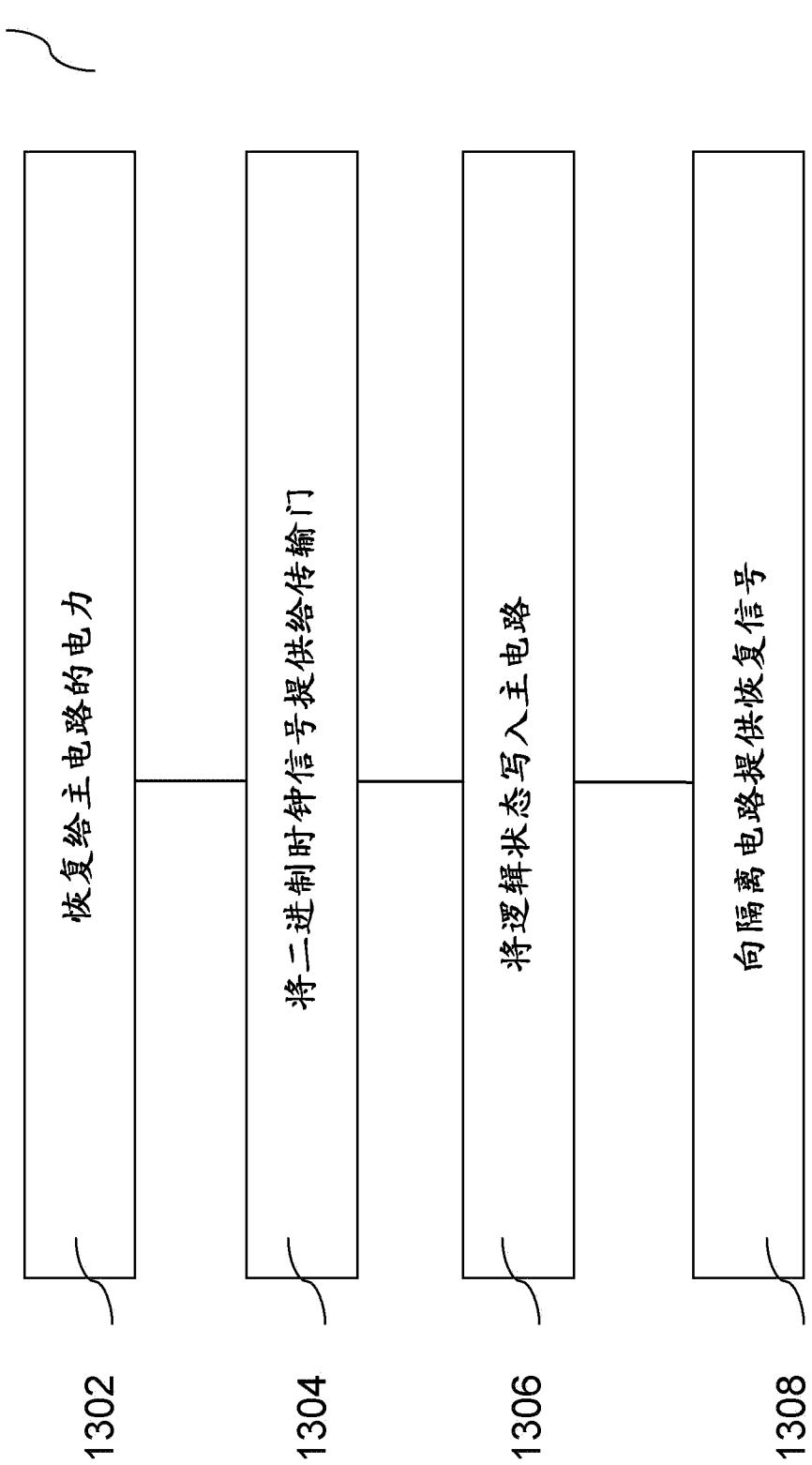


图 13