

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4960092号
(P4960092)

(45) 発行日 平成24年6月27日 (2012. 6. 27)

(24) 登録日 平成24年3月30日 (2012. 3. 30)

(51) Int. Cl.

F I

HO 1 L 21/8222 (2006. 01)
HO 1 L 27/06 (2006. 01)
HO 1 L 21/8248 (2006. 01)
HO 1 L 21/8232 (2006. 01)
HO 1 L 29/737 (2006. 01)

HO 1 L 27/06 1 O 1 U
HO 1 L 27/06 F
HO 1 L 29/72 H
HO 1 L 29/80 E
HO 1 L 29/80 C

請求項の数 5 (全 15 頁) 最終頁に続く

(21) 出願番号 特願2006-524679 (P2006-524679)
(86) (22) 出願日 平成16年8月6日 (2004. 8. 6)
(65) 公表番号 特表2007-504649 (P2007-504649A)
(43) 公表日 平成19年3月1日 (2007. 3. 1)
(86) 国際出願番号 PCT/US2004/025385
(87) 国際公開番号 W02005/024954
(87) 国際公開日 平成17年3月17日 (2005. 3. 17)
審査請求日 平成19年8月3日 (2007. 8. 3)
(31) 優先権主張番号 10/651, 544
(32) 優先日 平成15年8月29日 (2003. 8. 29)
(33) 優先権主張国 米国 (US)

(73) 特許権者 504199127
フリースケール セミコンダクター イン
コーポレイテッド
アメリカ合衆国 テキサス州 78735
オースティン ウィリアム キャノン
ドライブ ウェスト 6501
(74) 代理人 100116322
弁理士 桑垣 衛
(72) 発明者 ヒル、ダレル
アメリカ合衆国 85284 アリゾナ州
テンペ イー、キャロライン レーン
316

最終頁に続く

(54) 【発明の名称】 半導体部品および半導体部品の製造方法

(57) 【特許請求の範囲】

【請求項 1】

半導体基板と、
前記半導体基板の上方のエピタキシャル半導体層と、
前記エピタキシャル半導体層内のバイポーラトランジスタと、
前記エピタキシャル半導体層内の電界効果トランジスタとを備える半導体部品であって

、
前記半導体基板は表面を有し、
前記半導体基板の前記表面に実質的に平行な方向は水平方向であり、
前記エピタキシャル半導体層の第1の部分は前記バイポーラトランジスタのベースと前
記電界効果トランジスタの非金属ゲートとを形成し、前記非金属ゲートは前記電界効果ト
ランジスタの唯一のゲートであり、
前記エピタキシャル半導体層の前記第1の部分は前記水平方向において実質的に均一な
ドーピング濃度を有し、
前記エピタキシャル半導体層は第1の半導体層、前記第1の半導体層上の第2の半導体
層、前記第2の半導体層上の第3の半導体層、前記第3の半導体層上の第4の半導体層、
および前記第4の半導体層上の第5の半導体層を備え、

前記第3の半導体層は前記エピタキシャル半導体層の前記第1の部分を形成し、
前記第1の半導体層は前記バイポーラトランジスタのサブコレクタ層を形成し、
前記第2の半導体層は前記バイポーラトランジスタのコレクタ層を形成し、

10

20

前記第 5 の半導体層の一部は前記バイポーラトランジスタのオーミックコンタクト層および前記電界効果トランジスタのオーミックコンタクト層を形成し、

前記第 4 の半導体層は、前記第 3 の半導体層に隣接する下側半導体層と、前記第 5 の半導体層に隣接する上側半導体層と、前記下側半導体層と前記上側半導体層との間の中間半導体層とを備え、

前記下側半導体層、前記中間半導体層および前記上側半導体層の一部は前記バイポーラトランジスタの活性領域を形成し、

前記下側半導体層、前記中間半導体層および前記上側半導体層の前記一部は前記電界効果トランジスタのチャンネルを形成する半導体部品。

【請求項 2】

半導体基板と、

前記半導体基板の上方のエピタキシャル半導体層と、

前記エピタキシャル半導体層内のバイポーラトランジスタと、

前記エピタキシャル半導体層内の電界効果トランジスタとを備える半導体部品であって

、

前記半導体基板は表面を有し、

前記半導体基板の前記表面に実質的に平行な方向は水平方向であり、

前記エピタキシャル半導体層の第 1 の部分は前記バイポーラトランジスタのベースと前記電界効果トランジスタの非金属ゲートとを形成し、前記非金属ゲートは前記電界効果トランジスタの唯一のゲートであり、

前記エピタキシャル半導体層の前記第 1 の部分は前記水平方向において実質的に均一なドーピング濃度を有し、

前記エピタキシャル半導体層は第 1 の半導体層、前記第 1 の半導体層上の第 2 の半導体層、前記第 2 の半導体層上の第 3 の半導体層、前記第 3 の半導体層上の第 4 の半導体層、および前記第 4 の半導体層上の第 5 の半導体層を備え、

前記第 3 の半導体層は前記エピタキシャル半導体層の前記第 1 の部分を形成し、

前記第 1 の半導体層は前記バイポーラトランジスタのサブコレクタ層を形成し、

前記第 2 の半導体層は前記バイポーラトランジスタのコレクタ層を形成し、

前記第 5 の半導体層の一部は前記バイポーラトランジスタのオーミックコンタクト層および前記電界効果トランジスタのオーミックコンタクト層を形成し、

前記第 4 の半導体層は、前記第 3 の半導体層に隣接する下側半導体層と、前記第 5 の半導体層に隣接する上側半導体層とを備え、

前記下側半導体層および前記上側半導体層の一部は前記バイポーラトランジスタの活性領域を形成し、

前記下側半導体層および前記上側半導体層の前記一部は前記電界効果トランジスタのチャンネルを形成する半導体部品。

【請求項 3】

前記バイポーラトランジスタのエミッタと前記電界効果トランジスタのチャンネルとを形成する前記エピタキシャル半導体層の前記第 4 の半導体層は前記水平方向において実質的に均一なドーピング濃度を有する請求項 1 又は 2 に記載の半導体部品。

【請求項 4】

半導体基板を用意する工程と、

前記半導体基板の上方に、第 1 の半導体層、前記第 1 の半導体層上の第 2 の半導体層、前記第 2 の半導体層上の第 3 の半導体層、前記第 3 の半導体層上の第 4 の半導体層、および前記第 4 の半導体層上の第 5 の半導体層を備えるエピタキシャル半導体層を設ける工程と、

前記第 1 の半導体層を用いてバイポーラトランジスタのサブコレクタ層を形成する工程と、

前記第 2 の半導体層を用いて前記バイポーラトランジスタのコレクタ層を形成する工程と、

10

20

30

40

50

水平方向において実質的に均一なドーピング濃度を有する前記第3の半導体層を用いて前記バイポーラトランジスタのベースを形成する工程と、

前記エピタキシャル半導体層の前記第3の半導体層を用いて電界効果トランジスタの唯一のゲートである非金属ゲートを形成する工程と、

前記第4の半導体層に含まれる、前記第3の半導体層に隣接する下側半導体層、前記第5の半導体層に隣接する上側半導体層、及び前記下側半導体層と前記上側半導体層との間の中間半導体層を用いて、前記バイポーラトランジスタの活性領域を形成する工程と、

前記第4の半導体層に含まれる前記下側半導体層、前記上側半導体層及び前記中間半導体層を用いて、前記電界効果トランジスタのチャネルを形成する工程と、

前記第5の半導体層を用いて、前記バイポーラトランジスタのオーミックコンタクト層および前記電界効果トランジスタのオーミックコンタクト層を形成する工程とを備える、請求項1に記載の半導体部品の製造方法。

【請求項5】

半導体基板を用意する工程と、

前記半導体基板の上方に、第1の半導体層、前記第1の半導体層上の第2の半導体層、前記第2の半導体層上の第3の半導体層、前記第3の半導体層上の第4の半導体層、および前記第4の半導体層上の第5の半導体層を備えるエピタキシャル半導体層を設ける工程と、

前記第1の半導体層を用いてバイポーラトランジスタのサブコレクタ層を形成する工程と、

前記第2の半導体層を用いて前記バイポーラトランジスタのコレクタ層を形成する工程と、

水平方向において実質的に均一なドーピング濃度を有する前記第3の半導体層を用いて前記バイポーラトランジスタのベースを形成する工程と、

前記エピタキシャル半導体層の前記第3の半導体層を用いて電界効果トランジスタの唯一のゲートである非金属ゲートを形成する工程と、

前記第4の半導体層に含まれる、前記第3の半導体層に隣接する下側半導体層及び前記第5の半導体層に隣接する上側半導体層を用いて、前記バイポーラトランジスタの活性領域を形成する工程と、

前記第4の半導体層に含まれる前記下側半導体層及び前記上側半導体層を用いて、前記電界効果トランジスタのチャネルを形成する工程と、

前記第5の半導体層を用いて、前記バイポーラトランジスタのオーミックコンタクト層および前記電界効果トランジスタのオーミックコンタクト層を形成する工程とを備える、請求項2に記載の半導体部品の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は一般的に半導体部品に関し、より詳細には半導体部品内のトランジスタの集積化に関する。

【背景技術】

【0002】

バイポーラトランジスタについて最も広く用いられているバイアス回路、たとえば温度補償用のカレントミラーは2つ以上の直列のバイポーラトランジスタを要する。

【発明の開示】

【発明が解決しようとする課題】

【0003】

動作電圧が非常に低い場合には、直列の2つのバイポーラトランジスタの2つのエミッタ - ベース接合における電圧降下を利用可能な電圧供給と比べて十分大きくなり、このようなバイアス回路は動作不可能となる場合がある。過剰な電圧降下の問題はバイポーラトランジスタを、バイポーラトランジスタのエミッタ - ベースのターンオン電圧よりも低い

10

20

30

40

50

制御電圧を有する電界効果トランジスタ（本明細書においては低制御電圧トランジスタと言う）と直列に結合することによって解消されるかもしれない。しかしこのような集積化を行なうための既存の技術は、ⅢⅤ族半導体たとえばガリウムヒ素（GaAs）の場合には、費用対効果が高くなく実用的でない。既存の技術の大部分は、ウェハ処理の間に少なくとも2回の別個のエピタキシャル成長ステップを必要とする。その結果、既存の技術はコスト重視の用途にとって非常に高価である。さらに、イオン注入はGaAs内に信頼性の高いp-n接合を形成するには実用的ではない。その理由は、このようなイオン注入によって形成されるガリウムおよびヒ素の隙間や間隙をその後のアニールによって完全に取り除くことはできず、高濃度の深い準位のトラップがGaAs中に残るからである。

10

【0004】

既存の他の集積化技術では、エピタキシャル成長の前にかんがりのウェハ処理を必要とするか、またはp-n-pバイポーラトランジスタおよびnチャネル接合型電界効果トランジスタに対してのみ実用的である。このような技術は、高価で、再現性に乏しく、トランジスタ市場の大部分と適合しない。したがって、バイポーラトランジスタを低制御電圧トランジスタと統合した半導体部品が、市場の期待と要望を満たすパッケージにおいて必要であり、このような半導体部品を製造する費用対効果の高い実用的な方法が必要である。

【課題を解決するための手段】

【0005】

本発明は、図面中の添付の図とともに以下の詳細な説明を読むことによって、より良好に理解される。

20

説明を簡単および明瞭にするために、図面中の図では、一般的な構成の仕方を例示しており、良く知られている特徴および技術の説明および詳細は、本発明が不必要に分かりにくくなるのを避けるために省かれている場合がある。さらに、図面中の図における要素は、必ずしも一定の比率で描かれてはいない。たとえば、図中の一部の要素については、寸法が他の要素に対して誇張されている場合がある。これは、本発明の実施形態の理解を向上できるようにするためである。異なる図における同じ参照数字は、同じ要素を示す。

【0006】

説明および請求項における用語「第1」、「第2」、「第3」、「第4」など（もしあれば）は、同様の要素間を区別するために用いられており、必ずしも特定の連続的な順序または時系列の順序を説明するためではない。このように用いられる用語は、本明細書で説明される本発明の実施形態が、たとえば本明細書において例示されるかそうでなければ説明される順序以外の順序でも動作できるように、適切な状況の下で交換可能であることを理解されたい。さらに、用語「備える」、「含む」、「有する」、およびそのどんな変形も、包括的な包含に及ぶことが意図されている。すなわち、要素のリストを備えるプロセス、方法、物品、または装置は、必ずしもこれらの要素に限定されるわけではなく、明白にはリストにされていない要素、またはこのようなプロセス、方法、物品、もしくは装置に固有の他の要素が含まれていても良い。

30

【0007】

説明および請求項における用語「左」、「右」、「前方」、「後方」、「頂部」、「底部」、「上の」、「下の」など（もしあれば）は、説明のために用いられており、必ずしも永続的な相対位置を説明するためではない。このように用いられる用語は、本明細書で説明される本発明の実施形態が、たとえば本明細書において例示されるかそうでなければ説明される方位以外の方位でも動作できるように、適切な状況の下で交換可能であることを理解されたい。用語「結合される」は、本明細書で用いる場合、電氣的または非電氣的な仕方で直接的または間接的に接続されるとして規定される。

40

【発明を実施するための最良の形態】

【0008】

本発明の一実施形態においては、半導体部品は、半導体基板と、半導体基板の上方のエピタキシャル半導体層と、エピタキシャル半導体層内のバイポーラトランジスタと、エビ

50

タキシャル半導体層内の電界効果トランジスタとを備える。エピタキシャル半導体層の一部はバイポーラトランジスタのベースと電界効果トランジスタのゲートとを形成し、エピタキシャル半導体層の一部は、第1の実質的に均一なドーピング濃度を有する。同じ実施形態または他の実施形態においては、エピタキシャル半導体層の別の部分はバイポーラトランジスタのエミッタと電界効果トランジスタのチャンネルとを形成し、エピタキシャル半導体層の前記別の部分は実質的に均一なドーピング濃度を有し、その実質的に均一なドーピング濃度はエピタキシャル半導体層の前記一部の実質的に均一なドーピング濃度と同じであってもよくまたは異なってもよい。

【0009】

次に図を参照すると、図1は、本発明の実施形態による製造プロセスにおける特定の時点での、半導体部品100の一部を示す断面図である。半導体部品100は、半導体基板110と、半導体基板110上方のエピタキシャル半導体層120とを備える。一例では、半導体基板110は、III-V族半導体、たとえばGaAs、インジウムリン(InP)、窒化ガリウム(GaN)などを含むことができる。半導体基板110の表面に実質的に平行な方向は水平方向である。

【0010】

エピタキシャル半導体層120は、多くの異なる部分を備えている。これには、半導体層121、半導体層121上の半導体層122、半導体層122上の半導体層123、半導体層123上の半導体層124、および半導体層124上の半導体層125が含まれる。以下、半導体部品100の形成(エピタキシャル半導体層120の形成を含む)についてさらに説明する。本明細書中で用いる場合、語句「半導体層」は、単一の半導体層を意味することもできるし、2つ以上の半導体層から構成される複合半導体層を意味することもできる。

【0011】

半導体層123は、ドーピング濃度が 5×10^{18} 原子/cm³以上であり、厚みはほぼ30~150ナノメートルである。特定の実施形態においては、半導体層123は、ドーピング濃度がほぼ $4 \times 10^{19} \sim 5 \times 10^{19}$ 原子/cm³であり、厚みはほぼ60~100ナノメートルである。半導体層124は、ドーピング濃度がほぼ $5 \times 10^{16} \sim 5 \times 10^{18}$ 原子/cm³であり、厚みはほぼ30~300ナノメートルである。特定の実施形態においては、半導体層124のドーピング濃度は、ほぼ $1 \times 10^{17} \sim 1 \times 10^{18}$ 原子/cm³である。

【0012】

一実施形態においては、半導体層121、122、123、124、および125は、GaAs、GaAs、GaAs、インジウムガリウムリン(InGaP)、およびインジウムガリウムヒ素(InGaAs)(GaAsの上に横たわる)をそれぞれ含むことができる。他の実施形態においては、半導体層124は、InGaPの上に横たわるGaAsを備えていても良い。

【0013】

図2は、本発明の実施形態による製造プロセスにおけるより後の時点での半導体部品100を示す断面図である。図2に例示するように、半導体部品100はさらに金属層201を備える。金属層201は、金属領域210、金属領域220、および金属領域230を備える。金属層201(金属領域210、220、および230)の目的および作製については、以下にさらに説明する。一実施形態においては、金属層201は、チタン、タングステン、および窒素の合金を含むことができる。

【0014】

図3は、本発明の実施形態による製造プロセスにおけるより後の時点での半導体部品100を示す断面図である。図3に例示するように、半導体部品100はさらに、オーミックコンタクト310、オーミックコンタクト320、およびオーミックコンタクト330を備える。オーミックコンタクト310、320、および330は、半導体層125から、以下にさらに説明する方法で形成される。したがって半導体層125は、オーミックコ

10

20

30

40

50

ンタクト領域と呼んでも良い。

【0015】

図4は、本発明の実施形態による製造プロセスにおけるより後の時点での半導体部品100を示す断面図である。図4に例示するように、半導体部品100はさらに領域410および領域420を備える。領域410および420は、半導体層124の少なくとも一部から、以下にさらに説明する方法で形成される。

【0016】

図5は、本発明の実施形態による製造プロセスにおけるより後の時点での半導体部品100を示す断面図である。図5に例示するように、半導体部品100はさらに金属層501を備える。金属層501は、金属領域510および金属領域520を備える。金属層501（金属領域510および520を含む）の目的および作製については、以下にさらに説明する。一実施形態においては、金属層501は、チタン、プラチナ、および金を含む。特定の実施形態においては、金属層501は底部から頂部に向かって、プラチナ、チタン、プラチナ、および金からなる4層積層体からなる。

【0017】

図6は、本発明の実施形態による製造プロセスにおけるより後の時点での半導体部品100を示す断面図である。図6に例示するように、半導体部品100はさらに金属領域610を備える。金属領域610の目的および作製については、以下にさらに説明する。一実施形態においては、金属領域610は、ニッケル、ゲルマニウム、および金の合金である。半導体部品100はさらに、領域620および領域630を備える。領域620および630は、半導体層124の少なくとも一部から形成される。

【0018】

図7は、本発明の実施形態による製造プロセスにおけるより後の時点での半導体部品100を示す断面図である。図7に例示するように、半導体部品100はさらにギャップ710を備える。ギャップ710の目的および作製については、以下にさらに説明する。半導体部品100はさらに、領域720、領域730を備え、領域720内にバイポーラトランジスタ770を備え、領域730内に電界効果トランジスタ780を備える。バイポーラトランジスタ770および電界効果トランジスタ780は、エピタキシャル半導体層120内に形成されている。一実施形態においては、バイポーラトランジスタ770は、ヘテロ接合バイポーラトランジスタ（HBT）である。同じ実施形態または異なる実施形態において、電界効果トランジスタ780は、接合型電界効果トランジスタ（JFET）である。

【0019】

半導体層121は、バイポーラトランジスタ770のサブコレクタ層を形成し、半導体層122は、バイポーラトランジスタ770のコレクタ層を形成する。半導体層123は、バイポーラトランジスタ770のベースと電界効果トランジスタ780のゲートとを形成する。一実施形態においては、少なくともバイポーラトランジスタ770のベースを形成するために用いられる半導体層123の一部は、電界効果トランジスタ780のゲートを形成するために用いられる半導体層123の一部と、水平方向において実質的に同じドーピング濃度を有する。このような文脈において、「実質的に同じドーピング濃度」の意味は、エピタキシャル成長手順の範囲内で水平方向においてドーピング濃度の意図的な変化がないことである。

【0020】

半導体層124は、バイポーラトランジスタ770のエミッタおよび電界効果トランジスタ780のチャネルを形成する。一実施形態においては、少なくともバイポーラトランジスタ770のエミッタを形成するために用いられる半導体層124の一部は、電界効果トランジスタ780のチャネルを形成するために用いられる半導体層124の一部と、水平方向において実質的に同じドーピング濃度を有する。この濃度は、前述した半導体層123のドーピング濃度と同じであっても良いし異なっても良い。このような文脈において、「実質的に同じドーピング濃度」の意味は、エピタキシャル成長手順の範囲内で水

10

20

30

40

50

平方向においてドーピング濃度の意図的な変化がないことである。領域 4 1 0 および 4 2 0 は、半導体層 1 2 4 の上側半導体層の一部であり、領域 6 2 0 および 6 3 0 は、上側半導体層より下方にある半導体層 1 2 4 の下側半導体層の一部である。

【 0 0 2 1 】

一実施形態においては、領域 7 2 0 における領域 6 2 0 および 4 1 0 の一部によって、バイポーラトランジスタ 7 7 0 の活性領域が形成され、領域 7 3 0 における領域 6 3 0 および 4 2 0 の一部によって、電界効果トランジスタ 7 8 0 のチャネルが形成される。半導体層 1 2 4 の下側半導体層および上側半導体層によって、ヘテロ接合構造が形成される。領域 6 2 0 および 6 3 0 は、実質的に同様のドーピング濃度であり、領域 4 1 0 および 4 2 0 は、実質的に同様のドーピング濃度である。一実施形態においては、上側半導体層はアルミニウムガリウムヒ素 (A l G a A s) を含み、下側半導体層は I n G a P を含む。または逆の場合もあり得る。他の実施形態においては、上側半導体層は G a A s を含み、下側半導体層は I n G a P を含む。また下側半導体層の厚みは、上側半導体層の厚みよりも大きい。さらに他の実施形態においては、下側半導体層の全部または一部が、金属領域 5 1 0 および 5 2 0 の付近において取り除かれている。

【 0 0 2 2 】

金属領域 2 1 0 によって、バイポーラトランジスタ 7 7 0 のエミッタ電極が形成される。金属領域 2 2 0 および 2 3 0 によって、電界効果トランジスタ 7 8 0 のソース/ドレイン電極が形成される。半導体層 1 2 5 の一部は、バイポーラトランジスタ 7 7 0 のオーミックコンタクト層および電界効果トランジスタ 7 8 0 のオーミックコンタクト層を形成する。一例としては、オーミックコンタクト 3 1 0 によって、バイポーラトランジスタ 7 7 0 のエミッタ電極に対するオーミックコンタクトを形成することができる。他の例としては、オーミックコンタクト 3 2 0 および 3 3 0 によって、電界効果トランジスタ 7 8 0 のソース/ドレイン電極に対するオーミックコンタクトを形成することができる。金属領域 5 1 0 によって、バイポーラトランジスタ 7 7 0 のベース電極が形成される。金属領域 5 2 0 によって、電界効果トランジスタ 7 8 0 のゲート電極が形成される。金属領域 6 1 0 によって、バイポーラトランジスタ 7 7 0 のコレクタ電極が形成される。

【 0 0 2 3 】

図 8 は、本発明の実施形態による半導体部品 8 0 0 を示す断面図である。半導体部品 8 0 0 は、多くの点で、半導体部品 1 0 0 と同様であり、半導体部品 8 0 0 の、半導体部品 1 0 0 内にも存在する要素は、半導体部品 1 0 0 の要素を説明するために図 1 ~ 7 で用いられる同じ参照数字を用いて示す。図 8 に例示するように、半導体部品 8 0 0 は、半導体層 1 2 3 と半導体層 1 2 5 との間に半導体層 8 2 4 を備える。これらの層はすべて、やはりエピタキシャル半導体層 1 2 0 の一部である。半導体層 8 2 4 は、半導体層 1 2 3 に隣接する下側半導体層 8 3 0、下側半導体層 8 3 0 の上方の中間半導体層 8 4 0、中間半導体層 8 4 0 の上方にあり半導体層 1 2 5 に隣接する上側半導体層 8 5 0 を備える。下側半導体層 8 3 0、中間半導体層 8 4 0、および上側半導体層 8 5 0 によって、ヘテロ接合構造が形成されている。一実施形態においては、上側半導体層 8 5 0 の厚みは少なくとも、中間半導体層 8 4 0 と下側半導体層 8 3 0 とを合わせた厚みと同程度である。

【 0 0 2 4 】

半導体部品 8 0 0 はさらに、領域 7 2 0 におけるバイポーラトランジスタ 8 7 0 と、領域 7 3 0 における電界効果トランジスタ 8 8 0 とを備える。バイポーラトランジスタ 8 7 0 および電界効果トランジスタ 8 8 0 は、エピタキシャル半導体層 1 2 0 内に形成されている。一実施形態においては、バイポーラトランジスタ 8 7 0 は H B T である。同じ実施形態または異なる実施形態において、電界効果トランジスタ 8 8 0 は J F E T である。領域 7 2 0 における下側半導体層 8 3 0、中間半導体層 8 4 0、および上側半導体層 8 5 0 の一部によって、バイポーラトランジスタ 8 7 0 の活性領域が形成される。領域 7 3 0 における下側半導体層 8 3 0、中間半導体層 8 4 0、および上側半導体層 8 5 0 の一部によって、電界効果トランジスタ 8 8 0 のチャネルが形成される。一実施形態においては、活性領域を形成する下側半導体層 8 3 0 の一部のドーピング濃度は、チャネルを形成する下

側半導体層 830 の一部のドーピング濃度と、水平方向において実質的に同様である。同様に、活性領域を形成する中間半導体層 840 の一部の水平方向のドーピング濃度は、チャンネルを形成する中間半導体層 840 の一部のドーピング濃度と、実質的に同様かまたは同じである。また活性領域を形成する上側半導体層 850 の一部の水平方向のドーピング濃度は、チャンネルを形成する上側半導体層の一部のドーピング濃度と、実質的に同様かまたは同じである。

【0025】

一実施形態においては、半導体層 824 は、GaAs、InGaP、および AlGaAs を含む。下側半導体層 830 は、InGaP または AlGaAs を含み、中間半導体層 840 は、下側半導体層 830 を構成する材料とは異なる材料からなり、上側半導体層 850 は、中間半導体層 840 を構成する材料とは異なる材料からなる。特定の実施形態においては、下側半導体層 830 および上側半導体層 850 は InGaP を含み、中間半導体層 840 は GaAs を含む。また中間半導体層 840 の厚みは、上部および下側半導体層 850 および 830 の厚みよりも小さい。他の特定の実施形態においては、下側半導体層 830 および上側半導体層 850 は AlGaAs を含む。さらに他の特定の実施形態においては、上側半導体層 850 は InGaP を含み、下側半導体層 830 は AlGaAs を含む。または逆の場合もあり得る。

【0026】

図 9 は、本発明の実施形態による半導体部品の製造方法 900 を例示するフローチャートである。半導体部品は複数の層を備える。複数の層のうちのある特定の層のドーピング濃度および厚みが適切に選択されていれば、方法 900 は、標準的なバイポーラトランジスタ製造プロセスで必要とされるマスク以外に単一のマスクのみを必要として、半導体部品内に電界効果トランジスタを集積化することができる。一例としては、電界効果トランジスタのチャンネルは、ゼロボルトにおいて十分に低いサブ閾値電流とともに電界効果トランジスタがゼロよりも大きいピンチオフ電圧を有するように、選択されてもよい。

【0027】

方法 900 のステップ 901 は、半導体基板を用意するためのものである。一例としては、半導体基板は、半導体基板 110 (最初に図 1 に示される) と同様のものであるとすることができる。

【0028】

方法 900 のステップ 902 は、半導体基板上方にエピタキシャル半導体層を設けるためのものである。一例としては、エピタキシャル半導体層は、エピタキシャル半導体層 120 (最初に図 1 に示される) と同様とすることができる。

【0029】

一実施形態においては、ステップ 902 には、第 1 の半導体層を設けること、第 1 の半導体層上に第 2 の半導体層を設けること、第 2 の半導体層上に第 3 の半導体層を設けること、第 3 の半導体層上に第 4 の半導体層を設けること、第 4 の半導体層上に第 5 の半導体層を設けること、および第 5 の半導体層上に第 6 の半導体層を設けることが含まれる。一例としては、第 1、第 2、および第 3 の半導体層は、半導体層 121、半導体層 122、および半導体層 123 (最初に図 1 に示される) と、それぞれ同様とすることができる。他の例としては、第 4 の半導体層は、領域 620 および 630 (最初に図 6 に示される) と同様とすることもできるし、半導体層 830 (最初に図 8 に示される) と同様とすることもできる。また第 5 の半導体層は、領域 410 および 420 (最初に図 4 に示される) と同様とすることもできるし、半導体層 840 および 850 (最初に図 8 に示される) と同様とすることもできる。したがって、第 4 および第 5 の半導体層は全体として、半導体層 124 (最初に図 1 に示される) と同様とすることができる。さらに他の例として、第 6 の半導体層は、半導体層 125 (最初に図 1 に示される) と同様とすることができる。

【0030】

ステップ 902 はさらに、第 1、第 2、第 3、第 4、第 5、および第 6 の半導体層のいずれかをパターニングする前に第 1、第 2、第 3、第 4、第 5、および第 6 の半導体層の

10

20

30

40

50

各 1 つの形成を行なうことを含むことができる。

【 0 0 3 1 】

方法 9 0 0 のステップ 9 0 3 は、エピタキシャル半導体層上方に第 1 の金属層を堆積してパターンングするためのものである。一例としては、第 1 の金属層は、金属層 2 0 1 (最初に図 2 に示される)と同様とすることができる。ステップ 9 0 3 およびその後のステップで用いられる堆積およびパターンングプロセスは、当該技術分野において良く知られており、エッチングプロセス、リフトオフプロセスなどを含むことができる。一例としては、ステップ 9 0 3 を行なうことによって、金属領域 2 1 0、2 2 0、および 2 3 0 (最初に図 2 に示される)を形成することができる。

【 0 0 3 2 】

方法 9 0 0 のステップ 9 0 4 は、第 6 の半導体層の一部をエッチングして、第 5 の半導体層の一部を露出させるためのものである。一例としては、ステップ 9 0 4 を行なうことによって、オーミックコンタクト 3 1 0、3 2 0、および 3 3 0 (最初に図 3 に示される)を形成することができる。一実施形態においては、ステップ 9 0 4 には、第 6 の半導体層の一部を選択的にエッチングすることが含まれる。この実施形態においては、第 5 および第 6 の半導体層の特性は十分に異なっているため、エッチングプロセスによって、第 5 の半導体層に著しい影響を及ぼすことなく、第 6 の半導体層の一部を選択的に除去することができる。したがって第 5 の半導体層の厚みおよびドーピング濃度は、半導体部品またはその一部に対して所望の電気特性が得られるように選択することができる。同じ実施形態または他の実施形態においては、ステップ 9 0 5 および / もしくは 9 0 7 (後述する)、または他のエッチングステップには、選択エッチングを含めることもできる。

【 0 0 3 3 】

方法 9 0 0 のステップ 9 0 5 は、第 5 の半導体層の一部をエッチングして、第 4 の半導体層の一部を露出させるためのものである。一例としては、ステップ 9 0 5 を行なうことによって、領域 4 1 0 および 4 2 0 (最初に図 4 に示される)を形成することができる。

【 0 0 3 4 】

方法 9 0 0 のステップ 9 0 6 は、第 4 の半導体層の一部の上方に第 2 の金属層を堆積してパターンングするためのものである。一例としては、第 2 の金属層は、金属層 5 0 1 (最初に図 5 に示される)と同様とすることができる。他の例としては、ステップ 9 0 6 を行なうことによって、金属領域 5 1 0 および 5 2 0 (最初に図 5 に示される)が形成される。

【 0 0 3 5 】

方法 9 0 0 のステップ 9 0 7 は、第 4 の半導体層の部分の一部、第 3 の半導体層の一部、および第 2 の半導体層の一部をエッチングして、第 1 の半導体層の一部を露出させるためのものである。一実施形態においては、ステップ 9 0 7 は、ステップ 9 0 6 の前に行なうことができる。この実施形態においては、ステップ 9 0 6 が第 4 の半導体層の一部の上方ではなくて第 3 の半導体層の上方の第 2 の金属層を堆積およびパターンングするようにステップ 9 0 6 が変更されている。

【 0 0 3 6 】

方法 9 0 0 のステップ 9 0 8 は、第 1 の半導体層の一部の上方に、第 3 の金属層を堆積してパターンングするためのものである。一例としては、ステップ 9 0 8 を行なうことによって、金属領域 6 1 0 (最初に図 6 に示される)が形成される。

【 0 0 3 7 】

方法 9 0 0 のステップ 9 0 9 は、エピタキシャル半導体層の一部を用いて、バイポーラトランジスタのベースを形成するためのものである。一例としては、エピタキシャル半導体層の一部は、半導体層 1 2 3 (最初に図 1 に示される)と同様とすることができる。他の例としては、バイポーラトランジスタは、図 7 のバイポーラトランジスタ 7 7 0 と同様とすることができる。さらに他の例としては、バイポーラトランジスタは、図 8 のバイポーラトランジスタ 8 7 0 と同様とすることができる。

【 0 0 3 8 】

方法 900 のステップ 910 は、エピタキシャル半導体層の一部を用いて電界効果トランジスタのゲートを形成するためのものである。一例としては、電界効果トランジスタは、図 7 の電界効果トランジスタ 780 と同様とすることができる。他の例としては、電界効果トランジスタは、図 8 の電界効果トランジスタ 880 と同様とすることができる。

【0039】

方法 900 のステップ 911 は、前述の金属領域を合金にするためのものである。この結果、ベース、コレクタ、エミッタ、ゲート、ソース、およびドレイン電極が形成される。

【0040】

方法 900 のステップ 912 は、バイポーラトランジスタを電界効果トランジスタから絶縁分離するためのものである。一例としては、ステップ 912 は、第 1 の半導体層の部分の一部をエッチング除去することによって、および少なくとも一実施形態においては半導体基板の一部もエッチング除去することによって、行なうことができる。この方法においてステップ 912 を行なうことによって、ギャップ 710（最初に図 7 に示される）が形成される。他の例としては、ステップ 912 は、第 1 の半導体層または半導体基板の導電型に対向する導電型を有するドーパントを注入することによって、または非ドーパント（たとえば酸素、アルゴン等）を注入することによって、行なうことができる。さらに他の例として、ステップ 912 は、エッチングステップと、一方または両方の注入ステップ（前述）との両方を行なうことによって、行なうことができる。一実施形態においては、ステップ 912 は、ステップ 909、910、および 911 の前に行なうことができる。

【0041】

方法 900 のステップ 913 は、エピタキシャル半導体層の異なる部分を用いて、バイポーラトランジスタのエミッタを形成するためのものである。一例としては、エピタキシャル半導体層の異なる部分は、第 4 の半導体層および第 5 の半導体層を含むことができ、および半導体層 124（最初に図 1 に示される）と同様とすることもできるし、半導体層 824（最初に図 8 に示される）と同様とすることもできる。

【0042】

方法 900 のステップ 914 は、エピタキシャル半導体層の異なる部分を用いて電界効果トランジスタのチャンネルを形成するためのものである。

半導体部品 100 および半導体部品 800 は、本発明の実施形態によりバイポーラトランジスタプラットフォーム内に集積化された電界効果トランジスタの 2 つの実施形態である。前述したように、ある特定の用途に対しては、JFET を GaAs HBT 技術に統合することが望ましい。このような用途の 1 つは、HBT 電力増幅器におけるバイアス回路（たとえば、携帯電話において広く用いられるもの）である。図 10 に、このようなバイアス回路の一実施形態を示す。

【0043】

最も広く用いられるバイアス回路は直列の 2 つのトランジスタを必要とする。2 つの GaAs の HBT エミッタ - ベース接合を直列に用いることに伴う電圧降下は、利用可能な基準電圧が低い携帯電話の場合には、大きすぎて実用的ではない。既存の製品では、過剰な電圧降下の問題に対する対処を、異なるプロセス技術からの低制御電圧トランジスタを用いることによって、行なっている。しかしこのアプローチでは、さらなるダイを必要とするため、電力増幅器モジュールのサイズおよびコストの両方が増加する。またこのアプローチでは、各 GaAs ダイのサイズが増加する。言うのは、オフチップバイアス回路と接続して機能するために必要なさらなるボンドパッドがバイアス回路自体よりも大きいからである。したがってバイアス回路、HBT 電力増幅器、および携帯電話のコスト、サイズ、および複雑さはすべて、本明細書で教示するように、低制御電圧トランジスタ（たとえば電界効果トランジスタ 780 または電界効果トランジスタ 880）を GaAs ダイにモノリシックに集積化することによって、小さくなる。

【0044】

図 10 は、本発明の実施形態による半導体部品を備えるバイアス回路 1000 を例示す

るダイアグラムである。一実施形態においては、バイアス回路 1000 は、電力増幅バイアス回路（たとえば、携帯電話内で広く用いられるもの）である。バイアス回路 1000 は、バイポーラトランジスタ 1070 および電界効果トランジスタ 1080 を備える。一例としては、バイポーラトランジスタ 1070 は、図 7 のバイポーラトランジスタ 770 と同様とすることもできるし、図 8 のバイポーラトランジスタ 870 と同様とすることもできる。また電界効果トランジスタ 1080 は、図 7 の電界効果トランジスタ 780 と同様とすることもできるし、図 8 の電界効果トランジスタ 880 と同様とすることもできる。バイアス回路 1000 はさらに、基準電圧ピン 1010、および供給電圧ピン 1020、供給電圧ピン 1030 を備える。矢印 1040 によって、バイアス電流の方向が示されている。矢印 1050 によって、バイアス電流に倍率を乗じたものに等しい電流の方向が示されている。

10

【0045】

本発明を特定の実施形態を参照して説明してきたが、当業者ならば理解するように、本発明の趣旨または範囲から逸脱することなく種々の変化を施しても良い。前述の説明において、このような変化の種々の例を示している。したがって本発明の実施形態の開示は、本発明の範囲を例示することが意図されており、限定することは意図されていない。本発明の範囲の限定は、添付の請求項によって要求される程度までのみであることが意図されている。たとえば、当業者には容易に明らかであるように、本明細書で説明した半導体部品は、種々の実施形態で実施しても良く、これらの実施形態のうちのいくつかについて行なった前述の説明は、必ずしもすべての可能な実施形態を完全に説明したものを表わしているわけではない。

20

【0046】

また特定の実施形態について、利益、他の優位性、および問題に対する解決方法を説明してきた。しかし利益、優位性、または問題に対する解決方法、および何らかの利益、優位性、または解決方法を生じさせるかまたはより明白にし得るどんな要素も、何れかまたは全ての請求項の重要であるか、必要であるか、または不可欠である特徴または要素として解釈してはならない。

【0047】

さらに、本明細書において開示される実施形態および限定は、以下の場合には、解放の原理の下で公に解放されるわけではない。すなわち、実施形態および/または限定が、（1）請求項において明確に請求されていない場合、および（2）均等論の下で、請求項における明確な要素および/もしくは限定の均等物であるか、または潜在的に均等物である場合である。

30

【図面の簡単な説明】

【0048】

【図 1】本発明の実施形態による製造プロセスにおける特定の時点での半導体部品の一部を示す断面図である。

【図 2】本発明の実施形態による製造プロセスにおけるもっと後の時点での図 1 の半導体部品を示す断面図である。

【図 3】本発明の実施形態による製造プロセスにおけるもっと後の時点での図 2 の半導体部品を示す断面図である。

40

【図 4】本発明の実施形態による製造プロセスにおけるもっと後の時点での図 3 の半導体部品を示す断面図である。

【図 5】本発明の実施形態による製造プロセスにおけるもっと後の時点での図 4 の半導体部品を示す断面図である。

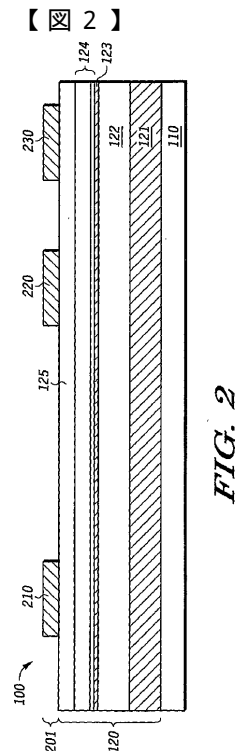
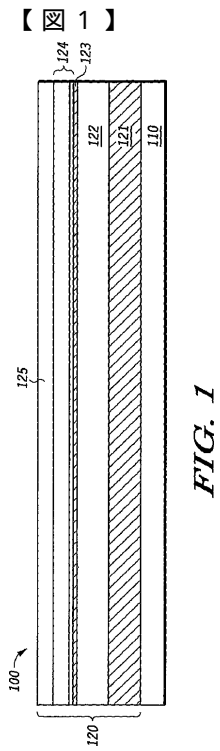
【図 6】本発明の実施形態による製造プロセスにおけるもっと後の時点での図 5 の半導体部品を示す断面図である。

【図 7】本発明の実施形態による製造プロセスにおけるもっと後の時点での図 6 の半導体部品を示す断面図である。

【図 8】本発明の異なる実施形態による半導体部品を示す断面図である。

50

【図 9】本発明の実施形態による半導体部品の製造方法を例示するフローチャートである。
【図 10】本発明の実施形態による半導体部品を備える回路を例示するダイアグラムである。



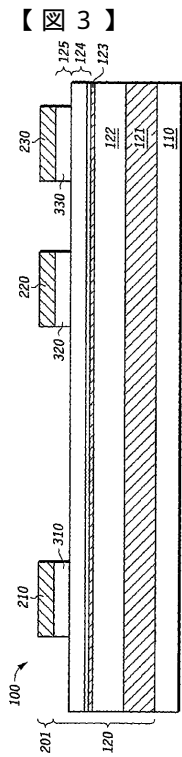


FIG. 3

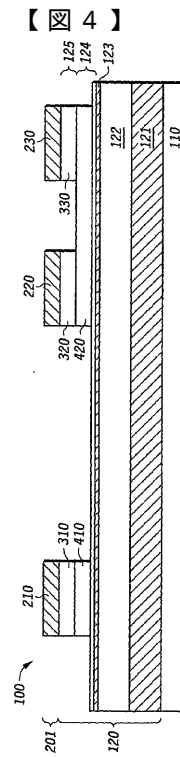


FIG. 4

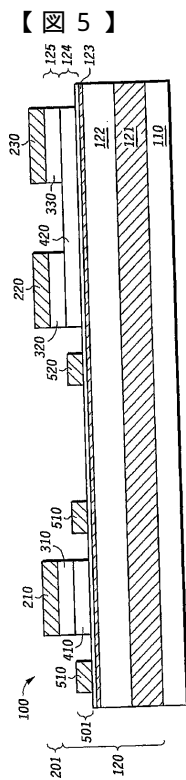


FIG. 5

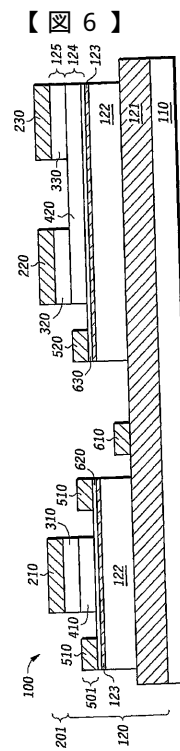


FIG. 6

フロントページの続き

(51)Int.Cl. F I

H 0 1 L 21/331 (2006.01)

H 0 1 L 27/095 (2006.01)

H 0 1 L 29/808 (2006.01)

H 0 1 L 27/098 (2006.01)

H 0 1 L 21/337 (2006.01)

(72)発明者 サダカ、マリアム ジー .

アメリカ合衆国 7 8 7 3 8 テキサス州 オースティン ナパ ドライブ 3 1 1 9

(72)発明者 レイ、マーカス

アメリカ合衆国 8 5 2 8 4 アリゾナ州 テンペ エス . デートランド 8 0 6 2

審査官 小森 重樹

(56)参考文献 特開平 1 0 - 1 7 7 9 5 3 (J P , A)

特開平 0 3 - 0 6 4 9 6 3 (J P , A)

特開平 0 6 - 0 6 9 2 2 6 (J P , A)

特開平 0 5 - 0 4 1 3 9 3 (J P , A)

特開 2 0 0 0 - 0 5 8 6 6 3 (J P , A)

特開平 0 8 - 0 8 3 8 0 8 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H01L 21/8222

H01L 21/331

H01L 21/337

H01L 21/8232

H01L 21/8248

H01L 27/06

H01L 27/095

H01L 29/737

H01L 29/808