

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6416653号
(P6416653)

(45) 発行日 平成30年10月31日(2018.10.31)

(24) 登録日 平成30年10月12日(2018.10.12)

(51) Int.Cl. F I
HO2M 1/08 (2006.01) HO2M 1/08 A
HO2M 7/48 (2007.01) HO2M 7/48 F

請求項の数 4 (全 24 頁)

(21) 出願番号	特願2015-28255 (P2015-28255)	(73) 特許権者	316011466
(22) 出願日	平成27年2月17日 (2015. 2. 17)		日立ジョンソンコントロールズ空調株式会社
(65) 公開番号	特開2016-152672 (P2016-152672A)		東京都港区海岸一丁目16番1号
(43) 公開日	平成28年8月22日 (2016. 8. 22)	(74) 代理人	110001807
審査請求日	平成29年6月19日 (2017. 6. 19)		特許業務法人磯野国際特許商標事務所
		(72) 発明者	月井 浩二
			東京都港区海岸一丁目16番1号 日立アプライアンス株式会社内
		(72) 発明者	田村 正博
			東京都港区海岸一丁目16番1号 日立アプライアンス株式会社内
		(72) 発明者	田村 建司
			東京都港区海岸一丁目16番1号 日立アプライアンス株式会社内

最終頁に続く

(54) 【発明の名称】 電力変換装置、及びこれを備える空気調和機

(57) 【特許請求の範囲】

【請求項1】

直流電源の正側に接続される上アームのスイッチング素子と、前記直流電源の負側に接続される下アームのスイッチング素子と、が接続されてなるスイッチングレグを有し、前記直流電源から印加される直流電圧を交流電圧に変換するインバータ回路と、

前記スイッチング素子のゲートと一対で接続されるゲート回路と、

前記ゲート回路を介して前記スイッチング素子を駆動する駆動回路と、を備え、

前記ゲート回路は、順方向電圧が印加されることで、当該ゲート回路に接続される前記スイッチング素子をセルフターンオンさせるダイオードを有し、

前記ダイオードは、前記スイッチング素子のソースにアノードが接続され、前記スイッチング素子のゲートと前記駆動回路とを接続する配線にカソードが接続されること

を特徴とする電力変換装置。

【請求項2】

前記ダイオードを介した経路において、前記駆動回路側から前記スイッチング素子のゲートを見た抵抗値が、100以下であること

を特徴とする請求項1に記載の電力変換装置。

【請求項3】

前記スイッチング素子は、スーパー・ジャンクション・MOSFET、SiC・MOSFET、又はGaNパワー半導体であること

を特徴とする請求項1又は請求項2に記載の電力変換装置。

10

20

【請求項 4】

直流電源の正側に接続される上アームのスイッチング素子と、前記直流電源の負側に接続される下アームのスイッチング素子と、が接続されてなるスイッチングレグを有し、前記直流電源から印加される直流電圧を交流電圧に変換するインバータ回路と、

前記スイッチング素子のゲートと一対一で接続され、順方向電圧が印加されることで当該スイッチング素子をセルフターンオンさせるダイオードを有するゲート回路と、

前記ゲート回路を介して前記スイッチング素子を駆動する駆動回路と、を有する電力変換装置を備えるとともに、

前記電力変換装置から印加される交流電圧で駆動するモータと、

前記モータの回転によって駆動する圧縮機、室外熱交換器、膨張弁、及び室内熱交換器が配管を介して環状に順次接続されてなる空調回路と、を備え、

前記ダイオードは、前記スイッチング素子のソースにアノードが接続され、前記スイッチング素子のゲートと前記駆動回路とを接続する配線にカソードが接続されること

を特徴とする空気調和機。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、直流電圧を交流電圧に変換する電力変換装置等に関する。

【背景技術】

【0002】

近年、地球環境保全の観点から、モータを搭載した電車、自動車、空気調和機等の機器にも省エネルギー化が強く求められている。こうした要請を満たすために、直流電圧を三相交流電圧に変換するインバータ（電力変換装置）に関して、損失を改善するための様々な技術が提案されている。

【0003】

例えば、インバータのスイッチング素子として IGBT（Insulated-Gate-Bipolar-Transistor）が広く用いられているが、これに代えて、IGBTよりも定常損失の小さい MOSFET（Metal-Oxide-Semiconductor Field-Effect Transistor）を用いることが提案されている。

【0004】

インバータ回路のスイッチング素子として MOSFET を用いる場合、逆回復電流に伴うノイズが問題になる。ここで「逆回復電流」とは、ダイオード（スイッチング素子の寄生ダイオードを含む）に印加される電圧が順方向電圧から逆方向電圧に切り替わった瞬間に流れる電流である。逆回復電流が発生した場合、この逆回復電流の急激な変化に伴ってノイズが発生し、回路に悪影響を及ぼす可能性がある。このようなノイズを低減するための対策として、例えば、以下に示す技術が知られている。

【0005】

すなわち、特許文献 1 には、直流電源の正側に接続されるハイサイド側の主回路と、この主回路に直列接続されるとともに、直流電源の負側に接続されるローサイド側の主回路と、各主回路に並列接続されるスナバ回路と、を備える電力変換装置について記載されている。

【先行技術文献】

【特許文献】

【0006】

【特許文献 1】特開 2013 - 66371 号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

特許文献 1 に記載の技術では、スナバ回路によって逆回復電流に伴うノイズを低減できるものの、このスナバ回路において損失が発生してしまう。また、スナバ回路の設置に伴

10

20

30

40

50

ってゲート抵抗が大きくなるため、スイッチング素子がオンするまでの時間が長くなり、スイッチング損失（損失）の増加を招いてしまう。

【0008】

例えば、特許文献1の各主回路が備えるスイッチングに、スーパー・ジャンクション-MOSFET（Super Junction Metal-Oxide-Semiconductor Field-Effect Transistor：以下、SJ-MOSFETと記す）を用いることで、損失を小さくすることが考えられる。このSJ-MOSFETは、定常損失が小さいという利点があり、さらに昨今、逆回復電流が流れる時間（以下、逆回復時間という）を短くしたものが開発された。逆回復時間が短いほどスイッチング損失も小さくなるため、SJ-MOSFETを用いることで、従来よりも損失の低減が可能になる。

10

【0009】

しかしながら、逆回復時間を短くすると、そのぶん電流が急激に変動するため、ノイズが大きくなるという問題がある。このように、逆回復電流に関して、ノイズの抑制とスイッチング損失（損失）の低減とはトレードオフの関係になっている。

【0010】

そこで、本発明は、低ノイズかつ低損失な電力変換装置等を提供することを課題とする。

【課題を解決するための手段】

【0011】

前記課題を解決するために、本発明は、順方向電圧が印加されることでスイッチング素子をセルフターンオンさせるダイオードを備え、前記ダイオードは、前記スイッチング素子のソースにアノードが接続され、前記スイッチング素子のゲートと駆動回路とを接続する配線にカソードが接続されることを特徴とする。

20

【発明の効果】

【0012】

本発明によれば、低ノイズかつ低損失な電力変換装置等を提供できる。

【図面の簡単な説明】

【0013】

【図1】本発明の第1実施形態に係る電力変換装置の構成図である。

【図2】電力変換装置の第1レグ、ゲート回路、駆動回路、及び制御回路の構成図である。

30

【図3】セルフターンオンの概要を示す説明図である。

【図4】(a)は逆回復電流の増加中に、基板パターンのインダクタンス成分によって発生する電圧変動を示す説明図であり、(b)は逆回復電流が増加する期間の波形図である。

【図5】(a)は逆回復電流の減少中に、基板パターンのインダクタンス成分によって発生する電圧変動を示す説明図であり、(b)は逆回復電流が減少する期間の波形図である。

【図6】逆回復電流の減少中に、バイアス部のダイオードに逆方向電圧が印加されている状態の説明図であり、(a)は回路の状態を示す説明図であり、(b)はダイオードに印加される電圧の波形図である。

40

【図7】逆回復電流の減少中に、バイアス部のダイオードに順方向電圧が印加されている状態の説明図であり、(a)は回路の状態を示す説明図であり、(b)はダイオードに印加される電圧の波形図である。

【図8】下アーム還流後に上アームのスイッチング素子をオンしたときの波形図であり、(a)はバイアス部無しの比較例の場合であり、(b)はバイアス部有りの第1実施形態の場合である。

【図9】スイッチングスピードを低速化した比較例に関する説明図であり、(a)は下アーム還流後に上アームのスイッチング素子をオンに切り替えたときの基準波形の説明図であり、(b)は上アームのスイッチング素子の抵抗値を+64%増加させた場合の説明図

50

であり、(c)は、上アームのスイッチング素子の抵抗値を+258%増加させた場合の説明図である。

【図10】本発明の第1実施形態において、下アームのスイッチング素子のゲートから駆動回路側を見た抵抗値を増加させたときの損失の変化を示す説明図であり、(a)は下アーム還流後に上アームのスイッチング素子をオンに切り替えたときの基準波形の説明図であり、(b)は上アームのスイッチング素子の抵抗値を+65%増加させた場合の説明図であり、(c)は上アームのスイッチング素子の抵抗値を+432%増加させた場合の説明図である。

【図11】上アームのスイッチングスピードを低速化した比較例(図9参照)、及び、セルフターンオンを利用した本実施形態(図10参照)に関する損失をまとめた表である。

【図12】本発明の第2実施形態に係る電力変換装置の第1レグ、ゲート回路、駆動回路、及び制御回路の構成図である。

【図13】逆回復電流の減少中に、ダイオードに逆方向電圧が印加されている状態の説明図であり、(a)は回路の状態を示す説明図であり、(b)はダイオードに印加される電圧の波形図である。

【図14】逆回復電流の減少中に、ダイオードに順方向電圧が印加されている状態の説明図であり、(a)は回路の状態を示す説明図であり、(b)はダイオードに印加される電圧の波形図である。

【図15】本発明の第3実施形態に係る電力変換装置の第1レグ、ゲート回路、駆動回路、及び制御回路の構成図である。

【図16】本発明の第4実施形態に係る電力変換装置の第1レグ、ゲート回路、駆動回路、及び制御回路の構成図である。

【図17】本発明の第5実施形態に係る空気調和機の構成図である。

【図18】バイアス部を有しない比較例における第1レグ、ゲート回路、駆動回路、及び制御回路の構成図である。

【図19】比較例における逆回復電流の概要を示す波形図である。

【図20】比較例において、下アーム還流後に上アームをスイッチングした場合の波形図である。

【発明を実施するための形態】

【0014】

第1実施形態

<電力変換装置の構成>

図1は、第1実施形態に係る電力変換装置S1の構成図である。

電力変換装置S1は、直流電源E(例えば、コンバータ回路)から印加される直流電圧を三相交流電圧に変換するインバータである。電力変換装置S1は、インバータ回路1と、ゲート回路21~26と、駆動回路3と、制御回路4と、を備えている。

【0015】

インバータ回路1は、直流電源Eから印加される直流電圧を三相交流電圧に変換し、この三相交流電圧をモータMに出力する電力変換器である。インバータ回路1は、第1レグG1と、第2レグG2と、第3レグG3と、を備えている。

第1レグG1は、直流電源Eの正側に接続される上アームのスイッチング素子Qaと、直流電源Eの負側に接続される下アームのスイッチング素子Qbと、を備えている。

【0016】

スイッチング素子Qaのドレインは直流電源Eの正側に接続され、ソースはスイッチング素子Qbのドレインに接続されている。スイッチング素子Qaのソースと、スイッチング素子Qbのドレインと、の接続点P1は、配線uを介してモータMの巻線Luに接続されている。スイッチング素子Qbのソースは接地され(図2参照)、モータMの巻線Lv, Lwの中性点と同電位になっている(図2参照)。

【0017】

同様に、第2レグG2は上アームのスイッチング素子Qcと、下アームのスイッチング

10

20

30

40

50

素子 Q_d と、を備えている。第3レグ G_3 は、上アームのスイッチング素子 Q_e と、下アームのスイッチング素子 Q_f と、を備えている。

第1レグ G_1 、第2レグ G_2 、及び第3レグ G_3 は、互いに並列接続されている。そして、PWM (Pulse Width Modulation) 制御に基づいてスイッチング素子 $Q_a \sim Q_f$ がオン/オフされることで、配線 u, v, w を介して三相交流電力がモータ M に供給されるようになっている。

【0018】

スイッチング素子 $Q_a \sim Q_f$ は、例えば、定常損失の小さいSJ-MOSFETである。スイッチング素子 Q_a は、その内部に寄生ダイオード D_a を有している。寄生ダイオード D_a は、スイッチング素子 Q_a (SJ-MOSFET) のソースとドレインとの間に存在するpn接合の部分である。他のスイッチング素子 $Q_b \sim Q_f$ についても同様である。

10

【0019】

ゲート回路 2_1 は、スイッチング素子 Q_a の動作を安定させる機能を有し、スイッチング素子 Q_a のゲートに接続されている。同様に、ゲート回路 $2_2 \sim 2_6$ は、スイッチング素子 $Q_b \sim Q_f$ のゲートと一対一で接続されている。

【0020】

図2は、電力変換装置 S_1 の第1レグ G_1 、ゲート回路 $2_1, 2_2$ 、駆動回路3、及び制御回路4の構成図である。なお、図2では、第2レグ G_2 (図1参照) 及び第3レグ G_3 (図1参照) の図示を省略した。図2に示す直流電圧 V_d は、直流電源 E (図1参照) から印加される電圧である。また、符号 L_u は、モータ M (図1参照) の巻線である。

20

【0021】

スイッチング素子 Q_a のゲートに接続されるゲート回路 2_1 は、ゲート抵抗 R_{g1}, R_{g2} を備えている。このゲート抵抗 R_{g1}, R_{g2} は、スイッチング素子 Q_a のゲートと駆動回路3とを接続する配線 i に設けられ、互いに直列接続されている。

【0022】

スイッチング素子 Q_b のゲートに接続されるゲート回路 2_2 は、ゲート抵抗 R_{g3}, R_{g4} と、バイアス部 2_2_1 と、を備えている。ゲート抵抗 R_{g3}, R_{g4} は、スイッチング素子 Q_b のゲートと駆動回路3とを接続する配線 j に設けられ、互いに直列接続されている。

【0023】

バイアス部 2_2_1 は、ダイオード D_1 と、ゲート抵抗 R_{g5} と、を備え、ゲート抵抗 R_{g4} に並列接続されている。ダイオード D_1 と、ゲート抵抗 R_{g5} と、は互いに直列接続されている。

30

ダイオード D_1 は、アノードがゲート抵抗 R_{g5} の一端に接続され、カソードがゲート抵抗 R_{g3} を介してスイッチング素子 Q_b のゲートに接続されている。言い換えると、ダイオード D_1 は、アノードが駆動回路3側に接続され、カソードがスイッチング素子 Q_b のゲート側に接続されている。

ゲート抵抗 R_{g5} は、前記したように、その一端がダイオード D_1 のアノードに接続され、他端が配線 j においてゲート抵抗 R_{g4} よりも駆動回路3側に接続されている。

【0024】

なお、三相のうち他の二相も同様の構成を備えている。すなわち、図1に示す上アームのゲート回路 $2_3, 2_5$ は、図2に示すゲート回路 2_1 と同様の構成を備えている。また、図1に示す下アームのゲート回路 $2_4, 2_6$ は、図2に示すゲート回路 2_2 と同様の構成を備えている。

40

【0025】

図2に示す駆動回路3は、ゲート回路 $2_1 \sim 2_6$ (図1参照) を介してスイッチング素子 $Q_a \sim Q_f$ (図1参照) を駆動する回路である。駆動回路3は、内部回路 3_1 と、スイッチング素子 $Q_{11}, Q_{12}, Q_{21}, Q_{22}$ と、を備えている。なお、図2では、駆動回路3において、第2レグ G_2 (図1参照)、第3レグ G_3 (図1参照) に対応するスイッチング素子の図示を省略している。

50

【 0 0 2 6 】

内部回路 3 1 は、制御回路 4 から入力される駆動パルス（P W M 信号）に同期して、スイッチング素子 Q 1 1 , Q 1 2 , Q 2 1 , Q 2 2 をオン/オフする。

例えば、駆動回路 3 が備えるスイッチング素子 Q 1 1 がオン、スイッチング素子 Q 1 2 がオフの期間にはスイッチング素子 Q a のゲートに駆動電圧が印加され、スイッチング素子 Q a がオンになる。スイッチング素子 Q 1 1 , Q 1 2 のオン/オフが前記とは逆の場合、スイッチング素子 Q a がオフになる。

【 0 0 2 7 】

図 2 に示す制御回路 4 は、例えば、マイコン（Microcomputer：図示せず）であり、R O M（Read Only Memory）に記憶されたプログラムを読み出して R A M（Random Access Memory）に展開し、C P U（Central Processing Unit）が各種処理を実行するようになっている。

10

制御回路 4 は、P W M 制御に基づく駆動パルスを駆動回路 3 に出力することで、モータ M の駆動/停止を制御する。なお、制御回路 4 に関する処理については周知の技術を用いればよいため、詳細な説明を省略する。

【 0 0 2 8 】

次に、バイアス部 2 2 1（図 2 参照）を有しない比較例の構成（図 1 8 参照）を参照しつつ、逆回復電流及びノイズについて簡単に説明し、さらに、本実施形態によってノイズが抑制される原理について詳細に説明する。

なお、P W M 制御に関して、スイッチング素子 Q b をオフ状態で維持しつつスイッチング素子 Q a のオン/オフを繰り返す期間や、スイッチング素子 Q a , Q b を交互にオン/オフする期間等、複数のスイッチングパターンがある。以下では、一例として、スイッチング素子 Q b をオフ状態で維持しつつ、スイッチング素子 Q a のオン/オフを繰り返す期間について説明する。

20

【 0 0 2 9 】

（逆回復電流及びノイズについて）

図 1 8 は、比較例における第 1 レグ G 1、ゲート回路 2 1 F , 2 2 F、駆動回路 3、及び制御回路 4 の構成図である。図 1 8 に示すように、比較例では、ゲート回路 2 2 F がバイアス部 2 2 1（図 2 参照）を有しない構成になっている。

【 0 0 3 0 】

図 1 9 は、比較例における逆回復電流の概要を示す波形図である。なお、図 1 9 の横軸は時間であり、縦軸はスイッチング素子 Q a（図 1 8 参照）のドレイン電流 I_d である。図 1 9 に示す時刻 t_1 よりも前に、図 1 8 に示すスイッチング素子 Q a がオンからオフに切り替えられ、巻線 L_u 及び寄生ダイオード D_b を介して循環電流が流れたとする（このような状態を「下アーム還流」と記す）。

30

【 0 0 3 1 】

そして、時刻 t_1 においてスイッチング素子 Q a がオフからオンに切り替えられた直後に、寄生ダイオード D_b において、順方向電圧の印加時とは逆向きにキャリアが移動して逆回復電流 I_{rr} が流れる。この逆回復電流 I_{rr} は、寄生ダイオード D_a 内に空乏層ができてキャリアの移動がなくなるまで流れる。

40

図 1 9 で示す例では、スイッチング素子 Q a のドレイン電流 I_d が、所定値 I_{dA} を超えている時刻 $t_A \sim t_3$ の時間だけ、逆回復電流 I_{rr} が流れている。

【 0 0 3 2 】

なお、逆回復電流 I_{rr} が大きいとは、図 1 9 に示す波高値及び逆回復時間の一方又は両方が大きいことを意味している。逆回復電流 I_{rr} が流れると、図 1 8 に示すスイッチング素子 Q a に加えてスイッチング素子 Q b も導通するため、直流電圧 V_d によってスイッチング素子 Q a , Q b に瞬間的に大きな短絡電流（ドレイン電流 I_d ：図 1 8 参照）が流れる。

【 0 0 3 3 】

図 1 9 に示すように、逆回復電流は、スイッチング素子 Q a がオンに切り替えられた時

50

刻 t_1 から増加してピークに達した後（時刻 t_2 ）、急減する（時刻 $t_2 \sim t_3$ ）。このような逆回復電流の急減に伴い、リングングと呼ばれる共振現象やサージ電圧が誘発され、スイッチング素子 Q_b のノイズが大きくなるという問題があった。

【0034】

図20は、比較例において、下アーム還流後に上アームをスイッチングした場合の波形図である。なお、図20の横軸は時間であり、縦軸はスイッチング素子 Q_a のドレイン-ソース間電圧 V_{ds-Hi} 、ドレイン電流 I_d 、及びスイッチング素子 Q_b のドレイン-ソース間電圧 V_{ds-Low} である。

【0035】

図20に示す例では、前記した逆回復電流 I_{rr} の増加によってドレイン電流 I_d がピークに達した後、急峻な傾きで減少（つまり、逆回復電流 I_{rr} が減少）していることがわかる。

10

また、スイッチング素子 Q_b のドレイン-ソース間電圧 V_{ds-Low} に注目すると、ドレイン電流 I_d （逆回復電流 I_{rr} ）が急減したタイミングで大きなノイズ（リングング、サージ電圧：符号 K_1 を参照）が生じていることがわかる。ちなみに、逆回復電流 I_{rr} の変化率（ dI_{rr}/dt ）の絶対値が大きいほど、ノイズも大きくなる。

【0036】

このようなノイズを低減するために、本実施形態では、図2に示すバイアス部221を設けて、スイッチング素子 Q_b で「セルフターンオン」を発生させるようにした。

ちなみに、他の下アームのスイッチング素子 Q_d 、 Q_f （図1参照）でも、バイアス部（図示せず）によって「セルフターンオン」を発生させるようにしているが、以下では、スイッチング素子 Q_b での「セルフターンオン」について説明する。

20

【0037】

（セルフターンオンについて）

図3は、セルフターンオンの概要を示す説明図である。スイッチング素子 Q_b （SJMOSFET）は、寄生の容量成分を有している。すなわち、スイッチング素子 Q_b は、ゲート-ドレイン間容量 C_{gd} 、ゲート-ソース間容量 C_{gs} 、及びドレイン-ソース間容量 C_{ds} を有している。

【0038】

上アームのスイッチング素子 Q_a がスイッチングした場合、図3に示す接続点 P_1 の電圧は、 $0V \sim V_d$ の間で増減する。このときの電圧の変化率（ dV/dt ）と、ゲート-ドレイン間容量 C_{gd} （帰還容量 C_{rss} ともいう）の積、 $C_{rss} \cdot dV/dt$ の大きさの変位電流が、帰還容量 C_{rss} を介してスイッチング素子 Q_b のゲートに流れ込む。これによって、スイッチング素子 Q_b のゲートに電荷がチャージされる。そして、ゲートの電圧が所定値を超えたときにスイッチング素子 Q_b がオン状態になる（つまり、セルフターンオンが発生する）。

30

【0039】

要するに、駆動回路3（図2参照）からはスイッチング素子 Q_b のゲートに駆動電圧が印加されていないにも関わらず、前記した変位電流によってスイッチング素子 Q_b が一時的にオン状態になる現象が「セルフターンオン」である。

40

セルフターンオンは、一般的には回避したほうがよいとされる現象ではあるが、本実施形態では、逆回復電流が急減する非常に短い時間だけ、敢えてセルフターンオンを発生させることでノイズを低減するようにした。

【0040】

図4(a)は、逆回復電流の増加中に、基板パターンのインダクタンス成分 L_{p1} 、 L_{p2} 、 L_{p3} によって発生する電圧変動を示す説明図である。なお、図4(a)では、第2レグ G_2 （図1参照）、第3レグ G_3 （図1参照）、及び駆動回路3のスイッチング素子 Q_{11} 、 Q_{12} 、 Q_{21} （図2参照）の図示を省略した。

図4(a)に示す符号 L_{p1} 、 L_{p2} 、 L_{p3} は、インバータ回路1及びゲート回路2の基板パターン（回路配線や素子のリード部分）に存在するインダクタンス成分を表し

50

ている。

【 0 0 4 1 】

図 4 (a) では、一例として、3 個のインダクタンス成分 L_{p1} , L_{p2} , L_{p3} を図示したが、基板パターンが異なれば、インダクタンス成分の位置、値、及び個数も異なってくる。なお、基板パターンの回路配線が長いほど、また、回路配線が細いほど、そのインダクタンス成分は大きくなる。

【 0 0 4 2 】

下アーム還流後にスイッチング素子 Q_a がオフからオンに切り替わると、スイッチング素子 Q_b の寄生ダイオード D_b において逆回復電流が発生する。そして、 V_d 端子 スイッチング素子 Q_a スイッチング素子 Q_b の順に大きな短絡電流が流れる (図 4 (a) の矢印を参照)。

10

【 0 0 4 3 】

図 4 (b) は、逆回復電流 (ドレイン電流 I_d) が増加する期間の波形図である。なお、図 4 (b) に示す実線部分と、図 4 (a) に示すインダクタンス成分 L_{p2} , L_{p3} の電圧 V_{Lp2} , V_{Lp3} の極性と、は対応している。図 4 (b) の実線部分に示すように、スイッチング素子 Q_a がオフからオンに切り替えられた時刻 t_1 から逆回復電流 (ドレイン電流 I_d) が増加し、前記したように、短絡電流が流れる (図 4 (a) 参照)。

この短絡電流の増加を妨げるように、インダクタンス成分 L_{p2} , L_{p3} では、図 4 (a) に示す極性の電圧 V_{Lp2} , V_{Lp3} が生じる。この電圧 V_{Lp2} , V_{Lp3} によって、スイッチング素子 Q_b は、ゲートよりもソースの方が高電位になる。つまり、逆回復電流が増加する期間では (図 4 (b) 参照) 、スイッチング素子 Q_b においてセルフターンオンは発生しない。

20

【 0 0 4 4 】

図 5 (a) は、逆回復電流の減少中に、基板パターンのインダクタンス成分 L_{p1} , L_{p2} , L_{p3} によって発生する電圧変動を示す説明図であり、図 5 (b) は、逆回復電流が減少する期間の波形図である。なお、図 5 (b) に示す「セルフターンオン有り」は本実施形態の波形であり、「セルフターンオン無し」は比較例 (図 1 8 参照) の波形である。

【 0 0 4 5 】

逆回復電流が減少する時刻 t_2 以後 (図 5 (b) 参照) では、基板パターンで起こる共振現象等によって、インダクタンス成分 L_{p2} , L_{p3} の電圧 V_{Lp2} , V_{Lp3} が変動する。電圧 V_{Lp2} , V_{Lp3} が図 5 (a) に示す極性のときには、スイッチング素子 Q_b のソースよりもゲートの方が高電位になる。

30

【 0 0 4 6 】

その結果、スイッチング素子 Q_b のソース インダクタンス成分 L_{p2} インダクタンス成分 L_{p3} 駆動回路 3 (図 2 参照) 内のスイッチング素子 Q_{22} ゲート抵抗 R_{g5} ダイオード D_1 ゲート抵抗 R_{g3} スイッチング素子 Q_b のゲート、という経路で、スイッチング素子 Q_b にゲート - ソース間電圧 V_{gs-low} が印加される。これによって、 $(C_{rss} \cdot dV / dt)$ の大きさの変位電流がスイッチング素子 Q_b のゲートに流れて電荷がチャージされ、セルフターンオンが発生する。前記したように、 C_{rss} は帰還容量であり、 (dV / dt) は接続点 P_1 の電圧の変化率である。

40

【 0 0 4 7 】

セルフターンオンが発生することで、図 5 (b) の実線 (セルフターンオン有り) で示すように、逆回復電流が減少する際の傾きが比較例 (セルフターンオン無し) よりも緩やかになる。つまり、逆回復電流のピークから消滅までの時間が、比較例よりも本実施形態の方が長くなる ($t > t$) 。

【 0 0 4 8 】

なお、逆回復電流が減少している期間 (図 5 (b) に示す時刻 $t_2 \sim t_4$) では、基板パターンでの共振現象等によって電圧 V_{Lp2} , V_{Lp3} は細かく変動し、以下で説明するようにダイオード D_1 の電圧も変化する。

50

【 0 0 4 9 】

図 6 (a) は、逆回復電流の減少中 (時刻 $t_2 \sim t_4$: 図 5 (b) 参照)、ダイオード D 1 に逆方向電圧が印加されているときの状態を示す説明図であり、図 6 (b) は、ダイオードに印加される電圧の波形図である。なお、図 6 (b) に示す斜線部分の期間と、図 6 (a) に示す電位 V_A , V_C の関係と、は対応している。

【 0 0 5 0 】

逆回復電流の減少中、ダイオード D 1 のカソード (電位 : V_C) に対するアノード (電位 : V_A) の電圧 ($V_A - V_C$) は、図 6 (b) に示すように、正負が交互に入れ替わる波形になる。

図 6 (b) の斜線部分で示す期間では、ダイオード D 1 のカソードの電位 V_C よりもアノードの電位 V_A の方が低くなり (図 6 (a) 参照)、ダイオード D 1 には逆方向電圧が印加される。したがって、この期間ではダイオード D 1 がオフ状態になる。

【 0 0 5 1 】

図 7 (a) は、逆回復電流の減少中 (時刻 $t_2 \sim t_4$: 図 5 (b) 参照)、ダイオード D 1 に順方向電圧が印加されているときの状態を示す説明図であり、図 7 (b) は、ダイオードに印加される電圧の波形図である。なお、図 7 (b) の斜線部分の期間と、図 7 (a) に示す電位 V_A , V_C の関係と、は対応している。

【 0 0 5 2 】

図 7 (b) の斜線部分で示す期間では、ダイオード D 1 のカソードの電位 V_C よりもアノードの電位 V_A の方が高くなり (図 6 (a) 参照)、ダイオード D 1 には順方向電圧が印加される。したがって、この期間ではダイオード D 1 がオン状態になり、スイッチング素子 Q b のゲートに電荷がチャージされる。

【 0 0 5 3 】

つまり、逆回復電流の減少中には、図 6、図 7 に示すように、基板パターンでの共振現象に伴ってスイッチング素子 Q b のゲートに間欠的に電荷がチャージされる。そして、スイッチング素子 Q b のゲート - ソース間電圧 $V_{gs - Low}$ (図 5 (a) 参照) が所定値以上になるとセルフターンオンが発生し、スイッチング素子 Q b が一時的にオン状態になる。

このように、ダイオード D 1 (バイアス部 2 2 1) は、順方向電圧が印加されることでスイッチング素子 Q b をセルフターンオンさせる機能を有している。

【 0 0 5 4 】

次に、スイッチング素子 Q b でセルフターンオンが発生しやすい条件について説明する。

スイッチング素子 Q b のゲートから駆動回路 3 を見たときのインピーダンス (ゲート抵抗 R_{g3} , R_{g4} , R_{g5} の合成抵抗) が大きいほど、セルフターンオンが継続しやすくなる。前記したインピーダンスが大きいほど、セルフターンオンによってスイッチング素子 Q b のゲートにチャージされた電荷が、駆動回路 3 側に移動しにくくなる (引き抜かれにくくなる) からである。

【 0 0 5 5 】

また、ダイオード D 1 及び配線 j を介した経路 (図 7 (a) の矢印を参照) において、駆動回路 3 からスイッチング素子 Q b のゲートを見た抵抗値 ($R_{g3} + R_{g5}$) が 1 0 0 以下であることが好ましい。この抵抗値 ($R_{g3} + R_{g5}$) が小さいほど、スイッチング素子 Q b に大きなゲート - ソース間電圧 $V_{gs - Low}$ が印加され、セルフターンオンが発生しやすくなるからである。

【 0 0 5 6 】

また、スイッチング素子 Q b のソースからゲートまでのインダクタンス成分 L_{p2} , L_{p3} が大きいほど、セルフターンオンが発生しやすくなる。これによって、インダクタンス成分 L_{p2} , L_{p3} の電圧変動が大きくなり、スイッチング素子 Q b のゲートに印加される電圧も大きくなるからである。

例えば、図 7 (a) の矢印で示す経路のインダクタンス成分 L_{p2} , L_{p3} の合計値を

10

20

30

40

50

100 [nH]以上にすることで、セルフターンオンを発生させることが可能になる。

【0057】

<効果>

本実施形態によれば、逆回復電流の減少中、インダクタンス成分 L_{p2} , L_{p3} の電圧変動をダイオード D1 を介してスイッチング素子 Qb のゲート - ソース間に伝えることで、セルフターンオンを発生させることができる。これによって、逆回復電流の変化率を小さくし（逆回復電流の減少を緩やかにし）、ノイズの発生を抑制できる。

【0058】

図8(a)は、バイアス部221(図2参照)無しの比較例の構成(図18参照)において、下アーム還流後に上アームのスイッチング素子 Qa をオンしたときの波形図である。比較例では、符号 K2 で示すように、スイッチング素子 Qa のドレイン電流 I_d がピークに達した後、急減している(つまり、 di/dt が大きい)。このとき、符号 K3 で示すように、スイッチング素子 Qb のドレイン - ソース間電圧 V_{ds-Low} には、大きなノイズが発生している。

10

また、スイッチング素子 Qb のゲートに電荷がチャージされないため、ゲート - ソース間電圧 V_{gs-Low} の上昇分は小さくなっている(図8(a)の上向き矢印を参照)。

【0059】

これに対してバイアス部221有りの本実施形態では、図8(b)の符号 K4 で示すように、スイッチング素子 Qa のドレイン電流 I_d の減少が比較例よりも緩やかになっている。その結果、符号 K5 で示すように、スイッチング素子 Qb のドレイン - ソース間電圧 V_{ds-Low} のノイズが、比較例よりも抑制されていることが分かる。

20

また、図8(b)に示すように、スイッチング素子 Qb のゲート - ソース間電圧 V_{gs-Low} の上昇分(上向き矢印を参照)は、比較例(図8(a)参照)よりも高くなっている。これは、バイアス部221を設けたことで、スイッチング素子 Qb のゲートに電荷がチャージされたためである。

【0060】

なお、ノイズを低減するための対策として、セルフターンオンを利用せずに、上アームのスイッチング素子 Qa のスイッチングスピードを低速化する(オン抵抗を大きくすること)も考えられる。以下では、図2の構成においてスイッチングスピードを低速化した場合の別の比較例と、セルフターンオンを利用する本実施形態と、に関して、スイッチング損失の大きさを比較する。

30

【0061】

図9は、上アームのスイッチング素子 Qa のスイッチングスピードを低速化した比較例に関する説明図である。図9(a)に示す基準波形において、上アームのスイッチング素子 Qa のオン抵抗は 106 [] であり、下アームのスイッチング素子 Qb のオフ抵抗は 74 [] であり、スイッチング素子 Qa のスイッチング損失は 554 [μJ] であった。

【0062】

なお、図9(a)に示すスイッチング素子 Qa のドレイン - ソース間電圧 V_{ds-Hi} と、ドレイン電流 I_d と、が重なっている斜線部分の面積は、スイッチング素子 Qa における損失を表している。この斜線部分の面積が大きいほど、スイッチング素子 Qa の損失が大きいといえる。

40

【0063】

比較例において、図9(a)に示す基準波形から、上アームのスイッチング素子 Qa のオン時の抵抗値を大きくしていった(つまり、オンスピードを低速化した)場合、図9(b)、(c)に示すようにスイッチング損失が変化した。

なお、図9(b)、(c)は、図9(a)に示す基準波形に対してスイッチング素子 Qa のオン時の抵抗値を +64%、+258% だけ増加させた場合の波形図である。

【0064】

前記した抵抗値を増加させるにつれて、逆回復電流(ドレイン電流 I_d)の波高値が小

50

さくなるため、逆回復電流の減少が緩やかになっている（符号 K 6 , K 8 を参照）。これによって、スイッチング素子 Q b のドレイン - ソース間電圧 V_{ds-Low} のノイズも緩和されている（符号 K 7 , K 9 を参照）。

【 0 0 6 5 】

しかしながら、比較例では、スイッチング素子 Q a のオンスピードを低速化したため、そのオン時間が増えている（ $t_0 < t_1 < t_2$ ）。その結果、スイッチング素子 Q a のドレイン - ソース間電圧 V_{ds-Hi} とドレイン電流 I_d とが重なる斜線部分の面積が増えている。

つまり、ノイズを低減するために上アームのスイッチング素子 Q a のオンスピードを低速化すると、スイッチング素子 Q a のオン時の損失が大きくなってしまふ（損失の具体的な数値については後記する）。

10

【 0 0 6 6 】

次に、本実施形態におけるスイッチング損失について説明する。

図 1 0 (a) は、下アームの還流後に上アームのスイッチング素子 Q a をオンに切り替えたときの基準波形の説明図である。なお、図 1 0 (a) の説明図は、図 9 (a) と同一である。

セルフターンオンを生じさせる本実施形態において、スイッチング素子 Q b のゲートから駆動回路 3 を見た抵抗値を、図 1 0 (a) に示す基準波形から増やしていった場合、図 1 0 (b)、(c) のようにスイッチング損失が変化した。前記した抵抗値を大きくすることで、スイッチング素子 Q b のゲートにチャージされた電荷が駆動回路 3 側に引き抜かれにくくなり、セルフターンオンが生じやすくなる。

20

【 0 0 6 7 】

なお、図 1 0 (b)、(c) は、図 1 0 (a) に示す基準波形に対して、スイッチング素子 Q b のゲートから駆動回路 3 側を見た抵抗値を、 + 6 5 %、 + 4 3 2 % だけ増加させた場合の波形図である。図 1 0 (b)、(c) に示すように、前記した抵抗値を増加させても、ドレイン電流 I_d の波高値は図 1 0 (a) と比較してほとんど変化しておらず（符号 K 1 0 , K 1 2 を参照）、また、スイッチング素子 Q a のオン時間もほとんど変化していない（ t_0 , t_3 , t_4 ）。

【 0 0 6 8 】

また、セルフターンオンが発生することで、逆回復電流（ドレイン電流 I_d ）が減少する際の傾きのみが緩やかになっている（符号 K 1 0 , K 1 2 を参照）。その結果、スイッチング素子 Q b のドレイン - ソース間電圧 V_{ds-Low} のノイズが抑制されている（符号 K 1 1 , K 1 3 を参照）。

30

【 0 0 6 9 】

図 1 1 は、上アームのスイッチングスピードを低速化した比較例（図 9 参照）、及び、セルフターンオンを利用した本実施形態（図 1 0 参照）に関する損失をまとめた表である。基準波形（「基準」）の場合、サージ電圧が 3 9 5 V になっている。このサージ電圧を約 3 0 0 V（比較例では 3 0 0 V、本実施形態では 3 0 7 V）まで低減したときのスイッチング損失を比較した。

【 0 0 7 0 】

「上オンのみ低速化」した比較例（図 9 参照）では、スイッチング素子 Q a のオン時のスイッチング損失（オン損失）が、 3 0 3 μ J から 4 1 6 μ J に増加している。これは、前記したように、スイッチング素子 Q a のオンスピードを低速化したためである。

40

【 0 0 7 1 】

一方、「セルフターンオン利用」を行う本実施形態（図 1 0 参照）では、スイッチング素子 Q b の寄生ダイオード D b（図 2 参照）の損失が、 9 4 μ J から 1 4 0 μ J に増加している。これは、逆回復電流が消滅するまでの時間が長くなったためである。

【 0 0 7 2 】

次に、スイッチング損失の合計値（オン損失 + オフ損失 + 寄生ダイオード損失）を比較する。基準波形では、スイッチング損失の合計値が 5 5 4 μ J になっている。また、比較

50

例では、スイッチング損失の合計値が $654.5 \mu\text{J}$ になっており、基準波形の場合から +18% も増加している。

【0073】

これに対して本実施形態では、スイッチング損失の合計値が $602 \mu\text{J}$ になっており、基準波形の場合からの増加は +8% に抑えられている。つまり、本実施形態では、逆回復時間が長くなるためにスイッチング損失は増加しているものの、その増加度合いは、比較例の半分以下になっている。

【0074】

このように本実施形態によれば、セルフターンオンを利用することで、スイッチング損失の増加分を最小限に抑えつつも、ノイズを低減することができる。また、図2に示すバイアス部221をゲート抵抗 R_{g4} に並列接続するという非常に簡単な構成であり、電力変換装置S1の製造コストの増加を抑えることができる。

【0075】

また、本実施形態によれば、スイッチング素子 Q_b (例えば、SJ-MOSFET) の帰還容量 C_{rss} が非常に小さい(つまり、セルフターンオンが発生しにくい)場合でも、バイアス部221を設けることによってスイッチング素子 Q_b でセルフターンオンを発生させ、ノイズを抑制することができる。

【0076】

第2実施形態

第2実施形態は、前記したバイアス部221(図2参照)に代えてダイオードD2(図12参照)を設置する点が、第1実施形態(図2参照)とは異なるが、その他については第1実施形態と同様である。したがって、第1実施形態と異なる部分について説明し、重複する部分については説明を省略する。

【0077】

図12は、第2実施形態に係る電力変換装置S2の第1レグG1、ゲート回路21、22A、駆動回路3、及び制御回路4の構成図である。

下アームのスイッチング素子 Q_b に接続されるゲート回路22Aは、ゲート抵抗 R_{g3} 、 R_{g4} と、ダイオードD2と、を備えている。ダイオードD2のアノードは、スイッチング素子 Q_b のソースに接続されている。ダイオードD2のカソードは、スイッチング素子 Q_b のゲートと駆動回路3とを接続する配線j(ゲート抵抗 R_{g3} 、 R_{g4} との接続点P2)に接続されている。

【0078】

第1実施形態で説明したように、下アーム還流後にスイッチング素子 Q_a をオンに切り替えた直後、スイッチング素子 Q_b において逆回復電流が発生する。この逆回復電流の減少中の電圧・電流について説明する。

【0079】

図13(a)は、逆回復電流の減少中に、ダイオードD2に逆方向電圧が印加されているときの状態を示す説明図であり、図13(b)はダイオードD2に印加される電圧の波形図である。

なお、図13(a)では、基板パターン(回路配線)のインダクタンス成分 L_{p1} 、 L_{p2} 、 L_{p3} を記載した。また、図13(b)に示す斜線部分の期間と、図13(a)に示す電位 V_A 、 V_C の関係と、は対応している。

【0080】

第1実施形態で説明したように、逆回復電流の減少中、基板パターンでの共振現象等によってインダクタンス成分 L_{p2} 、 L_{p3} の電圧 V_{Lp2} 、 V_{Lp3} は細かく変動し、これに伴ってダイオードD2の電圧も変化する。

図13(b)に示す斜線部分の期間では、ダイオードD2のカソードの電位 V_C よりもアノードの電位 V_A の方が低くなり(図13(a)参照)、ダイオードD2には逆方向電圧が印加される。したがって、この期間ではダイオードD2がオフ状態になる。

【0081】

10

20

30

40

50

図14(a)は、逆回復電流の減少中に、ダイオードD2に順方向電圧が印加されているときの状態を示す説明図であり、図14(b)はダイオードD2に印加される電圧の波形図である。なお、図14(b)に示す斜線部分の期間と、図14(a)に示す電位 V_A 、 V_C の関係と、は対応している。

図14(b)に示す斜線部分の期間では、ダイオードD2のカソードの電位 V_C よりもアノードの電位 V_A の方が高くなり(図14(a)参照)、ダイオードD2には順方向電圧が印加される。したがって、この期間ではダイオードD2がオン状態になり、スイッチング素子Qbのゲートに電荷がチャージされる。

【0082】

すなわち、図14(a)の矢印で示すように、スイッチング素子Qbのソースインダクタンス成分 L_{p2} 、インダクタンス成分 L_{p3} 、ダイオードD2、ゲート抵抗 R_{g3} 、スイッチング素子Qbのゲート、という経路で、スイッチング素子Qbのゲートに電圧が印加される。

10

これによって、 $(C_{rss} \cdot dV/dt)$ の大きさの変位電流がスイッチング素子Qbのゲートに流れて電荷がチャージされ、セルフターンオンが発生する。前記したように、 C_{rss} は帰還容量であり、 (dV/dt) は接続点P1の電位の変化率である。セルフターンオンが発生することで、逆回復電流が減少する際の変化率が小さくなり、ノイズを抑制することができる。

【0083】

次に、スイッチング素子Qbでセルフターンオンが発生しやすい条件等について説明する。

20

図12に示すように、ダイオードD2のアノードが配線hに接続されている接続点P3を駆動回路3側に寄せて、インダクタンス成分 L_{p3} を与える回路配線の長さ $H1$ を長くするほど、セルフターンオンが発生しやすくなる。この長さ $H1$ が長いほどインダクタンス成分 L_{p3} が大きくなり、その電圧 V_{Lp3} も大きく変動するからである。

【0084】

また、ダイオードD2及び配線jを介した経路(図14(a)の矢印を参照)において、駆動回路3からスイッチング素子Qbのゲートを見た抵抗値(抵抗 R_{g3} の抵抗値)を100以下にすることが好ましい。この抵抗値が小さいほど、スイッチング素子Qbのゲートに大きなゲート-ソース間電圧 V_{gs-low} が印加され、セルフターンオンが発生しやすくなるからである。

30

【0085】

なお、図12に示す構成において、スイッチング素子Qbのオン時の抵抗値は、ゲート抵抗 R_{g3} 、 R_{g4} の和になる。この抵抗値($R_{g3} + R_{g4}$)を大きくすることで、スイッチング素子Qbのオンスピードが必要以上に高速化することを防止し、ひいてはスイッチング素子Qbでのノイズの発生を抑制できる。

【0086】

ちなみに、ゲート抵抗 R_{g3} の抵抗値を小さくしてセルフターンオンを発生させやすくにした場合、ゲート抵抗 R_{g4} の抵抗値を十分に大きくすることが好ましい。これによって、スイッチング素子Qbのオン時の抵抗値($R_{g3} + R_{g4}$)を大きくして、オンスピードの高速化を抑制できるからである。

40

【0087】

<効果>

本実施形態によれば、前記したように、スイッチング素子Qbのオンスピードの高速化が抑制されるため、スイッチング素子Qbのノイズを抑制できる。

なお、第1実施形態では、並列接続されたゲート抵抗 R_{g4} 、 R_{g5} の合成抵抗と、ゲート抵抗 R_{g3} の抵抗値と、の和がスイッチング素子Qb(図2参照)のオン時の抵抗値になる。ここで、セルフターンオンを発生させるためにゲート抵抗 R_{g5} の抵抗値を小さくすると($R_{g4} \gg R_{g5}$)、ゲート抵抗 R_{g4} 、 R_{g5} の合成抵抗も小さくなり、スイッチング素子Qbのオン時の抵抗値も小さくなる。

50

【0088】

これに対して本実施形態では、ゲート抵抗 R_{g3} の抵抗値を小さい値にすることで、スイッチング素子 Q_b のゲートに大きなゲート - ソース間電圧 V_{gs-Low} が印加されるため、セルフターンオンが発生しやすくなる。また、ゲート抵抗 R_{g4} の抵抗値を十分に大きくすることで、スイッチング素子 Q_b のオン時の抵抗値 ($R_{g3} + R_{g4}$) を大きくすることができる。したがって、スイッチング素子 Q_b のオンスピードを必要以上に高速化することなく、逆回復電流の減少に伴うノイズを抑制できる。

【0089】

第3実施形態

第3実施形態は、上アームのゲート回路21B (図15参照) がダイオード D_3 及びゲート抵抗 R_{g6} を備える点が第1実施形態と異なるが、その他については第1実施形態と同様である。したがって、第1実施形態と異なる部分について説明し、重複する部分については説明を省略する。

10

【0090】

図15は、第3実施形態に係る電力変換装置 S_3 の第1レグ G_1 、ゲート回路21B、22、駆動回路3、及び制御回路4の構成図である。

上アームのスイッチング素子 Q_a に接続されるゲート回路21Bは、ゲート抵抗 R_{g1} 、 R_{g2} 、 R_{g3} と、ダイオード D_3 と、を備えている。

【0091】

ダイオード D_3 及びゲート抵抗 R_{g6} は、互いに直列接続されており、これらがゲート抵抗 R_{g2} に並列接続されている。ダイオード D_3 は、アノードがゲート抵抗 R_{g1} を介してスイッチング素子 Q_a のゲートに接続され、カソードがゲート抵抗 R_{g6} の一端に接続されている。ゲート抵抗 R_{g6} の他端は、配線 i においてゲート抵抗 R_{g2} よりも駆動回路3側に接続されている。

20

【0092】

駆動回路3のスイッチング素子 Q_{11} がオフ、スイッチング素子 Q_{12} がオンになると、スイッチング素子 Q_a のゲートにチャージされていた電荷が、ゲート抵抗 R_{g1} 、ダイオード D_3 、ゲート抵抗 R_{g6} の経路を介して駆動回路3側に移動し、スイッチング素子 Q_b はオフ状態になる。この経路に含まれるゲート抵抗 R_{g6} の抵抗値を小さくすることで、スイッチング素子 Q_a のオフスピードを速くすることができる。

30

なお、下アームのゲート回路22については、第1実施形態と同様であるから説明を省略する。

【0093】

<効果>

本実施形態によれば、ゲート抵抗 R_{g6} の抵抗値を小さくすることでスイッチング素子 Q_a のオフスピードを速め、スイッチング素子 Q_a で生じるオフ損失を低減できる。したがって、スイッチング素子 Q_b のセルフターンオンに伴うスイッチング損失の増加分を、スイッチング素子 Q_a におけるオフ損失の低減分で補うことができる。

【0094】

第4実施形態

第4実施形態は、上アームのゲート回路21B (図16参照) がダイオード D_3 及びゲート抵抗 R_{g6} を備える点が第2実施形態と異なるが、その他については第2実施形態と同様である。したがって、第2実施形態と異なる部分について説明し、重複する部分については説明を省略する。

40

【0095】

図16は、第4実施形態に係る電力変換装置 S_4 の第1レグ G_1 、ゲート回路21B、22A、駆動回路3、及び制御回路4の構成図である。

上アームのスイッチング素子 Q_a に接続されるゲート回路21Bは、ゲート抵抗 R_{g1} 、 R_2 、 R_3 と、ダイオード D_3 と、を備えている。なお、ゲート回路21Bの構成は、第3実施形態 (図15参照) と同様であるから説明を省略する。

50

また、下アームのゲート回路 2 2 A については、第 2 実施形態と同様であるから説明を省略する。

【 0 0 9 6 】

< 効果 >

本実施形態によれば、第 2 実施形態で説明したように、ダイオード D 2 を設けることで、スイッチング素子 Q b のオンスピードの高速化を抑制し、スイッチング素子 Q b でのノイズを抑制できる。

また、第 4 実施形態で説明したように、セルフターンオンによるスイッチング損失の増加分を、スイッチング素子 Q a のオフ損失の低減分で補うことができる。

【 0 0 9 7 】

第 5 実施形態

第 5 実施形態では、第 1 実施形態で説明した電力変換装置 S 1 (図 1、図 2 参照) を備える空気調和機 W (図 1 7 参照) について説明する。なお、電力変換装置 S 1 の構成については、第 1 実施形態と同様である。したがって、第 1 実施形態と異なる部分について説明し、重複する部分については説明を省略する。

【 0 0 9 8 】

図 1 7 は、第 5 実施形態に係る空気調和機 W の構成図である。

空気調和機 W は、電力変換装置 S 1 と、モータ M と、空調回路 (圧縮機 5 1、室外熱交換器 5 2、膨張弁 5 3、室内熱交換器 5 4 等) と、を備えている。

【 0 0 9 9 】

モータ M は、電力変換装置 S 1 から印加される交流電圧によって駆動する電動機 (例えば、三相同期モータ) である。

圧縮機 5 1 は、冷媒を圧縮する装置であり、モータ M の回転によって駆動する。

室外熱交換器 5 2 は、室外ファン F 1 から送られる室内空気と、冷媒と、の熱交換を行うための熱交換器である。

【 0 1 0 0 】

膨張弁 5 3 は、室外熱交換器 5 2 又は室内熱交換器 5 4 から流れ込む冷媒を膨張させて減圧するための減圧器である。

なお、図 1 7 に示す例において、電力変換装置 S 1、モータ M、圧縮機 5 1、室外熱交換器 5 2、及び室外ファン F 1 は、室外機 U 1 に設置されている。

【 0 1 0 1 】

室内熱交換器 5 4 は、室内ファン F 2 から送られる室内空気と、冷媒と、の熱交換を行うための熱交換器であり、室内機 U 2 に設置されている。

圧縮機 5 1、室外熱交換器 5 2、膨張弁 5 3、及び室内熱交換器 5 4 が配管 k を介して環状に順次接続されてなる空調回路において、周知のヒートポンプサイクルで冷媒を循環させるようになっている。

なお、空気調和機 W は、冷房用でもよいし、暖房用でもよい。また、冷房時と暖房時とで冷媒の流れる向きを切り替える四方弁 (図示せず) を設けてもよい。

【 0 1 0 2 】

< 効果 >

本実施形態によれば、空気調和機 W が電力変換装置 S 1 を備えることで、エネルギー効率 (A P F : Annual Performance Factor) が高く、また、信頼性の高い空気調和機 W を提供できる。

【 0 1 0 3 】

変形例

以上、本発明に係る電力変換装置 S 1 等について各実施形態により説明したが、本発明はこれらの記載に限定されるものではなく、種々の変更を行うことができる。

例えば、第 1 実施形態では、下アームのスイッチング素子 Q b に接続されるゲート回路 2 2 (図 2 参照) がバイアス部 2 2 1 を備える構成について説明したが、これに限らない。すなわち、下アームのゲート回路 2 2 に代えて、上アームのゲート回路 2 1 がバイアス

10

20

30

40

50

部を備える構成にしてもよい。なお、前記したバイアス部とゲート抵抗 R_{g1} 、 R_{g2} との接続関係は、第1実施形態と同様である。これによって、上アームのスイッチング素子 Q_a でセルフターンオンを発生させ、スイッチング損失の増加を抑制しつつ、逆回復電流に伴うノイズを抑制できる。

【0104】

また、下アームのゲート回路22（図2参照）がバイアス部221を備え、さらに、上アームのゲート回路21も下アームと同様にバイアス部を備えるようにしてもよい。

【0105】

また、第2実施形態では、下アームのゲート回路22A（図12参照）がダイオード D_2 を備える構成について説明したが、これに限らない。すなわち、下アームのゲート回路22Aに代えて、上アームのゲート回路21がダイオード D_2 を備える構成にしてもよい。なお、前記したダイオード D_2 の接続関係は、第2実施形態と同様である。これによって、スイッチング素子 Q_a のオンスピードを高速化することなく、逆回復電流に伴うノイズを抑制できる。

【0106】

また、下アームのゲート回路22A（図12参照）がダイオード D_2 を備え、さらに、上アームのゲート回路21も下アームと同様にダイオード D_2 を備える構成にしてもよい。

【0107】

また、第3実施形態では、下アームのゲート回路22（図15参照）がバイアス部221を備え、上アームのゲート回路21B（図15参照）がダイオード D_3 及びゲート抵抗 R_{g6} を備える構成について説明したが、これに限らない。すなわち、上アームのゲート回路21が第3実施形態と同様のバイアス部を備え、下アームのゲート回路22がダイオード D_3 及びゲート抵抗 R_{g6} を備える構成にしてもよい。つまり、ゲート回路21、22に関して、第3実施形態で説明した上アームと下アームの構成を入れ替えてもよい。なお、第4実施形態についても同様のことがいえる。

【0108】

また、各実施形態では、スイッチング素子 $Q_a \sim Q_f$ （図1参照）が $SJ-MOSFET$ （スーパー・ジャンクション・ $MOSFET$ ）である場合について説明したが、これに限らない。例えば、スイッチング素子 $Q_a \sim Q_f$ として、 $SJ-MOSFET$ 以外の通常の $MOSFET$ を用いてもよい。

また、スイッチング素子 $Q_a \sim Q_f$ として、シリコン・カーバイド $MOSFET$ （ $SiC-MOSFET$ ）、又は $GaN-HEMT$ （ $GaN-High Electron Mobility Transistor$ 、 GaN パワー半導体）を用いてもよい。これらの素子は、逆回復電流が比較的小さいため、電力変換装置 S_1 の損失をさらに低減できる。

【0109】

また、各実施形態では、上・下アームのゲート抵抗が2個（例えば、上アームではゲート抵抗 R_{g1} 、 R_{g2} ：図2参照）である場合について説明したが、ゲート抵抗の個数を適宜変更してもよい。

また、第1実施形態では、バイアス部221（図2参照）がダイオード D_1 及びゲート抵抗 R_{g5} を備える構成について説明したが、ゲート抵抗 R_{g3} 、 R_{g4} の抵抗値を適宜調整することで、バイアス部221からゲート抵抗 R_{g5} を省略することもできる。この場合においてダイオード D_1 は、配線 j に設けられるゲート抵抗 R_{g4} に並列接続され、アノードが駆動回路3側に接続され、カソードがスイッチング素子 Q_b のゲート側に接続される。

【0110】

また、各実施形態では、電力変換装置 S_1 等が2レベルの三相インバータである場合について説明したが、これに限らない。例えば、各実施形態の構成を3レベルのインバータに適用することもできるし、また、単相インバータに適用することもできる。

【0111】

10

20

30

40

50

また、第5実施形態では、電力変換装置S1から供給される交流電力で圧縮機51（図17参照）のモータMを駆動する場合について説明したが、これに限らない。例えば、電力変換装置S1を室外ファンF1のモータ（図示せず）に設置してもよいし、室内ファンF2のモータ（図示せず）に設置してもよい。

【0112】

また、第5実施形態では、電力変換装置S1が空気調和機W（図17参照）に設置される場合について説明したが、これに限らない。例えば、冷蔵庫、給湯機、洗濯機、乗り物等、他の機器に電力変換装置S1を設置してもよい。

また、各実施形態は、適宜組み合わせることができる。例えば、第2実施形態と第5実施形態とを組み合わせ、第2実施形態で説明した電力変換装置S2（図12参照）を空気調和機W（図17参照）に設置してもよい。

10

【0113】

また、前記した各実施形態は本発明を詳細に説明したものであるが、必ずしも説明した全ての構成を備えるものに限定されるものではない。また、ある実施形態例の構成の一部を他の実施形態例の構成に置き換えることが可能であり、また、ある実施形態例の構成に他の実施形態例の構成を加えることも可能である。また、各実施形態例の構成の一部について、他の構成の追加・削除・置換をすることが可能である。

【0114】

また、上記の各構成、機能、処理部、処理手段等は、それらの一部又は全部を、例えば集積回路で設計する等によりハードウェアで実現してもよい。また、上記の各構成、機能等は、プロセッサがそれぞれの機能を実現するプログラムを解釈し、実行するためのソフトウェアで実現してもよい。各機能を実現するプログラム、テーブル、ファイル等の情報は、メモリや、ハードディスク、SSD（Solid State Drive）等の記録装置、又は、IC（Integrated-circuit）カード、SD（Secure Digital）カード、光ディスク等の記録媒体に保持することができる。また、制御線や情報線は説明上必要と考えられるものを示しており、製品上必ずしも全ての制御線や情報線を示しているとは限らない。

20

【符号の説明】

【0115】

S1, S2, S3, S4 電力変換装置

1 インバータ回路

21, 21B, 22, 22A, 23, 24, 25, 26 ゲート回路

221 バイアス部

3 駆動回路

4 制御回路

D1, D2 ダイオード

i, j 配線

E 直流電源

G1 第1レグ（スイッチングレグ）

G2 第2レグ（スイッチングレグ）

G3 第3レグ（スイッチングレグ）

Qa, Qc, Qe スwitching素子（上アームのスイッチング素子）

Qb, Qd, Qf スwitching素子（下アームのスイッチング素子）

Rg4 ゲート抵抗（抵抗、別の抵抗）

Rg5 ゲート抵抗（抵抗）

W 空気調和機

M モータ

51 圧縮機

52 室外熱交換器

53 膨張弁

54 室内熱交換器

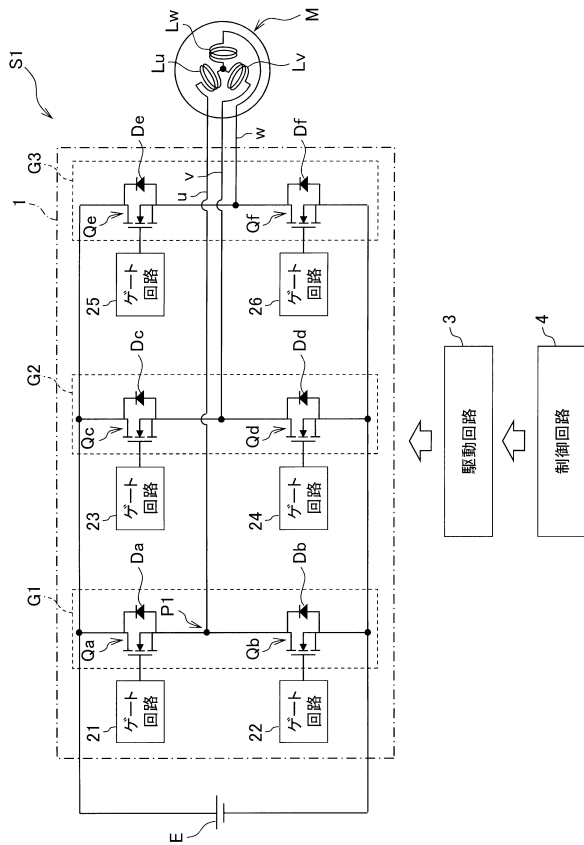
30

40

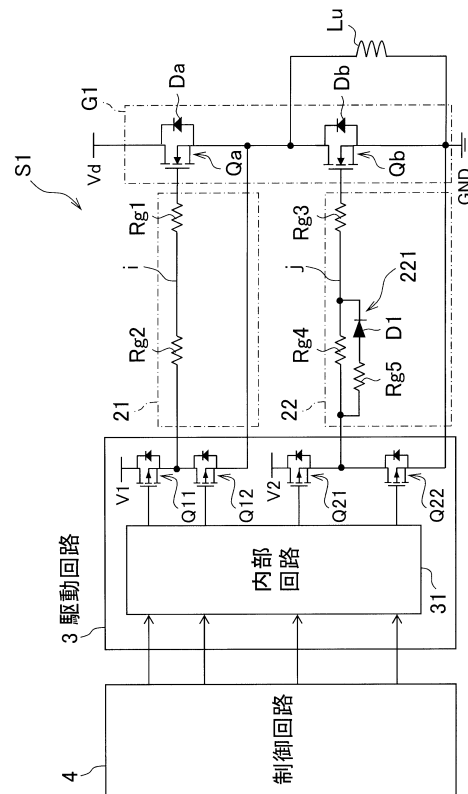
50

k 配管

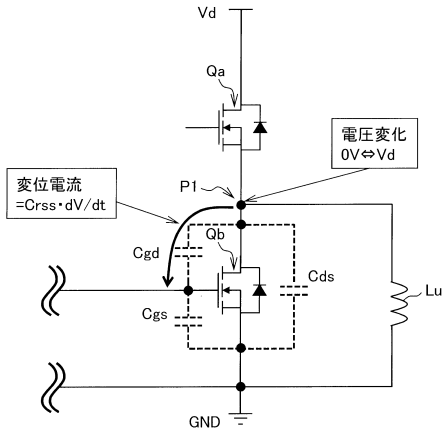
【図1】



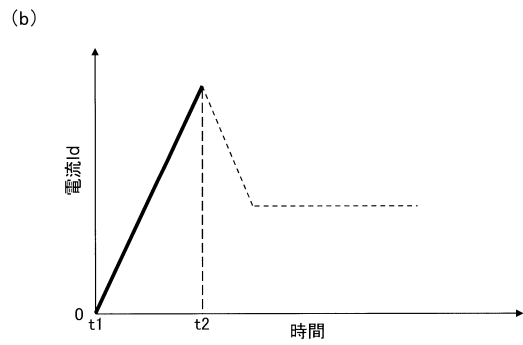
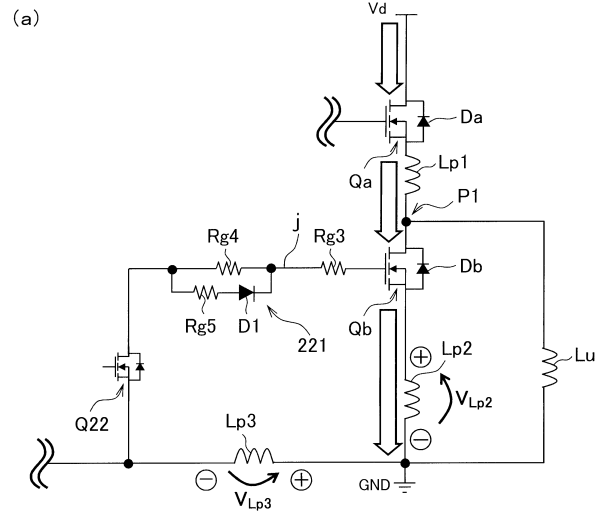
【図2】



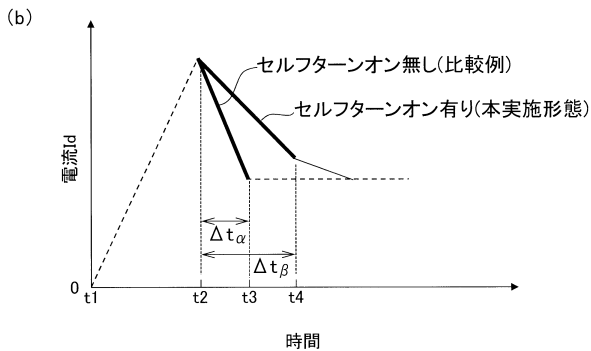
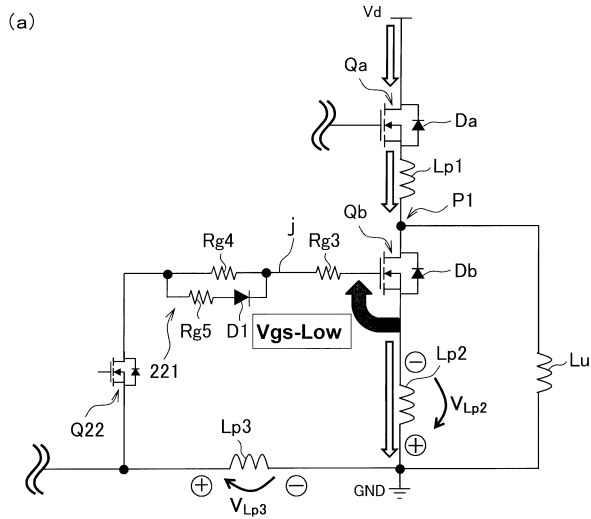
【図3】



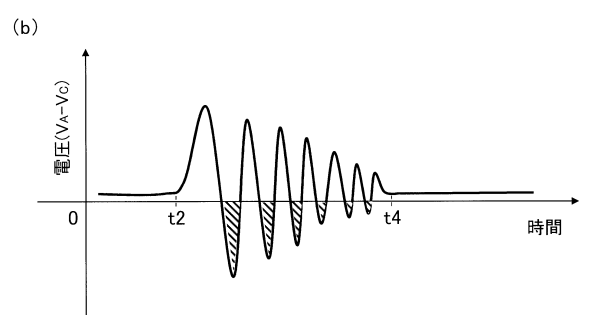
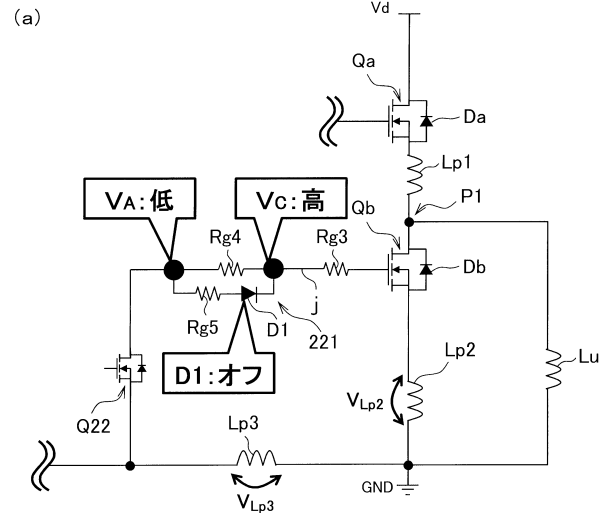
【図4】



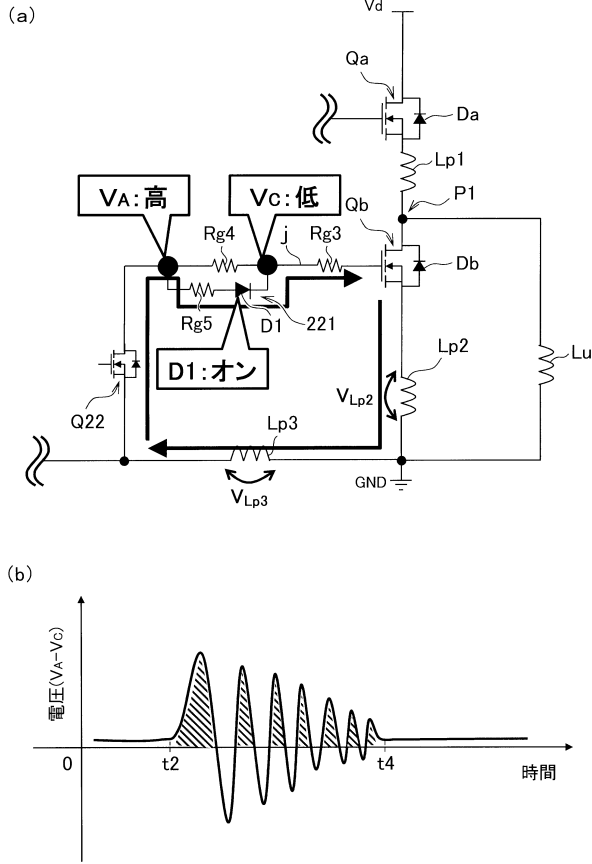
【図5】



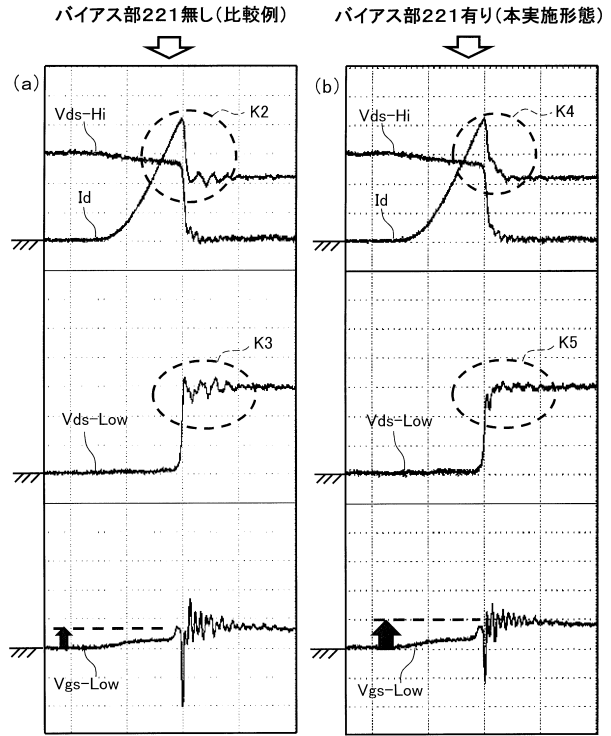
【図6】



【図7】

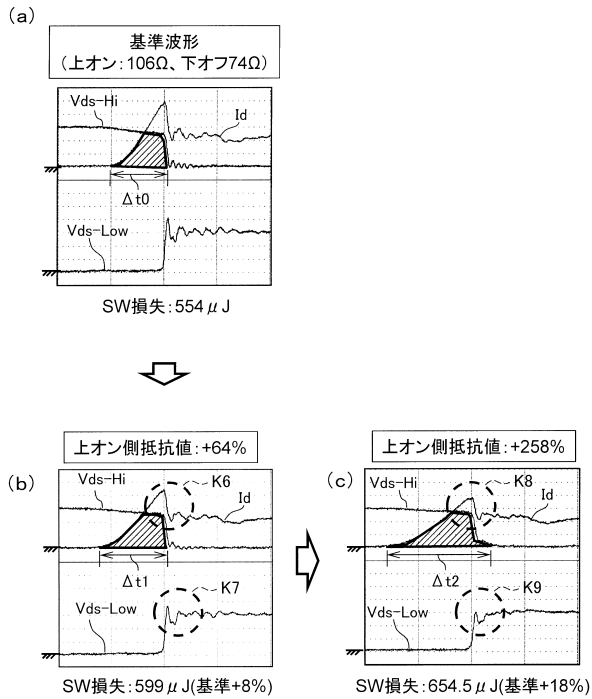


【図8】



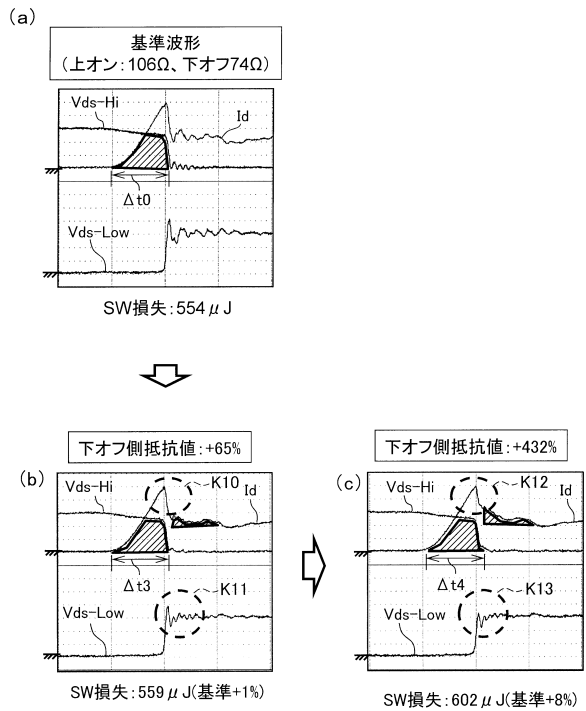
【図9】

<比較例>



【図10】

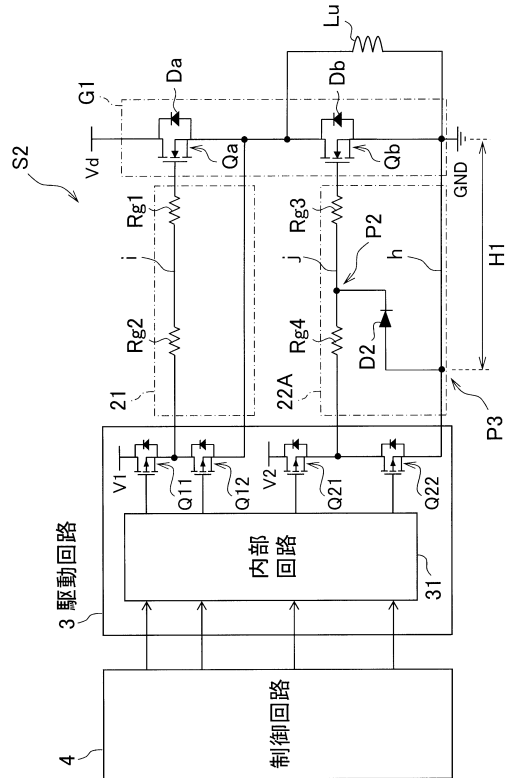
<本実施形態>



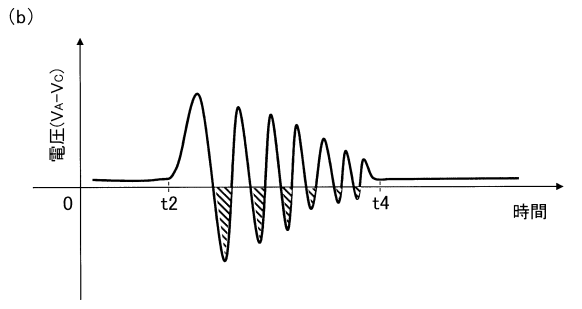
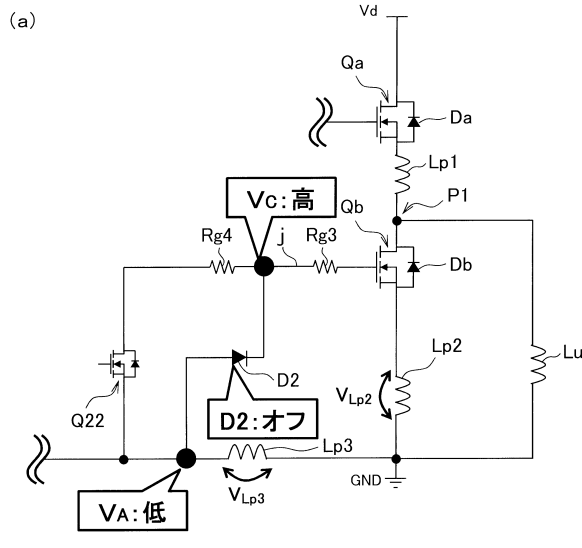
【図11】

項目	基準	上オンのみ 低速化 <比較例>		セルフターンオン 利用 <本実施形態>	
上オン 抵抗値 [Ω]	106	174	274	106	106
下オフ 抵抗値 [Ω]	75	75	75	124	324
Vdsサージ [V]	395	351	300	378	307
オン損失 [μ]	303	353	416	300	311
オフ損失 [μ]	157	163	158	148	151
寄生ダイオード損失 [μ]	94	83	80.5	111	140
合計 [μ]	554	599	654.5	559	602

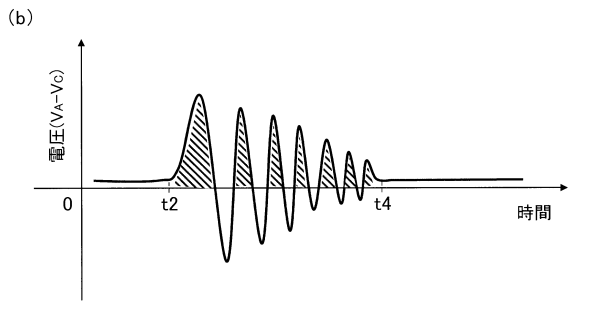
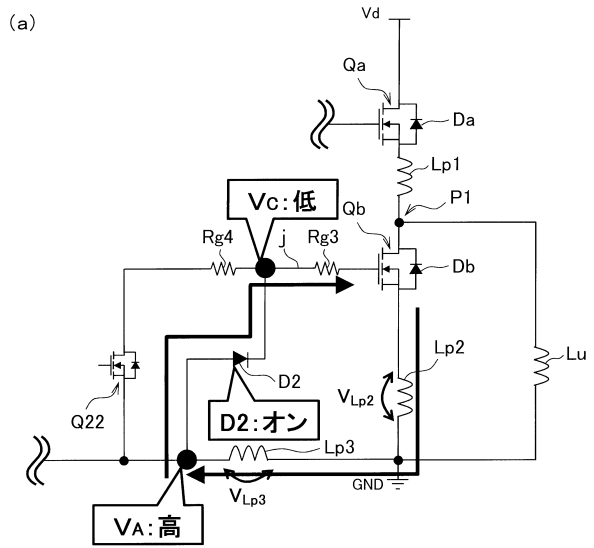
【図12】



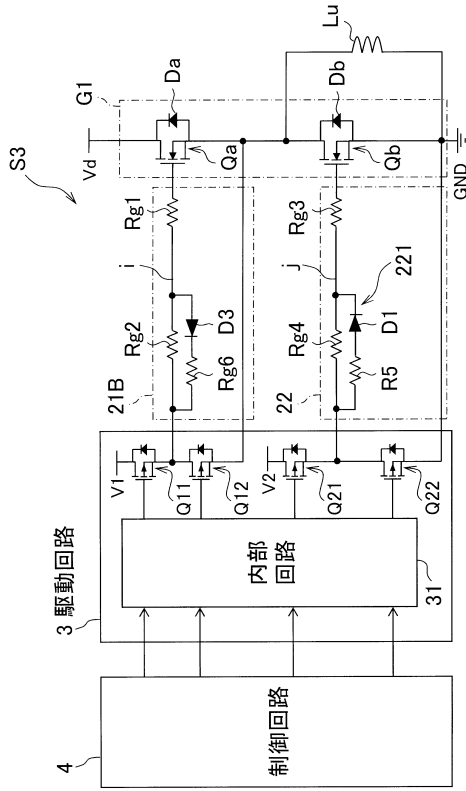
【図13】



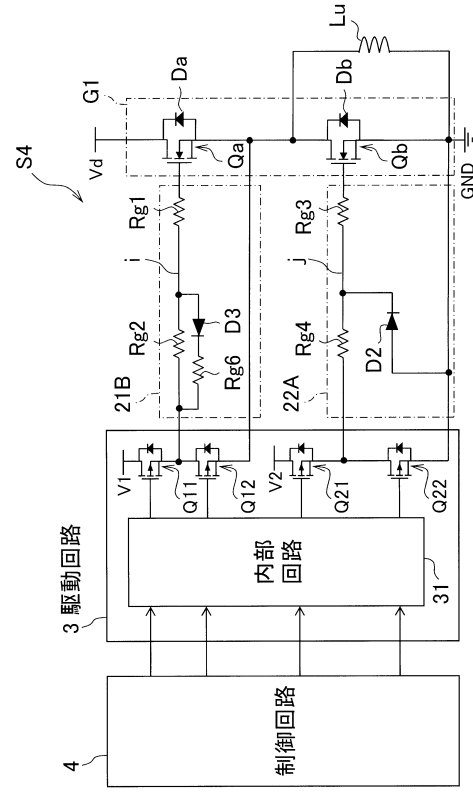
【図14】



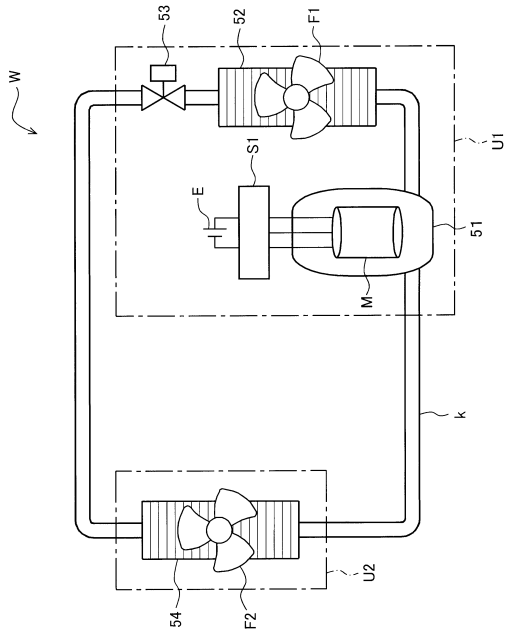
【 図 1 5 】



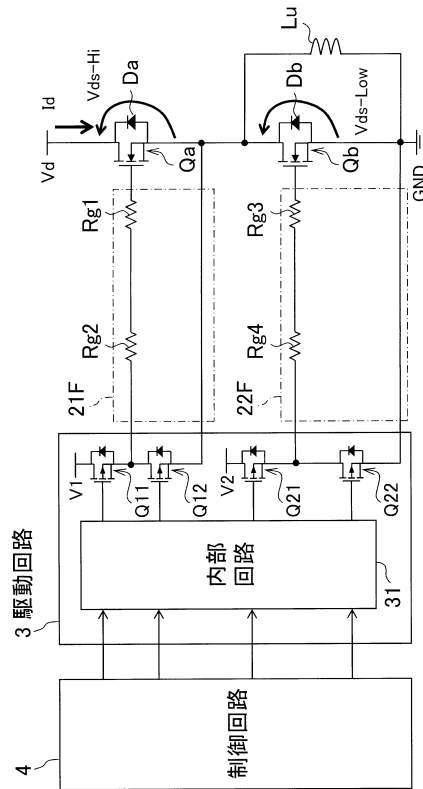
【 図 1 6 】



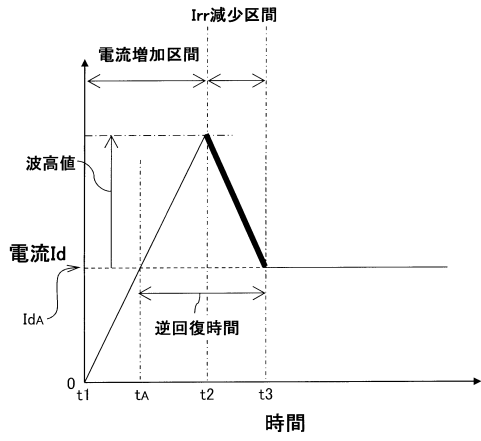
【 図 1 7 】



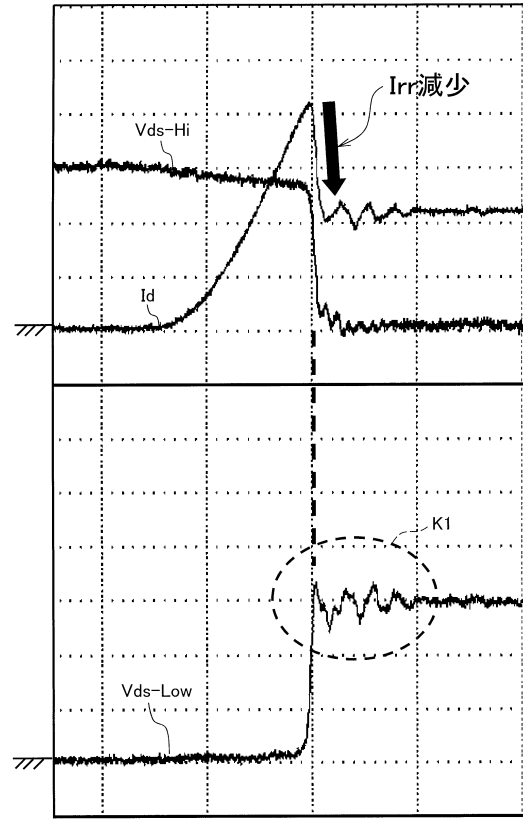
【 図 1 8 】



【図19】



【図20】



フロントページの続き

(72)発明者 上田 和弘
東京都港区海岸一丁目16番1号 日立アプライアンス株式会社内

審査官 栗栖 正和

(56)参考文献 特開2015-019478(JP,A)
特開昭64-082708(JP,A)
国際公開第2013/061469(WO,A1)

(58)調査した分野(Int.Cl., DB名)
H02M 1/08
H02M 7/48