

【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
 【部門区分】第 6 部門第 3 区分  
 【発行日】平成 18 年 3 月 9 日 (2006.3.9)

【公表番号】特表 2002-501269 (P2002-501269A)  
 【公表日】平成 14 年 1 月 15 日 (2002.1.15)  
 【出願番号】特願 2000-528961 (P2000-528961)  
 【国際特許分類】

**G 0 6 K 19/07 (2006.01)**

**G 0 7 F 7/10 (2006.01)**

【F I】

G 0 6 K 19/00 N

G 0 7 F 7/10

【手続補正書】

【提出日】平成 18 年 1 月 20 日 (2006.1.20)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】 集積回路カードであって、  
 読み出し専用メモリ ( 1 0 1 ) と、  
 書換可能メモリ ( 1 0 5 ) と、  
 該読み出し専用メモリ ( 1 0 1 ) および該書換可能メモリ ( 1 0 5 ) に接続されたマイクロプロセッサと、  
 該読み出し専用メモリ ( 1 0 1 ) に格納されたオペレーティングシステム ( 1 1 5 ) であって、該マイクロプロセッサによって実行されるオペレーティングシステム ( 1 1 5 ) と、  
 該書換可能メモリ ( 1 0 5 ) に格納された少なくとも 1 つのアプリケーション ( 1 1 7 ) と、  
 該読み出し専用メモリに格納されたコードレット ( 1 1 3 ) と、  
 該コードレット ( 1 1 3 ) のメモリアドレスおよび識別子を格納するアドレステーブル ( 1 2 3 ) と  
 を備え、  
 該少なくとも 1 つのアプリケーション ( 1 1 7 ) は、該マイクロプロセッサによって実行されたとき、該コードレット ( 1 1 3 ) を呼び出し、  
 該コードレットの識別子を用いて、該アドレステーブル ( 1 2 3 ) 内にある該コードレットのメモリアドレスをルックアップすることによって、該オペレーティングシステム ( 1 1 5 ) が該コードレット ( 1 1 3 ) を実行し、  
 該コードレット ( 1 1 3 ) は、少なくとも 1 つの非ネイティブプログラム命令から構成されている、集積回路カード。

【請求項 2】 前記書換可能メモリ ( 1 0 5 ) は、E E P R O M を備えている、請求項 1 に記載の集積回路カード。

【請求項 3】 前記少なくとも 1 つのアプリケーションのプログラム命令の 1 つは前記コードレット ( 1 1 3 ) を呼び出す、請求項 1 または請求項 2 に記載の集積回路カード。

【請求項 4】 前記アドレステーブル ( 1 2 3 ) が前記書き換え可能メモリ ( 1 0 5 ) または前記読み出し専用メモリ ( 1 0 1 ) に格納されている、請求項 1 から 3 のいずれ

かに記載の集積回路カード。

【請求項 5】 前記読み出し専用メモリ ( 1 0 1 ) に格納されるプリミティブ ( 1 1 1 ) をさらに含む、請求項 1 から 4 のいずれかに記載の集積回路カード。

【請求項 6】 前記プリミティブ ( 1 1 1 ) は、前記集積回路カード上に前記コードレット ( 1 1 3 ) が存在することを確認する、請求項 1 から 5 のいずれかに記載の集積回路カード。

【請求項 7】 前記集積回路カード上に前記コードレット ( 1 1 3 ) が存在することを示すレジスタをさらに含む、請求項 5 に記載の集積回路カード。

【請求項 8】 前記コードレット ( 1 1 3 ) は前記プリミティブ ( 1 1 1 ) を実行する、請求項 4 から 6 のいずれかに記載の集積回路カード。

【請求項 9】 前記プリミティブ ( 1 1 1 ) の実行は、該プリミティブ ( 1 1 1 ) のメモリ位置を決定するために第 2 のアドレステーブルを用いる、請求項 7 に記載の集積回路カード。

【請求項 10】 読み出し専用メモリ ( 1 0 1 ) および書換可能メモリ ( 1 0 5 ) を含むマイクロプロセッサシステムにおいてプログラミング命令を効率的に格納する方法であって、該方法は、

オペレーティングシステム ( 1 1 5 ) を該読み出し専用メモリ ( 1 0 1 ) に格納するステップと、

非ネイティブコンピュータ言語で書かれた少なくとも 1 つのアプリケーション ( 1 1 7 ) を該書換可能メモリ ( 1 0 5 ) に格納するステップと、

コードレット ( 1 1 3 ) を該読み出し専用メモリ ( 1 0 1 ) に格納するステップと、  
該コードレットのメモリアドレスおよび識別子をアドレステーブル ( 1 2 3 ) に格納するステップと

を含み、

該コードレットの識別子を用いて、該アドレステーブル ( 1 2 3 ) 内にある該コードレットのメモリアドレスをルックアップすることによって、該オペレーティングシステム ( 1 1 5 ) が該コードレット ( 1 1 3 ) を実行し、

該コードレット ( 1 1 3 ) は、非ネイティブコンピュータ言語で書かれたプログラム命令から構成されている、方法。

【請求項 11】 前記書換可能メモリ ( 1 0 5 ) は、E E P R O M を備えている、請求項 10 に記載の方法。

【請求項 12】 前記アドレステーブル ( 1 2 3 ) を前記書き換可能メモリ ( 1 0 5 ) または前記読み出し専用メモリ ( 1 0 1 ) に格納するステップを含む、請求項 10 または請求項 11 に記載の方法。

【請求項 13】 前記読み出し専用メモリ ( 1 0 1 ) にプリミティブ ( 1 1 1 ) を格納するステップをさらに含む、請求項 10 から 12 のいずれかに記載の方法。

【請求項 14】 前記少なくとも 1 つのアプリケーション ( 1 1 7 ) の非ネイティブコンピュータ言語は、前記コードレット ( 1 1 3 ) の非ネイティブコンピュータ言語である、請求項 10 から 13 のいずれかに記載の方法。

【請求項 15】 マイクロプロセッサを利用したシステムにプログラム命令を効率的に格納するシステムであって、該システムは、

オペレーティングシステム ( 1 1 5 ) および少なくとも 1 つのコードレット ( 1 1 3 ) を格納する読み出し専用メモリ ( 1 0 1 ) と、

プログラム命令およびデータを含む少なくとも 1 つのアプリケーション ( 1 1 7 ) を格納する書換可能メモリ ( 1 0 5 ) と

を備え、

該少なくとも 1 つのコードレット ( 1 1 3 ) のメモリアドレスおよび識別子は該アドレステーブル ( 1 2 3 ) に格納され、該少なくとも 1 つのコードレット ( 1 1 3 ) は、該少なくとも 1 つのアプリケーションが実行されている間に該少なくとも 1 つのアプリケーション ( 1 1 7 ) によって呼び出され、

該オペレーティングシステム（１１５）は、該少なくとも１つのコードレットの識別子を用いて、該アドレステーブル（１２３）内にある該少なくとも１つのコードレットのメモリアドレスをルックアップすることによって、該少なくとも１つのコードレット（１１３）を実行し、

該少なくとも１つのコードレット（１１３）は、該オペレーティングシステム（１１５）による解釈を必要とする非ネイティブプログラム言語で書かれたプログラム命令から構成されている、システム。

【請求項１６】 前記コードレットの少なくとも１つのプログラム命令は前記アプリケーションのデータを利用する、請求項１５に記載のシステム。

【請求項１７】 前記読み出し専用メモリ（１０１）に前記少なくとも１つのコードレット（１１３）が存在することを確認する手段をさらに含む、請求項１５または請求項１６に記載のシステム。

【請求項１８】 前記アドレステーブル（１２３）は、前記書換可能メモリ（１０５）または前記読み出し専用メモリ（１０１）に格納されている、請求項１５から１７のいずれかに記載のシステム。

【請求項１９】 前記システムは、集積回路カード上に存在する、請求項１５から１８のいずれかに記載のシステム。