

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成31年4月4日(2019.4.4)

【公開番号】特開2018-46053(P2018-46053A)

【公開日】平成30年3月22日(2018.3.22)

【年通号数】公開・登録公報2018-011

【出願番号】特願2016-177746(P2016-177746)

【国際特許分類】

H 0 1 L 29/78 (2006.01)

H 0 1 L 29/739 (2006.01)

H 0 1 L 29/06 (2006.01)

H 0 1 L 21/336 (2006.01)

【F I】

H 0 1 L 29/78 6 5 2 M

H 0 1 L 29/78 6 5 3 C

H 0 1 L 29/78 6 5 2 J

H 0 1 L 29/78 6 5 2 K

H 0 1 L 29/78 6 5 5 A

H 0 1 L 29/78 6 5 2 Q

H 0 1 L 29/78 6 5 2 P

H 0 1 L 29/78 6 5 2 C

H 0 1 L 29/78 6 5 5 G

H 0 1 L 29/78 6 5 8 G

H 0 1 L 29/78 6 5 8 A

H 0 1 L 29/06 3 0 1 V

H 0 1 L 29/06 3 0 1 G

H 0 1 L 29/06 3 0 1 F

【手続補正書】

【提出日】平成31年2月14日(2019.2.14)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

トレンチゲートバイポーラトランジスタを備えた半導体装置であって、  
 第 1 表面を有する第 1 導電型の半導体基板と、  
 互いに隣接するように前記半導体基板に規定された第 1 領域および第 2 領域と、  
 前記第 1 領域に位置する前記半導体基板の前記第 1 表面から第 1 深さに達する第 1 トレンチ内に、第 1 絶縁膜を介在させて形成されたゲート電極と、  
 前記第 1 領域に位置する前記半導体基板の領域を介在させる態様で前記ゲート電極とは距離を隔てられ、前記第 1 表面から前記第 1 深さに達する第 2 トレンチ内に、第 2 絶縁膜を介在させて形成されたエミッタ電極と、  
 前記ゲート電極と前記エミッタ電極との間の前記第 1 領域に位置する前記半導体基板の前記第 1 表面から前記第 1 深さよりも浅い第 2 深さにわたり形成された第 1 導電型のソース領域と、  
 前記ゲート電極と前記エミッタ電極との間の前記第 1 領域に位置する前記半導体基板の

前記第 2 深さから前記第 2 深さよりも深く、前記第 1 深さよりも浅い位置にわたり形成された第 2 導電型のベース領域と、

前記第 2 領域に位置する前記半導体基板の前記第 1 表面から前記第 1 深さよりも深い位置にわたり形成された第 2 導電型のフローティング領域と、

前記エミッタ電極、前記ソース領域および前記ベース領域に電氣的に接続されたコンタクト部とを備え、

前記コンタクト部は、前記エミッタ電極と前記ベース領域とに跨る態様で形成され、

前記コンタクト部のコンタクト底部は、前記エミッタ電極に接触している前記コンタクト底部の第 1 部分が、前記ベース領域に接触している前記コンタクト底部の第 2 部分よりも深い位置にある態様で傾斜している、半導体装置。

【請求項 2】

前記ベース領域のベース底部は、前記エミッタ電極側の前記ベース底部の第 1 部分が、前記ゲート電極側の前記ベース底部の第 2 部分よりも深い位置にある態様で傾斜し、

前記ベース底部の前記第 2 部分から前記ゲート電極の下端までの長さは、前記ベース底部の前記第 1 部分から前記ゲート電極の下端までの長さよりも長い、請求項 1 記載の半導体装置。

【請求項 3】

前記コンタクト部の前記コンタクト底部が、前記エミッタ電極と前記ベース領域とに接触し、

前記コンタクト部のコンタクト側部が、前記ソース領域と前記ベース領域とに接触している、請求項 1 記載の半導体装置。

【請求項 4】

トレンチゲートバイポーラトランジスタを備えた半導体装置であって、

第 1 表面を有する第 1 導電型の半導体基板と、

互いに隣接するように前記半導体基板に規定された第 1 領域および第 2 領域と、

前記第 1 領域に位置する前記半導体基板の前記第 1 表面から第 1 深さに達する第 1 トレンチ内に、第 1 絶縁膜を介在させて形成されたゲート電極と、

前記ゲート電極と前記第 2 領域との間に位置する前記半導体基板の前記第 1 表面から前記第 1 深さよりも浅い第 2 深さにわたり形成された第 1 導電型のソース領域と、

前記ゲート電極と前記第 2 領域との間に位置する前記半導体基板の前記第 2 深さから前記第 2 深さよりも深い位置にわたり形成された第 2 導電型のベース領域と、

前記第 1 領域に位置する前記半導体基板の領域を介在させる態様で前記ゲート電極とは距離を隔てられ、前記第 2 領域に位置する前記半導体基板の領域に形成された、キャリアの流れを阻止する、エミッタ電極を含むキャリア通り抜け阻止部と、

前記エミッタ電極、前記ソース領域および前記ベース領域に電氣的に接続されたコンタクト部とを備え、

前記コンタクト部の底部が前記エミッタ電極に接触し、

前記コンタクト部のコンタクト側部が前記ソース領域および前記ベース領域に接触している、半導体装置。

【請求項 5】

前記キャリア通り抜け阻止部は、

前記エミッタ電極と、

第 2 導電型のフローティング領域と

を含み、

前記エミッタ電極は、前記第 1 領域に位置する前記半導体基板の領域を介在させる態様で前記ゲート電極とは距離を隔てられ、前記第 1 表面から前記第 1 深さに達する第 2 トレンチ内に第 2 絶縁膜を介在させて形成され、

前記フローティング領域は、前記第 2 領域に位置する前記半導体基板の前記第 1 表面か

ら前記第 1 深さよりも深い位置にわたり形成された、請求項 4 記載の半導体装置。

【請求項 6】

前記ベース領域のベース底部は、前記エミッタ電極側の前記ベース底部の第 1 部分が、前記ゲート電極側の前記ベース底部の第 2 部分よりも深い位置にある態様で傾斜し、

前記ベース底部の前記第 2 部分から前記ゲート電極の下端までの長さは、前記ベース底部の前記第 1 部分から前記ゲート電極の下端までの長さよりも長い、請求項 5 記載の半導体装置。

【請求項 7】

前記エミッタ電極の上端は、前記ゲート電極の上端よりも低い位置にある、請求項 5 記載の半導体装置。

【請求項 8】

前記エミッタ電極の幅は前記ゲート電極の幅よりも広い、請求項 5 記載の半導体装置。

【請求項 9】

前記キャリア通り抜け阻止部は、前記エミッタ電極であり、

前記エミッタ電極は、前記第 2 領域の全域に位置する前記半導体基板の前記第 1 表面から前記第 1 深さに達する第 2 トレンチ内に第 2 絶縁膜を介在させて形成された、請求項 4 記載の半導体装置。

【請求項 10】

前記第 2 絶縁膜の厚さは、前記第 1 絶縁膜の厚さよりも厚い、請求項 9 記載の半導体装置。

【請求項 11】

前記ベース領域のベース底部は、前記エミッタ電極側の前記ベース底部の第 1 部分が、前記ゲート電極側の前記ベース底部の第 2 部分よりも深い位置にある態様で傾斜し、

前記ベース底部の前記第 2 部分から前記ゲート電極の下端までの長さは、前記ベース底部の前記第 1 部分から前記ゲート電極の下端までの長さよりも長い、請求項 9 記載の半導体装置。

【請求項 12】

前記エミッタ電極の上端は、前記ゲート電極の上端よりも低い位置にある、請求項 9 記載の半導体装置。

【請求項 13】

トレンチゲートバイポーラトランジスタを備えた半導体装置の製造方法であって、

第 1 表面を有する第 1 導電型の半導体基板に、互いに隣接する第 1 領域と第 2 領域とを規定する工程と、

前記第 1 領域に位置する前記半導体基板の前記第 1 表面から第 1 深さに達する第 1 トレンチ内に第 1 絶縁膜を介在させてゲート電極を形成するとともに、前記第 1 トレンチとは距離を隔てて、前記半導体基板の前記第 1 表面から前記第 1 深さに達する第 2 トレンチ内に第 2 絶縁膜を介在させてエミッタ電極を形成する工程と、

前記第 2 領域に位置する前記半導体基板に第 2 導電型の不純物を導入することにより、フローティング領域を形成する工程と、

前記ゲート電極と前記エミッタ電極との間の前記第 1 領域に位置する前記半導体基板の前記第 1 表面から第 2 深さにわたり、第 1 導電型のソース領域を形成する工程と、

前記ゲート電極と前記エミッタ電極との間の前記第 1 領域に位置する前記半導体基板の前記第 2 深さから前記第 2 深さよりも深く、前記第 1 深さよりも浅い位置にわたり、第 2 導電型のベース領域を形成する工程と、

前記第 1 領域および前記第 2 領域を覆うように、コンタクト層間絶縁膜を形成する工程と、

前記コンタクト層間絶縁膜にエッチング処理を行うことにより、前記エミッタ電極と前記ソース領域とを跨ぐ態様で、前記エミッタ電極および前記ソース領域を露出する開口部を形成する工程と、

前記開口部が形成された前記コンタクト層間絶縁膜をエッチングマスクとして、前記エ

ミッタ電極、前記ソース領域および前記ベース領域にエッチング処理を行うことにより、  
コンタクト開口部を形成する工程と、

前記コンタクト開口部内の残渣を除去する工程と、

前記コンタクト開口部に、前記エミッタ電極、前記ベース領域および前記ソース領域  
に電氣的に接続されるコンタクト部を形成する工程と  
を備えた、半導体装置の製造方法。

【請求項 14】

前記ベース領域を形成する工程は、前記コンタクト開口部を介して、前記ベース領域に  
第2導電型の不純物を注入し熱拡散させることにより、前記ベース領域における前記エミ  
ッタ電極側のベース底部の第1部分が、前記ベース領域における前記ゲート電極側の前記  
ベース底部の第2部分よりも深くなる態様で、前記ベース底部を傾斜させる工程を含む、  
請求項13記載の半導体装置の製造方法。

【請求項 15】

前記ゲート電極および前記エミッタ電極を形成する工程は、

前記第1トレンチ内および前記第2トレンチ内を充填する態様で、前記半導体基板を覆  
うように第1導電性膜を形成する工程と、

前記第1導電性膜の全面にエッチング処理を行うことにより、前記半導体基板の前記第  
1表面上に位置する前記第1導電性膜の部分を除去し、前記第1トレンチ内および前記第  
2トレンチ内のそれぞれに残される前記第1導電性膜の部分の上面の位置を、前記半導体  
基板の前記第1表面の位置よりも下げる工程と  
を含む、請求項13記載の半導体装置の製造方法。

【請求項 16】

前記コンタクト開口部を形成する工程は、前記コンタクト開口部における前記エミッタ  
電極側の開口底面の第1部分は、前記コンタクト開口部における前記ベース領域側の前記  
開口底面の第2部分よりも深い位置になる態様で前記開口底面を傾斜する工程を含み、

前記コンタクト部を形成する工程は、前記コンタクト部における前記エミッタ電極側の  
コンタクト底部の第1部分が、前記ベース領域側の前記コンタクト底部の第2部分よりも  
深い位置にある態様で前記コンタクト底部を傾斜させる工程を含む、請求項15記載の半  
導体装置の製造方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0095

【補正方法】変更

【補正の内容】

【0095】

(付記2)

付記1に記載の半導体装置の製造方法であって、

前記ベース領域を形成する工程は、前記コンタクト開口部を介して、前記ベース領域に  
第2導電型の不純物を注入し熱拡散させることにより、前記ベース領域における前記エミ  
ッタ電極側のベース底部の第1部分が、前記ベース領域における前記ゲート電極側の前記  
ベース底部の第2部分よりも深くなる態様で、前記ベース領域の前記ベース底部を傾斜さ  
せる工程を含む。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0098

【補正方法】変更

【補正の内容】

【0098】

(付記5)

付記4に記載の半導体装置の製造方法であって、

前記ベース領域を形成する工程は、前記コンタクト開口部を介して、前記ベース領域に第2導電型の不純物を注入し熱拡散させることにより、前記ベース領域における前記エミッタ電極側のベース底部の第1部分が、前記ベース領域における前記ゲート電極側の前記ベース底部の第2部分よりも深くなる態様で、前記ベース領域の前記ベース底部を傾斜させる工程を含む。