

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4499587号
(P4499587)

(45) 発行日 平成22年7月7日 (2010.7.7)

(24) 登録日 平成22年4月23日 (2010.4.23)

(51) Int. Cl.

F I

G 1 1 C 11/401 (2006.01)
H O 1 L 21/8242 (2006.01)
H O 1 L 27/108 (2006.01)
G 1 1 C 11/4099 (2006.01)

G 1 1 C 11/34 3 7 1 D
H O 1 L 27/10 6 2 1 C
H O 1 L 27/10 6 8 1 F
G 1 1 C 11/34 3 5 2 E

請求項の数 4 (全 24 頁)

(21) 出願番号 特願2005-65505 (P2005-65505)
(22) 出願日 平成17年3月9日 (2005.3.9)
(65) 公開番号 特開2006-252636 (P2006-252636A)
(43) 公開日 平成18年9月21日 (2006.9.21)
審査請求日 平成18年3月27日 (2006.3.27)

(73) 特許権者 308014341
富士通マイクロエレクトロニクス株式会社
神奈川県横浜市港北区新横浜二丁目10番
23
(74) 代理人 100072718
弁理士 古谷 史旺
(74) 代理人 100116001
弁理士 森 俊秀
(72) 発明者 伊藤 成真
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

審査官 堀江 義隆

最終頁に続く

(54) 【発明の名称】 半導体メモリおよび半導体メモリの製造方法

(57) 【特許請求の範囲】

【請求項1】

書き込みデータを保持するリアルメモリセルと、
前記書き込みデータを保持しないダミーメモリセルと、
前記ダミーメモリセルに接続されたダミービット線と、
外部電源電圧に応じて半導体メモリの内部回路で使用する複数種の内部電圧をそれぞれ生成する複数の内部電圧生成回路と、
前記内部電圧がそれぞれ供給される複数の内部電圧線と、
前記ダミービット線に隣接して形成され、前記内部電圧がそれぞれ供給される回路要素と、

前記ダミービット線を前記内部電圧線のいずれかに接続する接続設定回路と、
外部コマンドを解読するコマンドデコーダとを備え、

前記接続設定回路は、
前記ダミービット線に接続される内部電圧線を示す情報が予めプログラムされるプログラム回路と、

前記プログラム回路のプログラム状態に応じて前記ダミービット線を前記内部電圧線のいずれかに接続するスイッチ回路とを備え、

前記スイッチ回路は、前記コマンドデコーダにより解読された外部コマンドが接続設定コマンドのときに、前記プログラム回路のプログラム状態にかかわらず、前記接続設定コマンドにより示される接続仕様に依りて前記ダミービット線を前記内部電圧線のいずれか

10

20

に接続することを特徴とする半導体メモリ。

【請求項 2】

請求項 1 記載の半導体メモリにおいて、

前記プログラム回路は、溶断 / 未溶断に応じて前記情報がプログラムされるヒューズを有し、所定の論理レベルを出力するヒューズ回路を備え、

前記スイッチ回路は、前記論理レベルに応じて前記内部電圧線のいずれかに接続することを特徴とする半導体メモリ。

【請求項 3】

書き込みデータを保持するリアルメモリセルと、

前記書き込みデータを保持しないダミーメモリセルと、

前記ダミーメモリセルに接続されたダミービット線と、

外部電源電圧に応じて半導体メモリの内部回路で使用する複数種の内部電圧をそれぞれ生成する複数の内部電圧生成回路と、

前記内部電圧がそれぞれ供給される複数の内部電圧線と、

前記ダミービット線に接続される内部電圧線を示す情報が予めプログラムされたプログラム回路と、

前記プログラム回路のプログラム状態に応じて前記ダミービット線を前記内部電圧線のいずれかに接続するスイッチ回路とを備えた半導体メモリの製造方法であって、

半導体メモリチップに隣接してウエハ上に形成される評価回路の電気的特性を評価するウエハテスト工程と、

前記ウエハテスト工程での評価結果に応じて、前記プログラム回路をプログラムするプログラム工程とを備えていることを特徴とする半導体メモリの製造方法。

【請求項 4】

書き込みデータを保持するリアルメモリセルと、

前記書き込みデータを保持しないダミーメモリセルと、

前記ダミーメモリセルに接続されたダミービット線と、

外部電源電圧に応じて半導体メモリの内部回路で使用する複数種の内部電圧をそれぞれ生成する複数の内部電圧生成回路と、

前記内部電圧がそれぞれ供給される複数の内部電圧線と、

前記ダミービット線に接続される内部電圧線を示す情報が予めプログラムされたプログラム回路と、

前記プログラム回路のプログラム状態に応じて前記ダミービット線を前記内部電圧線のいずれかに接続するスイッチ回路と、

外部コマンドを解読するコマンドデコーダとを備えた半導体メモリの製造方法であって、

前記コマンドデコーダにより解読された外部コマンドが接続設定コマンドのときに、前記プログラム回路のプログラム状態にかかわらず、前記接続設定コマンドにより示される接続仕様にに応じて、前記スイッチ回路によって前記ダミービット線が前記内部電圧線のいずれかに接続される工程と、

ウエハ上に形成される半導体メモリチップの良 / 不良を判定する出荷テスト工程と、

前記出荷テスト工程で判定された不良チップの不良カテゴリに応じて、前記プログラム回路をプログラムするプログラム工程とを備えていることを特徴とする半導体メモリの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ダミービット線を有する半導体メモリに関する。

【背景技術】

【0002】

半導体メモリに形成されるメモリセルアレイ（リアルメモリセルアレイ）内の素子およ

10

20

30

40

50

び配線の密度は、メモリセルアレイの外側に形成される周辺回路に比べて高い。このため、メモリセルアレイの外周部と周辺回路の境界では、素子および配線の密度（規則性）が大きく変わる。この密度の差により、外周部は、半導体メモリの製造工程の一つであるホトリソグラフィ工程においてハレーションの影響を受けやすくなる。ハレーションにより、外周部のメモリセルおよび配線の形状は、メモリセルアレイ内部のメモリセルおよび配線の形状と異なってしまう。形状の相違は、ショート不良や断線不良の原因になり、歩留を下げの要因になる。

【 0 0 0 3 】

一般に、半導体メモリでは、ハレーションによる外周部の素子形状の崩れを防止するために、メモリセルアレイの外周部にダミーメモリセルアレイが形成される。ダミーメモリセルアレイは、リアルメモリセルアレイと構造を有しており、ダミーメモリセル、ダミーワード線およびダミービット線を有している。ダミーメモリセルは、形状ダミーであり、書き込みデータを記憶しない、このため、通常、ダミーワード線およびダミービット線は、ビット線の定常的な電圧であるプリチャージ電圧に接続されている。

10

【 0 0 0 4 】

特開 2 0 0 0 - 3 3 9 9 7 9 号公報には、ダミーメモリセルを有する仮想接地型の不揮発性半導体メモリの発明が開示されている。この半導体メモリでは、ダミーメモリセルに接続されたダミービット線は、ダミーメモリセルの閾値電圧を高くするために、トランジスタを介して一時的に負電圧を受ける。これにより、ダミーメモリセルに隣接するリアルメモリセルの読み出しマージンの低下が防止される。しかしながら、ダミーメモリセルの閾値電圧が高くなった後、ダミービット線は、フローティング状態になる。フローティング状態が長く続く配線は、隣接する配線の電圧変化により変化しやすい（クロストーク）。このため、クロストークによる誤動作の原因になりやすい。

20

【 0 0 0 5 】

特開平 1 0 - 1 4 4 8 8 9 号公報には、プリチャージ電圧に固定されるダミービット線とダミーメモリセルとを接続するコンタクトが形成されない D R A M が開示されている。この D R A M では、ダミービット線が、ダミーメモリセルのキャパシタを介してリアルメモリセルのキャパシタにショートすることが防止され、リーク不良が防止される。しかしながら、ダミーメモリセルは、本来、ハレーションを防止するために形成されている。このため、ダミーメモリセルのパターン形状を変えると、ハレーションに対する効果が下がるおそれがある。

30

【特許文献 1】特開 2 0 0 0 - 3 3 9 9 7 9 号公報

【特許文献 2】特開平 1 0 - 1 4 4 8 8 9 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 6 】

D R A M 等の半導体メモリでは、ダミービット線は、データを入出力するリアルビット線のリセット電圧であるプリチャージ電圧に固定されることが多い。一方、素子構造の微細化に伴い、隣接する配線間の距離および配線と素子間の距離は、小さくなる傾向にある。このため、ダミービット線と他の配線間、あるいはダミービット線と素子（トランジスタ）間で、リーク不良が発生しやすくなってきている。さらに、素子構造の微細化に伴い、この種のリーク不良の原因（不良箇所）は、半導体の製造条件が僅かに変動しただけで変わりやすくなる。このため、ダミービット線により発生するリーク不良の原因は、製造ロット間だけでなく、ロット内のウエハ間、あるいはウエハ内の半導体メモリチップの位置により変わる場合がある。

40

【 0 0 0 7 】

リーク不良は、スタンバイ電流を増加させ、歩留を低下させる。特に、スタンバイ電流の規格は、バッテリーで動作する携帯端末に搭載される半導体メモリで厳しい。この主の用途の半導体メモリでは、スタンバイ電流の増加により、歩留が大きく低下するおそれがある。

50

【 0 0 0 8 】

本発明の目的は、ダミービット線が原因となるスタンバイ電流を削減し、半導体メモリの歩留を向上することにある。

【課題を解決するための手段】

【 0 0 0 9 】

本発明の半導体メモリの第1の形態では、半導体メモリは、書き込みデータを保持するリアルメモリセルと、書き込みデータを保持しないダミーメモリセルとを有している。ダミービット線は、ダミーメモリセルに接続されている。負電圧生成回路は、外部電源電圧に応じて半導体メモリの内部回路で使用する負電圧を生成する。負電圧が供給される回路要素は、ダミービット線に隣接して形成されている。ダミービット線は、接続配線を介して、負電圧が供給される負電圧線に直接接続されている。例えば、半導体メモリの製造条件の変動により、リアルメモリセルに接続されるリアルビット線が、隣接する回路要素とショートしやすいことが分かっている場合、ダミービット線も、隣接する回路要素とショートしやすい。本発明の適用により、ダミービット線が隣接する回路要素とショートした場合にも、ダミービット線と回路要素間で発生するリークを防止できる。リークを防止できるため、負電圧の生成回路が不必要に動作することを防止でき、スタンバイ電流が増加することを防止できる。この結果、半導体メモリの歩留を向上できる。

10

【 0 0 1 0 】

本発明の半導体メモリの第1の形態における好ましい例では、負電圧生成回路が生成する負電圧は、ダミーメモリセルに形成されるダミートランジスタの基板電圧である。リアルメモリセルに接続されるリアルビット線が、リアルメモリセルを構成するトランジスタの基板とショートしやすいことが分かっている場合、ダミービット線も、ダミートランジスタの基板とショートしやすい。本発明の適用により、ダミービット線がダミートランジスタの基板とショートした場合にも、ダミービット線とダミートランジスタの基板間で発生するリークを防止できる。この結果、スタンバイ電流の増加を防止でき、半導体メモリの歩留を向上できる。

20

【 0 0 1 1 】

本発明の半導体メモリの第1の形態における好ましい例では、負電圧生成回路が生成する負電圧は、リアルメモリセルに形成されるリアルトランジスタをオフするためにリアルワード線に供給されるリセット電圧である。リアルビット線が、リアルワード線とショートしやすいことが分かっている場合、ダミービット線も、リアルワード線とショートしやすい。本発明の適用により、ダミービット線がリアルワード線とショートした場合にも、ダミービット線とリアルワード線間で発生するリークを防止できる。特に、全てのリアルワード線は、スタンバイ中にリセット電圧に保持されるため、半導体メモリのパワーオン期間中、リセット電圧が供給される時間が長い。この結果、スタンバイ電流の増加を防止でき、半導体メモリの歩留を向上できる。

30

【 0 0 1 2 】

本発明の半導体メモリの第2の形態では、半導体メモリは、書き込みデータを保持するリアルメモリセルと、書き込みデータを保持しないダミーメモリセルとを有している。ダミービット線は、ダミーメモリセルに接続されている。複数の内部電圧生成回路は、外部電源電圧に応じて半導体メモリの内部回路で使用する複数種の内部電圧をそれぞれ生成する。内部電圧がそれぞれ供給される回路要素は、ダミービット線に隣接して形成されている。接続設定回路は、ダミービット線を、内部電圧がそれぞれ供給される複数の内部電圧線のいずれかに接続する。本発明の適用により、ダミービット線を、ダミービット線とショートしやすい回路要素に供給される内部電圧の電圧線に接続することが可能になる。接続の変更は、半導体メモリ毎に可能である。したがって、半導体メモリの製造条件の変動により、ショートしやすい回路要素が別の回路要素に変わった場合にも、ダミービット線を、その変化に合わせて別の内部電圧線に容易に接続できる。この結果、製造条件の変動により主要な不良カテゴリが変わった場合にも、スタンバイ電流が増加することを防止でき、半導体メモリの歩留を向上できる。

40

50

【 0 0 1 3 】

本発明の半導体メモリの第2の形態における好ましい例では、接続設定回路は、プログラム回路およびスイッチ回路を有する。プログラム回路は、ダミービット線に接続される内部電圧線を示す情報が予めプログラムされている。スイッチ回路は、プログラム回路のプログラム状態に応じてダミービット線を内部電圧線のいずれかに接続する。プログラム回路を設けることで、半導体メモリの製造工程において、内部電圧線を示す情報を容易にプログラムできる。

【 0 0 1 4 】

本発明の半導体メモリの第2の形態における好ましい例では、プログラム回路は、溶断 / 未溶断に応じて情報がプログラムされるヒューズを有し、所定の論理レベルを出力するヒューズ回路を有する。スイッチ回路は、論理レベルに応じて内部電圧線のいずれかに接続する。プログラム回路をヒューズで構成することで、半導体メモリの製造工程において、内部電圧線を示す情報を既存の設備を用いてプログラムできる。このため、本発明の適用により半導体メモリのコストが上昇することを防止できる。

【 0 0 1 5 】

本発明の半導体メモリの第2の形態における好ましい例では、コマンドデコーダは、外部コマンドを解読する。スイッチ回路は、コマンドデコーダにより解読された外部コマンドが接続設定コマンドのときに、プログラム回路のプログラム状態にかかわらず、接続設定コマンドにより示される接続仕様にに応じてダミービット線を内部電圧線のいずれかに接続する。このため、プログラム前およびプログラム後の両方において、プログラム状態にかかわらず、ダミービット線を任意の内部電圧線に接続できる。例えば、プログラム前にコマンドデコーダを用いることで、プログラム回路をどのようにプログラムすべきかを評価できる。プログラム後にコマンドデコーダを用いることで、製造後に不良が判明した半導体メモリの不良原因を詳細に評価できる。

【 0 0 1 6 】

例えば、コマンドデコーダは、半導体メモリのユーザに公開されている複数種のコマンドを所定の組み合わせで受けたときに、接続設定コマンドを認識する。あるいは、コマンドデコーダは、ユーザに非公開のテストコマンドを受けたときに、接続設定コマンドを認識する。接続仕様は、例えば、接続設定コマンドとともに供給される外部アドレス信号および外部データ信号の少なくともいずれかの値により決定する。

【 0 0 1 7 】

本発明の半導体メモリの第2の形態における好ましい例では、接続設定回路は、半導体製造工程で使用するホトマスクのパターン形状に対応して半導体基板上に形成され、内部電圧線のいずれかをダミービット線に接続する導電膜により構成されている。半導体メモリの製造条件の変動と、リアルビット線およびダミービット線がショートしやすい回路要素との関係が分かっている場合、形成する導電膜（ホトマスク）を製造条件の変動に応じて切り替えることで、半導体メモリの歩留を向上できる。

【 0 0 1 8 】

本発明の半導体メモリの製造方法の第1の形態では、上述した第2の形態の半導体メモリを製造するためのウエハテスト工程において、半導体メモリチップに隣接してウエハ上に形成される評価回路の電気的特性が評価される。次に、プログラム工程において、プログラム回路は、ウエハテスト工程での評価結果に応じてプログラムされる。例えば、プログラム工程は、プログラム回路に形成されるヒューズを溶断 / 未溶断するヒューズ工程である。本発明の適用により、半導体メモリの電気的特性に応じて、半導体メモリ毎にダミービット線を所望の内部電圧線に接続できる。この結果、半導体メモリの歩留を向上できる。

【 0 0 1 9 】

本発明の半導体メモリの製造方法の第2の形態では、上述した第2の形態の半導体メモリを製造するための出荷テスト工程において、ウエハ上に形成される半導体メモリチップの良 / 不良が判定される。プログラム工程において、プログラム回路は、出荷テスト工程

10

20

30

40

50

で判定された不良チップの不良カテゴリに応じてプログラムされる。例えば、プログラム工程は、プログラム回路に形成されるヒューズを溶断／未溶断するヒューズ工程である。本発明の適用により、半導体メモリの不良カテゴリの分布に応じて、半導体メモリ毎にダミービット線を所望の内部電圧線に接続できる。この結果、半導体メモリの歩留を向上できる。

【発明の効果】

【0020】

本発明では、ダミービット線が原因となるスタンバイ電流を削減し、半導体メモリの歩留を向上できる。

【発明を実施するための最良の形態】

10

【0021】

以下、本発明の実施形態を図面を用いて説明する。図中の二重丸は、外部端子を示している。図中、太線で示した信号線は、複数本で構成されている。また、太線が接続されているブロックの一部は、複数の回路で構成されている。末尾に“Z”が付く信号は、正論理を示し、先頭に“/”が付く信号は、負論理を示している。信号が伝達される信号線には、信号名と同じ符号を使用する。

【0022】

図1は、本発明の半導体メモリの第1の実施形態を示している。半導体メモリは、例えば、CMOSプロセス技術を用いてFCRAM (Fast Cycle RAM) として形成されている。FCRAMは、DRAMのメモリコアを有し、SRAMのインタフェースを有する擬似SRAMの一種である。このFCRAMは、特に、バッテリーで動作する携帯端末に搭載される用途に設計されており、スタンバイ電流が低いことを特徴としている。換言すれば、このFCRAMのスタンバイ電流の規格(テスト規格)は厳しい。

20

【0023】

FCRAMは、STTZ生成回路10、VPR生成回路12、VPP生成回路14、VNW L生成回路16(負電圧生成回路)、VBB生成回路18(負電圧生成回路)、VCP生成回路20、VII生成回路22、コマンドデコーダ24、動作制御回路26、アドレスデコーダ28、データ入出力回路30およびメモリコアCOREを有している。

【0024】

STTZ生成回路10(パワーオンリセット回路)は、外部電源電圧VDD(例えば、1.8V)が所定の電圧より低くなったとき、スタート信号STTZ(正のパルス信号)を出力する。スタート信号STTZは、初期化が必要なラッチ等へ供給され、これ等回路を初期状態に設定する。スタート信号STTZにより、FCRAMは、パワーオン後に外部電源電圧VDDが所定の電圧になるまでリセット状態に設定され、誤動作が防止される。

30

【0025】

VPR生成回路12は、電源電圧VDDを用いて、後述するビット線BL、/BLをプリチャージするためのプリチャージ電圧VPR(例えば、0.8V)を生成する。VPP生成回路14は、電源電圧VDDを用いて、後述するワード線WLの高レベル電圧(活性化レベル)であるブースト電圧VPP(例えば3V)を生成する。VNW L生成回路16は、電源電圧VDDを用いて、ワード線WLのリセット電圧(非活性化レベル)であるリセット電圧VNW L(例えば、-0.4V)を生成する。

40

【0026】

VBB生成回路18は、電源電圧VDDを用いて、FCRAMの半導体基板および後述するメモリセルMCのpウエル領域に供給する基板電圧VBB(例えば、-0.4V)を生成する。VCP生成回路20は、電源電圧VDDを用いて、後述するメモリセルキャパシタC1の共通電極に供給されるセルプレート電圧VCP(例えば、0.8V)を生成する。VII生成回路22は、電源電圧VDDを用いて、コマンドデコーダ24、動作制御回路26等の内部回路(主に論理回路)へ供給される内部電源電圧VII(例えば、1.6V)を生成する。プリチャージ電圧VPR、ブースト電圧VPP、リセット電圧VNW

50

L、基板電圧VBB、セルプレート電圧VCPおよび電源電圧VIIは、電源電圧VDDの値の変化に依存しない一定の電圧である。

【0027】

VPR生成回路12、VPP生成回路14、VCP生成回路20、VII生成回路22は、生成する電圧VPR、VPP、VCP、VIIが期待値（例えば、0.8V、3V、0.8V、1.6V）より低いときのみ電圧を生成するため動作し、電圧VPR、VPP、VCP、VIIを期待値まで上昇させる。VNWL生成回路16、VBB生成回路18は、生成する電圧VNWL、VBBが期待値（例えば、-0.4V）より高いときのみ電圧を生成するため動作し、電圧VNWL、VBBを期待値まで下降させる。電圧VPR、VPP、VCP、VII、VNWL、VBBがそれぞれ期待値であるとき、生成回路12、14、16、18、20、22は、電圧の生成動作を行わないため、これら回路の消費電力は小さくなる。

10

【0028】

コマンドデコーダ24は、チップイネーブル信号/CE、アウトプットイネーブル信号/OEおよびライトイネーブル信号/WEをコマンドとして受信し、受信したコマンドを解釈し、解釈したコマンドを内部コマンド信号ICMD（書き込みコマンドおよび読み出しコマンド）として動作制御回路26に出力する。動作制御回路26は、コマンドデコーダ24から供給される内部コマンド信号ICMDに応じて読み出し動作、書き込み動作およびリフレッシュ動作を実行するためのタイミング信号を生成する。動作制御回路26は、書き込みコマンドまたは読み出しコマンドとFCRAMの内部で生成されるリフレッシュコマンドとが競合するときに、これ等コマンドの優先順を決めるアービタ（図示せず）を有している。リフレッシュコマンドは、リフレッシュタイマ（図示せず）により周期的に生成される。

20

【0029】

アドレスデコーダ28は、アドレス端子ADを介して供給される外部アドレス信号ADをデコードし、そのデコード信号ADECをメモリアコアCOREに出力する。FCRAMは、ロウアドレス信号とコラムアドレス信号を同時に受けるアドレスノンマルチプレクス方式を採用している。データ入出力回路30は、読み出し動作時に、メモリアコアCOREからコモンデータバスCDBを介して転送される読み出しデータを外部データ端子DQ（例えば、8ビット）に出力する。データ入出力回路30は、書き込み動作時に、書き込みデータを外部データ端子DQを介して受信し、受信した外部データ信号をコモンデータバスCDBを介してメモリアコアCOREに転送する。

30

【0030】

メモリアコアCOREは、メモリセルアレイARY、ワードデコーダWD、センスアンプSAおよび図示しないコラムデコーダを有している。メモリセルアレイARYは、転送トランジスタT1およびキャパシタC1を含む複数のメモリセルMC、各メモリセルMCの転送トランジスタT1のゲートに接続されたワード線WL、および転送トランジスタT1のデータ入出力ノードに接続されたビット線BL（または/BL）を有している。

【0031】

ワードデコーダWDは、デコード信号ADECのうちロウデコード信号に応じてワード線WLのいずれかを選択する。選択されたワード線WLには、ブースト電圧VPPが供給され、非選択のワード線WLには、リセット電圧VNWLが供給される。センスアンプSAは、図示しないセンスアンプおよびコラムスイッチを有している。センスアンプは、例えば、読み出し動作時に、ビット線BL（または、/BL）を介してメモリセルMCから読み出されるデータの信号量を増幅する。コラムスイッチは、ビット線BLに読み出された読み出しデータをコモンデータバスCDBを介してデータ入出力回路30に伝達し、コモンデータバスCDBを介して供給される書き込みデータをビット線（または、/BL）に伝達する。図示しないコラムデコーダは、デコード信号ADECのうちコラムデコード信号に応じてコラムスイッチを制御する制御信号を出力する。

40

【0032】

50

図2は、図1に示したメモリセルアレイA R Yの詳細を示している。メモリセルアレイA R Yは、マトリックス状に配置された複数のリアルメモリセルM C、図の縦方向に配線された複数のリアルワード線W L、および図の横方向に配線された複数のリアルビット線対B L、/ B Lを有している。メモリセルアレイA R Yの外周部には、リアルビット線対B L、/ B Lに沿うダミービット線対D B L、/ D B Lと、リアルワード線W Lに沿う2本のダミーワード線D W Lが形成されている。ダミービット線D B L、/ D B Lおよびダミーワード線D W Lのレイアウト（配線間隔、配線幅など）は、リアルビット線B L、/ B Lおよびリアルワード線W Lとそれぞれ同じである。ダミービット線/ D B Lには、リアルメモリセルM Cと同じ構造を有するダミーメモリセルD M Cが接続されている。リアルメモリセルM Cに近いダミーワード線D W Lにも、ダミーメモリセルD M Cが接続されている。ダミーメモリセルD M Cは、リアルメモリセルM Cと同様に、転送トランジスタT 1（ダミートランジスタ）およびキャパシタC 1（ダミーキャパシタ）を有している。リアルメモリセルM Cは、外部データ端子D Qを介して供給される書き込みデータを保持する。ダミーメモリセルD M Cは、書き込みデータを保持しない。

【0033】

この実施形態では、ダミービット線D B L、/ D B Lは、基板電圧線V B Bに接続されている。ダミーワード線D W Lは、リセット電圧線V N W Lに接続されている。リアルワード線W Lは、図の上側および下側（図示せず）のワードデコーダW Dに交互に接続されている。リアルビット線対B L、/ B Lは、図の右側および左側（図示せず）のセンスアンプS Aに交互に接続されている。例えば、読み出し動作では、リアルワード線W Lの一つがアドレス信号A Dに応じて選択される。選択されたリアルワード線W Lは、リアルビット線対B L、/ B Lの一方のビット線（例えばB L）に対応するリアルメモリセルM Cのリアル転送トランジスタT 1をオンする。センスアンプS Aは、リアル転送トランジスタT 1を介してリアルメモリセルM CのリアルキャパシタC 1からリアルビット線B Lに読み出される電荷（読み出し電圧）と、リアルビット線/ B Lのプリチャージ電圧V P Rとの電圧差を増幅し、読み出しデータを生成する。

【0034】

図3は、図2に示したメモリセルアレイA R Yのレイアウトを示している。図では、ワード線W L、D W Lを網掛けで示し、メモリセルM C、D M Cの転送トランジスタT 1のソース・ドレイン領域を（正確には、ソース・ドレイン領域を形成するためのイオン打ち込み領域）を破線で示している。メモリセルM C、D M Cの転送トランジスタT 1とキャパシタC 1の接続ノード、すなわち、メモリセルM C、D M Cの拡散領域のコンタクト（メモリセルコンタクトM C N T）をX印を付した矩形で示している。また、メモリセルM C、D M CのキャパシタC 1（後述する図4に示すシリンダ部C Y L）の外形を一点鎖線で示し、キャパシタC 1の共通電極（対向電極）であるセルプレート電圧配線V C Pを二点鎖線で示している。図中の左下の太い矩形枠は、それぞれメモリセルM Cを示している。ビット線B L、/ B L、/ D B Lと重なっている破線の矩形枠は、これ等ビット線B L、/ B L、/ D B Lを転送トランジスタT 1のソース・ドレイン領域の一方に接続するためのビット線コンタクトB C N Tを示している。この実施形態では、ダミービット線D B L、/ D B Lは、トランジスタ等の素子を介することなく、接続配線C Wを介して基板電圧線V B B（負電圧線）に直接接続されている。

【0035】

この実施形態のF C R A Mでは、ビット線コンタクトB C N Tの形状、構造と、F C R A Mを製造する半導体製造装置の特性とから、例えば、メモリセルアレイA R Yの外周部において、ビット線コンタクトB C N Tとn型拡散領域の位置合わせマージンが少ないことが分かっている。ビット線コンタクトB C N Tを形成する位置がn型拡散領域N +の中心からずれると、ビット線コンタクトB C N Tは、p型ウエル領域P W E L L（- 0.4 V、負電圧が供給される回路要素）とショートする可能性がある。ダミービット線/ D B Lが、従来と同様にプリチャージ電圧線V P R（0.8 V）に接続されている場合、ショートの発生によりプリチャージ電圧線V P Rから基板電圧線V B Bにリーク電流が流れる

10

20

30

40

50

。この結果、図 1 に示した V P R 生成回路 1 2 および V B B 生成回路 1 8 は、F C R A M のスタンバイ期間中も電圧 V P R、V B B を生成するために常時動作し、スタンバイ電流は増加する。

【 0 0 3 6 】

一方、本実施形態では、ダミービット線 / D B L は、基板電圧線 V B B に直接接続されている。このため、ダミービット線 / D B L のビット線コンタクト B C N T が p 型ウエル領域 P W E L L (- 0 . 4 V) にショートした場合にも、リーク電流は発生しない。V P R 生成回路 1 2 および V B B 生成回路 1 8 は、無駄な動作をしないため、スタンバイ電流が増加することが防止される。したがって、特に、スタンバイ電流の規格が厳しい F C R A M において、ダミービット線 / D B L のコンタクト不良が原因のスタンバイ電流不良により、歩留が大きく低下することが防止される。

10

【 0 0 3 7 】

図 4 は、図 3 の A - A ' 線に沿う断面を示している。図 4 では、ダミーメモリセル D M C の断面を示しているが、メモリセル M C の断面も同様である。ダミーメモリセル D M C の転送トランジスタ T 1 (ダミートランジスタ) のソース・ドレイン領域である n 型拡散領域 N + は、メモリセルアレイ A R Y の基板に相当する p 型ウエル領域 P W E L L の表面に形成されている。n 型拡散領域 N + は、ワード線 W L、D W L をホットマスクとして、りん (P) あるいは砒素 (A s) 等の不純物を自己整合的に打ち込み、熱拡散することで形成される。ダミービット線 / D B L は、ビット線コンタクト B C N T を介して n 型拡散領域 N + に接続されている。なお、p 型ウエル領域 P W E L L は、p 型の半導体基板自体でもよく、p 型あるいは n 型の半導体基板上に不純物を打ち込むことで形成してもよい。

20

【 0 0 3 8 】

絶縁膜を介して p 型ウエル領域 P W E L L 上に形成されるワード線 W L、D W L は、転送トランジスタ T 1 のゲートを構成する。ダミーメモリセル D M C のキャパシタ C 1 (シリンダ部 C Y L) は、メモリセルコンタクト M C N T を介して n 型拡散領域 N + に接続されている。シリンダ部 C Y L とセルプレート電圧配線 V C P と間には、図中に太線で示した絶縁膜 I N S が形成されている。

【 0 0 3 9 】

以上、第 1 の実施形態では、ダミービット線 / D B L のビット線コンタクト B C N T が p 型ウエル領域 P W E L L にショートしやすいことが分かっているときに、ダミービット線 / D B L をメモリセル M C の基板電圧 V B B が供給される基板電圧線 V B B に直接接続している。このため、ビット線コンタクト B C N T が p 型ウエル領域 P W E L L にショートした場合にも、このショートに起因してスタンバイ電流が増加することを防止できる。この結果、F C R A M の歩留を向上できる。ダミービット線 / D B L は、常時基板電圧線 V B B に接続され、フローティング状態にならない。このため、クロストークによる誤動作は発生しない。メモリセルアレイ A R Y 内において、ダミーメモリセル D M C、ダミービット線 D B L、/ D B L およびダミーワード線 D W L の形状は、従来と同じにできるため、ハレーションに対する効果は維持される。

30

【 0 0 4 0 】

図 5 は、本発明の半導体メモリの第 2 の実施形態を示している。第 1 の実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。この実施形態では、第 1 の実施形態の F C R A M に、新たにヒューズ回路 3 2 (プログラム回路) およびスイッチ回路 3 4 が形成されている。その他の構成は、第 1 の実施形態と同じである。なお、特に図示していないが、F C R A M は、不良のメモリセル M C およびワード線 W L を救済するための冗長ロウメモリセル列と、不良のメモリセル M C およびビット線 B L、/ B L を救済するための冗長コラムメモリセル列と、救済するメモリセル M C を示すアドレスがプログラムされる冗長ヒューズ回路とを有している。

40

【 0 0 4 1 】

ヒューズ回路 3 2 は、内蔵するヒューズに応じて活性化信号 A C T 1 - 4 のいずれか一つを高レベルに設定し、あるいは全ての活性化信号 A C T 1 - 4 を低レベルに設定する。

50

スイッチ回路 3 4 は、活性化信号 A C T 1 - 4 に応じて、内部電圧線 V P R、V N W L、V B B、V C P および接地線 V S S のいずれかをダミービット線 / D B L に接続する。ヒューズ回路 3 2 およびスイッチ回路 3 4 は、ダミービット線 / D B L を、内部電圧がそれぞれ供給される複数の内部電圧線 V P R、V N W L、V B B、V C P、V S S のいずれかに接続する接続設定回路として動作する。

【 0 0 4 2 】

図 6 は、図 5 に示したヒューズ回路 3 2 およびスイッチ回路 3 4 の詳細を示している。ヒューズ回路 3 2 は、活性化信号 A C T (A C T 1 - 4) を生成するサブヒューズ回路 3 2 a、3 2 b、3 2 c、3 2 d を有している。サブヒューズ回路 3 2 a、3 2 b、3 2 c、3 2 d は、ヒューズ F S (F S 1、F S 2、F S 3、F S 4)、ラッチ L T およびバッファ B U F (2 つのインバータ) をそれぞれ有している。各サブヒューズ回路 3 2 a、3 2 b、3 2 c、3 2 d は、スタータ信号 S T T Z により初期化され、ヒューズ F S のプログラム状態に応じた論理レベルを出力する。各活性化信号 A C T は、ヒューズ F S がプログラムされているとき (溶断 (ブロー) 状態)、高レベルに変化する。各活性化信号 A C T は、ヒューズ F S がプログラムされていないとき (未溶断 (未ブロー) 状態)、低レベルに変化する。この実施形態では、ヒューズ回路 3 2 のヒューズ F S 1 - 4 は、不良を救済するためのヒューズ工程 (F C R A M の製造工程) において必要に応じて溶断される。このため、F C R A M のパワーオンリセットにより、活性化信号 A C T 1 - 4 が出力される。

【 0 0 4 3 】

スイッチ回路 3 4 は、内部電圧線 V P R、V N W L、V B B、V C P および接地線 V S S をダミービット線 / D B L に接続する 5 つの n M O S トランジスタと、4 入力 N O R 回路とを有している。4 入力 N O R 回路の入力は、活性化信号 A C T 1 - 4 を受けている。n M O S トランジスタのゲートは、活性化信号 A C T 1 - 4 および 4 入力 N O R 回路の出力をそれぞれ受けている。このため、F C R A M のパワーオンリセットにより、電圧線 V P R、V N W L、V B B、V C P および接地線 V S S のいずれかが一つが、ダミービット線 / D B L に接続される。図 6 では、ヒューズ F S 2 のみが溶断され、リセット電圧線 V N W L に対応する n M O S トランジスタのみがオン (O N) し、他の n M O S トランジスタはオフ (O F F) する。これにより、ダミービット線 / D B L は、リセット電圧 V N W L に固定される。全てのヒューズ F S 1 - 4 が溶断されない場合、4 入力 N O R 回路が高レベルを出力するため、ダミービット線 D B L、/ D B L は、接地線 V S S に接続される。

【 0 0 4 4 】

図 7 は、第 2 の実施形態におけるウエハ完成後の製造工程を示している。ここで、ウエハには、複数の F C R A M チップと、F C R A M 内のメモリセルアレイ A R Y の一部や様々なゲートサイズのトランジスタが形成された T E G (Test Element Group) チップとが形成されている。T E G チップは、ウエハ上の F C R A M チップの電気的特性を間接的に評価するための評価回路である。ロットアウト後、まず、T E G チップを用いてウエハテスト (Wafer Acceptable Test) が実施される。ウエハテストでは、閾値電圧等のトランジスタの基本的な特性、メモリセルアレイで発生する不良のカテゴリ等が評価される。このとき、ビット線 B L、/ B L のショート不良の原因 (不良カテゴリ) も評価される。

【 0 0 4 5 】

次に、第 1 テスト工程 (Primary Test 1) により、A C 特性、D C 特性の測定 (F C R A M の動作テスト) が実施される。第 1 テストにより、救済可能な不良を有する F C R A M (救済される F C R A M) が見つけられる。この後、ヒューズブロー (Fuse Blow) 工程により、救済される F C R A M の冗長ヒューズ回路がプログラムされる。この際、ウエハテストで明らかにされたビット線 B L、/ B L のショート不良の原因に応じて、図 6 に示したヒューズ回路 3 2 がプログラムされる。このプログラムにより、ダミービット線 / D B L に電圧線 V P R、V N W L、V B B、V C P、V S S のいずれかが接続される。次に、第 2 テスト工程 (Primary Test 2) により、A C 特性、D C 特性の測定 (F C R A M の動作テスト) が実施される。第 2 テスト工程により、良品チップと不良チップとが分け

られる。

【 0 0 4 6 】

F C R A M がウエハ状態で出荷される場合、ウエハが梱包され出荷される。パッケージングされた F C R A M を出荷する場合、ウエハがダイシングされ F C R A M チップは切り出される。F C R A M チップは、パッケージ工程によりパッケージにモールドされる。この後、最終テスト (Final Test) により、パッケージ工程で発生した不良を含めた最終テストが実施される。

【 0 0 4 7 】

図 8 は、図 7 に示したフローにおいて、ダミービット線 / D B L に接続する電圧線を決
定する過程を示している。この決定は、ウエハテストを実施する L S I テスタにより実施
される。決定された情報は、ウエハ番号あるいはチップ番号とともにヒューズブロー装置
に伝送される。

10

【 0 0 4 8 】

ビット線のショート不良の主原因 (カテゴリ) が隣接するビット線 B L、/ B L 間のシ
ョート (ペアビット線不良) であるとき、互いに隣接するダミービット線 / D B L とビ
ット線 B L とがショートする可能性は高い。このとき、ヒューズブロー工程においてヒュー
ズ F S 1 がブローされる。ダミービット線 / D B L は、F C R A M のパワーオン後にプリ
チャージ電圧 V P R (内部電圧) に固定される。これにより、ダミービット線 / D B L と
ビット線 B L とがショートしても、リーク電流は、発生せず、V P R 生成回路 1 2 (内部
電圧生成回路) が無駄に動作することが防止される。この結果、ダミービット線 / D B L
が起因するスタンバイ電流不良により、歩留が低下することが防止される。

20

【 0 0 4 9 】

同様に、ビット線のショート不良の主原因がビット線 B L、/ B L とワード線 W L との
ショートであるとき (ビット線不良およびワード線不良が発生)、互いに隣接するダミー
ビット線 / D B L とワード線 W L とがショートする可能性は高い。このショートは、例え
ば、図 4 に示したダミービット線 / D B L のビット線コンタクト B C N T とワード線 W L
と間に発生する。このとき、ヒューズブロー工程においてヒューズ F S 2 がブローされる
。ダミービット線 / D B L は、F C R A M のパワーオン後にリセット電圧 V N W L (内部
電圧) に固定される。これにより、ワード線 W L が非選択状態 (V N W L) に保持される
スタンバイ期間に、V N W L 生成回路 1 6 (内部電圧生成回路) が無駄に動作することが
防止される。この結果、ダミービット線 / D B L が起因するスタンバイ電流不良により、
歩留が低下することが防止される。

30

【 0 0 5 0 】

ビット線のショート不良の主原因が、第 1 の実施形態と同様に、ビット線 B L、/ B L
と p 型ウエル領域 P W E L L の ショート であるとき (ビット線不良およびリフレッシュ不
良が発生)、ダミービット線 / D B L と p 型ウエル領域 P W E L L とがショートする可能
性は高い。このとき、ヒューズブロー工程においてヒューズ F S 3 がブローされる。ダミ
ービット線 / D B L は、F C R A M のパワーオン後に基板電圧 V B B (内部電圧) に固定
される。これにより、スタンバイ期間に、V B B 生成回路 1 8 (内部電圧生成回路) が無
駄に動作することが防止される。この結果、ダミービット線 / D B L が起因するスタンバ
イ電流不良により、歩留が低下することが防止される。

40

【 0 0 5 1 】

ビット線のショート不良の主原因がビット線 B L、/ B L とセルプレート電圧線 V C P
とのショートであるとき (シングルビット線不良)、ダミービット線 / D B L とセルプレ
ート電圧配線 V C P とがショートする可能性は高い。このショートは、例えば、図 4 に示
したダミービット線 / D B L の配線層と、セルプレート電圧線 V C P の配線層との間に発
生する。このとき、ヒューズブロー工程においてヒューズ F S 4 がブローされる。ダミ
ービット線 / D B L は、F C R A M のパワーオン後に セルプレート電圧 V C P (内部電圧)
に固定される。これにより、スタンバイ期間に V C P 生成回路 2 0 (内部電圧生成回路)
が無駄に動作することが防止される。この結果、ダミービット線 / D B L が起因するスタ

50

ンバイ電流不良により、歩留が低下することが防止される。

【0052】

さらに、ビット線のショート不良の原因が、複数存在し、どの不良カテゴリの発生率も同程度であるとき、ヒューズブロー工程においてヒューズF S 1 - 4は切断されない。ダミービット線/DBLは、FCRAMのパワーオン後に接地電圧VSSに固定される。不良カテゴリの発生率も同程度であるときに、ダミービット線/DBLを、正の電圧VPR、VCPと負の電圧VNW L、VBBの間である接地電圧VSSに固定することで、ダミービット線/DBLにおいて上述した不良のいずれかが発生した場合にも、電圧差を小さくでき、リーク量を最小限にできる。したがって、図5に示した生成回路12、16、18、20の無駄な動作を最小限にでき、スタンバイ不良率を削減できる。

10

【0053】

以上、第2の実施形態においても、上述した第1の実施形態と同様の効果を得ることができる。さらに、この実施形態では、ヒューズ回路32のプログラムにより、ダミービット線/DBLを電圧線VPR、VNW L、VBB、VCP、VSSのいずれかに接続できる。このため、FCRAMの製造条件に変動があり、スタンバイ電流不良に関係する主要な不良カテゴリが変わった場合にも、新たな不良カテゴリに応じてヒューズ回路32をプログラムすることで、スタンバイ電流が増加することを防止でき、FCRAMの歩留を向上できる。

【0054】

ヒューズ回路32を形成することで、FCRAMの製造工程において、電圧線VPR、VNW L、VBB、VCP、VSSを示す情報を、既存の設備を用いて容易にプログラムできる。このため、本発明の適用によりFCRAMのコストが上昇することを防止できる。

20

【0055】

ダミービット線/DBLにショートする可能性のある回路要素が複数存在し、これ等回路要素に常時供給される電圧が、正電圧と負電圧である場合で、スタンバイ電流不良に関係する複数の不良カテゴリがほぼ等しい場合、ダミービット線/DBLは、接地線VSSに接続される。ダミービット線/DBLと回路要素のいずれかがショートしたときに、その回路要素に供給される電圧と接地電圧との差は、多数のFCRAMにおいて平均的に小さくできる。したがって、本発明を適用することで、FCRAMのスタンバイ電流値の分布を低い側にシフトできる。この結果、FCRAMの歩留を向上できる。

30

【0056】

ウエハテストでの評価結果に応じてヒューズ回路32をプログラムすることで、FCRAMの電気的特性に応じて、FCRAMが形成されるウエハ毎にダミービット線/DBLを所望の電圧線に接続できる。この結果、FCRAMの歩留を向上できる。

【0057】

図9は、本発明の半導体メモリの第3の実施形態におけるウエハ完成後の製造工程を示している。第1および第2の実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。この実施形態の半導体メモリは、第2の実施形態のFCRAM(図5)と同じである。各製造工程は、ウエハテストおよび第1テストを除き、図7と同じである。

40

【0058】

この実施形態では、TEGチップを評価するウエハテストにおいて、閾値電圧等のトランジスタの基本的な特性が評価される。次に、第1テストにおいて、救済可能なFCRAMが見つけれられるとともに、メモリセルアレイでダミービット線DBL、/DBLの接続を切り替え、不良のカテゴリが評価される。このとき、不良カテゴリの分布からビット線BL、/BLのショート不良の原因(不良カテゴリ)も評価される。この後、第2の実施形態と同様に、ヒューズブロー工程により、救済されるFCRAMの冗長ヒューズ回路がプログラムされる。同時に、第1テストでの評価結果に応じて、ヒューズF S 1 - 4(図6)がブローされ、ダミービット線/DBLは、内部電圧線VPR、VNW L、VBB、

50

VCPまたは接地線VSSのいずれかに接続される。

【0059】

以上、第3の実施形態においても、上述した第1の実施形態と同様の効果を得ることができる。さらに、この実施形態では、救済可能なFCRAMを見つける第1テストの結果を利用して、チップ毎にダミービット線/DBLを所望の内部電圧線VPR、VNW、VBB、VCPまたは接地線VSSのいずれかに接続できる。この結果、FCRAMの歩留を向上できる。

【0060】

図10は、本発明の半導体メモリの第4の実施形態におけるメモリセルアレイARYのレイアウトを示している。上述した第1および第2の実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。この実施形態では、メモリセルアレイARYの端に、ダミービット線DBL、/DBLに沿って、プリチャージ電圧線VPR、リセット電圧線VNW、基板電圧線VBB、セルプレート電圧線VCPおよび接地線VSSの配線が、順次並んで形成されている。内部電圧線VPR、VNW、VBB、VCP、VSSは、FCRAMチップの最も上側の金属配線層M3を用いて形成されている。

10

【0061】

ダミービット線DBL、/DBLの配線(図4に示したように、PWELL上の2番目の配線層を用いて形成される)は、コンタクトCNTを介して配線M3DBLに接続されている。配線M3DBLは、配線層M3を用いて形成される。メモリセルアレイARYのその他の構成は、第1の実施形態(図3)と同じである。ダミービット線DBL、/DBLに接続された配線M3DBLは、導電膜CNDを介して電圧線VPR、VNW、VBB、VCP、VSSのいずれかに(この例では、VNW)接続されている。導電膜CNDは、FCRAMを製造する半導体製造工程で使用するホトマスクのパターン形状に対応して半導体基板上に形成される。この例では、導電膜CNDを形成するためのホトマスクは、金属配線層M3に対応するホトマスクである。ホトマスクは、導電膜CNDの形成位置に応じて5種類製作される。

20

【0062】

この実施形態は、例えば、FCRAMの製造条件の変動と、ビット線BL、/BL、DBL、/DBLがショートしやすい回路要素との関係が分かっている場合に有効である。回路要素は、隣接するビット線BL、/BL(VPR)、ワード線WL(VNW)、p型ウエル領域PWELL(VBB)およびセルキャパシタC1(VCP)のいずれかである。そして、ダミービット線DBL、/DBLは、ショートしやすい回路要素に供給する内部電圧に対応する内部電圧線(VPR、VNW、VBB、VCPのいずれか)に接続される。

30

【0063】

あるいは、FCRAMの量産中に、製造条件の変動に応じて変わる不良カテゴリの分布の変化に応じて、形成する導電膜CNDの位置を変えるためにホトマスクを切り替えてもよい。導電膜CNDを形成するためのホトマスクは、最後の配線工程で使用される。このため、ホトマスクを、製造条件の変動に応じて切り替えることは容易である。不良カテゴリの変化に追従してダミービット線DBL、/DBLに接続する電圧線を変えることができたため、不良カテゴリの変化によりスタンバイ電流が増加することが防止され、歩留が低下することが防止される。

40

【0064】

以上、第4の実施形態においても、上述した第1の実施形態と同様の効果を得ることができる。さらに、この実施形態では、製造条件の変動に応じて、導電膜CNDを形成するためのホトマスクを切り替えることで、FCRAMの歩留を向上できる。

【0065】

図11は、本発明の半導体メモリの第5の実施形態を示している。第1および第2の実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、

50

詳細な説明を省略する。この実施形態のFCRAMは、第2の実施形態のコマンドデコーダ24、動作制御回路26およびスイッチ回路34の代わりにコマンドデコーダ25、動作制御回路27およびスイッチ回路37を有している。また、FCRAMは、新たにスイッチ制御回路38を有している。その他の構成は、第2の実施形態(図5)とほぼ同じである。

【0066】

コマンドデコーダ25は、コマンドデコーダ24の機能に加えて、外部端子/CE、/OE、/WEに供給される外部コマンド信号およびアドレス端子ADに供給される外部アドレス信号が後述する接続設定コマンドと判断したときに、接続設定コマンドを示す内部コマンド信号ICMD(接続設定コマンド)を出力する機能を有している。動作制御回路27は、動作制御回路26の機能に加えて、接続設定コマンドを受けたときに、接続設定信号CSETを低レベルから高レベルにセットし、この高レベルを保持する機能を有している。動作制御回路27は、スタート信号STTZの高レベルに応答して、接続設定信号CSETを低レベルにリセットする機能を有している。このため、一度セットされた接続設定信号CSETは、再度パワーオンされるまでリセットされない。

【0067】

スイッチ制御回路38は、接続設定信号CSETが高レベルの期間に、外部データ端子DQの下位3ビットに供給されるデータ値に応じて、セット信号SET1-5のいずれかを高レベルにセットし、残りのセット信号SETを低レベルに保持する。データ値とセット信号SET1-5のレベルとの関係は、後述する図13に示す。スイッチ制御回路38は、セット信号SET1-5の出力レベルを保持するためのラッチ(図示せず)を有している。このため、セット信号SET1-5は、再度のパワーオンにより低レベルにリセットされるまで、同じ値を保持する。

【0068】

スイッチ回路37は、全てのセット信号SET1-5が低レベルのとき、ヒューズ回路32からの活性化信号ACT1-4に応じて、電圧線VPR、VNWL、VBB、VCP、VSSのいずれをダミービット線/DBLに接続する。スイッチ回路37は、セット信号SET1-5のいずれか一つが高レベルのとき、すなわち、接続設定コマンドが供給されたとき、ヒューズ回路32のプログラム状態にかかわらず、接続設定コマンドにより示される接続仕様にに応じて、電圧線VPR、VNWL、VBB、VCP、VSSのいずれをダミービット線/DBLに接続する。

【0069】

図12は、図11に示したスイッチ回路37の詳細を示している。スイッチ回路37は、第1、第2および第3スイッチ回路37a、37b、37cを有している。第3スイッチ回路37cは、電圧線VPR、VNWL、VBB、VCP、VSSをダミービット線/DBLに接続するnMOSトランジスタを有している。第1スイッチ回路37aは、接続設定信号CSETが高レベルの期間に、セット信号SET1-5のレベルを第3スイッチ回路37cに出力する。第1スイッチ回路37aの出力は、接続設定信号CSETが低レベルの期間にフローティング状態に設定される。

【0070】

第2スイッチ回路37bは、接続設定信号CSETが低レベルの期間に、活性化信号ACT1-4のレベルおよび活性化信号ACT1-4のNOR論理を第3スイッチ回路37cに出力する。第2スイッチ回路37bの出力は、接続設定信号CSETが高レベルの期間にフローティング状態に設定される。このため、ダミービット線/DBLは、接続設定信号CSETが低レベルの期間に、第1の実施形態と同様に、活性化信号ACT1-4に応じて電圧線VPR、VNWL、VBB、VCP、VSSのいずれかに接続される。ダミービット線/DBLは、接続設定信号CSETが高レベルの期間に、活性化信号ACT1-4のレベルにかかわらず、セット信号SET1-5に応じて電圧線VPR、VNWL、VBB、VCP、VSSのいずれかに接続される。

【0071】

図13は、第5の実施形態におけるスイッチ回路37の設定方法を示している。この実施形態では、読み出しコマンドRD1、書き込みコマンドWR1、読み出しコマンドRD2、書き込みコマンドWR2、WR3が連続して供給されたときに、ヒューズ回路32のプログラム情報が無効にされる。ここで、コマンドデコーダ25は、接続設定コマンドを認識するために、コマンドRD1、WR1、RD2、WR2、WR3とともにアドレス信号ADとして所定の値CODE1-5を受ける必要がある。ダミービット線/DBLは、接続設定コマンドとともに供給されるデータ信号DQの値に応じて、電圧線VPR、VNW、VBB、VCP、VSSのいずれかに接続される。すなわち、コマンドデコーダ25は、FCRAMのユーザに公開されている複数種の動作コマンドを所定の組み合わせで受けたときに、接続設定コマンドを認識する。

10

【0072】

書き込みコマンドWR1-2とともに供給される書き込みデータDQは、任意の値である。スイッチ制御回路38は、書き込みコマンドWR3とともに供給される書き込みデータDQの下位3ビット(KEY)が16進数で01h-05hのときに、それぞれセット信号SETを高レベルにセットする。以上の条件のいずれか一つでも満たされない場合、接続設定コマンドは認識されない。接続設定コマンドの認識により、接続設定信号CSETは高レベルに変化し、セット信号SET1-5のいずれかは、高レベルに変化する。

【0073】

以上、第5の実施形態においても、上述した第2および第3の実施形態と同様の効果を得ることができる。さらに、この実施形態では、接続設定コマンドに応じて、ヒューズ回路32のプログラム状態を無効にし、ダミービット線/DBLを電圧線VPR、VNW、VBB、VCP、VSSのいずれかに任意に接続できる。例えば、ヒューズ回路32のプログラム前に接続設定コマンドを供給し、ダミービット線/DBLの電圧値を様々な値に設定することで、FCRAMのスタンバイ電流の変化をチップ毎に評価できる。また、ヒューズ回路32のプログラム後に接続設定コマンドを供給し、ダミービット線/DBLの電圧値を様々な値に設定することで、製造後にスタンバイ不良が判明したFCRAMの不良原因を詳細に評価できる。

20

【0074】

接続設定コマンドは、ユーザに公開している動作コマンドを組み合わせることで認識される。このため、半導体メーカーだけでなく、FCRAMを搭載するシステムを設計するユーザもスタンバイ電流不良の原因を探索できる。特に、ユーザ専用のFCRAMを開発する場合、あるいは、半導体メーカーとユーザが共同でシステムを開発する場合に有効である。さらに、既存のコマンド端子/CE、/OE、/WEおよびアドレス端子AD、データ端子DQを利用して、接続設定コマンドを供給できるため、専用の端子を不要にできる。この結果、FCRAMのチップサイズが増加することを防止できる。また、FCRAMを、パッケージングされた状態で評価できる。また、データ端子DQに供給される値に応じて、ダミービット線/DBLに接続される電圧線を選択することで、複数種の内部電圧を、少ないビット数で容易に設定できる。

30

【0075】

図14は、本発明の半導体メモリの第6の実施形態におけるスイッチ回路の設定方法を示している。上述した第1、第2および第5の実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。この実施形態では、ユーザに公開されていない専用の接続設定コマンド(テストコマンド、禁止コマンド)により、ヒューズ回路32が無効にされ、ダミービット線/DBLが接続設定コマンドに応じた電圧線に接続される。このため、この実施形態のFCRAMは、第5の実施形態のコマンドデコーダ25の論理を変更して形成されている。その他の構成は、第5の実施形態と同じである。

40

【0076】

この実施形態では、ユーザに公開されていない4つのコマンドC1-C4(禁止コマンド)が連続して供給されたときに、接続設定コマンドが認識される。そして、コマンドC

50

4 に続く書き込みコマンドWR 1 とともに供給される外部データ信号DQの値に応じて、ヒューズ回路32のプログラム情報が無効にされ、ダミービット線/DBLは、電圧線VPR、VNW L、VBB、VCP、VSSのいずれかに接続される。

【0077】

以上、第6の実施形態においても、上述した第2、第3および第5の実施形態と同様の効果を得ることができる。さらに、この実施形態では、接続設定コマンドは、ユーザにより供給できないため、ダミービット線/DBLに接続される電源線が、ユーザにより変更されることを防止できる。

【0078】

なお、上述した実施形態では、本発明をFCRAMに適用した例について述べた。しかしながら、本発明はかかる実施形態に限定されるものではない。例えば、本発明をDRAM、一般の疑似SRAM、SDRAM、SRAM、FeRAM (Ferroelectric RAM)、フラッシュメモリ等の半導体メモリ、あるいは、これ等メモリのメモリコアを内蔵したシステムLSIに適用してもよい。

上述した第1の実施形態では、ダミービット線/DBLを基板電圧線VBBに直接接続する例について述べた。しかしながら、本発明はかかる実施形態に限定されるものではない。例えば、ビット線BL、/BL、DBL、/DBLがワード線WLとショートしやすいことが分かっている場合、ダミービット線/DBLをワード線WLにリセット電圧VNW Lを供給するリセット電圧線VNW Lに接続してもよい。これにより、実際にダミービット線/DBLがワード線WLとショートした場合にも、ダミービット線/DBLとワード線WL間で発生するリークを防止できる。特に、全てのワード線WLは、スタンバイ中にリセット電圧VNW Lに保持される。この結果、スタンバイ電流の増加を防止でき、FCRAMの歩留を向上できる。

【0079】

上述した第5および第6の実施形態では、ダミービット線/DBLに接続される電圧線を、データ端子DQに供給される値に応じて選択する例について述べた。しかしながら、本発明はかかる実施形態に限定されるものではない。例えば、ダミービット線/DBLに接続される電圧線を、アドレス端子ADに供給される値に応じて選択してもよい。

【0080】

以上の実施形態において説明した発明を整理して、付記として開示する。

(付記1)

書き込みデータを保持するリアルメモリセルと、
前記書き込みデータを保持しないダミーメモリセルと、
前記ダミーメモリセルに接続されたダミービット線と、
外部電源電圧に応じて半導体メモリの内部回路で使用する負電圧を生成する負電圧生成回路と、

前記負電圧が供給される負電圧線と、
前記ダミービット線に隣接して形成され、前記負電圧が供給される回路要素と、
前記ダミービット線を前記負電圧線に直接接続する接続配線とを備えていることを特徴とする半導体メモリ。

(付記2)

付記1記載の半導体メモリにおいて、
前記ダミーメモリセルに形成されるダミートランジスタを備え、
前記負電圧生成回路が生成する前記負電圧は、前記ダミートランジスタの基板電圧であることを特徴とする半導体メモリ。

(付記3)

付記1記載の半導体メモリにおいて、
前記リアルメモリセルに形成されるリアルトランジスタと、
前記リアルメモリセルに接続されたリアルワード線とを備え、
前記負電圧生成回路が生成する前記負電圧は、前記リアルトランジスタをオフするため

10

20

30

40

50

に前記リアルワード線に供給されるリセット電圧であることを特徴とする半導体メモリ。

(付記 4)

書き込みデータを保持するリアルメモリセルと、
前記書き込みデータを保持しないダミーメモリセルと、
前記ダミーメモリセルに接続されたダミービット線と、
外部電源電圧に応じて半導体メモリの内部回路で使用する複数種の内部電圧をそれぞれ生成する複数の内部電圧生成回路と、
前記内部電圧がそれぞれ供給される複数の内部電圧線と、
前記ダミービット線に隣接して形成され、前記内部電圧がそれぞれ供給される回路要素と、

10

前記ダミービット線を前記内部電圧線のいずれかに接続する接続設定回路とを備えていることを特徴とする半導体メモリ。

(付記 5)

付記 4 記載の半導体メモリにおいて、
前記接続設定回路は、
前記ダミービット線に接続される内部電圧線を示す情報が予めプログラムされるプログラム回路と、
前記プログラム回路のプログラム状態に応じて前記ダミービット線を前記内部電圧線のいずれかに接続するスイッチ回路とを備えていることを特徴とする半導体メモリ。

20

(付記 6)

付記 5 記載の半導体メモリにおいて、
前記プログラム回路は、溶断 / 未溶断に応じて前記情報がプログラムされるヒューズを有し、所定の論理レベルを出力するヒューズ回路を備え、
前記スイッチ回路は、前記論理レベルに応じて前記内部電圧線のいずれかに接続することを特徴とする半導体メモリ。

(付記 7)

付記 5 記載の半導体メモリにおいて、
外部コマンドを解読するコマンドデコーダを備え、
前記スイッチ回路は、前記コマンドデコーダにより解読された外部コマンドが接続設定コマンドのときに、前記プログラム回路のプログラム状態にかかわらず、前記接続設定コマンドにより示される接続仕様に依拠して前記ダミービット線を前記内部電圧線のいずれかに接続することを特徴とする半導体メモリ。

30

(付記 8)

付記 7 記載の半導体メモリにおいて、
前記コマンドデコーダは、半導体メモリのユーザに公開されている複数種のコマンドを所定の組み合わせで受けたときに、前記接続設定コマンドを認識することを特徴とする半導体メモリ。

(付記 9)

付記 7 記載の半導体メモリにおいて、
前記コマンドデコーダは、ユーザに非公開のテストコマンドを受けたときに、前記接続設定コマンドを認識することを特徴とする半導体メモリ。

40

(付記 10)

付記 7 記載の半導体メモリにおいて、
前記スイッチ回路は、前記接続設定コマンドとともに供給される外部アドレス信号および外部データ信号の少なくともいずれかの値を前記接続仕様として受けることを特徴とする半導体メモリ。

(付記 11)

付記 4 記載の半導体メモリにおいて、
前記内部電圧の少なくとも一つは、外部電源電圧より低く、前記内部電圧の残りは、負電圧であり、

50

前記接続設定回路は、前記ダミービット線を、前記内部電源線のいずれか、または接地線に接続することを特徴とする半導体メモリ。

(付記 1 2)

付記 4 記載の半導体メモリにおいて、

前記接続設定回路は、

半導体製造工程で使用するホトマスクのパターン形状に対応して半導体基板上に形成され、前記内部電圧線のいずれかを前記ダミービット線に接続する導電膜により構成されていることを特徴とする半導体メモリ。

(付記 1 3)

書き込みデータを保持するリアルメモリセルと、

前記書き込みデータを保持しないダミーメモリセルと、

前記ダミーメモリセルに接続されたダミービット線と、

外部電源電圧に応じて半導体メモリの内部回路で使用する複数種の内部電圧をそれぞれ生成する複数の内部電圧生成回路と、

前記内部電圧がそれぞれ供給される複数の内部電圧線と、

前記ダミービット線に接続される内部電圧線を示す情報が予めプログラムされたプログラム回路と、

前記プログラム回路のプログラム状態に応じて前記ダミービット線を前記内部電圧線のいずれかに接続するスイッチ回路とを備えた半導体メモリの製造方法であって、

半導体メモリチップに隣接してウエハ上に形成される評価回路の電気的特性を評価するウエハテスト工程と、

前記ウエハテスト工程での評価結果に応じて、前記プログラム回路をプログラムするプログラム工程とを備えていることを特徴とする半導体メモリの製造方法。

(付記 1 4)

付記 1 3 記載の半導体メモリの製造方法において、

前記プログラム工程は、前記プログラム回路に形成されるヒューズを溶断 / 未溶断するヒューズ工程であることを特徴とする半導体メモリの製造方法。

(付記 1 5)

書き込みデータを保持するリアルメモリセルと、

前記書き込みデータを保持しないダミーメモリセルと、

前記ダミーメモリセルに接続されたダミービット線と、

外部電源電圧に応じて半導体メモリの内部回路で使用する複数種の内部電圧をそれぞれ生成する複数の内部電圧生成回路と、

前記内部電圧がそれぞれ供給される複数の内部電圧線と、

前記ダミービット線に接続される内部電圧線を示す情報が予めプログラムされたプログラム回路と、

前記プログラム回路のプログラム状態に応じて前記ダミービット線を前記内部電圧線のいずれかに接続するスイッチ回路とを備えた半導体メモリの製造方法であって、

ウエハ上に形成される半導体メモリチップの良 / 不良を判定する出荷テスト工程と、

前記出荷テスト工程で判定された不良チップの不良カテゴリに応じて、前記プログラム回路をプログラムするプログラム工程とを備えていることを特徴とする半導体メモリの製造方法。

(付記 1 6)

付記 1 5 記載の半導体メモリの製造方法において、

前記プログラム工程は、前記プログラム回路に形成されるヒューズを溶断 / 未溶断するヒューズ工程であることを特徴とする半導体メモリの製造方法。

【産業上の利用可能性】

【0081】

本発明は、ダミービット線を有する半導体メモリに適用できる。

【図面の簡単な説明】

10

20

30

40

50

【 0 0 8 2 】

【図 1】本発明の半導体メモリの第 1 の実施形態を示すブロック図である。

【図 2】図 1 に示したメモリセルアレイの詳細を示す回路図である。

【図 3】図 2 に示したメモリセルアレイの詳細を示すレイアウト図である。

【図 4】図 3 の A - A ' 線に沿う断面図である。

【図 5】本発明の半導体メモリの第 2 の実施形態を示すブロック図である。

【図 6】図 5 に示したヒューズ回路およびスイッチ回路の詳細を示す回路図である。

【図 7】第 2 の実施形態におけるウエハ完成後の製造工程を示すフローチャートである。

【図 8】図 7 に示したフローにおいて、ダミービット線に接続する電圧線を決定する過程を示す説明図である。

10

【図 9】本発明の半導体メモリの第 3 の実施形態におけるウエハ完成後の製造工程を示すフローチャートである。

【図 10】本発明の半導体メモリの第 4 の実施形態におけるメモリセルアレイの詳細を示すレイアウト図である。

【図 11】本発明の半導体メモリの第 5 の実施形態を示すブロック図である。

【図 12】図 11 に示したスイッチ回路の詳細を示す回路図である。

【図 13】第 5 の実施形態におけるスイッチ回路の設定方法を示すタイミング図である。

【図 14】本発明の半導体メモリの第 6 の実施形態におけるスイッチ回路の設定方法を示すタイミング図である。

【符号の説明】

20

【 0 0 8 3 】

1 0 S T T Z 生成回路

1 2 V P R 生成回路

1 4 V P P 生成回路

1 6 V N W L 生成回路

1 8 V B B 生成回路

2 0 V C P 生成回路

2 2 V I I 生成回路

2 4、2 5 コマンドデコーダ

2 6、2 7 動作制御回路

2 8 アドレスデコーダ

3 0 データ入出力回路

3 2 ヒューズ回路

3 4 スイッチ回路

3 7 スイッチ回路

3 8 スイッチ制御回路

A R Y メモリセルアレイ

B L、/ B L ビット線

C 1 キャパシタ

C N D 導電膜

C O R E メモリコア

D B L、/ D B L ダミービット線

D M C ダミーメモリセル

D W L ダミーワード線

M C メモリセル

S A センスアンプ

T 1 転送トランジスタ

V B B 基板電圧

V C P セルプレート電圧

V D D 外部電源電圧

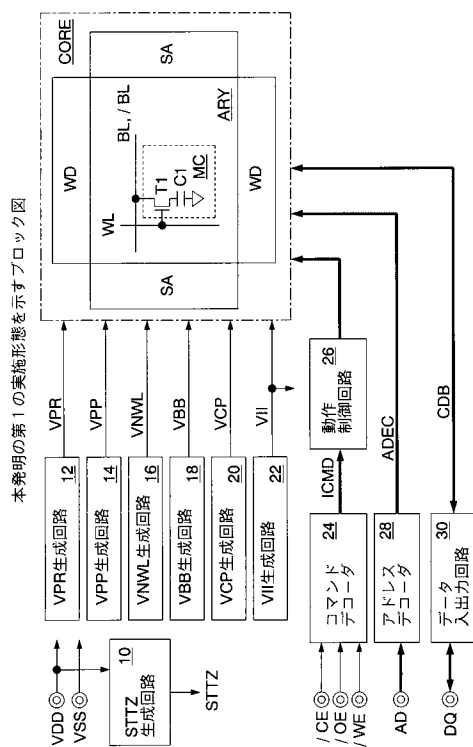
30

40

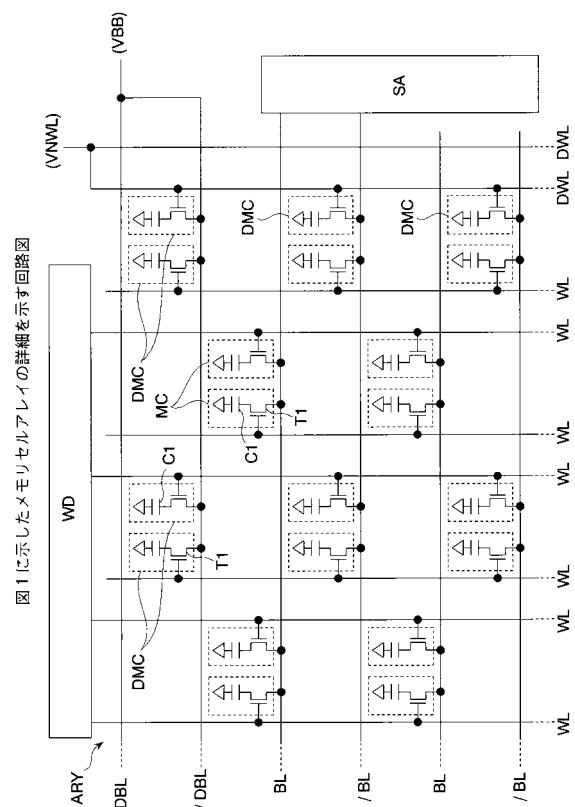
50

V I I 内部電源電圧
 V N W L リセット電圧
 V P P ブースト電圧
 V P R プリチャージ電圧
 W D ワードデコーダ
 W L ワード線

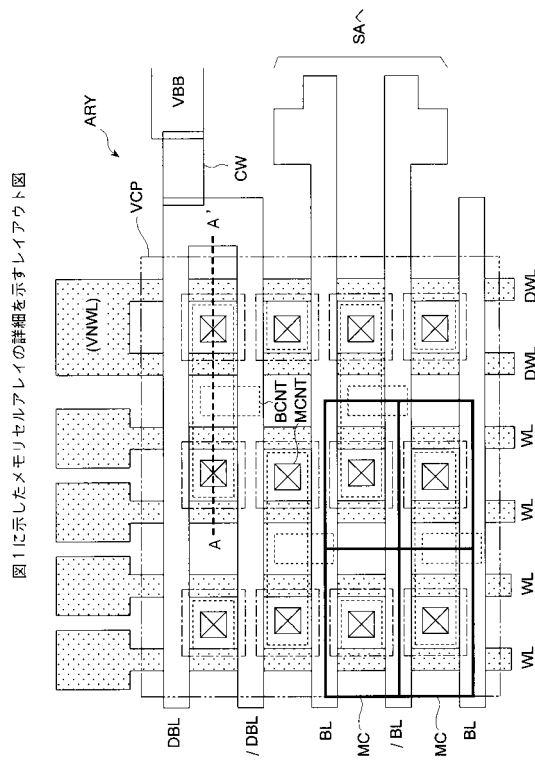
【図 1】



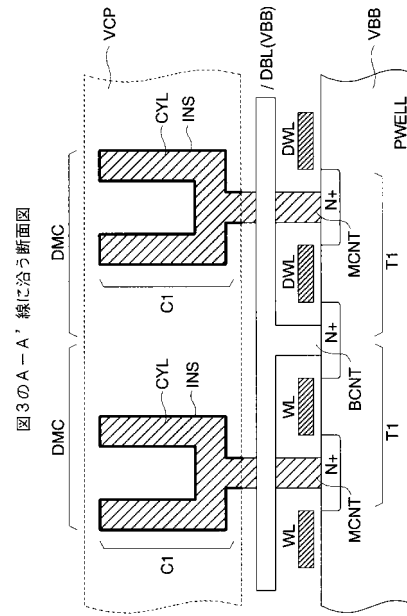
【図 2】



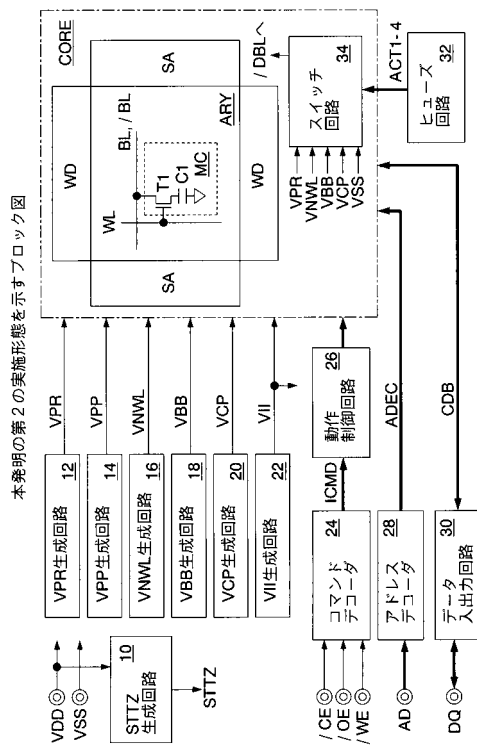
【図 3】



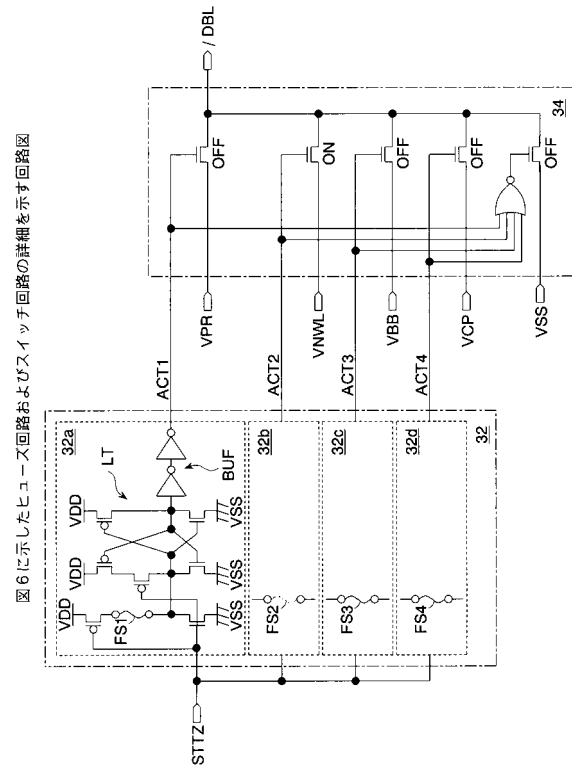
【図 4】



【図 5】

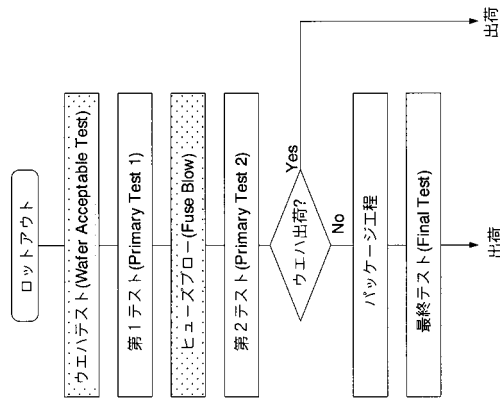


【図 6】



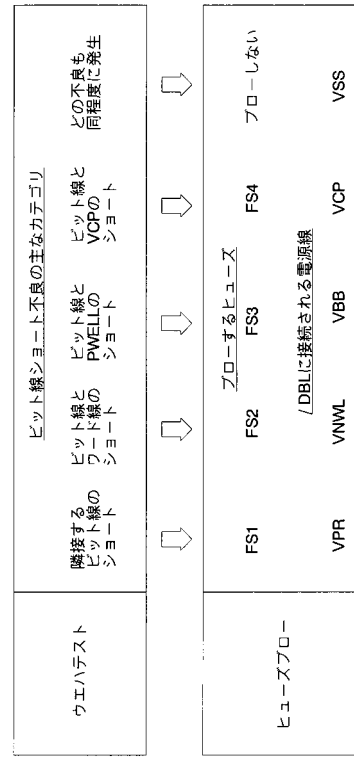
【図 7】

第2の実施形態におけるウエハ完成後の製造工程を示すフローチャート



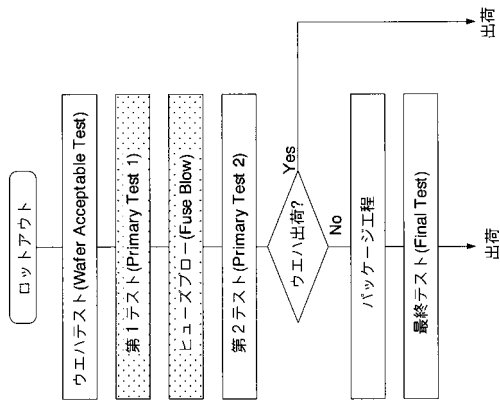
【図 8】

図7に示したフローにおいて、ダミービット線に接続する電圧線を決定する過程を示す説明図



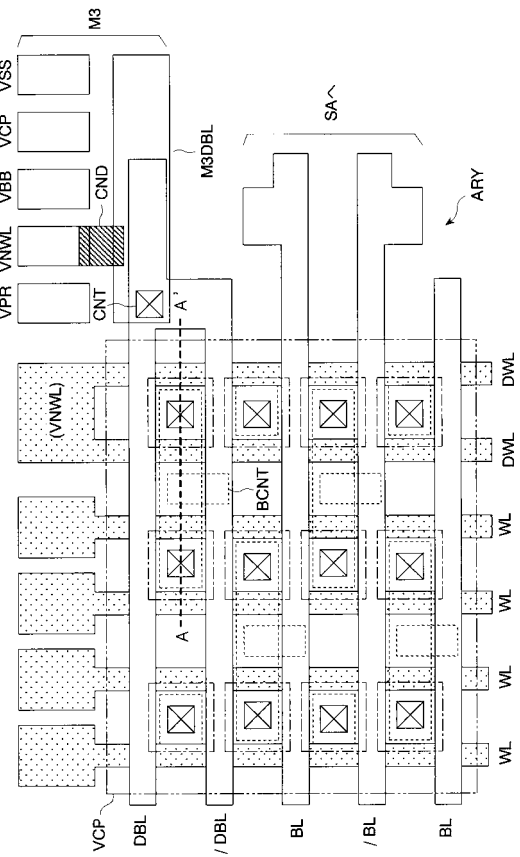
【図 9】

第3の実施形態におけるウエハ完成後の製造工程を示すフローチャート



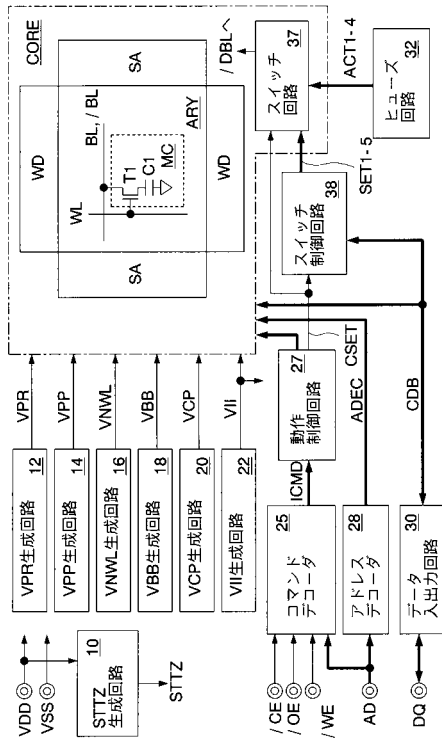
【図 10】

第4の実施形態のメモリセルアレイの詳細を示すレイアウト図



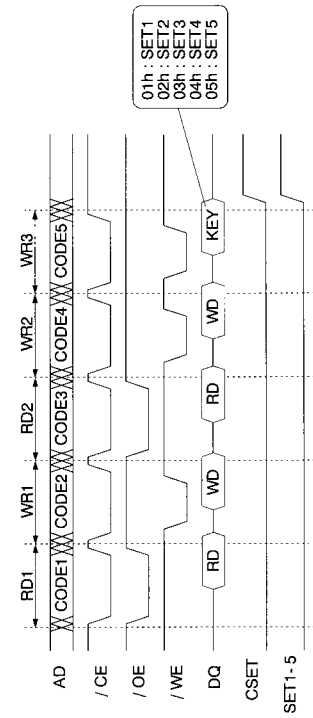
【図 1 1】

本発明の第5の実施形態を示すブロック図



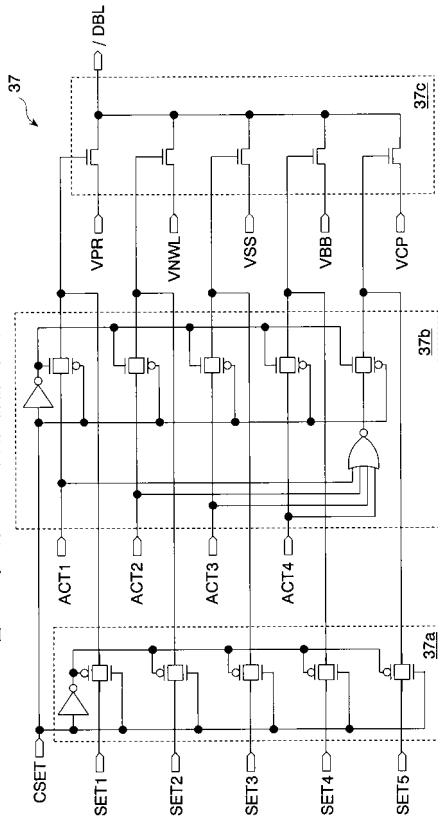
【図 1 3】

第5の実施形態におけるスイッチ回路の設定方法を示すタイミング図



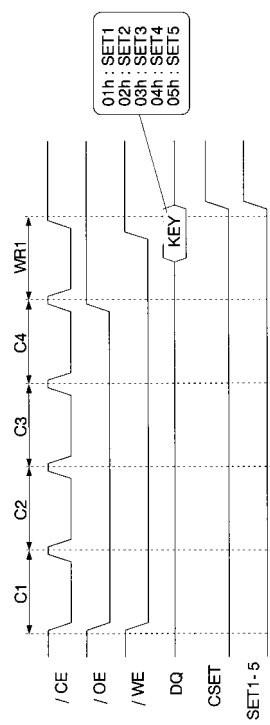
【図 1 2】

図 1 1 に示したスイッチ回路の詳細を示す回路図



【図 1 4】

第6の実施形態におけるスイッチ回路の設定方法を示すタイミング図



フロントページの続き

(56)参考文献 特開平 1 1 - 3 4 0 4 3 1 (J P , A)
特開 2 0 0 1 - 0 1 4 8 9 8 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 1 1 C	1 1 / 4 0 - 1 1 / 4 0 9 9
H 0 1 L	2 1 / 8 2 4 2
H 0 1 L	2 7 / 1 0 8