公告本

307049

申請日期	85.3.4
案號	85102598
類別	H01L 31/0304

A4
C4

307049

（以上各欄由本局填註）

發明 新型 專利說明書

一、發明 新型 名稱	中文	半導體裝置及其製造方法
	英文	
二、發明 創作 人	姓名	(1)馬克斯・戴哈德(Diethard Marx) (2)川津善平 (3)早藤紀生
	國籍	(1)德國 (2)(3)日本
	住、居所	(1)日本國東京都千代田區丸の內2丁目2番3號 三菱電機株式會社內 (2)(3)同(1)
三、申請人	姓名（名稱）	三菱電機股份有限公司 (三菱電機株式會社)
	國籍	日本
	住、居所（事務所）	日本國東京都千代田區丸の內2丁目2番3號
	代表人姓名	北岡隆

裝 訂 線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

307049

（由本局填寫）

承辦人代碼：	A6 B6
大　　類：	
ＩＰＣ分類：	

本案已向：

日　本國（地區）　申請專利，申請日期：1995-12-11　案號：7-321725　，□有　☑無主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部中央標準局員工消費合作社印製

五、發明說明（1）

[發明所屬之技術領域]

本發明係關於一種半導體裝置及其製造方法，特別是關於一種在Si基板上具有由GaN系化合物構成的高品質半導體結晶膜的半導體裝置及其製法。

[先前技術]

沈積這種高品質GaN系化合物膜所使用的成長方法，區別成兩組方法。

即，一組包含MOCVD(有機金屬化學氣相沈積)法或電漿加速MOCVD法之類的MOCVD法變形例之類的方法。此組所有方法的特點在於10～1030hPa的代表性反應爐壓及遍及500～1100℃的高品質GaN成長溫度。控制GaN成長的手法包含氣相化學反應及基板表面或半導體膜表面間的化學反應。

第二組包含MBE(分子束磊晶)法及GSMBE(氣源分子束磊晶)法、CBE(化學光束磊晶)法或MOMBE(有機金屬分子束磊晶)法之類的關聯方法。此組因無0.001hPa以下的低爐壓及氣相反應而和MOCVD法不同。

圖8為顯示MOCVD法的代表性成長方法的模式圖，在圖中，30為藍寶石基板，31為反應爐，32為基座，33為加熱器，34為反應氣體注入管，35為注入副管，36為排出泵，37為馬達，38為排出管。

GaN磊晶層係利用以下步驟而在藍寶石基板30上具有4μm膜厚般地成長。這之間，反應爐31保持在1030hPa的壓力。首先，將具有2英寸直徑的洗淨過的藍寶石基板30配置在基座32上。其次，以排出泵36充分排出不銹鋼製反應

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（ 2 ）

爐31內的空氣，將H_2氣體導入反應爐31內，藉此以H_2氣體調換反應爐31內的空氣。其次，一面從反應爐1內的反應氣體注入管34及在反應爐31上部的注入副管35供給反應爐31內H_2氣體，一面將基座32以加熱器33加熱到1060℃。為了從藍寶石基板30表面除去氧化膜，保持此狀態10分鐘。其後，將基座32的溫度降低到500℃，就那樣維持藍寶石基板30到溫度安定為止。

接著，從注入副管35注入H_2和N_2的氣體混合物，從反應氣體注入管34供給氨氣（NH_3）和H_2氣的氣體混合物。從注入副管35所供給的H_2氣體和N_2氣體的各自流速為10公升/分，從反應氣體注入管34所供給的氨氣及H_2氣的流速分別為4公升/分，1公升/分。維持此狀態到使基座32的溫度在500℃安定。

其次，為形成緩衝層，除了從反應氣體注入管34所供給的氨氣及H_2氣之外，TMG（三甲基鎵）氣體以2.7×10^{-5}莫耳/分的流速流動1分鐘。接著，為停止緩衝層的成長而只停止TMG氣體。該結果，形成0.02μm厚的緩衝層。

一面使其他氣體流動，一面使基座32的溫度上升到1020℃。使基座32的溫度上升到1020℃後，除了從反應氣體注入管34所供給的氨氣及H_2氣之外，TMG氣體以5.4×10^{-5}莫耳/分的流速流動60分鐘，藉此使GaN磊晶層成長成具有4.0μm的膜厚。

此成長之間，在上述條件之下，從注入副管35一定地供給H_2氣體及N_2氣體，反應爐31的內部不會為反應氣體所污

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（3）

染。而且，基座32為馬達37所以5rpm的速度旋轉，使結晶一定地成長。供給氣體之間，將所供給的氣體由排出管38排出外面，該排出管38係從排出泵36的配管所分支。

如此一來，使0.02μm厚的GaN緩衝層和4μm厚的GaN晶晶層在在藍寶石基板30上成長（參照USP5,290,393號公報）。

圖9為記載於Inst.Phys.Conf.Ser.No 141,<1994>,p.119之顯示其他MOCVD法的高速旋轉圓盤MOCVD反應爐簡單模式圖，在圖中，39為MOCVD反應爐、40為氮氣源分配岐管、41為Ⅲ族分配岐管、42為調整針閥、43為篩網、44為晶圓載體。

MOCVD反應爐39在各種側面和圖8的反應爐不同。第一、從上面供給所有的氣體。Ⅲ族源為Ⅲ族分配岐管41所供給，氮氣源和Ⅲ族源分離，為氮氣源分配岐管40所供給。所有氣體流動的分佈可用調整針閥42最佳化。而且，從篩網43供給均勻的氫流。氣體到達裝在晶圓載體44上的基板（圖未示），反應而形成所希望的半導體膜。為改善膜之均勻性，給與晶圓載體44高速的旋轉（500～1000rpm）。反應爐39的動作壓力最好在76～200托（約10～26hPa）的範圍內。此外，可使高品質的GaN在薄的GaN緩衝層上以1030℃的高成長溫度成長，此GaN緩衝層係以200托（約26hPa）的爐壓使用氨氣和TMG以540°沈積。

圖10為記載於J.Crystal Growth 150 (1995),p.912的顯示為GaN成長而所使用之具代表性MBE法的MBE室模式圖，在圖中，45為高真空MBE室、46為基板、47為氣體入器

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（4）

、48為MBE爐、49為電子衍射裝置、50為基板加熱器。

以MBE法或關聯方法所成長的GaN，係藉由以下的製程成長。首先，基板46被轉送到高真空MBE室45內，一點也不露出到氣體中，例如以約900℃的高溫熱回火。其次，基板46藉由透過氣體注入器47而露出於氮氣源氣體中，以例如400℃的基板溫度被氮化。藉由導入Ga源射束沈積GaN或AlN任一低溫緩衝層。作為此Ga源射束，可使用來自MBE爐48的原子狀鎵射束或為適當的氣體注入器所導入的TEG（三乙基鎵）或TMG之類的有機金屬鎵先驅物。最後，以例如600～860℃範圍內的高溫沈積高品質GaN層。此方法的優點，係可利用電子衍射裝置（RHHED）49當場解析膜質。為了氮氣的最理想先驅物為NH_3、所預先裂化的N_2及HN_3，另一方面作為對Ga最理想的先驅物，常常使用TMG或TEG。載運氣體最好是N_2和H_2的混合物。而且，在與MBE法有關的方法方面，可利用電子環繞共振式（ECR）電漿、N_2的微波活性化或NH_3的溫度熱裂生成氮原子團或原子。

其次，就可用於得到高品質GaN化合物層的最普遍基板及成長的構造加以說明（參照USP5,290,393號公報）。GaN化合物成長用的最普遍所使用的基板為藍寶石及SiC晶圓。

圖11為顯示生成高品質GaN化合物層之一個可能構造的模式截面圖，在圖中，60為藍寶石或SiC基板、61為低溫$Ga_xAl_{1-x}N$緩衝層、62為$Ga_xAl_{1-x}N$化合物半導體層。

首先，在藍寶石或SiC基板20上，適當洗淨手續後，將化學組成$Ga_xAl_{1-x}N$（$0 \leq x \leq 1$）的低溫緩衝層21以200℃

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（ 5 ）

～700℃範圍的低溫沈積成10nm～200nm的膜厚。所得之層與其說是單晶不如說是非晶體。其次，將由此非晶體構成的低溫緩衝層21變換成平滑的單晶層，為將此用作由下一 $Ga_xAl_{x-1}N(0 \leqq x \leqq 1)$ 構成的化合物半導體層22成長基板，使基板溫度上升。此化合物半導體層22係以700℃～1150℃範圍的溫度所沈積，顯示高品質的光學及電氣特性。

[發明欲解決之課題]

然而，使用上述藍寶石或SiC基板的一般高品質GaN成長方法有以下的問題。

即，基板的價格，作為代表性的價格，藍寶石的情況，直徑2英寸大小，每一晶圓65～240美元，SiC的情況，1cm×1cm大小，每一片200美元，很昂貴。

此外，GaN和SiC之間的晶格不匹配為約3.5%，另一方面，GaN和藍寶石之間的晶格不匹配更大，為約16%。

此外，作為只關於藍寶石的問題，由於藍寶石為絕緣體，所以不能在基板背面側形成電極。因此，形成電極的製程更昂貴。此外，藍寶石的熱膨脹係數和GaN的熱膨脹係數大不相同，所以成長製程更複雜。再者，藍寶石為烏采型結晶構造，所以有雷射元件製造所需的基板劈開不能的問題。

為了克服這些問題，作了若干報告。例如圖12為顯示記載於USP5,239,188的在Si基板上的成長GaN化合物半導體層之半導體裝置構造的圖，在圖中，基板63係由具有低電阻的廉價n-Si(111)基板構成，在此基板63上以上述一般

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（6）

的方法沈積低溫AlN緩衝層24，在此低溫AlN緩衝層64上以高溫依次沈積更高品質的n-GaN層65及p-GaN層66。又，67為p型電極、68為n型電極。此構造因使用Si基板而解決上述問題之中基板價格的問題及關於藍寶石基板的問題，但因Si和GaN的晶格不匹配約20%，很高，而與此晶格不匹配有關，發生新的問題。即，在上述構造方面，最柔軟層為GaN層65、66及Si基板63，因此在GaN層65、66依然觀察到多數差排，並因晶格不匹配造成Si基板63內的應力而發生晶圓的彎曲。此晶圓的彎曲給與此技術的使用決定性的界限。

此外，還做了解決上述問題的其他嘗試（參照U eta et al.in MRS 339(1994),p.459），此嘗試係使用Si基板，在GaN層沈積之前導入GaAs層。而且，報告了有在具有更小體積彈性係數的物質內形成差排的傾向，因此在具有比GaN層小的體積彈性係數的GaAs層形成許多差排，GaN層的差排減少。然而，此嘗試只就≥00nm～2000nm範圍厚度的略厚GaAs層加以報告，GaAs層的最適當厚度或在高溫容易分解的GaAs層保護方法等GaAs層最適當成長條件則未報告。

本發明係為解決這種問題點所完成的，其目的在於提供一種在Si基板和GaN系化合物半導體層之間，藉由設置應力吸收性更佳的應力吸收層，或者藉由在應力吸收層上設置GaN系化合物緩衝層，可使GaN系化合物半導體層品質提高且防止Si基板彎曲的半導體裝置。

此外，本發明之目的在於提供一種藉由使應力吸收層及

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（ 7 ）

GaN系化合物緩衝層的成長條件最佳化，可在Si基板上形成高品質GaN系化合物半導體層的半導體裝置製法。

[解決課題之手段]

關於本發明（申請專利範圍第1項）之半導體裝置具備Si基板、形成於該Si基板上的由GaAs構成的應力吸收層、形成於該應力吸收層上的由組成為$Al_xGa_{1-x-y}In_yN$（$0 \leqq x \leqq 1$，$0 \leqq y \leqq 1$）的化合物構成的緩衝層及形成於該緩衝層上的組成為$Al_xGa_{1-x-y}In_yN$（$0 \leqq x \leqq 1$，$0 \leqq y \leqq 1$）的化合物半導體層。

關於本發明（申請專利範圍第2項）之半導體裝置，係在上述半導體裝置（申請專利範圍第1項）方面，上述應力吸收層的厚度為1nm～300nm。

關於本發明（申請專利範圍第3項）之半導體裝置具備Si基板、由具有比Si結合數少的結合數之材料構成的低結合力層、形成於該低結合力層上和上述Si基板上形成該低結合力層之領域以外的領域上之由GaAs構成的應力吸收層及形成於該應力吸收層上的組成為$Al_xGa_{1-x-y}In_yN$（$0 \leqq x \leqq 1$，$0 \leqq y \leqq 1$）的化合物半導體層。

關於本發明（申請專利範圍第4項）之半導體裝置，係在上述半導體裝置（申請專利範圍第3項）方面，在上述應力吸收層上形成由組成為$Al_xGa_{1-x-y}In_yN$（$0 \leqq x \leqq 1$，$0 \leqq y \leqq 1$）的化合物構成的緩衝層，在該緩衝層上形成上述化合物半導體層。

關於本發明（申請專利範圍第5項）之半導體裝置，係在

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（8）

上述半導體裝置（申請專利範圍第3項）方面，上述低結合力層係由SiOx、SiNx或SiON構成。

關於本發明（申請專利範圍第6項）之半導體裝置具備Si基板、形成於該Si基板上的由As構成的應力吸收層、形成於該應力吸收層上的由組成為$Al_xGa_{1-x-y}In_yN$（$0 \leqq x \leqq 1$，$0 \leqq y \leqq 1$）的化合物構成的緩衝層及形成於該緩衝層上的組成為$Al_xGa_{1-x-y}In_yN$（$0 \leqq x \leqq 1$，$0 \leqq y \leqq 1$）的化合物半導體層。

關於本發明（申請專利範圍第7項）之半導體裝置，係在上述半導體裝置（申請專利範圍第1、3或6項之任一項）方面，上述Si基板係其一主面為{100}面或{111}面。

關於本發明（申請專利範圍第8項）之半導體裝置，係在上述半導體裝置（申請專利範圍第1、3或6項之任一項）方面，上述Si基板、上述應力吸收層及上述緩衝層含有形成導電型的雜質，上述化合物半導體層含有形成導電型的雜質，構成光-電變換或電-光變換元件構造，並且上述組成之x及y具有與上述元件構造相應之值。

關於本發明（申請專利範圍第9項）之半導體裝置製法包含在Si基板上形成具有非晶或多晶構造的由GaAs或As構成之應力吸收層的製程、在上述應力吸收層上以該應力吸收層不分解那樣的溫度形成組成為$Al_xGa_{1-x-y}In_yN$（$0 \leqq x \leqq 1$，$0 \leqq y \leqq 1$）之緩衝層的製程、將上述應力吸收層及上述緩衝層之中的至少緩衝層一部分部分地變換成單晶的製程及在上述部分地變換成單晶的緩衝層上形成由單晶構

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（9）

成的組成為$Al_xGa_{1-x-y}In_yN$（$0 \leqq x \leqq 1$，$0 \leqq y \leqq 1$）之化合物半導體層的製程。

關於本發明（申請專利範圍第10項）之半導體裝置製法，係在上述半導體裝置製法（申請專利範圍第9項）方面，上述應力吸收層係由GaAs構成，並且以200℃～600℃形成該應力吸收層。

關於本發明（申請專利範圍第11項）之半導體裝置製法，係在上述半導體裝置製法（申請專利範圍第9項）方面，上述應力吸收層係由As構成，並且以室溫～550℃形成該應力吸收層。

［發明之實施形態］

實施形態1

構成1

本發明實施形態1之半導體裝置（申請專利範圍第1項）如圖1所示，具備Si基板⑴、形成於該Si基板⑴上的由GaAs構成的應力吸收層⑵、形成於該應力吸收層⑵上的由組成為$Al_xGa_{1-x-y}In_yN$（$0 \leqq x \leqq 1, 0 \leqq y \leqq 1$）的化合物構成的緩衝層⑶及形成於該緩衝層⑶上的組成為$Al_xGa_{1-x-y}In_yN$（$0 \leqq x \leqq 1$，$0 \leqq y \leqq 1$）的化合物半導體層⑷。因此，緩衝層⑶可保護由GaAs構成的應力吸收層⑵，避免形成化合物半導體層⑷時的高溫，防止應力吸收層⑵分解。此結果，可用體積彈性係數最小的由GaAs構成的應力吸收層⑵吸收Si基板⑴和化合物半導體層⑷的晶格不匹配產生的應力，在緩衝層⑶上成長減低差排的化合物半導體層⑷，並可

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（10）

防止Si基板彎曲。

構成2

本發明實施形態1之半導體裝置（申請專利範圍第2項）如圖1所示，係在上述構成1之半導體裝置方面，上述應吸收層⑵的厚度為1nm～300nm。因此，在緩衝層上使GaN系化合物成長時，該緩衝層的厚度在如此薄的範圍可減低其缺陷，所以可減少化合物半導體層⑷的缺陷。

實施形態2

構成1

本發明實施形態2之半導體裝置（申請專利範圍第3項）如圖3所示，具備Si基板⑴、形成於該Si基板⑴上的一部分領域之由具有比Si結合數少的結合數之材料構成的低結合力層⑺、形成於該低結合力層⑺上和上述Si基板⑴上形成該低結合力層⑺之領域以外的領域上之由GaAs構成的應力吸收層⑵及形成於該應力吸收層⑵上的組成為$Al_xGa_{1-x-y}In_yN$（$0 \leq x \leq 1$，$0 \leq y \leq 1$）的化合物半導體層⑷。因此，結合數比Si基板⑴結合數少的低結合力層⑺和應力吸收層⑵之間的結合力比Si基板⑴和應力吸收層⑵之間的結合力小，在該低結合力層⑺和應力吸收層⑵之間可吸收更多的應力，可減低應力吸收層⑵和Si基板⑴間的應力。因此，可更適當地防止Si基板⑴的彎曲及裂化的發生。

構成2

本發明實施形態2之半導體裝置（申請專利範圍第4項）如圖3所示，係在上述構成1之半導體裝置方面，在上述應力

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（11）

吸收層⑵上形成由組成為$Al_xGa_{1-x-y}In_yN$（$0 \leqq x \leqq 1$，$0 \leqq y \leqq 1$）的化合物構成的緩衝層⑶，在該緩衝層⑶上形成上述化合物半導體層⑷。因此，緩衝層⑶可保護應力吸收層⑵，避免形成化合物半導體層⑷時的高溫，防止應力吸收層⑵分解。

構成3

本發明實施形態2之半導體裝置（申請專利範圍第5項），係在上述構成1之半導體裝置方面，上述低結合力層⑺係由SiO_x、SiN_x或SiON構成。因此，藉由使Si基板⑴氧化或氮化，可容易形成低結合力層⑺。

實施形態3

構成1

本發明實施形態3之半導體裝置（申請專利範圍第6項）如圖5所示，具備Si基板⑴、形成於該Si基板⑴上的由As構成的應力吸收層⑵、形成於該應力吸收層⑵上的由組成為$Al_xGa_{1-x-y}In_yN$（$0 \leqq x \leqq 1$，$0 \leqq y \leqq 1$）的化合物構成的緩衝層⑶及形成於該緩衝層⑷上的組成為$Al_xGa_{1-x-y}In_yN$（$0 \leqq x \leqq 1$，$0 \leqq y \leqq 1$）的化合物半導體層⑷。因此，緩衝層⑶可保護由As構成的應力吸收層⑵，避免形成化合物半導體層⑷時的高溫，防止應力吸收層⑵分解。此結果，可用體積彈性係數最小的由As構成的應力吸收層⑵吸收Si基板⑴和化合物半導體層⑷的晶格不匹配產生的應力，在緩衝層⑶上成長減低差排的化合物半導體層⑷，並可防止Si基板⑴彎曲。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（12）

實施形態4

構成1

本發明實施形態4之半導體裝置（申請專利範圍第7項）如圖1、3、5所示，係在上述實施形態1～3之任一半導體裝置方面，上述Si基板⑴係其一主面為{100}面或{111}面。因此，Si基板⑴的主面為{100}面時，可劈開基板，Si基板⑴的主面為{111}面時，該Si基板⑴的主面成為和GaAs應力吸收層⑵相同的烏采型結晶構造，可改善該GaAs應力吸收層⑵的結晶性。

實施形態5

構成1

本發明實施形態5之半導體裝置（申請專利範圍第8項）如圖6所示，係在上述實施形態1～3之任一半導體裝置方面，上述Si基板（101）、上述應力吸收層（102）及上述緩衝層（103）含有形成導電型的雜質、上述化合物半導體層（105～107）含有形成導電型的雜質，構成光－電變換或電－光變換元件構造，並且上述組成之x及y具有與上述元件構造相應之值。因此，可將本發明適用於半導體雷射裝置，可使用廉價的Si基板（101），可得到低成本的半導體雷射裝置。此外，Si基板（101）可劈開且可在其下面形成電極（109），所以在半導體雷射裝置的製程中無需追加處理，因這些效果而可得到更低成本的半導體雷射裝置。

實施形態6

構成1

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（13）

本發明實施形態6之半導體裝置（申請專利範圍第9項）如圖1～5所示，包含在Si基板⑴上形成具有非晶或多晶構造的由GaAs或As構成之應力吸收層（2、122）的製程、在上述應力吸收層（2、122）上以該應力吸收層不分解那樣的溫度形成由組成為$Al_xGa_{1-x-y}In_yN$（$0 \leqq x \leqq 1$，$0 \leqq y \leqq 1$）的化合物構成之緩衝層⑶的製程、將上述應力吸收層及上述緩衝層之中的至少緩衝層⑶一部分部分地變換成單晶的製程及在上述部分地變換成單晶的緩衝層⑶上形成由單晶構成的組成為$Al_xGa_{1-x-y}In_yN$（$0 \leqq x \leqq 1$，$0 \leqq y \leqq 1$）之化合物半導體層⑷的製程。因此，在應力吸收層（2、122）上不會使該應力吸收層（2、122）分解而可形成緩衝層⑶，並可利用此緩衝層⑶保護應力吸收層（2、122），避免形成化合物半導體層⑷時的高溫，防止分解。此外，由於以低溫將形成非晶或多晶構造的緩衝層⑶變換成單晶，所以形成於其上面的化合物半導體層⑷結晶性良好，並且於此變換之際，緩衝層⑶因不以應力吸收層（2、122）吸收其應力，而可減低形成於其上面的化合物半導體層⑷的差排。

構成2

本發明實施形態6之半導體裝置（申請專利範圍第10項）如圖1所示，係在上述構成1之半導體裝置製法方面，上述應力吸收層⑵係由GaAs構成，並且以200℃～600℃形成該應力吸收層⑵。因此，可使上述GsAa應力吸收層⑵的構造安定而形成非晶或多晶構造。

構成3

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（14）

本發明實施形態6之半導體裝置（申請專利範圍第11項）如圖5所示，係在上述構成1之半導體裝置製法方面，上述應力吸收層（122）係由As構成，並且以室溫～550℃形成該應力吸收層（122）。因此，可使上述As應力吸收層（122）的構造安定而形成非晶或多晶構造。

［實施例］

實施例1

茲就本發明之一實施例加以說明。

圖1為模式地顯示根據本實施例1之半導體裝置構造的截面圖，在圖中，1為Si基板，在該Si基板1上配置由GaAs構成的應力吸收層2，在該應力吸收層2上配置低溫GaN緩衝層3，在該低層GaN緩衝層3上配置GaN化合物半導體層4。此GaN化合物半導體層4構成所希望元件構成（圖未示）的一部分，在此GaN化合物半導體層4上為了形成上述元件構造而配置其他GaN化合物半導體層，並配置與該元件構造相應的電極（圖未示）。此外，上述Si基板1最好其主面為{100}面或{111}面。即，本半導體裝置例如為半導體雷射時，因需劈開基板而以Si基板1的主面為{100}面。另一方面，半導體裝置為無需劈開基板的元件時，由於GaAs應力吸收層2為烏采型結晶構造，所以以Si基板1的主面如同成為和該應力吸收層2相同烏采型結晶構造般地為{111}面，可改善上述應力吸收層2的結晶性。

圖2(a)～圖2(c)為模式地顯示根據本實施例1之半導體裝置製法的製程截面圖，在圖中，和圖1同一符號表示同

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（15）

一或相當的部分。

其次，按照圖2(a)～圖2(c)說明根據本實施例1之半導體裝置製法。本製法也可以使用在先前技術敘述的MOCVD法、MBE法及這些關聯方法的任何一種。

首先，和以往同樣地準備其主面為{100}面的Si基板1，放在基座上。其次，洗淨Si基板1剩餘的雜質。作為此洗淨方法，例如在MBE法可使用原子氫處理，或在MOCVD關聯法可使用高溫處理。

其次，以200℃～600℃範圍的基板溫度將具有非晶構造的GaAs應力吸收層2沈積成1nm～300nm的膜厚（圖2(a)）。其次，在此GaAs應力吸收層2上該GaAs應力吸收層2不分解那樣以200℃～700℃範圍的基板溫度沈積具有非晶構造的GaN緩衝層3(圖2(b))。這種情況，GaAs應力吸收層2及GaN緩衝層3也可以分別形成多晶構造。其次，為了將為非晶構造的GaAs應力吸收層2及GaN緩衝層變換成單晶，而使基板溫度上升。此單晶化的溫度最好定為500℃～1150℃範圍的溫度。在此變換製程中，與Si基板結晶構造對應般地形成GaAs應力吸收層2結晶構造，與此所單晶化的GaAs應力吸收層結晶構造對應般地形成位於其上側的GaN緩衝層3結晶構造。而且，在此製程之間，Si基板1和GaN緩衝層3之間因晶格不匹配而產生的應力大部分為最柔軟層，即GaAs應力吸收層2所吸收。此處，最上層的GaN緩衝層3於基板溫度上升到900℃以上時，保護GaAs應力吸收層2，防止GaAs應力吸收層2分解。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（16）

其次，MOCVD法及其關聯方法的情況，以900℃以上的溫度，MBE法及其關聯方法的情況，以600℃以上的溫度使GaN化合物半導體層4分別成長（圖2(c)）。而且，以後為了形成預定的元件構造，而使其他的GaN化合物半導體層（圖未示）成長，形成預定的電極（圖未示）後，完成半導體裝置。此處，使這些元件構造成長時，積存於其內部的熱應力於冷卻Si基板1時被GaN應力吸收層2吸收。

在習知構造方面，體積彈性係數最小之層為GaN層，缺陷（差排）經常從具有高體積彈性係數的物質傳輸到具有低體積彈性係數的物質，所以不能避免缺陷傳輸到GaN層，但在本實施例1方面，由於在Si基板1和GaN化合物半導體層4之間設置具有比Si基板1及GaN化合物半導體層4的體積彈性係數小之體積彈性係數的GaAs應力吸收層2，所以Si基板1和GaN化合物半導體層4之間因晶格不匹配而產生的應力可用此GaAs應力吸收層2吸收，即使因此應力而在GaAs應力吸收層2發生缺陷，該缺陷也不會傳輸到GaN化合物半導體層4，因此可得到缺陷少的GaN化合物半導體層4。此結果，可將廉價的Si基板1用於GaN系元件，因此可充分減低GaN系元件的價格。

此外，在本實施例1方面，由於在Si基板1上以低溫形成非晶或多晶的GaAs應力吸收層2，接著在該GaAs應力吸收層2上以200℃～700℃範圍的溫度形成GaN緩衝層3，所以在GaAs應力吸收層2上不會使該GaAs應力吸收層2分解而可形成GaN緩衝層3，並可利用此GaN緩衝層3保護GaAs應力吸收

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（17）

層2，避免形成化合物半導體層4時的高溫，防止該GaAs應力吸收層2分解。

此外，在本實施例1方面，由於在使GaN化合物半導體層4成長之前，設置以低溫將形成非晶或多晶構造的GaAs應力吸收層2及GaN緩衝層3變成換單晶的製程，所以形成於該GaN緩衝層3上的GaN化合物半導體層4結晶性良好，並且GaN緩衝層3於變換成此單晶時，不以應力吸收層2吸收其應力，所以可更加減低形成於其上面的化合物半導體層4缺陷。

此外，在本實施例1方面，由於以500℃～1150℃進行GaN緩衝層3變換成單晶，所以可在能將非晶或多晶變換成單晶的溫度的500℃到GaN化合物半導體 4成長溫度的1150℃之溫度範圍進行該變換，可最適當地進行GaN緩衝層3變換成單晶。

此外，在本實施例1方面，由於使GaAs應力吸收層2的厚度薄到1nm～300nm，所以可使GaN化合物半導體層4的缺陷最少。

此外，在本實施例1方面，由於使上述Si基板1的主面成為{100}面或{111}面，所以Si基板1的主面為{100}面時，可劈開基板，Si基板1的主面為{111}面時，該Si基板1的主面成為和GaAs應力吸收層2相同的烏采型結晶構造，可改善該GaAs應力吸收層2的結晶性。

此外，在本實施例1方面，由於以200℃～600℃形成GaAs應力吸收層2，所以可使該GaAs應力吸收層2的構造安定而

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製

五、發明說明（18）

形成非晶或多晶構造。

此外，在本實施例1方面，由於利用MOCVD法、MBE法及CBE法之任一方法進行GaAs應力吸收層2、低溫GaN緩衝層3及GaN化合物半導體層4形成於Si基板1上，所以可最適當地製造半導體裝置。

實施例2

茲就本發明之其他實施例加以說明。

圖3為模式地顯示根據本實施例2之半導體裝置構造的截面圖，在圖中，和圖1同一符號表示同一或相當的部分，7為形成於Si基板1上的預定領域之由SiO×、SiN×或SiON電介質構成的低結合力層，在此低結合力層7上及Si基板1上的上述預定領域以外的領域上形成配置GaAs應力吸收層2。

圖4(a)～圖4(d)為模式地顯示根據本實施例2之半導體裝置製法的製程截面圖，在圖中，和圖2及圖3同一符號表示同一或相當的部分。根據本實施例2之半導體裝置，係在Si基板1上按照預定圖案，藉由使Si基板1氧化或氮化而形成低結合力層7(圖4(a))，在此低結合力層7上及Si基板1上形成應力吸收層2(圖4(b))，以後藉由施以和實施例1的情況同樣的製程加以製造(圖4(c)、圖4(d))。此處，低結合力層7的圖案形成例如具有0.2μm～2000μm尺寸的矩形或圓形，形成膜厚10nm～100nm。而且，該低結合力層7的圖案寬度需形成Si基板1的上面充分寬廣地露出，藉此可按照該Si基板1結晶構造形成GaAs應力吸收層2結晶構造那樣大小的寬度。此外，作為低結合力層7的材料，若為

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（19）

具有比Si結合數少的結合數的材料即可，可使用SiO×、SiN×或SiON以外的材料。另一方面，使用此SiO×、SiN×、SiON，具有以下優點：藉由使Si基板1氧化或氮化，可容易形成低結合力層7。

如以上，在本實施例2方面，由於在Si基板1上的預定領域形成由SiO×、SiN×或SiON電介質構成的低結合力層7，在該低結合力層7上及上述Si基板1上的上述預定領域以外的領域形成GaAs應力吸收層2，所以結合數比Si基板1結合數少的低結合力層7和GaAs應力吸收層2之間的結合力比Si基板1和GaAs應力吸收層2之間的結合力小，在該低結合力層7和應力吸收層2之間可吸收更多的應力，可減低應力吸收層2和Si基板1間的應力。因此，可更適當地防止Si基板1的彎曲及裂化的發生。

此外，在本實施例2方面，由於在GaAs應力吸收層2上以低溫形成GaN緩衝層3，所以在GaAs應力吸收層2上不會使該GaAs應力吸收層2分解而可形成GaN緩衝層3，並可利用此GaN緩衝層3保護GaAs應力吸收層2，避免形成化合物半導體層4時的高溫，防止該GaAs應力吸收層2分解。

實施例3

茲就本發明之另外其他實施例加以說明。

圖5為模式地顯示根據本實施例3之半導體裝置構造的截面圖，在圖中，和圖1同一符號表示同一或相當的部分，122為取代圖1之由GaAs構成的應力吸收層2所配置之由As構成的應力吸收層。根據本實施例3之半導體裝置除了As

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（20）

應力吸收層122的形成溫度以外，可和實施例1的情況同樣地製造。此As應力吸收層122的形成溫度，由於使該As應力吸收層122的構造安定而形成非晶或多晶構造，所以最好定為室溫～550℃。此處，由於As具有比Si基板1及GaN化合物半導體 4之體積彈性係數小的體積彈性係數，所以和GaAs同樣，可用作應力吸收層。此外，由於As和GaAs同樣，若是使GaN化合物半導體 4成長所需的溫度就會分解，所以需要當作保護層的GaN緩衝層3。此外，由於As應力吸收層122過厚就會過於柔軟或不安定，所以As應力吸收層122的厚度最好定為2、3原子層～幾nm的範圍。

如以上，在本實施例3方面，由於在Si基板1上依次形成As應力吸收層122、GaN緩衝層3及GaN化合物半導體層4，所以上述As應力吸收層122可為GaN緩衝層3所保護，避免形成化合物半導體層4時的高溫，防止該As應力吸收層122分解。此結果，以體積彈性係數最小的As應力吸收層122吸收Si基板1和化合物半導體層4因晶格不匹配而產生的應力，可在GaN緩衝層3上使減低缺陷的化合物半導體層4成長，並可防止Si基板1彎曲。

實施例4

茲就本發明之另外其他實施例加以說明。

圖6為模式地顯示根據本實施例4之半導體雷射裝置構造的截面圖，在圖中，101為p-Si基板，在該p-Si基板101上配置由p-GaAs構成的應力吸收層102，在該p-GaAs應力吸收層102上配置低溫p-GaN緩衝層103，在該低溫p-GaN緩衝

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製

五、發明說明（21）

層103上配置p-GaN緩衝層104，在該p-GaN緩衝層104上配置p-AlGaInN覆蓋層105，在該p-AlGaInN覆蓋層105上配置不摻雜AlGaInN活性層106，在該不摻雜AlGaInN活性層106上配置n-AlGaInN覆蓋層107，在該n-AlGaInN覆蓋層107上的一部分領域配置p-電流阻止層108，在該n-AlGaInN覆蓋層107上及p-電流阻止層108上的剩餘領域配置n型電極110，在上述p-Si基板下面配置n型電極109。

圖7(a)～圖7(g)為模式地顯示根據本實施例4之半導體雷射裝置製法的製程截面圖，在圖中，和圖6同一符號表示同一或相當的部分。在本實施例4中，元件為半導體雷射裝置，所以需要劈開p-Si基板101，因此該基板101使用其主面為{100}面的p-Si基板。而且，到沈積p-GaN緩衝層104的製程（圖7(c)）為止和實施例1的情況完全同樣，接著依次沈積從p-AlGaInN覆蓋層105到p-電流阻止層108的各層（圖7(d)～圖7(g)），接著利用蝕刻除去p-電流阻止層108的預定領域，接著在p-電流阻止層108上及n-AlGaInN覆蓋層107上的上述預定領域形成n型電極110，在n-Si基板101下面形成p型電極109(圖6)。其後，劈開p-Si基板101，完成半導體雷射裝置。

如以上，將Si基板101、GaAs應力吸收層102及GaN緩衝層103摻雜成預定的導電型而分別賦與導電性，藉由在GaN緩衝層103上為形成半導體雷射構造而配置多數的AlGaInN半導體層105～107、電流阻止層108及電極109、110，可將本發明適用於半導體雷射裝置。因此，可使用廉價的Si

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（22）

基板，可得到低成本的半導體雷射裝置。此外，由Si基板可劈開，並可在其下面形成電極109，所以在半導體雷射裝置的製程中無需追加處理，因這些效果而可得到更低成本的半導體雷射裝置。

又，在上述實施例方面，作為構成元件構造的化合物半導體層，在化合物半導體層4使用GaN，在化合物半導體層105～107使用AlGaInN，但在該化合物半導體層不限於這些，可使用組成為$Al_xGa_{1-x-y}In_yN$($0 \leqq x \leqq 1$，$0 \leqq y \leqq 1$)的任意化合物。

此外，在上述實施例方面，在低溫緩衝層3、103使用GaN，但在該低溫緩衝層不限於這些，可使用組成為$Al_xGa_{1-x-y}In_yN$($0 \leqq x \leqq 1$，$0 \leqq y \leqq 1$)的任意化合物。此外，此低溫緩衝層也可以組成和化合物半導體層不同。

此外，在實施例4中說明了將本發明適用於半導體雷射裝置的情況，但對於其他光－電變換或電－光變換半導體元件也可以同樣地適用本發明。

此外，在實施例4中，在Si基板101上設置GaAs應力吸收層102，但也可以在Si基板101上的一部分領域設置低結合力層，在該低結合力層上及Si基板101上的剩餘領域設置該GaAs應力吸收層102，並且也可以取代上述GaAs應力吸收層102而設置As應力吸收層。

[圖式之簡單說明]

圖1為模式地顯示根據本發明實施例1之半導體裝置構造的截面圖。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（23）

圖2為顯示根據本發明實施例1之半導體裝置製法的製程截面圖。

圖3為模式地顯示根據本發明實施例2之半導體裝置構造的截面圖。

圖4為顯示根據本發明實施例2之半導體裝置製法的製程截面圖。

圖5為模式地顯示根據本發明實施例3之半導體裝置構造的截面圖。

圖6為模式地顯示根據本發明實施例4之半導體雷射裝置構造的截面圖。

圖7為顯示根據本發明實施例4之半導體雷射裝置製法的製程截面圖。

圖8為顯示MOCVD法之代表性成長方法的模式圖。

圖9為顯示其他MOCVD法的高速旋轉圓盤MOCVD反應爐簡單模式圖。

圖10為顯示為GaN成長而所使用之具代表性MBE法的MBE室模式圖。

圖11為顯示使用習知藍寶石基板之GaN化合物半導體裝置構造的模式截面圖。

圖12為顯示使用習知Si基板之GaN化合物半導體裝置構造的模式截面圖。

[元件編號之說明]

1 Si基板，2 GaAs應力吸收層，3 低溫GaN緩衝層，4 GaN化合物半導體層，7 低結合力層，101 p-Si基

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製

五、發明說明（24）

板，102 p-GaAs應力吸收層，103 低溫p-GaN緩衝層，104 p-GaN緩衝層，105 p-AlGaInN覆蓋層，106 不摻雜AlGaInN覆蓋層，107 n-AlGaInN覆蓋層，108 p-電流阻止層，109 p型電極，110 n型電極，122 As應力吸收層。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

四、中文發明摘要（發明之名稱：　半導體裝置及其製造方法　）

本發明之課題在於提供一種在Si基板上形成高品質GaN系化合物半導體層的半導體裝置。

本發明具備Si基板1、形成於Si基板1上的由GaAs或As構成的應力吸收層2、形成於應力吸收層2上的由組成為$Al_xGa_{1-x-y}In_yN$($0 \leqq x \leqq 1$，$0 \leqq y \leqq 1$)的化合物構成的緩衝層3及形成於緩衝層3上的組成為$Al_xGa_{1-x-y}In_yN$($0 \leqq x \leqq 1$，$0 \leqq y \leqq 1$)的化合物半導體層4。

英文發明摘要（發明之名稱：　）

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

1.一種半導體裝置，其特徵在於：具備

Si基板；

形成於該Si基板上的由GaAs構成的應力吸收層；

形成於該應力吸收層上的由組成為$Al_xGa_{1-x-y}In_yN$（$0 \leqq x \leqq 1$，$0 \leqq y \leqq 1$）的化合物構成的緩衝層；及，

形成於該緩衝層上的組成為$Al_xGa_{1-x-y}In_yN$（$0 \leqq x \leqq 1$，$0 \leqq y \leqq 1$）的化合物半導體層者。

2.如申請專利範圍第1項之半導體裝置，其中上述應力吸收層的厚度為1nm～300nm。

3.一種半導體裝置，其特徵在於：具備

Si基板；

形成於該Si基板上的一部分領域之由具有比Si結合數少的結合數之材料構成的低結合力層；

形成於該低結合力層上和上述Si基板上形成該低結合力層之領域以外的領域上之由GaAs構成的應力吸收層；及

形成於該應力吸收層上的組成為$Al_xGa_{1-x-y}In_yN$（$0 \leqq x \leqq 1$，$0 \leqq y \leqq 1$）的化合物半導體層者。

4.如申請專利範圍第3項之半導體裝置，其中在上述應力吸收層上形成由組成為$Al_xGa_{1-x-y}In_yN$（$0 \leqq x \leqq 1$，$0 \leqq y \leqq 1$）的化合物構成的緩衝層，在該緩衝層上形成上述化合物半導體層。

5.如申請專利範圍第3項之半導體裝置，其中上述低結合力層係由SiO_x、SiN_x或SiON構成。

6.一種半導體裝置，其特徵在於：具備

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

Si基板；

形成於該Si基板上的由As構成的應力吸收層；

形成於該應力吸收層上的由組成為$Al_xGa_{1-x-y}In_yN$($0 \leqq x \leqq 1$，$0 \leqq y \leqq 1$)的化合物構成的緩衝層；及，

形成於該緩衝層上的組成為$Al_xGa_{1-x-y}In_yN$($0 \leqq x \leqq 1$，$0 \leqq y \leqq 1$)的化合物半導體層者。

7.如申請專利範圍第1、3或6項之任一項之半導體裝置，其中上述Si基板係其一主面為{100}面或{111}面。

8.如申請專利範圍第1、3或6項之任一項之半導體裝置，其中上述Si基板、上述應力吸收層及上述緩衝層含有形成導電型的雜質，上述化合物半導體層含有形成導電型的雜質，構成光－電變換或電－光變換元件構造，並且上述組成之x及y具有與上述元件構造相應之值。

9.一種半導體裝置製法，其特徵在於：包含

在Si基板上形成具有非晶或多晶構造的由GaAs或As構成之應力吸收層的製程；

在上述應力吸收層上以該應力吸收層不分解那樣的溫度形成由組成為$Al_xGa_{1-x-y}In_yN$($0 \leqq x \leqq 1$，$0 \leqq y \leqq 1$)的化合物構成之緩衝層的製程；

將上述應力吸收層及上述緩衝層之中的至少緩衝層一部分部分地變換成單晶的製程；及

在上述部分地變換成單晶的緩衝層上形成由單晶構成的組成為$Al_xGa_{1-x-y}In_yN$($0 \leqq x \leqq 1$，$0 \leqq y \leqq 1$)之化合物半導體層的製程者。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

10.如申請專利範圍第9項之半導體裝置製法，其中上述應力吸收層係由GaAs構成，並且以200℃～600℃形成該應力吸收層。

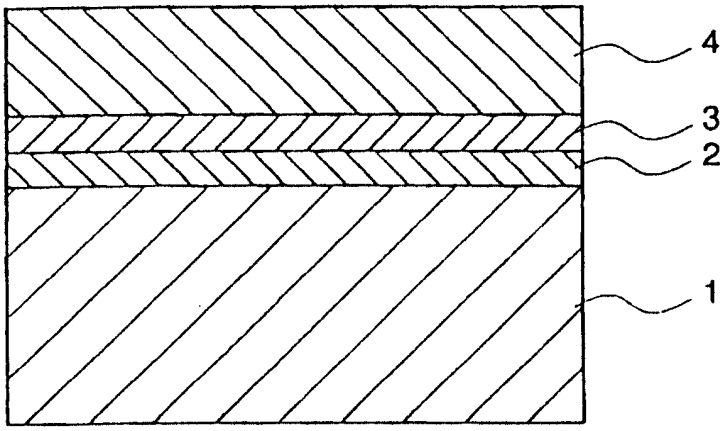
11.如申請專利範圍第9項之半導體裝置製法，其中上述應力吸收層係由As構成，並且以室溫～550℃形成該應力吸收層。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

圖 1



1：Si基板
2：GaAs 應力吸收層　（厚度1nm～300nm）
3：低温GaN緩衝層
4：GaN化合物半導體層

圖 2

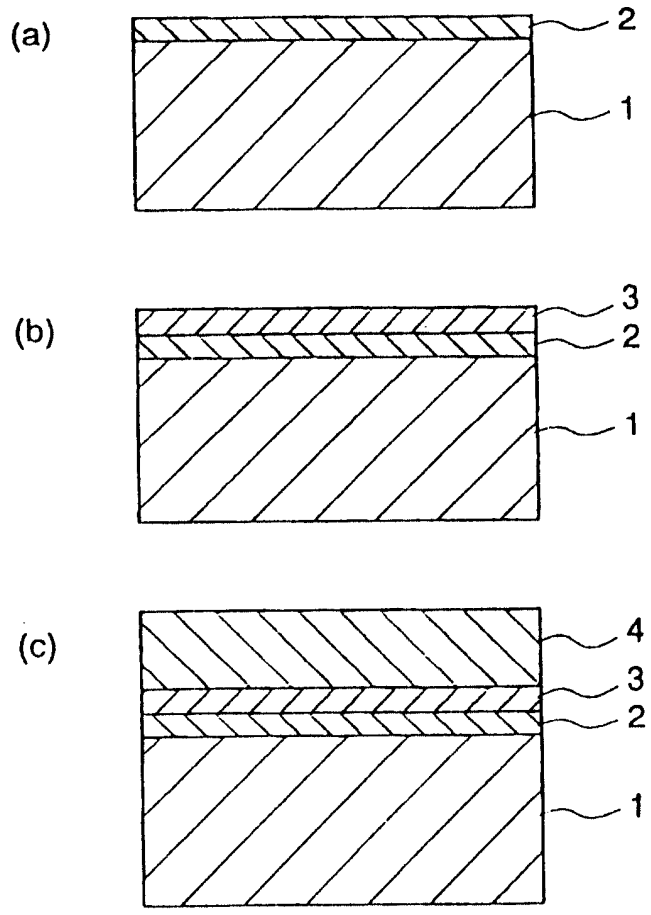
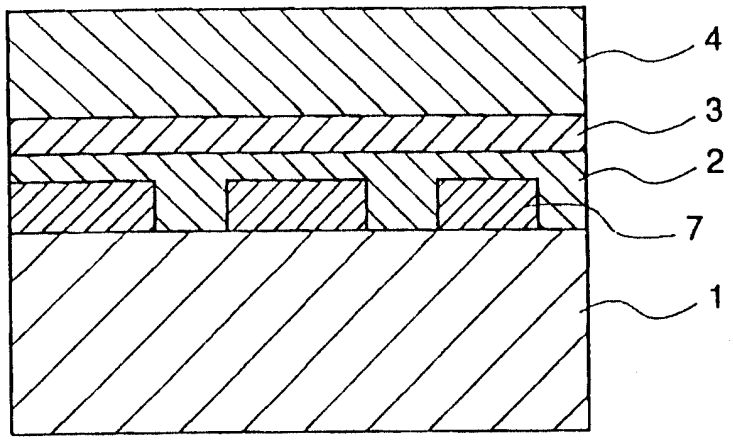


圖 3



7：低結合力層（SiO_x, SiN_x, 或 SiON）

圖 4

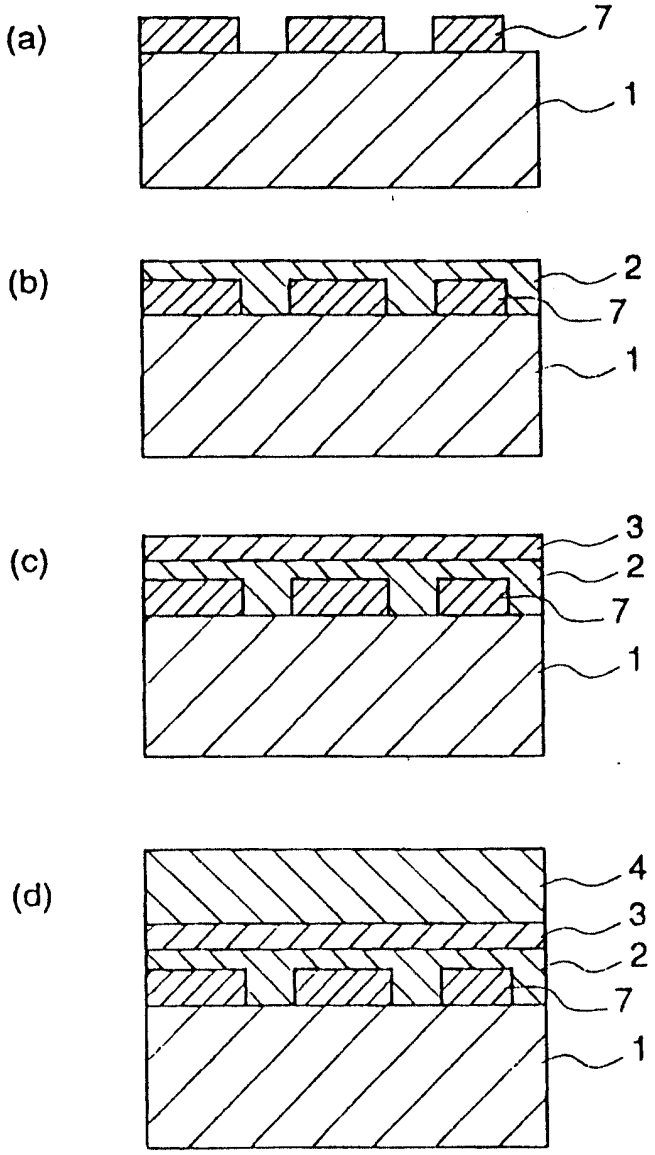
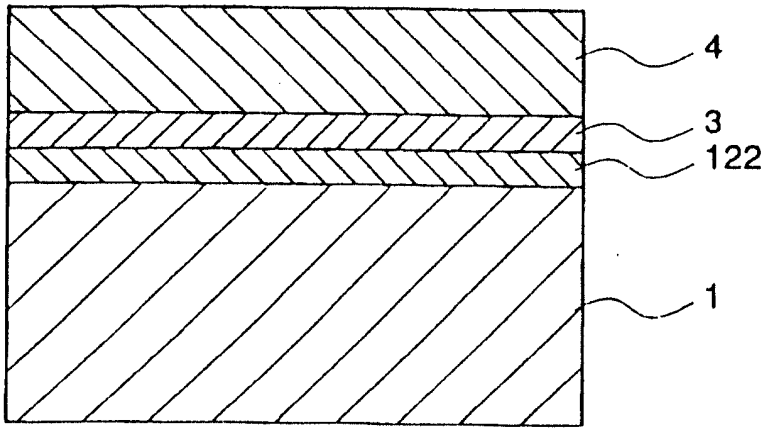
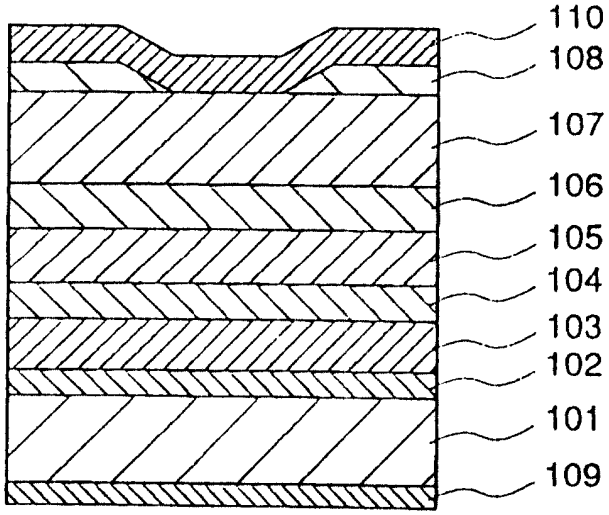


圖 5



122：As應力吸收層

圖 6



101：p-Si基板
102：p-GaAs應力吸收層
103：低温p-GaN緩衝層
104：p-GaN緩衝層
105：p-AlGaInN覆蓋層
106：不摻雜AlGaInN活性層
107：n-AlGaInN覆蓋層
108：p-電流阻止層
109：p型電極
110：n型電極

圖 7

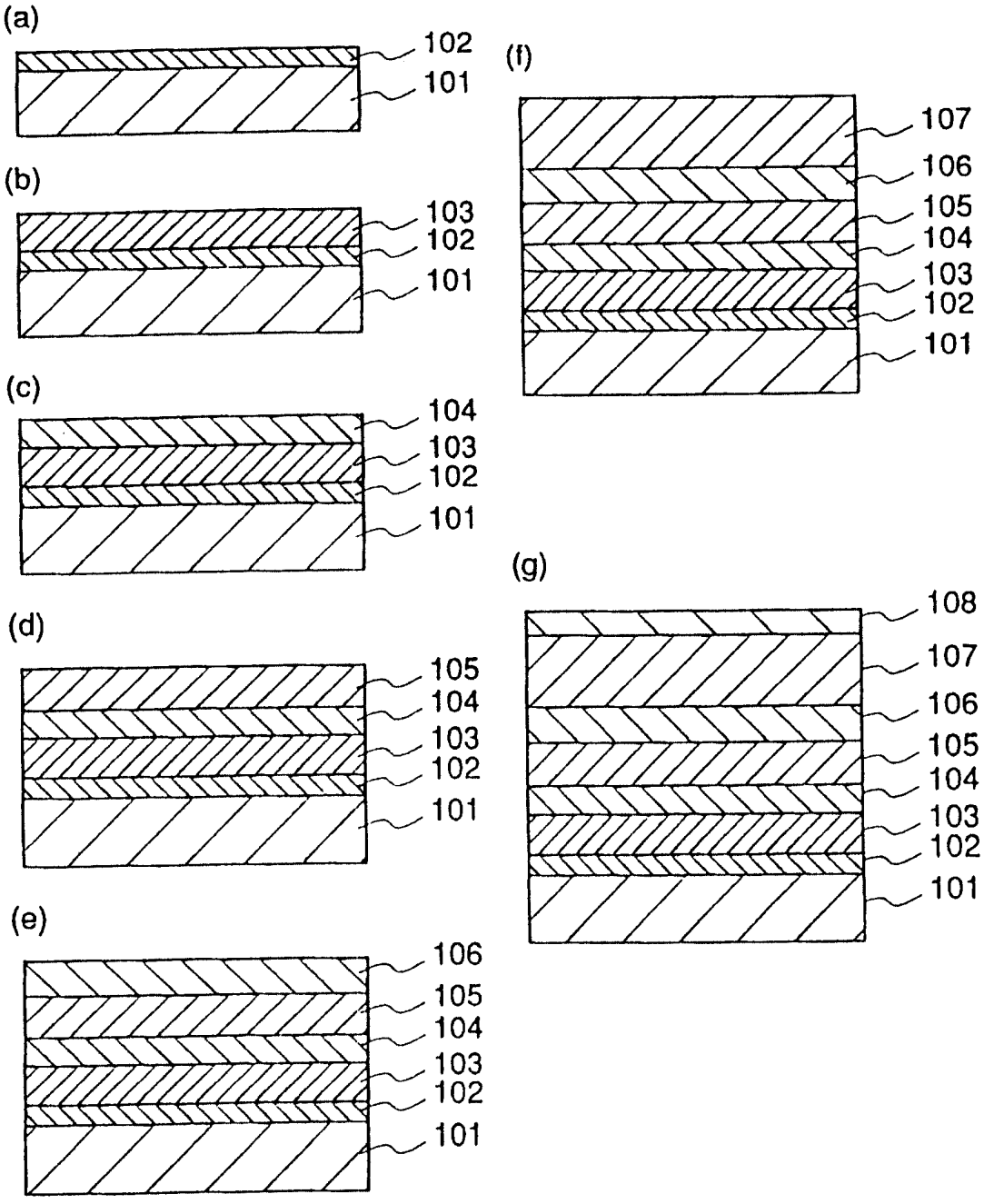
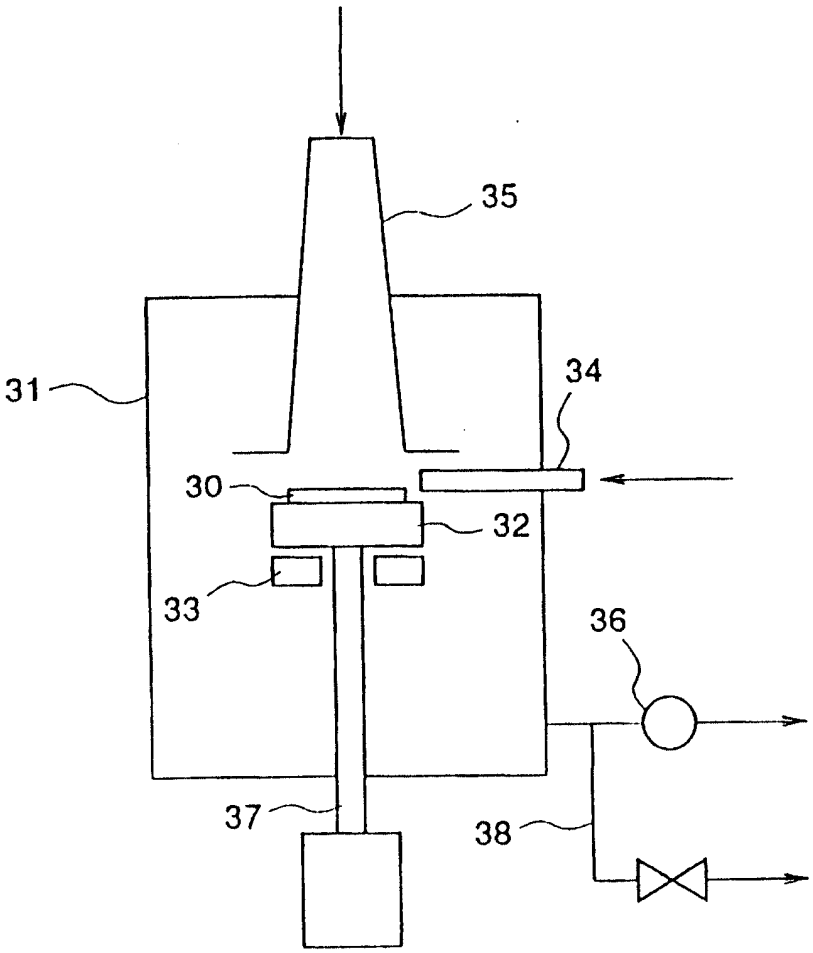
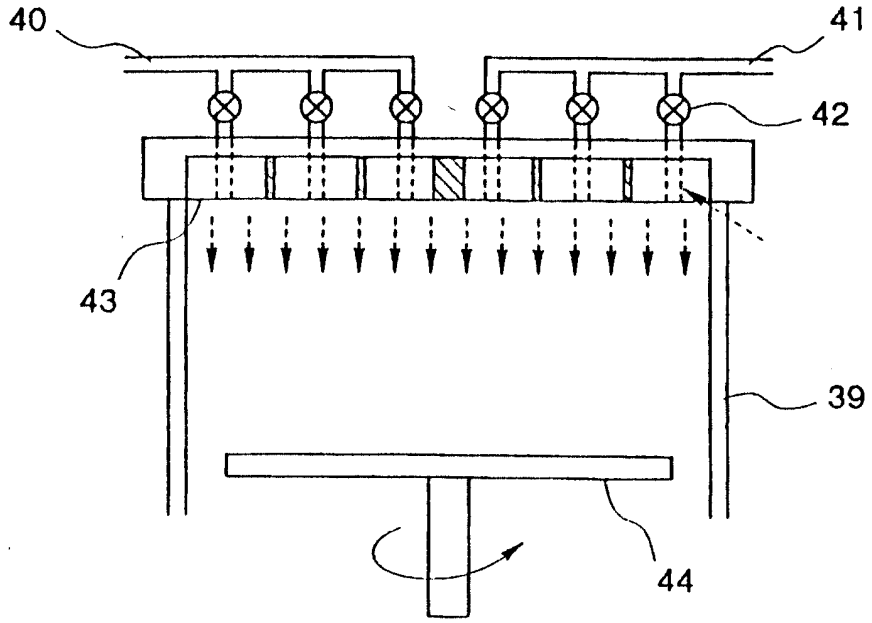

(a)
102
101
(b)
103
102
101
(c)
104
103
102
101
(d)
105
104
103
102
101
(e)
106
105
104
103
102
101
(f)
107
106
105
104
103
102
101
(g)
108
107
106
105
104
103
102
101

圖 8



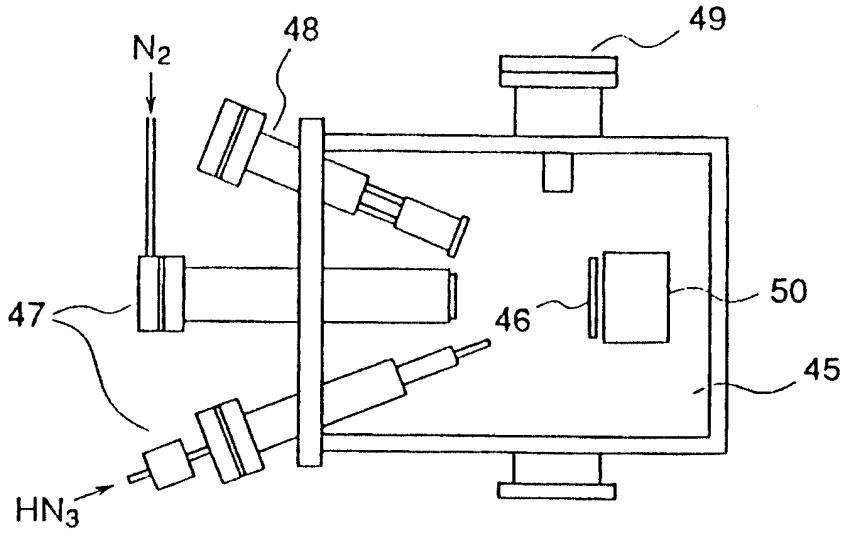
30：藍寶石基板
31：反應爐
32：基座
33：加熱器
34：反應氣體注入管
35：注入副管
36：排出泵
37：馬達
38：排出管

圖 9



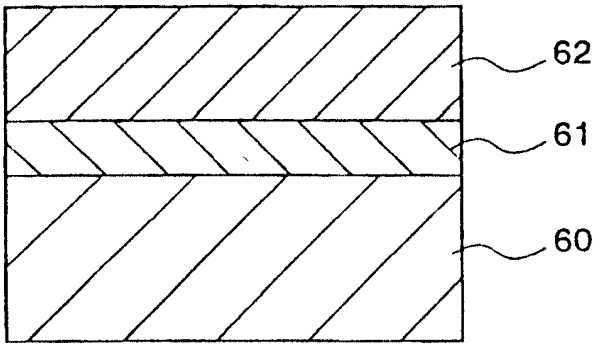
39：MOCVD反應爐
40：氮氣源分配岐管
41：Ⅲ族分配岐管
42：調整針閥
43：篩網
44：晶圓載體

圖 10



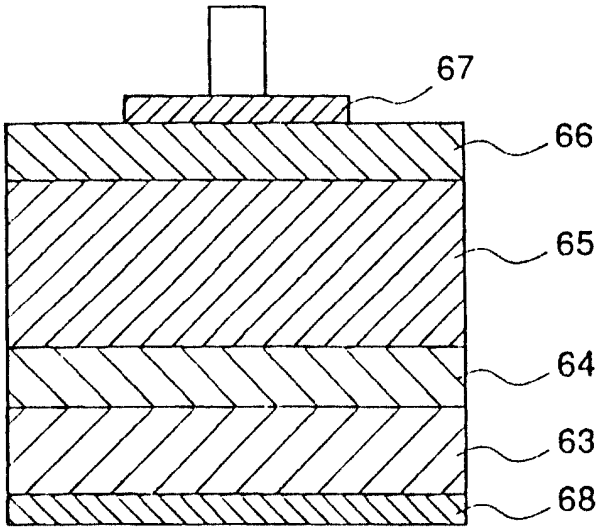
45：高真空MBE 室
46：基板
47：氣體注入器
48：MBE 室
49：電子衍射裝置
50：基板加熱器

圖1 1



60：藍寶石或SiC基板
61：低温$Ga_xAl_{x-1}N$緩衝層
62：$Ga_xAl_{x-1}N$化合物半導體層

圖1 2



63：n-Si基板
64：低温AlN緩衝層
65：n-GaN層
66：p-GaN層
67：p型電極
68：n型電極