

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号  
特許第5697371号  
(P5697371)

(45) 発行日 平成27年4月8日 (2015.4.8)

(24) 登録日 平成27年2月20日 (2015.2.20)

(51) Int.Cl.

F I

HO 1 L 27/146 (2006.01)

HO 1 L 27/14 A

HO 4 N 5/369 (2011.01)

HO 4 N 5/335 6 9 0

請求項の数 10 (全 18 頁)

(21) 出願番号	特願2010-155261 (P2010-155261)	(73) 特許権者	000001007
(22) 出願日	平成22年7月7日 (2010.7.7)		キヤノン株式会社
(65) 公開番号	特開2012-19058 (P2012-19058A)		東京都大田区下丸子3丁目30番2号
(43) 公開日	平成24年1月26日 (2012.1.26)	(74) 代理人	100076428
審査請求日	平成25年7月8日 (2013.7.8)		弁理士 大塚 康德
		(74) 代理人	100112508
			弁理士 高柳 司郎
		(74) 代理人	100115071
			弁理士 大塚 康弘
		(74) 代理人	100116894
			弁理士 木村 秀二
		(74) 代理人	100130409
			弁理士 下山 治
		(74) 代理人	100134175
			弁理士 永川 行光

最終頁に続く

(54) 【発明の名称】 固体撮像装置および撮像システム

(57) 【特許請求の範囲】

【請求項 1】

複数の行および複数の列を構成するように複数の画素が配列されるとともに複数の列信号線が配置された画素アレイを有する固体撮像装置であって、

前記複数の画素の各々は、

半導体基板に形成された第1導電型の第1ウェルと前記第1ウェルの中に配置された前記第1導電型とは異なる第2導電型の不純物領域とを含む光電変換素子と、

前記光電変換素子で発生した電荷に応じた信号を前記列信号線に出力する画素内読出回路とを含み、

前記画素内読出回路は、前記第1導電型の第2ウェルに配置された回路素子を含み、

前記第1ウェルと前記第2ウェルとが前記第2導電型の半導体領域によって分離され、

前記回路素子は、前記光電変換素子で発生した電荷に応じた信号をクランプするクランプ回路の一部を構成する容量素子を含み、

前記容量素子は、前記第2ウェルに配された第1電極と、前記第1電極の上に絶縁膜を介して配された第2電極とを有する、

ことを特徴とする固体撮像装置。

【請求項 2】

前記回路素子は、前記光電変換素子で発生した電荷に応じた信号を前記容量素子に供給する増幅回路を含む、

ことを特徴とする請求項 1 に記載の固体撮像装置。

## 【請求項 3】

前記増幅回路は、前記第 2 導電型の前記半導体領域に配されたトランジスタを含む、  
ことを特徴とする請求項 2 に記載の固体撮像装置。

## 【請求項 4】

前記第 1 ウェルの最大深さは、前記第 2 ウェルの最大深さよりも深い、  
ことを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の固体撮像装置。

## 【請求項 5】

前記第 1 ウェルは、複数の前記第 1 導電型の半導体領域を積層した積層構造部を有する、  
ことを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の固体撮像装置。

10

## 【請求項 6】

前記第 1 ウェルは、前記積層構造部の周囲を囲むように配置されていて前記積層構造部の最大深さよりも浅い最大深さを有する前記第 1 導電型の半導体領域を含む、  
ことを特徴とする請求項 5 に記載の固体撮像装置。

## 【請求項 7】

複数の行および複数の列を構成するように複数の画素が配列されるとともに複数の列信号線が配置された画素アレイを有する固体撮像装置であって、

前記複数の画素の各々は、

第 1 導電型の第 1 半導体領域と、

前記第 1 半導体領域の中に配置された前記第 1 導電型とは異なる第 2 導電型の第 2 半導体領域と、前記第 2 半導体領域の中に配置された第 1 導電型の第 3 半導体領域とを含む光電変換素子と、

20

前記光電変換素子で発生した電荷に応じた信号を前記列信号線に出力する画素内読出回路とを含み、

前記画素内読出回路は、前記第 1 半導体領域中に配置される前記第 2 導電型の第 4 半導体領域に配置された回路素子を含み、

前記第 2 半導体領域と前記第 4 半導体領域とが、前記第 1 半導体領域によって分離され、

前記回路素子は、前記光電変換素子で発生した電荷に応じた信号をクランプするクランプ回路の一部を構成する容量素子を含み、

30

前記容量素子は、前記第 4 半導体領域に配された第 1 電極と、前記第 1 電極の上に絶縁膜を介して配された第 2 電極とを有する、

ことを特徴とする固体撮像装置。

## 【請求項 8】

前記回路素子は、前記光電変換素子で発生した電荷に応じた信号を前記容量素子に供給する増幅回路を含む、

ことを特徴とする請求項 7 に記載の固体撮像装置。

## 【請求項 9】

前記増幅回路は、前記第 1 半導体領域に配されたトランジスタを含む、

ことを特徴とする請求項 8 に記載の固体撮像装置。

40

## 【請求項 10】

請求項 1 乃至 9 のいずれか 1 項に記載の固体撮像装置と、

前記固体撮像装置から出力される信号を処理するプロセッサと、

を備えることを特徴とする撮像システム。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、固体撮像装置および撮像システムに関する。

## 【背景技術】

## 【0002】

50

特許文献 1 には、A F センサ用フォトダイオードを有する A F センサ領域が配置されたウェル領域と、A E センサ用フォトダイオードを有する A E センサ領域が配置されたウェル領域とが電氣的に分離された固体撮像装置が開示されている。A F センサ領域と A E センサ領域との間には、アナログ回路領域が配置され、アナログ回路領域は、A F センサ領域および A E センサ領域のウェル領域とは異なる導電型のウェル領域に配置されている。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2003 - 318381 号公報

【発明の概要】

10

【発明が解決しようとする課題】

【0004】

特許文献 1 には、画素アレイを構成する個々の画素においてフォトダイオードとそのフォトダイオードから出力される信号を処理する回路とを別々のウェルに配置することは開示も示唆もされていない。

【0005】

従来、画素アレイを構成する個々の画素において、光電変換素子と、その光電変換素子で発生した電荷に応じた信号を列信号線に出力する画素内読出回路とは、1つのウェルの中に配置されていた。このような構成では、個々の画素における光電変換素子と画素内読出回路との間でウェルを通して電荷が移動しうるので、画質の低下を招きうる。

20

【0006】

本発明は、上記の課題認識を契機としてなされたものであり、高画質化に有利な技術を提供することを目的とする。

【課題を解決するための手段】

【0007】

本発明の第 1 の側面は、複数の行および複数の列を構成するように複数の画素が配列されるとともに複数の列信号線が配置された画素アレイを有する固体撮像装置に係り、前記複数の画素の各々は、半導体基板に形成された第 1 導電型の第 1 ウェルと前記第 1 ウェルの中に配置された前記第 1 導電型とは異なる第 2 導電型の不純物領域とを含む光電変換素子と、前記光電変換素子で発生した電荷に応じた信号を前記列信号線に出力する画素内読出回路とを含み、前記画素内読出回路は、前記第 1 導電型の第 2 ウェルに配置された回路素子を含み、前記第 1 ウェルと前記第 2 ウェルとが前記第 2 導電型の半導体領域によって分離され、前記回路素子は、前記光電変換素子で発生した電荷に応じた信号をクランプするクランプ回路の一部を構成する容量素子を含み、前記容量素子は、前記第 2 ウェルに配された第 1 電極と、前記第 1 電極の上に絶縁膜を介して配された第 2 電極とを有する。

30

本発明の第 2 の側面は、複数の行および複数の列を構成するように複数の画素が配列されるとともに複数の列信号線が配置された画素アレイを有する固体撮像装置であって、前記複数の画素の各々は、第 1 導電型の第 1 半導体領域と、前記第 1 半導体領域の中に配置された前記第 1 導電型とは異なる第 2 導電型の第 2 半導体領域と、前記第 2 半導体領域の中に配置された第 1 導電型の第 3 半導体領域とを含む光電変換素子と、前記光電変換素子で発生した電荷に応じた信号を前記列信号線に出力する画素内読出回路とを含み、前記画素内読出回路は、前記第 1 半導体領域中に配置される前記第 2 導電型の第 4 半導体領域に配置された回路素子を含み、前記第 2 半導体領域と前記第 4 半導体領域とが、前記第 1 半導体領域によって分離され、前記回路素子は、前記光電変換素子で発生した電荷に応じた信号をクランプするクランプ回路の一部を構成する容量素子を含み、前記容量素子は、前記第 4 半導体領域に配された第 1 電極と、前記第 1 電極の上に絶縁膜を介して配された第 2 電極とを有する。

40

【発明の効果】

【0008】

本発明によれば、高画質化に有利な技術が提供される。

50

## 【図面の簡単な説明】

## 【 0 0 0 9 】

【図 1】本発明の実施形態の固体撮像装置の概略構成例を説明する図。

【図 2】本発明の実施形態の撮像ブロックの構成例を説明する図。

【図 3】本発明の実施形態の画素の構成例を説明する図。

【図 4】本発明の実施形態のシフトレジスタの構成例を説明する図。

【図 5】本発明の実施形態のタイミングチャートの一例を説明する図。

【図 6】光電変換素子および画素内読出回路の構成例を示す断面図。

【図 7】光電変換素子の構成例を示す断面図。

【図 8】図 7 の A - A' 線における第 1 導電型の不純物濃度を例示する図。

10

【図 9】図 7 の B - B' 線におけるポテンシャル図。

【図 10】放射線撮像システムを例示する図。

## 【発明を実施するための形態】

## 【 0 0 1 0 】

図 1 を参照しながら本発明の 1 つの実施形態としての固体撮像装置 1 0 0 の概略構成を説明する。固体撮像装置 1 0 0 は、例えば、複数の撮像ブロック 1 0 1 を配列して構成されうる。この場合、複数の撮像ブロック 1 0 1 の配列によって 1 つの撮像領域を有するセンサパネル S P が形成されうる。複数の撮像ブロック 1 0 1 は、支持基板 1 0 2 の上に配置されうる。固体撮像装置 1 0 0 が 1 つの撮像ブロック 1 0 1 で構成される場合には、当該 1 つの撮像ブロック 1 0 1 によってセンサパネル S P が形成される。複数の撮像ブロック 1 0 1 の各々は、例えば、半導体基板に回路素子を形成したものであってもよいし、ガラス基板等の上に半導体層を形成し、その半導体層に回路素子を形成したものであってもよい。複数の撮像ブロック 1 0 1 の各々は、複数の行および複数の列を構成するように複数の画素が配列された画素アレイを有する。

20

## 【 0 0 1 1 】

固体撮像装置 1 0 0 は、例えば、X 線等の放射線の像を撮像する装置として構成されてもよいし、可視光の像を撮像する装置として構成されてもよい。固体撮像装置 1 0 0 が放射線の像を撮像する装置として構成される場合は、典型的には、放射線を可視光に変換するシンチレータ 1 0 3 がセンサパネル S P の上に設けられうる。シンチレータ 1 0 3 は、放射線を可視光に変換し、この可視光がセンサパネル S P に入射し、センサパネル S P (撮像ブロック 1 0 1) の各光電変換素子によって光電変換される。

30

## 【 0 0 1 2 】

次に、図 2 を参照しながら各撮像ブロック 1 0 1 の構成例を説明する。なお、固体撮像装置 1 0 0 が 1 つの撮像ブロック 1 0 1 で構成される場合には、1 つの撮像ブロック 1 0 1 を固体撮像装置として考えることができる。撮像ブロック 1 0 1 は、複数の行および複数の列を構成するように複数の画素 2 0 1 が配列され、複数の列信号線 2 0 8 a が配置された画素アレイ G A を有する。複数の画素 2 0 1 の各々は、光電変換素子 (例えば、フォトダイオード) 2 0 2 と、光電変換素子 2 0 2 で発生した電荷に応じた信号 (光信号) を列信号線 2 0 8 a に出力する画素内読出回路 2 0 3 とを含む。画素アレイ G A には、複数の列信号線 2 0 8 b が更に配置されてもよく、画素内読出回路 2 0 3 は、画素内読出回路 2 0 3 のノイズを列信号線 2 0 8 b に出力するように構成されうる。行方向に沿って隣接する 2 つの画素 2 0 1 のそれぞれにおける画素内読出回路 2 0 3 は、例えば、当該 2 つの画素 2 0 1 の境界線を対称軸として線対称に配置されうる。

40

## 【 0 0 1 3 】

撮像ブロック 1 0 1 は、垂直走査回路 2 0 4 と水平走査回路 2 0 5 とを含む。垂直走査回路 2 0 4 は、例えば、隣接する 2 つの列の光電変換素子 2 0 2 の間に配置されうるが、画素アレイ G A における最も外側の列の光電変換素子 2 0 2 の外側に配置されてもよい。垂直走査回路 2 0 4 は、例えば、第 1 クロック C L K 1 に従ってシフト動作する垂直シフトレジスタを含み、垂直シフトレジスタによるシフト動作に応じて画素アレイ G A における複数の行を走査する。垂直シフトレジスタは、複数のレジスタを直列接続して構成され

50

、初段のレジスタによって取り込まれたパルスが第 1 クロック C L K 1 に従って順次次段のレジスタに転送される。パルスを保持しているレジスタに対応する行が、選択されるべき行である。

【 0 0 1 4 】

水平走査回路 2 0 5 は、例えば、隣接する 2 つの行の光電変換素子 2 0 2 の間に配置されうるが、画素アレイ G A における最も外側の行の光電変換素子 2 0 2 の外側に配置されてもよい。水平走査回路 2 0 5 は、例えば、第 2 クロック C L K 2 に従ってシフト動作する水平シフトレジスタを含み、水平シフトレジスタによるシフト動作に応じて画素アレイ G A における複数の列を走査する。水平シフトレジスタは、複数のレジスタを直列接続して構成され、初段のレジスタによって取り込まれたパルスが第 2 クロック C L K 2 に従って順次次段のレジスタに転送される。パルスを保持しているレジスタに対応する列が、選択されるべき列である。

10

【 0 0 1 5 】

垂直走査回路 2 0 4 は、垂直シフトレジスタを構成するための 1 つのレジスタをそれぞれ含む複数の単位垂直走査回路 V S R を垂直方向に配列して構成されうる。各単位垂直走査回路 V S R は、ある列（図 2 では、最も左側の列（即ち、第 1 列）。）に属する画素の光電変換素子 2 0 2 とその列に隣接する列（図 2 では、左側から 2 番目の列（即ち、第 2 列）。）に属する画素の光電変換素子 2 0 2 とによって挟まれる領域に配置されうる。各単位垂直走査回路 V S R は、垂直シフトレジスタを通してパルスが転送されてくると、それが属する行の画素 2 0 1 が選択されるように、行選択信号 V S T をアクティブレベルに駆動する。選択された行の画素 2 0 1 の光信号、ノイズは、それぞれ列信号線 2 0 8 a、2 0 8 b に出力される。ここで、図 2 では、列信号線 2 0 8 a と列信号線 2 0 8 b とが 1 本の線で示されている。水平走査回路 2 0 5、垂直走査回路 2 0 4 の不図示の入力端子には、パルス信号（スタートパルス）P U L S E 1、P U L S E 2 がそれぞれ供給される。

20

【 0 0 1 6 】

水平走査回路 2 0 5 は、水平シフトレジスタを構成するための 1 つのレジスタをそれぞれ含む複数の単位水平走査回路 H S R を水平方向に配列して構成されうる。各単位水平走査回路 H S R は、1 つの行（図 2 では、上から 4 番目の行（即ち、第 4 行）。）に属する隣接する 2 つの画素からなる各対（第 1 列の画素と第 2 列の画素からなる対、第 3 列の画素と第 4 列の画素からなる対、・・・。）における 2 つの光電変換素子 2 0 2 によって挟まれる領域に配置されている。しかし、各単位水平走査回路 H S R は、列方向に隣接する 2 つの画素における 2 つの光電変換素子 2 0 2 によって挟まれる領域には配置されていない。このような構成は、列方向における光電変換素子 2 0 2 間の隙間を小さくするために有利である。単位水平走査回路 H S R は、水平シフトレジスタを通してパルスが転送されてくると、それが属する列が選択されるように、即ち、当該列の列信号線 2 0 8 a、2 0 8 b が水平信号線 2 0 9 a、2 0 9 b に接続されるようにスイッチ 2 0 7 を制御する。即ち、選択された行の画素 2 0 1 の光信号、ノイズが列信号線 2 0 8 a、2 0 8 b に出力され、選択された列（即ち、選択された列信号線 2 0 8 a、2 0 8 b）の信号が水平信号線 2 0 9 a、2 0 9 b に出力される。これにより X Y アドレッシングが実現される。水平信号線 2 0 9 a、2 0 9 b は、出力アンプ 2 1 0 a、2 1 0 b の入力に接続されていて、水平信号線 2 0 9 a、2 0 9 b に出力された信号は、出力アンプ 2 1 0 a、2 1 0 b によって増幅されてパッド 2 1 1 a、2 1 1 b を通して出力される。

30

40

【 0 0 1 7 】

画素アレイ G A は、それぞれ画素 2 0 1 を含む複数の単位セル 2 0 0 が複数の行および複数の列を構成するように配列されたものとして考えることができる。単位セル 2 0 0 は、いくつかの種類を含みうる。ある単位セル 2 0 0 は、単位垂直走査回路 V S R の少なくとも一部分を含む。図 2 に示す例では、2 つの単位セル 2 0 0 の集合が 1 つの単位垂直走査回路 V S R を含んでいるが、1 つの単位セル 2 0 0 が 1 つの単位垂直走査回路 V S R を含んでもよいし、3 以上の複数の単位セル 2 0 0 の集合が 1 つの単位垂直走査回路 V S R を含んでもよい。他の単位セル 2 0 0 は、単位水平走査回路 H S R の少なくとも一部分を

50

含む。図2に示す例では、1つの単位セル200が1つの単位水平走査回路HSRを含んでいるが、複数の単位セル200の集合が1つの単位水平走査回路VSRを含んでもよい。他の単位セル200は、単位垂直走査回路VSRの少なくとも一部分および単位水平走査回路HSRの少なくとも一部分を含む。他の単位セル200としては、出力アンプ210aの少なくとも一部分を含む単位セル、出力アンプ210bの少なくとも一部分を含む単位セル、スイッチ207を含む単位セルなどを挙げることができる。

#### 【0018】

図3を参照しながら各画素201の構成例を説明する。前述のとおり、画素201は、光電変換素子202と、画素内読出回路203とを含む。光電変換素子202は、典型的にはフォトダイオードでありうる。画素内読出回路203は、例えば、第1増幅回路310、クランプ回路320、光信号サンプルホールド回路340、ノイズサンプルホールド回路360、第2増幅回路のNMOSトランジスタ343、363、行選択スイッチ344、364を含みうる。

#### 【0019】

光電変換素子202は、電荷蓄積部を含み、該電荷蓄積部は、第1増幅回路310のPMOSトランジスタ303のゲートに接続されている。PMOSトランジスタ303のソースは、PMOSトランジスタ304を介して電流源305に接続されている。PMOSトランジスタ303と電流源305とによって第1ソースフォロア回路が構成されている。PMOSトランジスタ303によってソースフォロア回路を構成することは、1/fノイズの低減に有効である。PMOSトランジスタ304は、そのゲートに供給されるイネーブル信号ENがアクティブレベルになるとオンして第1ソースフォロア回路を動作状態にするイネーブルスイッチである。第1増幅回路310は、電荷電圧変換部CVCの電位に応じた信号を中間ノードn1に出力する。

#### 【0020】

図3に示す例では、光電変換素子202の電荷蓄積部およびPMOSトランジスタ303のゲートが共通のノードを構成していて、このノードは、該電荷蓄積部に蓄積された電荷を電圧に変換する電荷電圧変換部CVCとして機能する。即ち、電荷電圧変換部CVCには、該電荷蓄積部に蓄積された電荷Qと電荷電圧変換部CVCが有する容量値Cとによって定まる電圧 $V (= Q / C)$ が現れる。電荷電圧変換部CVCは、リセットスイッチとしてのPMOSトランジスタ302を介してリセット電位Vresに接続されている。リセット信号PRESがアクティブレベルになると、PMOSトランジスタ302がオンして、電荷電圧変換部CVCの電位がリセット電位Vresにリセットされる。

#### 【0021】

クランプ回路320は、リセットした電荷電圧変換部CVCの電位に応じて第1増幅回路310によって中間ノードn1に出力されるノイズをクランプ容量321によってクランプする。つまり、クランプ回路320は、光電変換素子202で光電変換により発生した電荷に応じて第1ソースフォロア回路から中間ノードn1に出力された信号から、このノイズをキャンセルするための回路である。この中間ノードn1に出力されるノイズはリセット時のkTCノイズを含む。クランプは、クランプ信号PCLをアクティブレベルにしてPMOSトランジスタ323をオン状態にした後に、クランプ信号PCLを非アクティブレベルにしてPMOSトランジスタ323をオフ状態にすることによってなされる。クランプ容量321の出力側は、PMOSトランジスタ322のゲートに接続されている。PMOSトランジスタ322のソースは、PMOSトランジスタ324を介して電流源325に接続されている。PMOSトランジスタ322と電流源325とによって第2ソースフォロア回路が構成されている。PMOSトランジスタ324は、そのゲートに供給されるイネーブル信号EN0がアクティブレベルになるとオンして第2ソースフォロア回路を動作状態にするイネーブルスイッチである。

#### 【0022】

光電変換素子202で光電変換により発生した電荷に応じて第2ソースフォロア回路から出力される信号は、光信号として、光信号サンプリング信号TSがアクティブレベルに

10

20

30

40

50

なることによってスイッチ 3 4 1 を介して容量 3 4 2 に書き込まれる。電荷電圧変換部 C V C の電位をリセットした直後に P M O S トランジスタ 3 2 3 をオン状態とした際に第 2 ソースフォロア回路から出力される信号は、ノイズである。このノイズは、ノイズサンプリング信号 T N がアクティブレベルになることによってスイッチ 3 6 1 を介して容量 3 6 2 に書き込まれる。このノイズには、第 2 ソースフォロア回路のオフセット成分が含まれる。

#### 【 0 0 2 3 】

垂直走査回路 2 0 4 の単位垂直走査回路 V S R が行選択信号 V S T をアクティブレベルに駆動すると、容量 3 4 2 に保持された信号（光信号）が第 2 増幅回路の N M O S トランジスタ 3 4 3 および行選択スイッチ 3 4 4 を介して列信号線 2 0 8 a に出力される。また、同時に、容量 3 6 2 に保持された信号（ノイズ）が第 2 増幅回路の N M O S トランジスタ 3 6 3 および行選択スイッチ 3 6 4 を介して列信号線 2 0 8 b に出力される。第 2 増幅回路の N M O S トランジスタ 3 4 3 は、列信号線 2 0 8 a に設けられた不図示の定電流源とソースフォロア回路を構成する。同様に、第 2 増幅回路の N M O S トランジスタ 3 6 3 は列信号線 2 0 8 b に設けられた不図示の定電流源とソースフォロア回路を構成する。

#### 【 0 0 2 4 】

画素 2 0 1 は、隣接する複数の画素 2 0 1 の光信号を加算する加算スイッチ 3 4 6 を有してもよい。加算モード時には、加算モード信号 A D D がアクティブレベルになり、加算スイッチ 3 4 6 がオン状態になる。これにより、隣接する画素 2 0 1 の容量 3 4 2 が加算スイッチ 3 4 6 によって相互に接続されて、光信号が平均化される。同様に、画素 2 0 1 は、隣接する複数の画素 2 0 1 の光信号をノイズを加算する加算スイッチ 3 6 6 を有してもよい。加算スイッチ 3 6 6 がオン状態になると、隣接する画素 2 0 1 の容量 3 6 2 が加算スイッチ 3 6 6 によって相互に接続されて、ノイズが平均化される。

#### 【 0 0 2 5 】

画素 2 0 1 は、感度を変更するための機能を有してもよい。画素 2 0 1 は、例えば、第 1 感度変更スイッチ 3 8 0 および第 2 感度変更スイッチ 3 8 2、並びにそれらに付随する回路素子を含みうる。第 1 変更信号 W I D E 1 がアクティブレベルになると、第 1 感度変更スイッチ 3 8 0 がオンして、電荷電圧変換部 C V C の容量値に第 1 付加容量 3 8 1 の容量値が追加される。これによって画素 2 0 1 の感度が低下する。第 2 変更信号 W I D E 2 がアクティブレベルになると、第 2 感度変更スイッチ 3 8 2 がオンして、電荷電圧変換部 C V C の容量値に第 2 付加容量 3 8 3 の容量値が追加される。これによって画素 2 0 1 の感度が更に低下する。

#### 【 0 0 2 6 】

このように画素 2 0 1 の感度を低下させる機能を追加することによって、より大きな光量を受光することが可能となり、ダイナミックレンジを広げることができる。第 1 変更信号 W I D E 1 がアクティブレベルになる場合には、イネーブル信号 E N w をアクティブレベルにして、P M O S トランジスタ 3 0 3 に加えて P M O S トランジスタ 3 8 5 をソースフォロア動作させてもよい。

#### 【 0 0 2 7 】

垂直走査回路 2 0 4 は、種々の構成を有しうるが、例えば、図 4 ( a ) に示された構成を有しうる。図 4 ( a ) に示された垂直走査回路 2 0 4 は、各単位垂直走査回路 V S R が 1 つの D 型フリップフロップ 4 0 1 を含み、D 型フリップフロップ 4 0 1 のクロック入力に対して第 1 クロック C L K 1 が供給される。初段の単位垂直走査回路 V S R の D 型フリップフロップ 4 0 1 の D 入力には、パルス信号 P U L S E 1 が供給され、第 1 クロック C L K 1 によって第 1 パルス信号 P U L S E 1 が取り込まれる。初段の D 型フリップフロップ 4 0 1 は、第 1 クロック C L K 1 の 1 周期分の長さを有するパルス信号を Q 出力から出力する。各単位垂直走査回路 V S R の D 型フリップフロップ 4 0 1 の Q 出力は、その単位垂直走査回路 V S R が属する行を選択するために使用され、例えば、バッファ 4 0 2 を介して行選択信号 V S T として出力される。各単位垂直走査回路 V S R の D 型フリップフロップ 4 0 1 の Q 出力は、次段の単位垂直走査回路 V S R の D 型フリップフロップ 4 0 1 の

10

20

30

40

50

D入力に接続されている。

#### 【0028】

水平走査回路205は、種々の構成を有しうるが、例えば、図4(b)に示された構成を有しうる。図4(b)に示された水平走査回路205は、各単位垂直走査回路HSRが1つのD型フリップフロップ411を含み、D型フリップフロップ411のクロック入力に対して第2クロックCLK2が供給される。初段の単位水平走査回路HSRのD型フリップフロップ411のD入力には、第2パルス信号PULSE2が供給され、第2クロックCLK2によって第2パルス信号PULSE2が取り込まれる。初段の単位水平走査回路HSRは、第2クロックCLK2の1周期分の長さを有するパルス信号をQ出力から出力する。各単位水平走査回路HSRのQ出力は、その単位水平走査回路HSRが属する列を選択するために使用され、例えば、バッファ412を介して列選択信号HSTとして出力される。各単位水平走査回路HSRのD型フリップフロップ411のQ出力は、次段の単位水平走査回路HSRのD型フリップフロップ411のD入力に接続されている。ここで、垂直走査回路204による走査期間である垂直走査期間は、水平走査回路205による水平走査期間に画素アレイGAの行数を乗じた時間である。そして、水平走査期間は、画素アレイGAの全ての列を走査するために要する期間である。よって、列を選択する列選択信号HSTを発生する水平走査回路205に供給される第2クロックCLK2の周波数は、行を選択する行選択信号VSTを発生する垂直走査回路204に供給される第1クロックCLK1の周波数よりも遙かに高い。

#### 【0029】

図5を参照しながら各画素201に供給される主な信号について説明する。リセット信号PRES、イネーブル信号EN、クランプ信号PCL、光信号サンプリング信号TS、ノイズサンプリング信号TNは、ローアクティブの信号である。イネーブル信号EN0は、図5に示されていないが、イネーブル信号ENと同様の信号でありうる。イネーブル信号ENwは、図5に示されていないが、第1変更信号WIDE1がアクティブにされる場合には、イネーブル信号ENと同様に遷移しうる。

#### 【0030】

まず、画素アレイGAの全ての行についてイネーブル信号ENがアクティブになり、次いで、光信号サンプリング信号TSがパルス状にアクティブレベルになって、光信号が容量342に書き込まれる。次いで、リセット信号PRESがパルス状にアクティブレベルになって、電荷電圧変換部CVCの電位がリセットされる。次いで、クランプ信号PCLがパルス状にアクティブレベルになる。クランプ信号PCLがアクティブレベルであるときに、ノイズサンプリング信号TNがパルス状にアクティブレベルになって、ノイズが容量362に書き込まれる。

#### 【0031】

その後、垂直走査回路204の第1行に対応する単位垂直走査回路VSRがその行選択信号VST(VST0)をアクティブレベルにする。これは、垂直走査回路204が画素アレイGAの第1行を選択することを意味する。この状態で、水平走査回路205の第1列から最終列に対応する単位水平走査回路HSRが列選択信号HST(HST0~HSTn)をアクティブレベルにする。これは、水平走査回路205が画素アレイGAの第1列から最終列までを順に選択することを意味する。これにより、出力アンプ210a、210bから画素アレイGAの第1行における第1列から最終列までの画素の光信号、ノイズが出力される。その後、垂直走査回路204の第2行に対応する単位垂直走査回路VSRがその行選択信号VST(VST1)をアクティブレベルにする。水平走査回路205の第1列から最終列に対応する単位水平走査回路HSRが列選択信号HST(HST0~HSTn)をアクティブレベルにする。このような動作を最終行まで行うことによって1つの画像が画素アレイGAから出力される。

#### 【0032】

図6を参照しながら光電変換素子202と画素内読出回路203の構成例を説明する。ここでは、第1導電型をP型、第2導電型をN型として説明するが、第1導電型をN型、

10

20

30

40

50

第2導電型をP型とすることもできる。まず、光電変換素子202の構成例を説明する。撮像ブロック101は、例えば、第2導電型(N型)の半導体部材Nsubの上に第2導電型の半導体層820をエピタキシャル成長させた半導体基板に形成されうる。光電変換素子202や画素内読出回路203を構成する各素子は、素子分離部830によって相互に分離される。各画素201の光電変換素子202は、例えば、半導体層820の中に形成された第1導電型(P型)の第1ウェル(不純物領域)801と、第1ウェル801の中に配置された第2導電型の不純物領域802、816とを含む。不純物領域802は、第2導電型を形成するための不純物濃度が不純物領域816よりも高く、周囲が不純物領域816によって囲まれている。不純物領域802の中には、第2導電型の不純物領域803が配置されていて、不純物領域803は、第2導電型を形成するための不純物濃度が不純物領域802よりも高い。不純物領域802、816の上には第1導電型の不純物領域804が配置されている。第1導電型の第1ウェル801、第1導電型の不純物領域804、および、第2導電型の不純物領域802、816、803によって埋め込み型のフォトダイオードが形成されている。

#### 【0033】

第1導電型の第1ウェル801の周囲のうち上側部分(つまり、浅い部分)は第1導電型の不純物領域806によって囲まれている。不純物領域806には、第1導電型のコンタクト領域809が設けられていて、コンタクト領域809に接続されたコンタクトを通して所定の電位(例えば、接地電位)が提供される。不純物領域806の周囲には、第2導電型のウェル850が配置されている。光電変換素子202に光が入射し光電変換によって発生した電荷(電子)は、不純物領域802によって収集され、更に不純物領域803によって収集される。不純物領域803は、電荷電圧変換部CVCを介して画素内読出回路203の第1増幅回路310に接続されている。第1増幅回路310は、電荷電圧変換部CVCの電位に応じた信号を中間ノードn1に出力する。

#### 【0034】

第2導電型の半導体層820の中には、更に、第1導電型の第2ウェル860が形成されている。ここで、第1導電型と第1ウェル801と第1導電型の第2ウェル860との間には、第1導電型とは反対の導電型である第2導電型の半導体領域(例えば、第2導電型のウェル850または第2導電型の半導体層820)が配置されている。第1導電型の第2ウェル860には、回路素子あるいは容量素子としてのクランプ容量321が配置されている。

#### 【0035】

クランプ容量321は、第2ウェル860に形成された第2導電型の不純物領域からなる第1電極321cと、第1電極321cの上に配置された絶縁膜321bと、絶縁膜321bの上に配置された第2電極321aとを含む。中間ノードn1は、例えば、第2電極321aに接続されうる。つまり、容量素子としてのクランプ容量321の第2電極321aには、光電変換素子202で発生した電荷に応じた信号が供給されうる。絶縁膜321bは、例えば、ゲート酸化膜の形成工程で形成され、第2電極321aは、例えば、ゲート電極の形成工程においてポリシリコンで形成されうる。このような構成を有する容量素子は、異なる導電型の2つの不純物層を接合して構成される容量素子に比べて、他のウェル(例えば、第1ウェル)との間での電荷移動によるノイズに対して強い。

#### 【0036】

ここで、比較例として、上記の構成とは異なり、第1ウェル801と第2ウェル860とを共通化した場合、又は、第1ウェル801と第2ウェル860とを第1導電型の半導体領域で接続した場合を考える。この場合、第1ウェル801と第2ウェル860との間で電荷が容易に移動することができるので、光電変換素子202で発生した電荷が画素内読出回路203の回路素子であるクランプ容量321に影響を与える可能性がある。逆に、クランプ容量321の第1電極321cおよび第2電極321aの電位変化が光電変換素子202に影響を与える可能性もある。更に、ここではクランプ容量321を例に挙げているが、第2ウェル860に配置されうる回路素子としては、例えば、第2増幅回路3

10

20

30

40

50

43、363としてのNMOSトランジスタや、容量342、362などを挙げることができる。

【0037】

第1ウェル801の最大深さは、第2ウェル860の最大深さよりも深いことが好ましい。このような構成は、光電変換素子202の感度を向上させることができる点、および、第2ウェル860から第1ウェル801への電荷の移動を低減することができる点で優れている。

【0038】

第1ウェル801は、図7に例示的に示すように、複数の第1導電型の半導体領域801a、801b、801cを積層した構造（多段ウェル構造）を有する積層構造部を含むことが好ましい。図8は、図7のA-A'線における第1導電型の不純物濃度を例示している。複数の半導体領域801a、801b、801cは、例えば、不純物濃度のピーク値の違いによって相互に区別されうる。図7および図8には、3段構成の第1ウェル801が例示されているが、2段構成の第1ウェル801を採用することもできるし、4段以上の構成を有する第1ウェル801を採用することもできる。

10

【0039】

図9は、図7のB-B'線におけるポテンシャル図である。第1導電型の第1ウェル801の周囲のうち上側部分（つまり、浅い部分）を第1導電型の不純物領域806によって囲むことによって、光電変換素子202からの電荷の溢れを低減することができる。つまり、不純物領域806を設けることによって、点線で示すように、光電変換素子202の周縁部におけるポテンシャル障壁を高くすることができる。

20

【0040】

図10は本発明に係る固体撮像装置をX線診断システム（放射線撮像システム）応用した例を示した図である。放射線撮像システムは、放射線撮像装置6040と、放射線撮像装置6040から出力される信号を処理するイメージプロセッサ6070とを備える。放射線撮像装置6040は、前述の固体撮像装置100を図1（b）に例示されるように放射線を撮像する装置として構成したものである。X線チューブ（放射線源）6050で発生したX線6060は患者あるいは被験者6061の胸部6062を透過し、放射線撮像装置6040に入射する。この入射したX線には被験者6061の体内部の情報が含まれている。イメージプロセッサ（プロセッサ）6070は、放射線撮像装置6040から出力される信号（画像）を処理し、例えば、処理によって得られた信号に基づいて制御室のディスプレイ6080に画像を表示させることができる。

30

【0041】

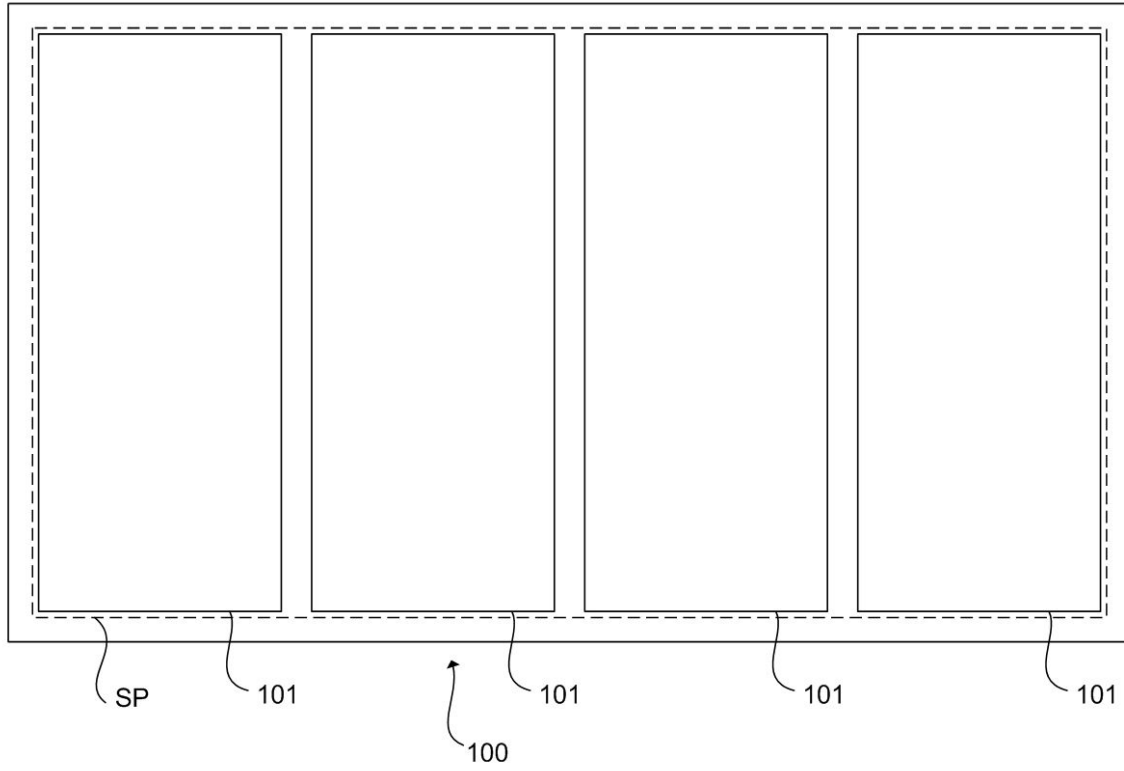
また、イメージプロセッサ6070は、処理によって得られた信号を伝送路6090を介して遠隔地へ転送することができる。これにより、別の場所のドクタールームなどに配置されたディスプレイ6081に画像を表示させたり、光ディスク等の記録媒体に画像を記録したりすることができる。記録媒体は、フィルム6110であってもよく、この場合、フィルムプロセッサ6100がフィルム6110に画像を記録する。

【0042】

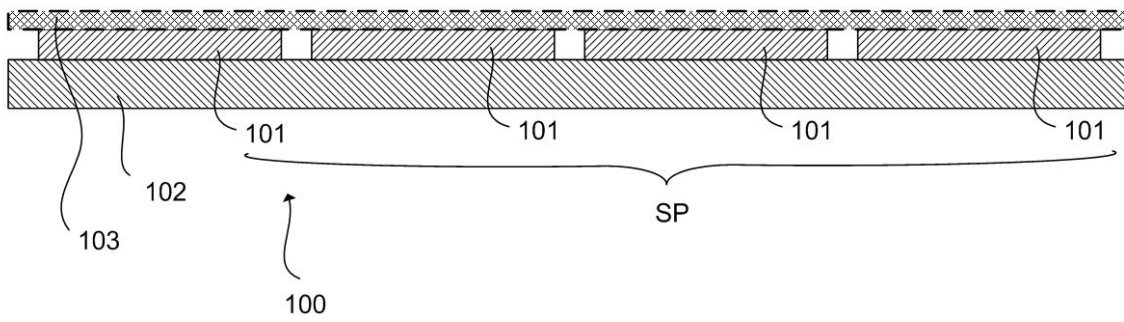
本発明に係る固体撮像装置は、可視光の像を撮像する撮像システムに応用することもできる。そのような撮像システムは、例えば、固体撮像装置100と、固体撮像装置100から出力される信号を処理するプロセッサとを備えうる。該プロセッサによる処理は、例えば、画像の形式を変換する処理、画像を圧縮する処理、画像のサイズを変更する処理および画像のコントラストを変更する処理の少なくとも1つを含みうる。

40

【図 1】



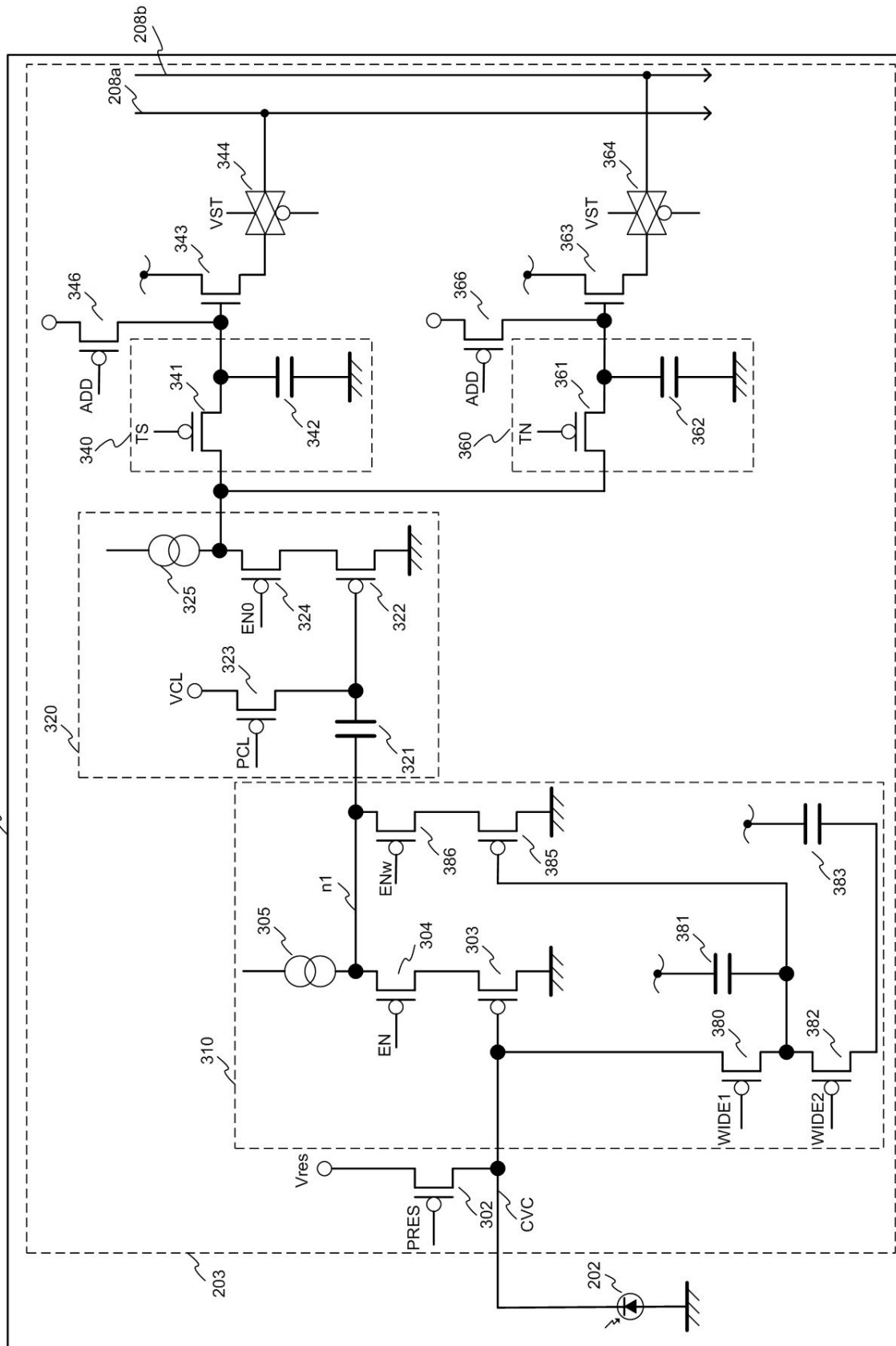
(a)



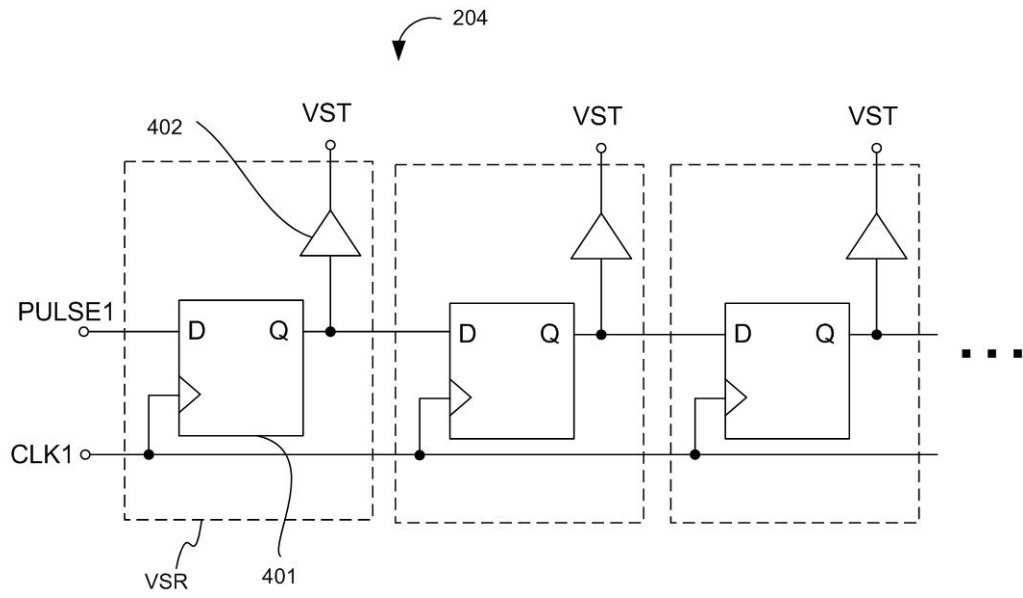
(b)



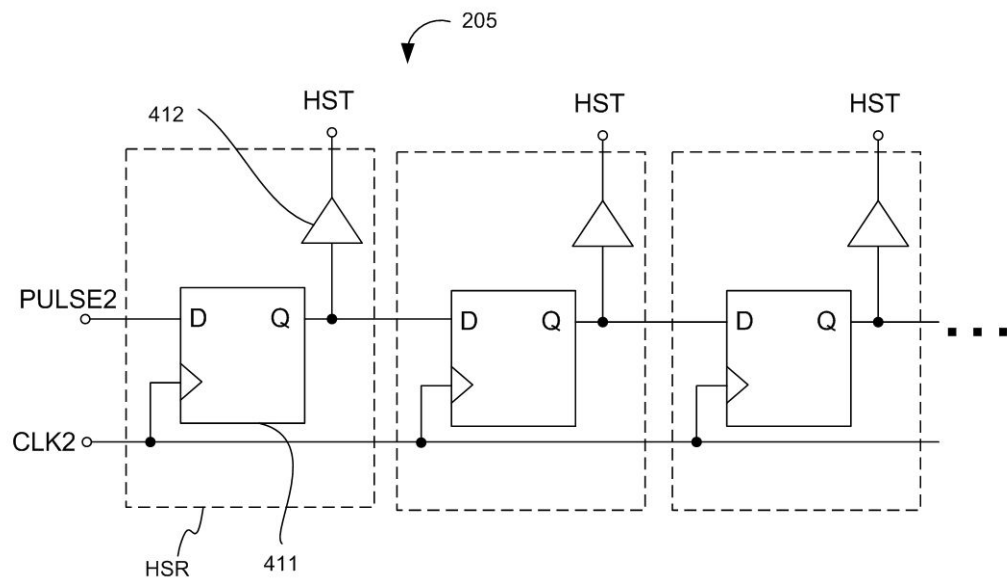
201



【図4】



(a)



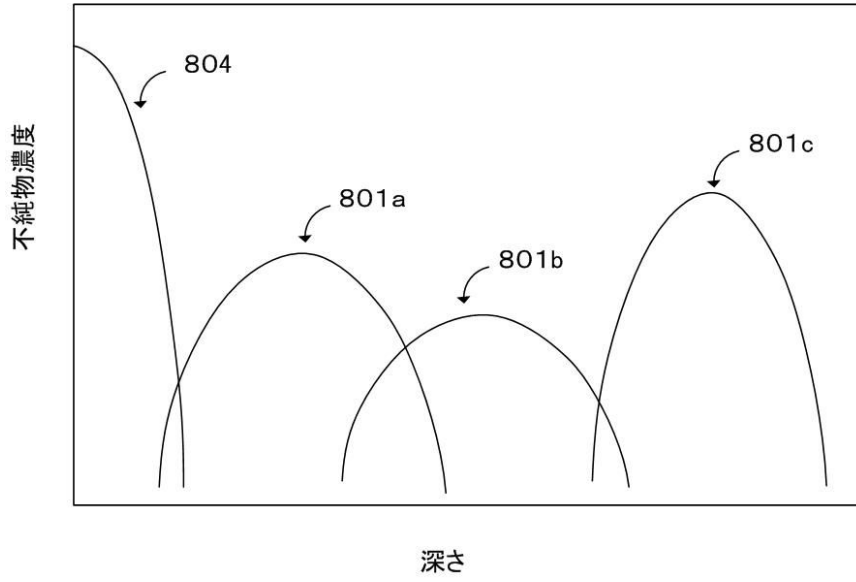
(b)

The diagram shows the timing relationship between several signals. The signals are VST, HST, PRES, EN, PCL, TS, and TN. The VST signal is divided into two sections by a vertical line. The first section shows VST0 and HST0, HST1. The second section shows VST1 and HSTn, HST0. The PRES signal is a square wave. The EN signal is a square wave. The PCL signal is a square wave. The TS signal is a square wave. The TN signal is a square wave.

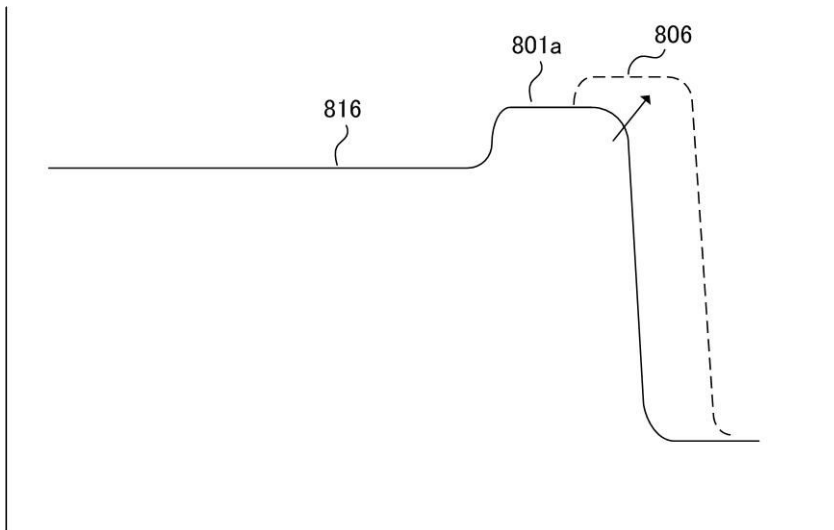
Figure 2 is a cross-sectional view of a semiconductor device 202. The device is built on a substrate 820, which includes a bottom layer Nsub and an upper layer Nepi. A CVC (Control Voltage Circuit) is positioned above the device. The device structure includes a P region 801, an Nwell region 809, and a Pwell region 850. Various gates are present, including 802, 803, 804, 805, and 806. The device also features a P region 801, an Nwell region 809, and a Pwell region 850. The device is further divided into regions 303 and 304, which are part of a larger region 310. The device also includes a Pwell region 321, which is divided into sub-regions 321a, 321b, and 321c. The device is further divided into regions 801, 809, 850, and 860. The device is further divided into regions 801, 809, 850, and 860. The device is further divided into regions 801, 809, 850, and 860.

A cross-sectional view of a semiconductor device 800. The device features a substrate 801 with layers 801a, 801b, and 801c. A central region 802 is defined by a dashed line A-A'. The device includes a top layer 803, a middle layer 804, and a bottom layer 805. The top layer 803 is divided into regions 806 and 807. The middle layer 804 is divided into regions 808 and 809. The bottom layer 805 is divided into regions 810 and 811. The device is shown in a cross-section along a dashed line A-A'.

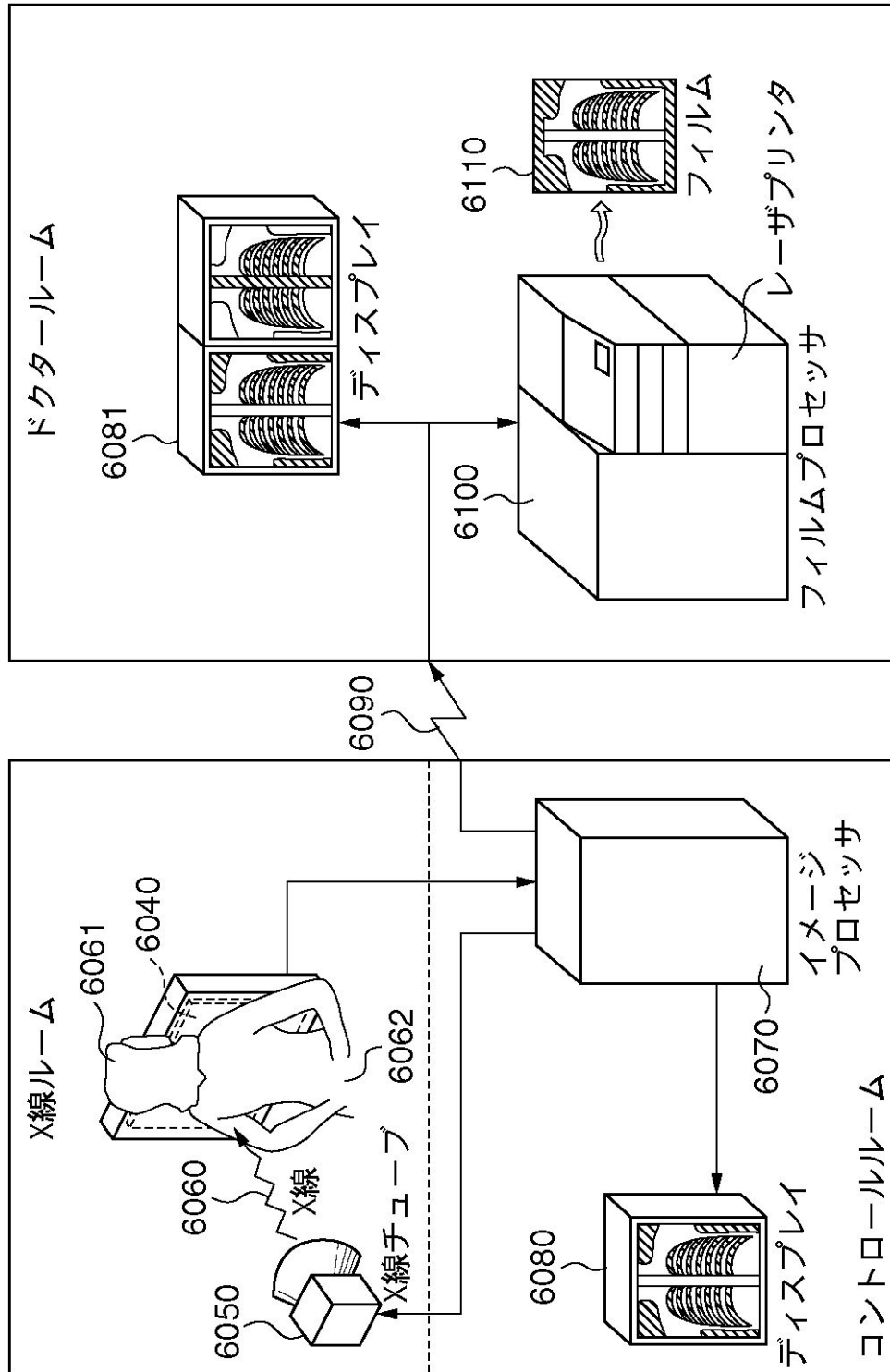
【図 8】



【図 9】



【図10】



---

フロントページの続き

- (72)発明者 山下 雄一郎  
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
- (72)発明者 山 崎 康生  
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
- (72)発明者 藤村 大  
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
- (72)発明者 菊池 伸  
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
- (72)発明者 河野 祥士  
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
- (72)発明者 清水 伸一郎  
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
- (72)発明者 有嶋 優  
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 加藤 俊哉

- (56)参考文献 特開2000-312024(JP,A)  
特開2000-311997(JP,A)  
特開2006-262358(JP,A)  
特開平11-284168(JP,A)  
特開2009-252782(JP,A)

- (58)調査した分野(Int.Cl., DB名)  
H01L 27/146  
H04N 5/369