

(19) 日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2018-530298

(P2018-530298A)

(43) 公表日 平成30年10月11日 (2018. 10. 11)

| | | |
|-----------------------------|--------------|-------------|
| (51) Int.Cl. | F I | テーマコード (参考) |
| H02M 1/00 (2007.01) | H02M 1/00 H | 5H730 |
| H02M 3/155 (2006.01) | H02M 3/155 Z | 5H740 |

審査請求 未請求 予備審査請求 未請求 (全 23 頁)

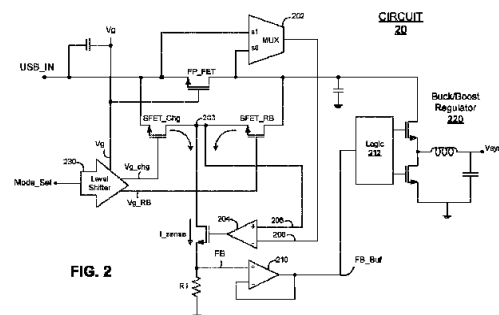
| | | | |
|---------------|------------------------------|----------|---------------------|
| (21) 出願番号 | 特願2018-516137 (P2018-516137) | (71) 出願人 | 507364838 |
| (86) (22) 出願日 | 平成28年9月30日 (2016. 9. 30) | | クアルコム, インコーポレイテッド |
| (85) 翻訳文提出日 | 平成30年3月28日 (2018. 3. 28) | | アメリカ合衆国 カリフォルニア 921 |
| (86) 国際出願番号 | PCT/US2016/055037 | | 21 サン ディエゴ モアハウス ドラ |
| (87) 国際公開番号 | W02017/059378 | | イブ 5775 |
| (87) 国際公開日 | 平成29年4月6日 (2017. 4. 6) | (74) 代理人 | 100108453 |
| (31) 優先権主張番号 | 14/871, 636 | | 弁理士 村山 靖彦 |
| (32) 優先日 | 平成27年9月30日 (2015. 9. 30) | (74) 代理人 | 100163522 |
| (33) 優先権主張国 | 米国 (US) | | 弁理士 黒田 晋平 |
| | | (72) 発明者 | ランジット・クマール・グントレディー |
| | | | アメリカ合衆国・カリフォルニア・921 |
| | | | 21・サン・ディエゴ・モアハウス・ドラ |
| | | | イヴ・5775 |

最終頁に続く

(54) 【発明の名称】 双方向電流検知回路

(57) 【要約】

本明細書で説明する実施形態は、入力電源と結合されたパワートランジスタを通る電流を検知するための、改善された回路技法に関する。回路は、電流検知トランジスタゲート制御を使用する、双方向電流検知回路を含む。回路は、回路の順方向電流モード中にパワートランジスタを通る電流を検知するための順方向電流検知トランジスタと、回路の逆方向電流モード中に通る電流を検知するための逆方向ブースト電流検知トランジスタとを含む。回路が順方向電流モードであるとき、順方向電流検知トランジスタをオンにし、逆方向ブースト電流検知トランジスタをオフにすること、または回路が逆方向電流モードであるとき、順方向電流検知トランジスタをオフにし、逆方向ブースト電流検知トランジスタをオンにすることのいずれかを行うために相補出力を備えたレベルシフタも設けられる。



【特許請求の範囲】**【請求項 1】**

入力電源と電力調整器との間に結合されたパワートランジスタを通る電流を検知するための回路であって、

前記パワートランジスタの第1の端子と、電流検知回路に結合された電流検知回路ノードとの間に結合された第1の電流検知トランジスタを備える第1の電流ループであって、前記回路の順方向電流モード中に前記パワートランジスタを通る電流を検知するように構成された、第1の電流ループと、

前記電流検知回路ノードと前記パワートランジスタの第2の端子との間に結合された第2の電流検知トランジスタを備える第2の電流ループであって、前記回路の逆方向電流モード中に前記パワートランジスタを通る電流を検知するように構成された、第2の電流ループと

を備え、

前記回路が前記順方向電流モードであるか、それとも前記回路が前記逆方向電流モードであるかに基づいて一度に、第1の電流検知ループおよび第2の電流検知ループのうちの一方のみがアクティブである、回路。

【請求項 2】

回路モードに基づいて相補出力を提供するように構成されたレベルシフタをさらに含み、前記レベルシフタが、前記第1の電流検知トランジスタをアクティブ化または非アクティブ化するために前記第1の電流検知トランジスタのゲート端子と結合された第1の出力と、前記第2の電流検知トランジスタをアクティブ化または非アクティブ化するために前記第2の電流検知トランジスタのゲート端子と結合された第2の出力とを有し、前記レベルシフタの前記相補出力が、前記回路が順方向電流モードであるとき、前記第1の電流検知トランジスタをオンにし、前記第2の電流検知トランジスタをオフにすること、または前記回路が逆方向電流モードであるとき、前記第1の電流検知トランジスタをオフにし、前記第2の電流検知トランジスタをオンにすることのいずれかを行うように構成される、請求項1に記載の回路。

【請求項 3】

前記第1の電流検知ループが、演算増幅器と結合された前記第1の電流検知トランジスタを備え、前記演算増幅器が、前記パワートランジスタの前記第1の端子の電圧を、前記第1の電流検知トランジスタの対応する端子の電圧と等しくするように構成される、請求項1に記載の回路。

【請求項 4】

前記パワートランジスタの前記第1の端子がそのソース端子であり、前記演算増幅器が、前記パワートランジスタの前記ソース端子の電圧信号を、前記第1の電流検知トランジスタの対応するソース端子の電圧信号と等しくするように構成される、請求項3に記載の回路。

【請求項 5】

前記第2の電流検知ループが、前記演算増幅器と結合された前記第2の電流検知トランジスタを備え、前記演算増幅器が、前記パワートランジスタの前記第2の端子の電圧を、前記第2の電流検知トランジスタの対応する端子の電圧と等しくするように構成される、請求項3に記載の回路。

【請求項 6】

前記パワートランジスタの前記第2の端子がそのドレイン端子であり、前記演算増幅器が、前記パワートランジスタの前記ドレイン端子の電圧信号を、前記第2の電流検知トランジスタの対応するドレイン端子の電圧信号と等しくするように構成される、請求項5に記載の回路。

【請求項 7】

前記回路のモードに基づいて、前記パワートランジスタにおける順方向電流の検知と逆方向電流の検知の間で選択するように構成された選択論理をさらに備える、請求項1に記

10

20

30

40

50

載の回路。

【請求項 8】

前記選択論理の出力が、順方向電流モード中に前記パワートランジスタの前記第1の端子における電圧を伝える信号、または逆方向電流モード中に前記パワートランジスタの前記第2の端子における電圧を伝える信号のいずれかとなる、請求項7に記載の回路。

【請求項 9】

前記選択論理がマルチプレクサを含み、前記マルチプレクサの出力が、演算増幅器の一方の入力に提供され、前記演算増幅器の他方の入力、順方向電流モードにおける前記第1の電流検知トランジスタでの検知された電圧、または逆方向電流モードにおける前記第2の電流検知トランジスタでの検知された電圧のいずれかを供給される、請求項7に記載の回路。

10

【請求項 10】

前記回路の前記電流検知回路ノードを通る電流をバッファリングし、バッファリングされた電圧を前記電力調整器に提供するように適合されたバッファ回路をさらに備える、請求項1に記載の回路。

【請求項 11】

入力電源と電力調整器との間に結合されたパワートランジスタを通る電流を検知するための方法であって、

前記パワートランジスタの第1の端子と電流検知回路ノードとの間に結合された第1の電流検知トランジスタを備える第1の電流ループを用いて回路の順方向電流モード中に前記パワートランジスタを通る電流を検知するステップと、

20

前記電流検知回路ノードと前記パワートランジスタの第2の端子との間に結合された第2の電流検知トランジスタを備える第2の電流ループを用いて前記回路の逆方向電流モード中に前記パワートランジスタを通る電流を検知するステップであって、

前記第1および第2の電流検知トランジスタが、前記パワートランジスタと並列に、直列接続を形成する、検知するステップと、

前記回路が前記順方向電流モードであるか、それとも前記逆方向電流モードであるかに基づいて、第1の電流検知ループおよび第2の電流検知ループのうちの一方のみをアクティブ化するステップと

を含む、方法。

30

【請求項 12】

前記回路の選択されたモードに基づいてレベルシフタから相補出力を提供するステップであって、前記レベルシフタが、前記第1の電流検知トランジスタをアクティブ化または非アクティブ化するために前記第1の電流検知トランジスタのゲート端子と結合された第1の出力と、前記第2の電流検知トランジスタをアクティブ化または非アクティブ化するために前記第2の電流検知トランジスタのゲート端子と結合された第2の出力とを有する、提供するステップと、前記回路が順方向電流モードであるとき、前記第1の電流検知トランジスタをオンにし、前記第2の電流検知トランジスタをオフにすること、または前記回路が逆方向電流モードであるとき、前記第1の電流検知トランジスタをオフにし、前記第2の電流検知トランジスタをオンにすることのいずれかを行うステップとをさらに含む、請求項11に記載の方法。

40

【請求項 13】

演算増幅器を使用して、前記パワートランジスタの前記第1の端子の電圧を前記第1の電流検知トランジスタの対応する端子の電圧と等しくするステップをさらに含む、請求項11に記載の方法。

【請求項 14】

演算増幅器を使用して、前記パワートランジスタの前記第2の端子の電圧を前記第2の電流検知トランジスタの対応する端子の電圧と等しくするステップをさらに含む、請求項11に記載の方法。

【請求項 15】

50

前記回路の選択されたモードに基づいて、前記パワートランジスタにおける順方向電流の検知と逆方向電流の検知の間で選択するステップをさらに含む、請求項11に記載の方法。

【請求項16】

順方向電流モード中に前記パワートランジスタの順方向電流をミラーリングすること、または逆方向電流モード中に前記パワートランジスタの逆方向電流をミラーリングすることのいずれかを行うステップをさらに含む、請求項11に記載の方法。

【請求項17】

電流検知回路ノードを通る検知された電流をバッファリングするステップと、バッファリングされた電圧を前記電力調整器に提供するステップとをさらに含む、請求項11に記載の方法。

10

【請求項18】

入力電源と電力調整器との間に結合されたパワートランジスタを通る電流を検知するための回路手段であって、

第1の電流ループにおいて、前記パワートランジスタの第1の端子と電流検知回路ノードとの間に結合された第1の電流検知トランジスタで、回路の順方向電流モード中に前記パワートランジスタを通る順方向電流を検知するための手段と、

第2の電流ループにおいて、前記電流検知回路ノードと前記パワートランジスタの第2の端子との間に結合された第2の電流検知トランジスタで、前記回路の逆方向電流モード中に前記パワートランジスタを通る逆方向電流を検知するための手段であって、

20

前記第1および第2の電流検知トランジスタが、前記パワートランジスタと並列に、直列接続を形成する、検知するための手段と、

前記回路が前記順方向電流モードであるか、それとも前記逆方向電流モードであるかに基づいて一度に、第1の電流検知ループおよび第2の電流検知ループのうちの一方のみをアクティブ化するための手段とを備える、回路手段。

【請求項19】

前記回路の選択されたモードに基づいてレベルシフタからの相補出力を提供するための手段であって、前記レベルシフタが、前記第1の電流検知トランジスタをアクティブ化または非アクティブ化するために前記第1の電流検知トランジスタのゲート端子と結合された第1の出力と、前記第2の電流検知トランジスタをアクティブ化または非アクティブ化するために前記第2の電流検知トランジスタのゲート端子と結合された第2の出力とを含む、提供するための手段と、

30

前記回路が順方向電流モードであるとき、前記第1の電流検知トランジスタをオンにし、前記第2の電流検知トランジスタをオフにすること、または前記回路が逆方向電流モードであるとき、前記第1の電流検知トランジスタをオフにし、前記第2の電流検知トランジスタをオンにすることのいずれかを行うための手段とをさらに備える、請求項18に記載の回路手段。

【請求項20】

演算増幅器を使用して、前記パワートランジスタの前記第1の端子の電圧を前記第1の電流検知トランジスタの対応する端子の電圧と等しくするための手段をさらに備える、請求項18に記載の回路手段。

40

【請求項21】

演算増幅器を使用して、前記パワートランジスタの前記第2の端子の電圧を前記第2の電流検知トランジスタの対応する端子の電圧と等しくするための手段をさらに備える、請求項18に記載の回路手段。

【請求項22】

前記回路の選択されたモードに基づいて、前記パワートランジスタにおける順方向電流の検知と逆方向電流の検知の間で選択するための手段をさらに備える、請求項18に記載の回路手段。

50

【請求項 23】

順方向電流モード中に前記パワートランジスタの順方向電流をミラーリングすること、または逆方向電流モード中に前記パワートランジスタの逆方向電流をミラーリングすることのいずれかを行うための手段をさらに備える、請求項18に記載の回路手段。

【請求項 24】

前記電流検知回路ノードを通る検知された電流をバッファリングすることと、バッファリングされた電圧を前記電力調整器に提供することとを行うための手段をさらに含む、請求項18に記載の回路手段。

【請求項 25】

パワートランジスタを通る電流を検知するための回路であって、

10

前記パワートランジスタの第1の端子と、第1のノードとの間に結合された第1の電流検知トランジスタを備える第1の電流ループであって、充電モード中に前記パワートランジスタを通る電流を検知するように構成され、第1の増幅器を備える、第1の電流ループと、前記第1のノードと前記パワートランジスタの第2の端子との間に結合された第2の電流検知トランジスタを備える第2の電流ループであって、放電モード中に前記パワートランジスタを通る電流を検知するように構成され、前記第1の増幅器を備える、第2の電流ループと

を備える、回路。

【請求項 26】

前記第1のノードが、前記第1の増幅器の第1の入力に結合される、請求項25に記載の回路。

20

【請求項 27】

第1の入力と、第2の入力と、出力とを有するマルチプレクサをさらに備え、前記出力が、前記第1の増幅器の第2の入力に結合される、請求項26に記載の回路。

【請求項 28】

前記第1の入力が、前記第1の端子に結合され、前記第2の入力が、前記第2の端子に結合される、請求項27に記載の回路。

【請求項 29】

前記マルチプレクサが、前記充電モード中に前記第2の入力を選択し、前記放電モード中に前記第1の入力を選択するように構成される、請求項28に記載の回路。

30

【請求項 30】

前記第2の電流検知トランジスタがオンにされるとき、前記第1の電流検知トランジスタをオフにし、前記第1の電流検知トランジスタがオンにされるとき、前記第2の電流検知トランジスタをオフにするように構成された第2の回路をさらに備える、請求項25に記載の回路。

【発明の詳細な説明】**【技術分野】****【0001】**

関連出願の相互参照

本出願は、2015年9月30日に提出した米国出願第14/871,636号の優先権を主張するものであり、あらゆる目的のためにその内容全体が参照により本明細書に組み込まれる。

40

【0002】

本明細書で開示する少なくともいくつかの実施形態は、一般に電子回路に関し、より詳細には、改善された双方向電流検知回路および方法に関する。

【背景技術】**【0003】**

電力変換回路は、デバイスを動作させるおよび/またはデバイスの内蔵バッテリーを充電するために外部電源を利用するポータブルデバイスにおいてなど、多くの適用例において用いられている。多くの事例では、電源から引き出される電流は、接続から電力を引き出すデバイスに関して公開された仕様に従って、制限される必要がある場合がある。たと

50

えば、ユニバーサルシリアルバス(USB)電力供給接続の場合、ポータブルデバイスは、USB 2.0接続から最大で500mAを引き出すことに制限される場合がある。同様に、USB 3.0接続は、一般的には900mAの電流を引き出すことに制限される。

【0004】

電力変換回路は、電流検知を使用して、電流制限とともに電力変換を行う。電流検知回路は、バッテリー充電器、スイッチモード充電器、電力変換器、電圧調整器など、様々な電力変換デバイスにおいて重要であることがある。順方向電流モードおよび逆方向電流モード中にそのようなデバイスにおいて電流を監視するために、双方向電流検知が必要である。検知された電流情報は、次いで、デバイスにおいて順方向または逆方向電流を調整するために、またバッテリー内外への電荷移動を計算するための燃料ゲージング(fuel gauging)のために、使用される場合がある。 10

【0005】

電流検知デバイスの従来の設計は、順方向と逆方向の両方において電流を監視するために、2つの独立した単方向ループが必要である。図1は、従来技術によるスイッチモード充電器で利用される従来の電流検知回路の一例を示す。図示のように、電流検知回路10は、バック/ブースト電力調整器120に電流を供給するように構成されたUSB_IN入力電源を含む。

【0006】

回路10は、順方向と逆方向の両方においてそれぞれ電流フローを検知するための2つの独立した電流検知ループ102および104を含む。具体的には、電流検知回路10は、順方向電流検知トランジスタSFET_Chgおよび第1の演算増幅器106を備える第1の独立したループ102と、逆方向電流検知トランジスタSFET_RBおよび第2の演算増幅器108を備える第2の独立したループ104とを含む。 20

【0007】

順方向電流モードの間、順方向電流は、フロントポートFETトランジスタFP_FETを通してUSB_IN入力からデバイスに、および電力調整器120に流れる。順方向電流検知トランジスタSFET_Chgおよび演算増幅器106を備えるフィードバックループ102は、この電流を検知し、検知された電流「I1」が順方向電流のレプリカとなるように、パワートランジスタFP_FETおよび順方向電流検知トランジスタSFET_Chgのドレインソース間電圧Vdsを等しくするように構成される。 30

【0008】

逆方向電流モードの間、電流は、電力調整器120から出て、フロントポートパワートランジスタFP_FETに戻るよう反対方向に流れる。逆方向電流検知トランジスタSFET_RBおよび演算増幅器108を備えるフィードバックループ104は、この逆方向電流を検知し、検知された電流「I2」が逆方向電流のレプリカとなるように、フロントポートトランジスタFP_FETおよび逆方向電流検知トランジスタSFET_RBのドレインソース間電圧Vdsを等しくするように構成される。

【0009】

しかしながら、そのような回路は、集積ダイ面積のかなりの量を占め、2つの独立した電流検知演算増幅器106および108を必要とし、それによって、コストおよび設計複雑度が増大する。 40

【発明の概要】

【課題を解決するための手段】

【0010】

本明細書で説明する実施形態は、入力電源と電力調整器との間に結合されたパワートランジスタを通る電流を検知するための、改善された回路技法に関する。一実施形態では、回路は、電流検知トランジスタゲート制御を使用する、面積効率が高い双方向電流検知回路を含む。回路は、電流検知回路ノードとパワートランジスタの第1の端子との間に結合された第1の電流検知トランジスタを含む。第1の電流検知トランジスタは、回路の順方向電流モード中にパワートランジスタを通る電流を検知するように構成され得る。回路は、 50

電流検知回路ノードとパワートランジスタの第2の端子との間に結合された第2の電流検知トランジスタをさらに含む。第2の電流検知トランジスタは、回路の逆方向電流モード中にパワートランジスタを通る電流を検知するように構成され得る。第1および第2の電流検知トランジスタは、パワートランジスタと並列に、直列接続を形成する。

【0011】

回路はまた、回路のモードに応じて相補出力を提供するように構成されたレベルシフタを含む。レベルシフタは、第1の電流検知トランジスタをアクティブ化または非アクティブ化するために第1の電流検知トランジスタのゲート端子と結合された第1の出力と、第2の電流検知トランジスタをアクティブ化または非アクティブ化するために第2の電流検知トランジスタのゲート端子と結合された第2の出力とを含む。レベルシフタの相補出力は、回路が順方向電流モードであるとき、第1の電流検知トランジスタをオンにし、第2の電流検知トランジスタをオフにすること、または回路が逆方向電流モードであるとき、第1の電流検知トランジスタをオフにし、第2の電流検知トランジスタをオンにすることのいずれかを行うように構成される。

【0012】

回路は、第1の電流検知ループと、第2の電流検知ループとを含む2つの電流検知ループを備える。レベルシフタの相補出力に基づいて、どの時点においても、電流検知ループの一方のみがアクティブである。第1の電流検知ループは、演算増幅器に結合された第1の電流検知トランジスタを備え、第2の電流検知ループは、演算増幅器に結合された第2の電流検知トランジスタを備える。演算増幅器は、パワートランジスタの第1の端子の電圧を、第1の電流検知トランジスタの対応する端子の電圧と等しくする、またはパワートランジスタの第2の端子の電圧を、第2の電流検知トランジスタの対応する端子の電圧と等しくするように構成される。

【0013】

回路は、回路のモードに基づいてパワートランジスタにおいて順方向電流の検知と逆方向電流の検知の間で選択するように構成された選択論理をさらに備える。選択論理の出力は、順方向電流モード中にパワートランジスタの第1の端子における電圧を監視する信号、または逆方向電流モード中にパワートランジスタの第2の端子における電圧を監視する信号のいずれかとなる。

【0014】

別の実施形態では、入力電源と電力調整器との間に結合されたパワートランジスタを通る電流を検知するための方法について説明する。方法は、回路の電流検知ノードとパワートランジスタの第1の端子との間に結合された第1の電流検知トランジスタにおいて、回路の順方向電流モード中にパワートランジスタを通る電流を検知するステップと、回路の電流検知ノードとパワートランジスタの第2の端子との間に結合された第2の電流検知トランジスタにおいて、回路の逆方向電流モード中にパワートランジスタを通る電流を検知するステップとを含む。第1および第2の電流検知トランジスタは、パワートランジスタと並列に、直列接続を形成する。

【0015】

方法は、回路のモードに応じてレベルシフタから相補出力を提供するステップをさらに含む。レベルシフタは、第1の電流検知トランジスタをアクティブ化または非アクティブ化するために第1の電流検知トランジスタのゲート端子と結合された第1の出力と、第2の電流検知トランジスタをアクティブ化または非アクティブ化するために第2の電流検知トランジスタのゲート端子と結合された第2の出力とを含む。

【0016】

方法は、回路が順方向電流モードであるとき、第1の電流検知トランジスタをオンにし、第2の電流検知トランジスタをオフにすること、または回路が逆方向電流モードであるとき、第1の電流検知トランジスタをオフにし、第2の電流検知トランジスタをオンにすることのいずれかによって、レベルシフタの相補出力に基づいて一度に、第1の電流検知トランジスタを備える第1の電流検知ループまたは第2の電流検知トランジスタを備える第2

の電流検知ループのうちの一方のみをアクティブ化する。

【0017】

方法は、回路のモードに基づいて、パワートランジスタにおける順方向電流の検知または逆方向電流の検知の間で選択するステップをさらに含む。選択論理の出力は、順方向電流モード中にパワートランジスタの第1の端子の電圧を監視する信号、または逆方向電流モード中にパワートランジスタの第2の端子の電圧を監視する信号のいずれかとなる。

【0018】

また他の実施形態では、入力電源と電力調整器との間に結合されたパワートランジスタを通る電流を検知するための回路手段について説明する。回路手段は、電流検知回路ノードとパワートランジスタの第1の端子との間に結合された第1の電流検知トランジスタにおいて回路の順方向電流モード中のパワートランジスタを通る電流を検知するための手段と、電流検知回路ノードとパワートランジスタの第2の端子との間に結合された第2の電流検知トランジスタにおいて回路の逆方向電流モード中のパワートランジスタを通る電流を検知するための手段と、回路のモードに応じてレベルシフタから相補出力を提供するための手段であって、レベルシフタが、第1の電流検知トランジスタをアクティブ化または非アクティブ化するために第1の電流検知トランジスタのゲート端子と結合された第1の出力、および第2の電流検知トランジスタをアクティブ化または非アクティブ化するために第2の電流検知トランジスタのゲート端子と結合された第2の出力を含む、提供するための手段と、レベルシフタの相補出力に基づいて一度に、第1の電流検知トランジスタを備える第1の電流検知ループおよび第2の電流検知トランジスタを備える第2の電流検知ループのうちの一方のみをアクティブ化するための手段とを含む。

【0019】

以下の詳細な説明および添付の図面は、本発明の性質および利点のより良い理解を可能にする。

【0020】

少なくともいくつかの実施形態をより良く理解されるように、添付の図面と併せて読まれるものである、以下の詳細な説明に言及する。

【図面の簡単な説明】

【0021】

【図1】従来技術によるスイッチモード充電器で利用される従来の電流検知回路の一例を示す図である。

【図2】電流検知トランジスタゲート制御を使用する、面積効率が高い双方向電流検知回路の一実施形態の例示的な回路図である。

【図3】順方向電流モード中の図2の例示的な回路図実施形態の場合の等価回路を示す図である。

【図4】逆方向電流モード中の図2の例示的な回路図実施形態の場合の等価回路を示す図である。

【図5】レベルシフタ回路の例示的な回路図である。

【図6A】本明細書で説明する技法に従って設計された双方向電流検知回路において順方向電流を検知するためのプロセスの一実施形態の例示的なフローチャートである。

【図6B】本明細書で説明する技法に従って設計された双方向電流検知回路において逆方向電流を検知するためのプロセスの一実施形態の例示的なフローチャートである。

【発明を実施するための形態】

【0022】

説明全体にわたって、説明の目的で、本発明の完全な理解を可能にするために、多数の具体的な詳細を記載する。しかしながら、本明細書で説明する技法は、これらの具体的な詳細の一部なしに実施され得ることが、当業者には明らかであろう。他の事例では、本発明の根本的な原理を不明瞭にすることを避けるために、よく知られている構造およびデバイスはブロック図の形態で示される場合がある。

【0023】

10

20

30

40

50

加えて、本明細書で説明する実施形態が実装され得る例示的なシステムについて以下に説明する。いくつかの要素が別個の構成要素として示される場合があるが、いくつかの事例では、構成要素の1つまたは複数が、単一のデバイスまたはシステムに組み合わせられる場合がある。同様に、いくつかの機能がシステム内の単一の要素または構成要素によって実施されるとして説明される場合があるが、機能は、いくつかの事例では、機能的に協調して一体となって働く複数の構成要素または要素によって実施される場合がある。

【0024】

1. 例示的な回路

本明細書で説明する実施形態が実装され得る例示的な回路について以下に説明する。いくつかの要素が別個の構成要素として示される場合があるが、いくつかの事例では、構成要素の1つまたは複数が、単一の構成要素またはデバイスに組み合わせられる場合がある。同様に、いくつかの機能が回路内の単一の要素または構成要素によって実施されるとして説明される場合があるが、機能は、いくつかの事例では、機能的に協調して一体となって働く複数の要素または構成要素によって実施される場合がある。

10

【0025】

加えて、本明細書で説明する技法を実装するために、ハードワイヤード回路が、独立して、またはファームウェアもしくはソフトウェア命令と組み合わせて使用される場合がある。説明する機能は、動作を実施するためのハードワイヤード論理を含むカスタムハードウェア構成要素によって、または、ハードウェア、ファームウェア、およびプログラムされたコンピュータ構成要素の任意の組合せによって、実施される場合がある。本明細書で説明する技法は、ハードウェア回路のいかなる特定の組合せにも限定されない。

20

【0026】

図2は、電流検知トランジスタゲート制御を使用する、面積効率が高い双方向電流検知回路の一実施形態の例示的な回路図を示す。双方向電流検知回路20は、バック/ブースト調整器220において順方向電流および/または逆方向電流のために構成されたUSB_IN電力入力を含む。回路20の構成は、2つの単方向電流検知フィードバックループを組み合わせ、常に1つのフィードバックループのみがアクティブ化され、したがって順方向と逆方向の電流方向の両方において電流検知のために1つの演算増幅器しか必要とされないように構成された単一の双方向電流検知回路にする。

30

【0027】

回路20は、順方向および逆方向の電流方向においてそれぞれ電流を検知するように構成される。図示の実施形態では、回路20は、フロントポーチパワートランジスタFP_FETと、順方向電流検知トランジスタSFET_Chgと、逆方向電流検知トランジスタSFET_RBとを含む。回路20は、選択されたモード(mode_sel信号)に基づいて順方向電流の検知または逆方向電流の検知の間で選択するためのマルチプレクサ(「MUX」)202と、順方向および逆方向電流検知トランジスタSFET_ChgおよびSFET_RBをそれぞれオン/オフにするように構成されたレベルシフト回路230と、順方向または逆方向電流のいずれかを検知するように、かつパワートランジスタFP_FETのドレインソース間の電圧Vdsを、順方向電流モード中の順方向電流検知トランジスタSFET_Chg、または逆方向電流モード中の逆方向ブースト電流検知トランジスタSFET_RBのいずれかと等しくするように構成された演算増幅器204とを備える。

40

【0028】

回路20はまた、入力論理ブロック212によってバック/ブースト調整器220に供給される、バッファリングされたフィードバック電圧FB_Bufを生成するためにレジスタR1によってフィードバック信号「FB」をバッファリングするための演算増幅器210を含む。図示のように、バック/ブースト調整器220は、2つの入力トランジスタと結合されたインダクタおよびキャパシタを含む。バック/ブースト調整器220は、USB_INによって供給される入力電源電圧を、プロセッサ、マイクロコントローラなどのシステムの内部構成要素が使用するためのより低い電圧「Vsys」にステップダウンするように構成された電圧ステップダウン回路であることがある。

【0029】

50

いくつかの実施形態は、FET(「電界効果トランジスタ」)技術を利用するとして本明細書で説明される場合があるが、本明細書で説明する回路技法は、いかなる特定の半導体技術にも限定されないことに留意されたい。本明細書で説明する実施形態を実現するために、他のタイプのトランジスタまたは同等のデバイスが使用される場合があることは、当業者に諒解されよう。たとえば、MOSFET、JFET、BJT、IGBT、GaAsなどを含むトランジスタ技術において、実施形態が実現される場合がある。加えて、本明細書で説明する技法は、NFETトランジスタ構成に基づいているが、当業者は諒解するように、これらの技法はPFETトランジスタ構成に基づいていることもあり、したがって回路設計の単純な設計選択であることにさらに留意されたい。

【0030】

本明細書で説明する実施形態は、USB入力を介して電力を受け取ることを含むが、実施形態はそのように限定されないことにさらに留意されたい。本明細書で説明する技法は、いかなるタイプの電源からも入力電力を受け取るように構成されることが可能であり、USB入力はその一例にすぎない。

【0031】

レベルシフタ回路230は、入力におけるmode_sel信号に応じて、所与の時間区間にフィードバックループの1つのみをアクティブ化する。電流検知トランジスタのゲートSFET_ChgおよびSFET_RBは、レベルシフタ230からの相補出力信号によってドライブされる。レベルシフタ回路230は、順方向電流検知トランジスタSFET_Chgをオンにし、逆方向ブースト電流検知トランジスタSFET_RBをオフにすること、または順方向電流検知トランジスタSFET_Chgをオフにし、逆方向ブースト電流検知トランジスタSFET_RBをオンにすることのいずれかを行うように構成される。

【0032】

その相補出力では、レベルシフタ230は、mode_sel入力信号の状態に応じてVg(回路20の入力電圧)とUSB_IN- V(USB_INマイナス V)との間で揺れる出力電圧を提供する。順方向電流モードの間、mode_sel信号の状態は、0に設定することができ、逆方向電流モードの間、mode_sel信号の状態は1に設定することができる。レベルシフタ230は、出力電圧Vgが電流検知トランジスタSFET_ChgまたはSFET_RBをオンにするほど十分に高いように、また出力電圧USB_IN- Vが電流検知トランジスタSFET_ChgまたはSFET_RBをオフにするほど十分に低いように、設計することができる。レベルシフタ230については、後述の図5においてより詳細に説明する。

【0033】

順方向電流モードの間、レベルシフタ230は、順方向電流検知トランジスタSFET_Chgのゲート電圧Vg_Chgを出力し、レベルシフタ230は、逆方向ブースト電流検知トランジスタSFET_RBの入力ゲート電圧Vg_RBにUSB_IN- Vを出力する。これは、電流検知トランジスタSFET_Chgをオンにし、逆方向ブースト電流検知トランジスタSFET_RBをオフにする効果を有する。これによってSFET_Chgのみが、アクティブとなり、順方向電流モードにおいて順方向電流を監視する。

【0034】

逆方向電流モードの間、レベルシフタ230は、逆方向ブースト電流検知トランジスタSFET_RBの入力ゲート電圧Vg_RBにゲート電圧Vgを出力し、レベルシフタ230は、順方向電流検知トランジスタSFET_Chgの入力ゲート電圧Vg_ChgにUSB_IN- Vを出力する。これは、電流検知トランジスタSFET_Chgをオフにし、逆方向ブースト電流検知トランジスタSFET_RBをオンにする効果を有する。これによってSFET_RBのみがアクティブとなり、逆方向ブーストモードにおいて逆方向電流を監視する。

【0035】

そのような構成では、回路20は、順方向電流モードで順方向電流を検知すること、または逆方向ブーストモードで逆方向電流を検知することのいずれかを行っている。MUX202は、mode_sel信号の状態に応じて、順方向および逆方向ブーストモードでそれぞれパワートランジスタFP_FETのドレインおよびソース端子から選択するように構成される。mode_sel

10

20

30

40

50

信号の状態が0に等しく設定されるとき、順方向電流モードが選択され、MUX202の入力s0はアクティブとなり、入力s1は非アクティブである。MUX202のs0入力、パワートランジスタFP_FETのドレイン端子から信号を受け取ることになる。mode_sel信号の状態が1に等しく設定されるとき、逆方向電流モードが選択され、MUX202の入力s1はアクティブとなり、入力s0は非アクティブである。MUX202のs1入力、パワートランジスタFP_FETのソース端子から信号を受け取ることになる。MUX202の出力は、したがって、順方向電流モードが選択されるとき、パワートランジスタFP_FETのドレイン端子で取得された電圧をミラーリングする信号、または逆方向ブーストモードが選択されるとき、パワートランジスタFP_FETのソース端子で取得された電圧をミラーリングする信号のいずれかとなる。

【0036】

10

本明細書の実施形態は、選択論理としてマルチプレクサ回路202を利用することに関して説明するが、本明細書で説明する技法は、いかなる特定のタイプまたは構成の選択論理にも限定されないことに留意されたい。他の同等の選択論理構成を使用することができ、マルチプレクサはその一例にすぎないことは、当業者には認識されよう。

【0037】

MUX202の出力における電圧信号は、演算増幅器204の負(-)入力208に提供される。演算増幅器の正(+)入力206は、順方向電流モード中に順方向電流検知トランジスタSFET_Chgによって電流検知ノード203で取得された電圧信号、または逆方向電流モード中に逆方向ブースト電流検知トランジスタSFET_RBによって電流検知ノード203で取得された電圧信号のいずれかを供給される。

20

【0038】

順方向電流モード中に、順方向電流検知トランジスタSFET_Chgおよび演算増幅器204を含むフィードバックループは、順方向電流を検知することと、検知した電流I_senseが順方向電流をミラーリングするように、FP_FETおよびSFET_Chgのドレインソース間電圧Vdsを等化することとを行うように構成される。逆方向電流モード中に、逆方向電流検知トランジスタSFET_RBおよび演算増幅器204を含むフィードバックループは、逆方向電流を検知することと、検知した電流I_senseが逆方向ブースト電流をミラーリングするように、FP_FETおよびSFET_RBのドレインソース間電圧Vdsを等化することとを行うように構成される。

【0039】

30

検知した電流I_senseは次いで、レジスタR1によってフィードバック信号FBとして提供され、演算増幅器210にバッファリングされて、バッファリングされたフィードバック電圧FB_Bufを生成する。バッファリングされたフィードバックFB_Bufは、次いで、バック/ブースト調整器220の入力論理ブロック212に供給され得る。バック/ブースト調整器220は、このフィードバック電流を受け取り、デバイス内の順方向および逆方向電流を調整するために、また上記で説明したようにデバイス内外への電荷移動を計算するための燃料ゲージングのために、フィードバック電流を使用するように構成され得る。

【0040】

図3は、順方向電流モード中の図2の例示的な回路図実施形態の場合の等価回路を示す。図示の実施形態に示されているように、順方向電流モード中に、電力は、USB_INからフロントポートパワートランジスタFP_FETを通して、バック/ブースト調整器320に流れる。mode_sel信号は、0に等しく設定され、したがってレベルシフタ330の出力は、電圧信号VgをSFET_Chgのゲート端子に供給してこれをオンにし、USB_IN-VをSFET_RBのゲート端子に供給してこれをオフにする。順方向電流はしたがって、図示のように、SFET_Chgを通して回路に流れる。

40

【0041】

MUX302のs0入力は選択され、FP_FETのドレイン端子での電圧信号Vdは、MUX302の出力で提供され、演算増幅器304の負(-)入力端子308に供給される。演算増幅器304の正(+)入力端子306は、トランジスタSFET_Chgによって電流検知ノード303での電圧信号を供給される。順方向電流検知トランジスタSFET_Chgおよび演算増幅器304を含むフィードバックループ

50

ブは、順方向電流を検知することと、検知した電流 I_{sense} が順方向電流をミラーリングするように、FP_FETおよびSFET_Chgのドレインソース間電圧 V_{ds} を等化することとを行うように構成される。

【 0 0 4 2 】

I_{sense} は次いで、レジスタR1によってフィードバック電圧FBとして提供され、演算増幅器310にバッファリングされて、バッファリングされたフィードバック電圧FB_Bufを生成する。バッファリングされたフィードバックFB_Bufは次いで、バック/ブースト調整器320の入力論理ブロック312に供給され得る。

【 0 0 4 3 】

図4は、逆方向電流モード中の図2の例示的な回路図実施形態の場合の等価回路を示す。図示の実施形態に示すように、逆方向電流モードでは、USB_INは、もはや回路に電力を供給していない。代わりに、バック/ブースト調整器420に蓄積された電力は、バック/ブースト調整器420からフロントポートパワートランジスタFP_FETを通して反対方向に流れる。mode_sel信号は、1に等しく設定され、したがってレベルシフタ430の出力は、電圧信号 V_g をSFET_RBのゲート端子に供給してこれをオンにし、USB_IN- VをSFET_Chgのゲート端子に供給してこれをオフにする。逆方向電流はしたがって、図示のように、SFET_RBを通して回路に流れる。

【 0 0 4 4 】

MUX402のs1入力は選択され、FP_FETのソース端子での電圧信号 V_s は、MUX402の出力で提供され、演算増幅器404の負(-)入力端子408に供給される。演算増幅器404の正(+)入力406は、トランジスタSFET_RBによって電流検知ノード403での電圧信号を供給される。逆方向ブースト電流検知トランジスタSFET_RBおよび演算増幅器404を含むフィードバックループは、逆方向電流を検知することと、検知した電流 I_{sense} が逆方向電流をミラーリングするように、FP_FETおよびSFET_RBのドレインソース間電圧 V_{ds} を等化することとを行うように構成される。

【 0 0 4 5 】

I_{sense} は次いで、レジスタR1によってフィードバック信号「FB」として提供され、演算増幅器410にバッファリングされて、バッファリングされたフィードバック電圧FB_Bufを生成する。バッファリングされたフィードバック電圧FB_Bufは次いで、バック/ブースト調整器420の入力論理ブロック412に供給され得る。

【 0 0 4 6 】

図5は、レベルシフタ回路構成の例示的な回路図を示す。図示の実施形態では、レベルシフタ回路50が、その入力において、(1)mode_sel信号、(2)USB_IN電力信号、および(3)入力電圧信号 V_g を受け取るように構成される。レベルシフタ回路は、出力OutおよびOut_bにおいて、相補出力電圧を供給するように構成される。

【 0 0 4 7 】

レベルシフタ回路はよく知られており、本明細書で説明する実施形態は、出力Outが V_g に等しく、出力Out_bがUSB_IN- Vに等しい、または出力OutがUSB_IN- Vに等しく、出力Out_bが V_g に等しい相補出力が提供される限り、いかなる特定の回路構成にも限定されないことに留意されたい。上記で説明したように、図2～図4の電流検知トランジスタSFET_ChgおよびSFET_RBをオフにするほど十分に低いように、USB_IN- Vを選択することができる。

【 0 0 4 8 】

図示のように、mode_sel入力信号は、第1のインバータ540によって反転ノード502において反転され、第2のインバータ541によって(非反転)ノード504において再び反転される。反転ノード502における反転mode_sel信号は、トランジスタ506および510をアクティブ化するために供給され、非反転ノード504における非反転mode_sel信号は、トランジスタ508をアクティブ化するために供給される。

【 0 0 4 9 】

順方向電流モード中に、電力は、USB_INから回路に流れ、mode_sel信号の状態は、0に

10

20

30

40

50

等しく設定される。これは次に、反転ノード502の状態をインバータ540によって1に等しく設定し、非反転ノード504をインバータ541によって0に等しく設定する。この構成では、反転ノード502がトランジスタ506および510をアクティブ化し、非反転ノード504がトランジスタ508を非アクティブ化する。出力Out_bにおける出力電圧は、したがって電圧USB_INマイナス導通ダイオードD2の電圧 V となり、出力Outにおける出力電圧は、トランジスタ522を通して伝わる入力電圧Vgとなる。

【0050】

逆方向電流モード中に、mode_sel信号の状態は、1に等しく設定される。これは次に、反転ノード502の状態をインバータ540によって0に等しく設定し、非反転ノード504をインバータ541によって1に等しく設定する。この構成では、反転ノード502がトランジスタ506および510を非アクティブ化し、非反転ノード504がトランジスタ508をアクティブ化する。出力Out_bにおける出力電圧は、したがって、トランジスタ518および520を通して伝わる入力電圧Vgとなり、出力Outにおける出力電圧は、電圧USB_INマイナス導通ダイオードD3の電圧 V となる。

【0051】

したがって、この構成のレベルシフト回路50は、順方向または逆方向電流モード中に、出力OutおよびOut_bにおいてそれぞれ、相補電圧VgおよびUSB_INを供給するように適合される。他の同等の回路構成が可能である。

【0052】

II. 例示的なプロセス

以下で説明するプロセスは、本質的に例示であり、説明の目的で提供され、本明細書で説明する実施形態の範囲を任意の特定の例示的な実施形態に限定することを意図していない。たとえば、いくつかの実施形態によるプロセスは、以下で説明する動作の一部もしくは全部を含むもしくは省く場合があり、または本明細書で説明するものとは異なる順序でステップを含む場合がある。説明する特定のプロセスは、他のすべての潜在的に介在する動作を除く任意の特定の動作のセットに限定されることを意図していない。

【0053】

加えて、動作は、いくつかの機能的動作を汎用または専用のコンピュータに実施させるコンピュータ実行可能コードにおいて具体化されてもよい。他の例では、これらの動作は、特定のハードウェア構成要素もしくはハードワイヤード回路によって、またはプログラムされたコンピュータ構成要素およびカスタムハードウェア回路の任意の組合せによって、実施されてもよい。

【0054】

図6Aは、上記の図2に関して、本明細書で説明する技法に従って設計された双方向電流検知回路において順方向電流を検知するためのプロセスの一実施形態の例示的なフローチャートを示す。図示の実施形態では、プロセス600が、順方向電流モード中のパワートランジスタを通る電流が、回路の電流検知ノードとパワートランジスタの第1の端子との間に結合された第1の電流検知トランジスタで検知される動作601において始まる。一実施形態では、パワートランジスタの第1の端子は、ソース端子である。

【0055】

プロセス600は、動作602において、回路の選択されたモードに応じて、レベルシフト230から相補出力を提供することによって継続する。レベルシフト230は、第1の電流検知トランジスタをアクティブ化または非アクティブ化するために第1の電流検知トランジスタSFET_Chgのゲート端子と結合された第1の出力と、第2の電流検知トランジスタをアクティブ化または非アクティブ化するために第2の電流検知トランジスタSFET_RBのゲート端子と結合された第2の出力とを含む。図示のように、回路20は、2つの電流検知ループを含むが、レベルシフトの相補出力に基づいて、常に電流検知ループの一方のみがアクティブであってもよい。

【0056】

プロセス600は、動作603において、回路が順方向電流モードであるのでレベルシフト23

10

20

30

40

50

0の相補出力によって、第1の電流検知トランジスタSFET_Chgをオンにし、第2の電流検知トランジスタSFET_RBをオフにすることによって、継続する。第1の電流検知トランジスタSFET_Chgで検知されるパワートランジスタFP_FETを通る順方向電流は、次いで選択され(動作604)、順方向電流は、回路の電流検知ノード203でミラーリングされる(動作605)。パワートランジスタFP_FETの第1の端子の電圧は、次いで、演算増幅器204を使用して、第1の電流検知トランジスタSFET_Chgの対応する端子の電圧と等しくされ得る(動作606)。

【0057】

プロセス600は、図6Bにおいて継続し、図6Bは、上記の図2に関して、本明細書で説明する技法に従って設計された双方向電流検知回路において逆方向電流を検知するためのプロセスの一実施形態の例示的なフローチャートを示す。図示の実施形態では、プロセス600が、逆方向電流モード中のパワートランジスタFP_FETを通る電流が、回路の電流検知ノード203とパワートランジスタの第2の端子との間に結合された第2の電流検知トランジスタSFET_RBで検知される動作607において継続する。一実施形態では、パワートランジスタFP_FETの第2の端子は、ドレイン端子である。

【0058】

プロセス600は、動作608において、回路のモードに応じて、レベルシフタ230から相補出力を提供することによって継続する。レベルシフタ230は、第1の電流検知トランジスタをアクティブ化または非アクティブ化するために第1の電流検知トランジスタSFET_Chgのゲート端子と結合された第1の出力と、第2の電流検知トランジスタをアクティブ化または非アクティブ化するために第2の電流検知トランジスタSFET_RBのゲート端子と結合された第2の出力とを含む。

【0059】

プロセス600は、動作609において、回路が逆方向電流モードであるのでレベルシフタ230の相補出力によって、第2の電流検知トランジスタSFET_RBをオンにし、第1の電流検知トランジスタSFET_Chgをオフにすることによって、継続する。第2の電流検知トランジスタSFET_RBにおいて検知されるパワートランジスタFP_FETの逆方向電流は、次いで選択され(動作610)、検知された電流は、回路の電流検知ノード203においてミラーリングされる(動作611)。パワートランジスタの第2の端子の電圧は、次いで、演算増幅器204を使用して、第2の電流検知トランジスタの対応する端子の電圧と等しくされ得る(動作612)。これは、1つの例示的な実施形態によりプロセス600を完了する。

【0060】

III. 利点

提案する解決策は、したがって、双方向電力フローがある適用例における電流検知が可能である。提案する解決策は、順方向と逆方向の両方の電流方向で電流検知が必要とされる、面積効率が低い双方向電流検知解決策である。本明細書で説明する実施形態は、2つの単方向電流検知フィードバックループを単一の双方向電流検知回路に結合するように適合される。

【0061】

加えて、回路は、複数のステージの間接的電流ミラーリングおよびマッチングが必要とされないように、単一のミラーリングステージで直接的に、パワートランジスタの中を流れる電流をミラーリングするように構成される。順方向または逆方向の電流方向に流れる電流は、それぞれ順方向電流検知トランジスタまたは逆方向電流検知トランジスタにおいて、直接的にミラーリングされ得る。そのような技法は、デュアルループ設計の従来の設計と比較して約45%の面積節約を達成することができる。

【0062】

本明細書で説明する実施形態はまた、設計パラメータトリミング中のテスト時間を減少させることができる。いくつかの設計パラメータは、処理のばらつきによって異なり、チップごとに不一致となる場合があるので、それらを所望の値にトリミングするには、チップレベルの測定が必要とされる。センス比は、たとえば、ミスマッチおよびレイアウト寄生要素によって異なる可能性がある。これは、全体的なセンスゲインがテスト中に各個々

のチップに対する所望の値に修正されるように、レジスタR1をトリミングすることによって修正され得る。トリミングは各チップで行われるので、これはコストおよびテスト時間を増加させる。しかし、本明細書で説明する双方向電流検知技法は、一方向においてトリミングを必要とするだけであり、これは精度を向上させ、製造中のテスト時間を削減する。

【0063】

本明細書で説明する技法は、いかなる特定の構成要素またはデバイスにも限定されないことに留意されたい。新規の技法は、包括的性質であり、任意の双方向電力構成要素または構成における電流検知に拡張され得る。本明細書で開示する実施形態に関して説明する様々な例示的な論理ブロック、モジュール、回路、およびアルゴリズムステップは、電子ハードウェア、コンピュータソフトウェア、またはそれらの組合せとして実装される場合があることを、当業者はさらに諒解されよう。ハードウェアおよびソフトウェアのこの互換性を明確に示すために、様々な例示的な構成要素、ブロック、モジュール、回路、およびステップについて、上では全般的にそれらの機能に関して説明した。そのような機能が、ハードウェアとして実装されるか、ソフトウェアとして実装されるかは、具体的な適用例と、システム全体に課される設計制約とによって決まる。当業者は、説明した機能を特定の適用例ごとに様々な方式で実装してもよいが、そのような実装の決定は、本明細書で説明する例示的な実施形態の範囲からの逸脱を生じるものとして解釈されるべきではない。

10

【0064】

本明細書で開示する実施形態に関して説明する様々な例示的な論理ブロック、モジュール、および回路は、汎用プロセッサ、デジタルシグナルプロセッサ(DSP)、特定用途用集積回路(ASIC)、フィールドプログラマブルゲートアレイ(FPGA)もしくは他のプログラマブル論理デバイス、個別のゲートもしくはトランジスタ論理、個別のハードウェア構成要素、または本明細書で説明した機能を果たすように設計されたこれらの任意の組合せを用いて実装されるか、または実行される場合がある。汎用プロセッサはマイクロプロセッサであってよいが、代替として、プロセッサは任意の従来のプロセッサ、コントローラ、マイクロコントローラ、またはステートマシンなどであってよい。プロセッサはまた、コンピューティングデバイスの組合せ、たとえば、DSPとマイクロプロセッサとの組合せ、複数のマイクロプロセッサ、DSPコアと連携した1つもしくは複数のマイクロプロセッサ、または任意の他のそのような構成として実装されてもよい。

20

30

【0065】

本明細書において開示される実施形態に関して説明した方法またはアルゴリズムのステップは、ハードウェアにおいて直接具現されてもよく、プロセッサによって実行されるソフトウェアモジュールにおいて具現されてもよく、あるいはこれら2つの組合せにおいて具現されてもよい。ソフトウェアモジュールは、ランダムアクセスメモリ(RAM)、フラッシュメモリ、読取り専用メモリ(ROM)、電氣的プログラマブルROM(EPROM)、電氣的消去可能プログラマブルROM(EEPROM)、レジスタ、ハードディスク、リムーバブルディスク、CD-ROM、または当技術分野で知られている任意の他の形態の記憶媒体の中に存在し得る。例示的な記憶媒体は、プロセッサが記憶媒体から情報を読み取り記憶媒体に情報を書き込むことができるようにプロセッサと結合される。代替として、記憶媒体は、プロセッサに組み込まれる場合がある。

40

【0066】

本明細書で説明する実施形態がソフトウェアで実装される限りにおいて、機能は、1つまたは複数の命令またはコードとして、コンピュータ可読媒体上に記憶されることがあり、またはコンピュータ可読媒体を介して送信されることがある。コンピュータ可読媒体は、コンピュータ記憶媒体と、ある場所から別の場所へのコンピュータプログラムの伝達を容易にする任意の媒体を含む通信媒体の両方を含む。記憶媒体は、コンピュータによってアクセスされることが可能である任意の利用可能な媒体であってもよい。例として、そのようなコンピュータ可読媒体は、RAM、ROM、EEPROM、CD-ROMもしくは他の光ディスク

50

レージ、磁気ディスクストレージもしくは他の磁気記憶デバイス、または命令もしくはデータ構造の形式の所望のプログラムコードを搬送もしくは記憶するために使用可能であり、コンピュータによってアクセス可能な任意の他の媒体を含むことができる。

【 0 0 6 7 】

上記の説明全体にわたって、説明の目的で、本発明の完全な理解を可能にするために、多数の具体的な詳細を示した。しかしながら、これらの実施形態は、これらの具体的な詳細のいくつかがなしに実施され得ることは、当業者には明らかであろう。上記の例および実施形態は、唯一の実施形態であるとは見なされるべきではなく、本発明の柔軟性および利点を示すために提示されている。他の構成、実施形態、実装形態、および同等物が、当業者には明らかとなり、以下の特許請求の範囲によって定義されるように、本発明の趣旨および範囲から逸脱することなく使用され得る。

10

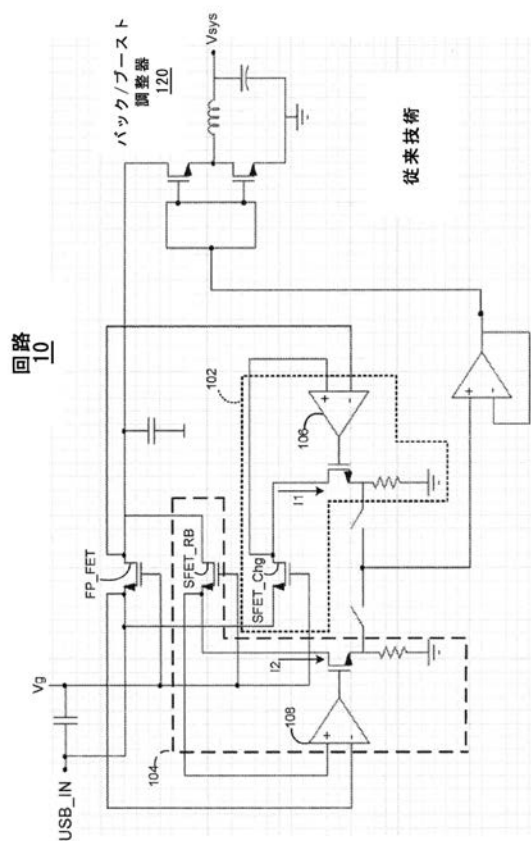
【 符号の説明 】

【 0 0 6 8 】

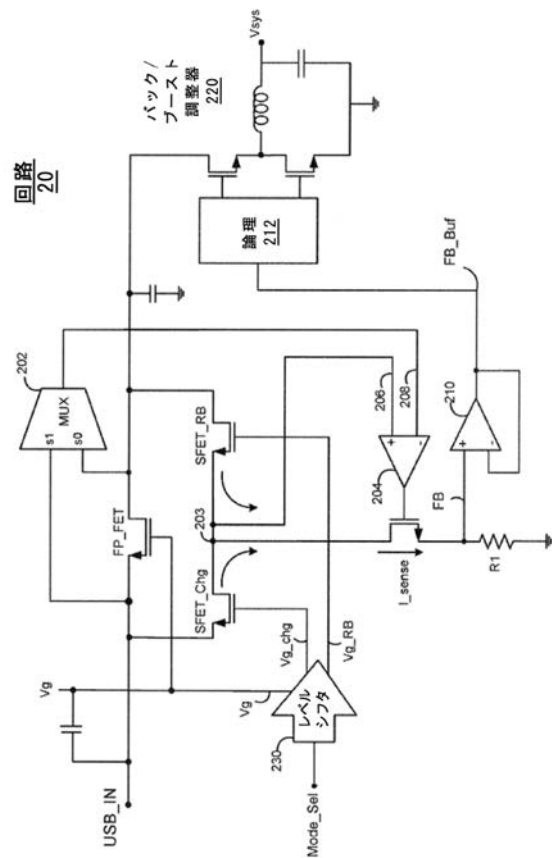
| | | |
|-----|---------------------|----|
| 10 | 電流検知回路 | |
| 20 | 双方向電流検知回路 | |
| 50 | レベルシフタ回路 | |
| 102 | 電流検知ループ(フィードバックループ) | |
| 104 | 電流検知ループ(フィードバックループ) | |
| 106 | 演算増幅器 | |
| 108 | 演算増幅器 | 20 |
| 120 | 電力調整器 | |
| 202 | マルチプレクサ(MUX) | |
| 203 | 電流検知ノード | |
| 204 | 演算増幅器 | |
| 206 | 正(+)入力 | |
| 208 | 負(-)入力 | |
| 210 | 演算増幅器 | |
| 212 | 入力論理ブロック | |
| 220 | バック/ブースト調整器 | |
| 230 | レベルシフタ回路 | 30 |
| 302 | MUX | |
| 304 | 演算増幅器 | |
| 306 | 正(+)入力端子 | |
| 308 | 負(-)入力端子 | |
| 310 | 演算増幅器 | |
| 312 | 入力論理ブロック | |
| 320 | バック/ブースト調整器 | |
| 330 | レベルシフタ | |
| 402 | MUX | |
| 403 | 電流検知ノード | 40 |
| 404 | 演算増幅器 | |
| 406 | 正(+)入力端子 | |
| 408 | 負(-)入力端子 | |
| 410 | 演算増幅器 | |
| 412 | 入力論理ブロック | |
| 420 | バック/ブースト調整器 | |
| 430 | レベルシフタ | |
| 502 | 反転ノード | |
| 504 | 非反転ノード | |
| 506 | トランジスタ | 50 |

508 トランジスタ
 510 トランジスタ
 518 トランジスタ
 520 トランジスタ
 522 トランジスタ
 540 インバータ
 541 インバータ

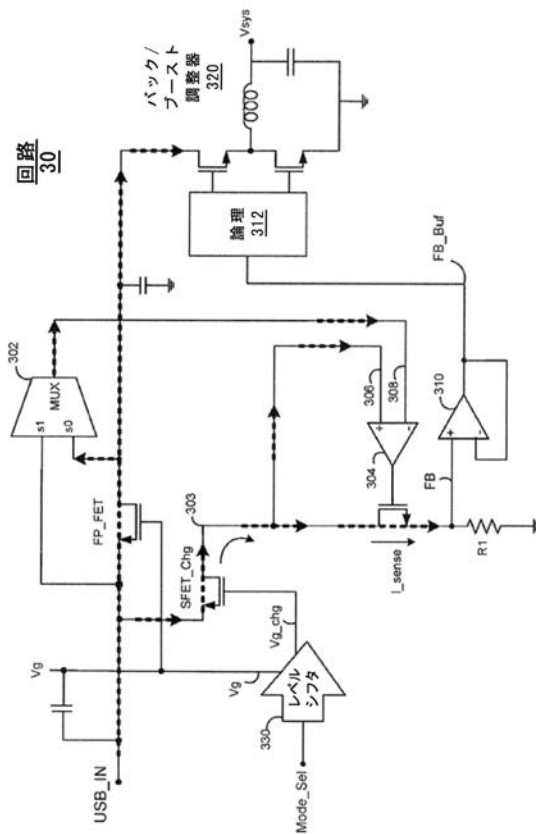
【図 1】



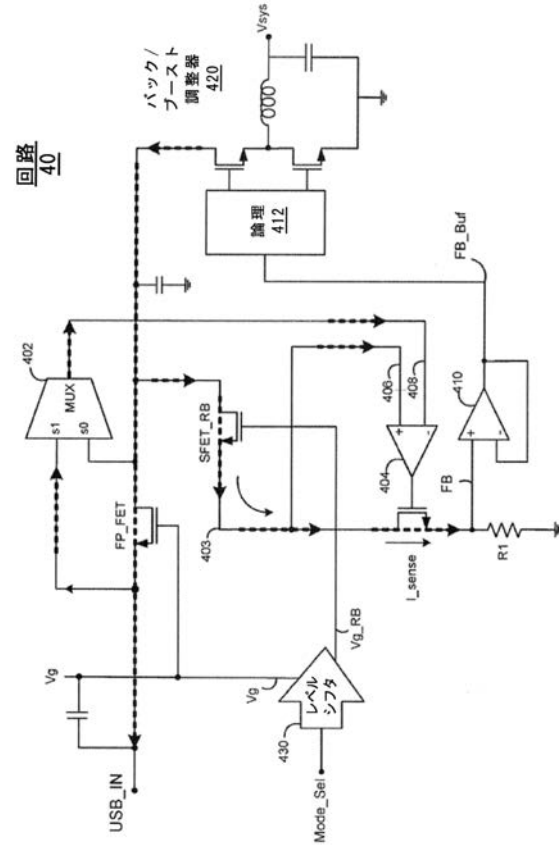
【図 2】



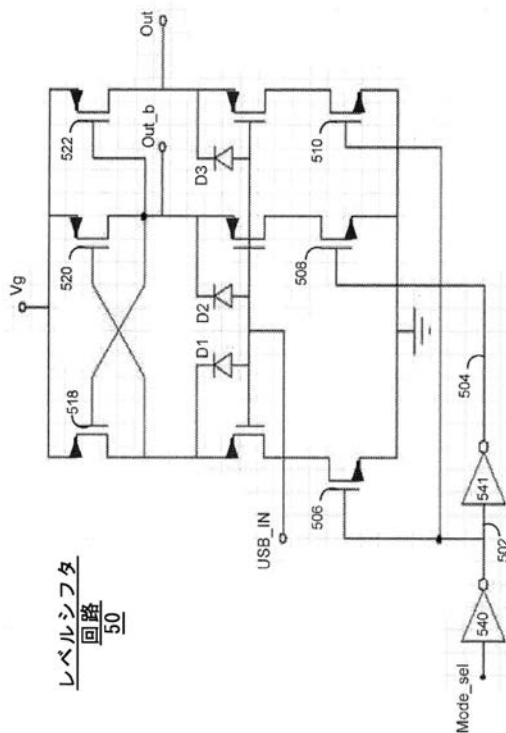
【図 3】



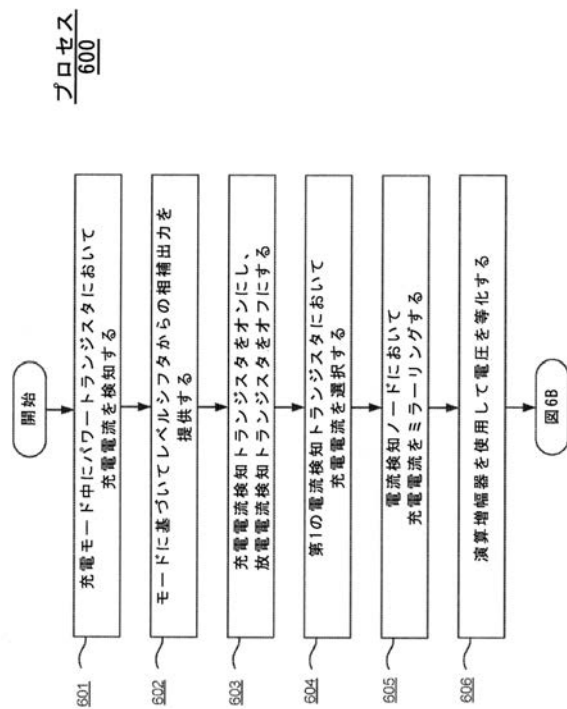
【図 4】



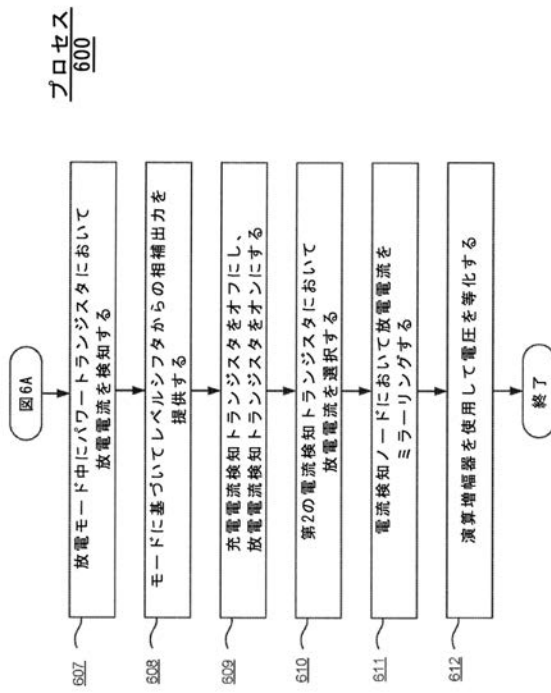
【図 5】



【図 6 A】



【図 6 B】



INTERNATIONAL SEARCH REPORT

A. CLASSIFICATION OF SUBJECT MATTER

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

E earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

*O" document referring to an oral disclosure, use, exhibition or other means

P document published prior to the international filing date but later than the priority date claimed

* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

'&' document member of the same patent family

Date of the actual completion of the international search

9 February 2017

Date of mailing of the international search report

16/02/2017

Name and mailing address of the ISA/
European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040,
Fax: (+31-70) 340-3016

Authorized officer

Lorenzo Barreiro, M

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2016/055037

| C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT | | |
|--|---|-----------------------|
| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
| X | EP 2 173 031 A1 (AUSTRIAMICROSYSTEMS AG [AT]) 7 April 2010 (2010-04-07) abstract figure 1 ----- | 1 |
| Y | US 7 138 786 B2 (ISHIGAKI TAKUYA [JP] ET AL) 21 November 2006 (2006-11-21) abstract figure 1 ----- | 10,17,24 |
| Y | US 2014/049238 A1 (HU YONGXUAN [US] ET AL) 20 February 2014 (2014-02-20) abstract figure 1 paragraph [0031] ----- | 3-6,13, 14,20,21 |

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/US2016/055037

| Patent document cited in search report | Publication date | Patent family member(s) | Publication date |
|---|---------------------|----------------------------|---------------------|
| US 2005151543 A1 | 14-07-2005 | US 2005151543 A1 | 14-07-2005 |
| | | US 2006097731 A1 | 11-05-2006 |
| US 6617838 | B1 | 09-09-2003 | NONE |
| EP 2173031 | A1 | 07-04-2010 | NONE |
| US 7138786 | B2 | 21-11-2006 | CN 1783717 A |
| | | JP 2006158067 A | 07-06-2006 |
| | | TW 1294215 B | 15-06-2006 |
| | | US 2006113979 A1 | 01-03-2008 |
| | | | 01-06-2006 |
| US 2014049238 A1 | 20-02-2014 | CN 104541441 A | 22-04-2015 |
| | | JP 2015527039 A | 10-09-2015 |
| | | US 2014049238 A1 | 20-02-2014 |
| | | WO 2014028727 A1 | 20-02-2014 |

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA

(72)発明者 ゼンジン・ウ

アメリカ合衆国・カリフォルニア・9 2 1 2 1・サン・ディエゴ・モアハウス・ドライブ・5 7 7
5

(72)発明者 ジャオフイ・ジュ

アメリカ合衆国・カリフォルニア・9 2 1 2 1・サン・ディエゴ・モアハウス・ドライブ・5 7 7
5

(72)発明者 ジャンルカ・ヴァレンティノ

アメリカ合衆国・カリフォルニア・9 2 1 2 1・サン・ディエゴ・モアハウス・ドライブ・5 7 7
5

F ターム(参考) 5H730 AA15 AS04 AS05 AS08 BB13 BB14 DD04 EE07 EE13 FD37

FD47

5H740 BA12 BB01 BB07 BC01 BC02 JA01 JB01 KK01 MM11