



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0074207
(43) 공개일자 2012년07월05일

- | | |
|---|---|
| <p>(51) 국제특허분류(Int. Cl.)
H01L 21/316 (2006.01) H01L 21/31 (2006.01)</p> <p>(21) 출원번호 10-2011-0131584</p> <p>(22) 출원일자 2011년12월09일
심사청구일자 없음</p> <p>(30) 우선권주장
JP-P-2010-290565 2010년12월27일 일본(JP)</p> | <p>(71) 출원인
도쿄엘렉트론가부시키키가이샤
일본 도쿄도 미나토쿠 아카사카 5초메 3반 1고</p> <p>(72) 발명자
사토 준
일본국 야마나시켄 니라사키시 호사카쵸 미츠자와 650 반지 도쿄엘렉트론가부시키키가이샤 나이</p> <p>초우 파오화
일본국 야마나시켄 니라사키시 호사카쵸 미츠자와 650 반지 도쿄엘렉트론가부시키키가이샤 나이</p> <p>(74) 대리인
이철</p> |
|---|---|

전체 청구항 수 : 총 9 항

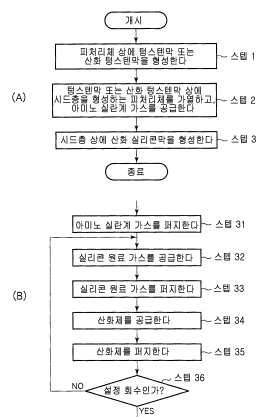
(54) 발명의 명칭 텅스텐막 또는 산화 텅스텐막 상으로의 산화 실리콘막의 성막 방법 및 성막 장치

(57) 요약

(과제) 텅스텐막 또는 산화 텅스텐막 상에 산화 실리콘막을 형성해도, 산화 실리콘막의 인큐베이션 시간을 단축하는 것이 가능한 텅스텐막 또는 산화 텅스텐막 상으로의 산화 실리콘막의 성막 방법을 제공하는 것이다.

(해결 수단) 피처리체 상에 텅스텐막 또는 산화 텅스텐막을 형성하는 공정(스텝 1)과, 텅스텐막 또는 산화 텅스텐막 상에 시드층을 형성하는 공정(스텝 2)과, 시드층 상에 산화 실리콘막을 형성하는 공정(스텝 3)을 구비하고, 상기 시드층을 텅스텐막 또는 산화 텅스텐막 상에, 피처리체를 가열하고, 텅스텐막 또는 산화 텅스텐막의 표면에 아미노실란계 가스를 공급하여 형성한다.

대표도 - 도1



특허청구의 범위

청구항 1

- (1) 피처리체 상에 텅스텐막 또는 산화 텅스텐막을 형성하는 공정과,
- (2) 상기 텅스텐막 또는 산화 텅스텐막 상에 시드층을 형성하는 공정과,
- (3) 상기 시드층 상에 산화 실리콘막을 형성하는 공정을 구비하고,

상기 (2)의 공정이, 상기 피처리체를 가열하고, 상기 텅스텐막 또는 산화 텅스텐막의 표면에 아미노실란계 가스를 공급하여 상기 텅스텐막 또는 산화 텅스텐막 상에 시드층을 형성하는 공정인 것을 특징으로 하는, 텅스텐막 또는 산화 텅스텐막 상으로의 산화 실리콘막의 성막 방법.

청구항 2

제1항에 있어서,

상기 아미노실란계 가스가,

BAS(부틸아미노실란)

BTBAS(비스터셔리부틸아미노실란)

DMAS(디메틸아미노실란)

BDMAS(비스디메틸아미노실란)

TDMS(트리디메틸아미노실란)

DEAS(디에틸아미노실란)

BDEAS(비스디에틸아미노실란)

DPAS(디프로필아미노실란) 및,

DIPAS(디이소프로필아미노실란)

중 적어도 하나를 포함하는 가스로부터 선택되는 것을 특징으로 하는, 텅스텐막 또는 산화 텅스텐막 상으로의 산화 실리콘막의 성막 방법.

청구항 3

제1항 또는 제2항에 있어서,

상기 산화 실리콘막이, 실리콘을 포함하는 실리콘 원료 gas와, 실리콘을 산화시키는 산화제를 포함하는 가스를 교대로 공급하면서 성막되는 것을 특징으로 하는, 텅스텐막 또는 산화 텅스텐막 상으로의 산화 실리콘막의 성막 방법.

청구항 4

제1항 또는 제2항에 있어서,

상기 산화 실리콘막이, 실리콘을 포함하는 실리콘 원료 gas와, 실리콘을 산화시키는 산화제를 포함하는 가스를 동시에 공급하면서 성막되는 것을 특징으로 하는, 텅스텐막 또는 산화 텅스텐막 상으로의 산화 실리콘막의 성막 방법.

청구항 5

제4항에 있어서,

상기 실리콘 원료 gas가, 아미노실란계 가스, 또는 아미노기를 포함하지 않는 실란계 가스인 것을 특징으로 하는, 텅스텐막 또는 산화 텅스텐막 상으로의 산화 실리콘막의 성막 방법.

청구항 6

제5항에 있어서,

상기 아미노실란계 가스가,

BAS(부틸아미노실란)

BTBAS(비스터셔리부틸아미노실란)

DMAS(디메틸아미노실란)

BDMAS(비스디메틸아미노실란)

TDMAS(트리디메틸아미노실란)

DEAS(디에틸아미노실란)

BDEAS(비스디에틸아미노실란)

DPAS(디프로필아미노실란) 및,

DIPAS(디이소프로필아미노실란)

중 적어도 하나를 포함하는 가스로부터 선택되고,

상기 아미노기를 포함하지 않는 실란계 가스가,

SiH_2

SiH_4

SiH_6

Si_2H_4

Si_2H_6

$\text{Si}_m\text{H}_{2m+2}$ (단, m 은 3 이상의 자연수)의 식으로 나타나는 실리콘의 수소화물 및,

Si_nH_{2n} (단, n 은 3 이상의 자연수)의 식으로 나타나는 실리콘의 수소화물

중 적어도 하나를 포함하는 가스로부터 선택되는 것을 특징으로 하는, 텅스텐막 또는 산화 텅스텐막 상으로의 산화 실리콘막의 성막 방법.

청구항 7

제6항에 있어서,

상기 $\text{Si}_m\text{H}_{2m+2}$ (단, m 은 3 이상의 자연수)의 식으로 나타나는 실리콘의 수소화물이,

트리실란(Si_3H_8)

테트라실란(Si_4H_{10})

펜타실란(Si_5H_{12})

헥사실란(Si_6H_{14})

헵타실란(Si_7H_{16})

중 적어도 하나로부터 선택되고,

상기 Si_nH_{2n} (단, n 은 3 이상의 자연수)의 식으로 나타나는 실리콘 수소화물이,

사이클로트리실란(Si_3H_6)

사이클로테트라실란(Si_4H_8)

사이클로펜타실란(Si_5H_{10})

사이클로헥사실란(Si_6H_{12})

사이클로헵타실란(Si_7H_{14})

중 적어도 어느 하나로부터 선택되는 것을 특징으로 하는, 텅스텐막 또는 산화 텅스텐막 상으로의 산화 실리콘막의 성막 방법.

청구항 8

제1항 내지 제7항 중 어느 한 항에 있어서,

상기 피처리체가 반도체 웨이퍼이고, 상기 성막 방법이 반도체 장치의 제조 프로세스에 이용되는 것을 특징으로 하는, 텅스텐막 또는 산화 텅스텐막 상으로의 산화 실리콘막의 성막 방법.

청구항 9

텅스텐막 또는 산화 텅스텐막 상으로의 산화 실리콘막을 성막하는 성막 장치로서,

상기 텅스텐막 또는 산화 텅스텐막이 형성된 피처리체를 수용하는 처리실과,

상기 처리실 내에, 아미노실란계 가스 및 실리콘 원료 가스 중 적어도 한쪽, 또한 산화제를 포함하는 가스를 공급하는 가스 공급 기구와,

상기 처리실 내를 가열하는 가열 장치와,

상기 처리실 내를 배기하는 배기 장치와,

상기 가스 공급 기구, 상기 가열 장치, 상기 배기 장치를 제어하는 컨트롤러를 구비하고,

상기 컨트롤러가, 상기 처리실 내에 있어서, 제1항 내지 제8항 중 어느 한 항에 기재된 텅스텐막 또는 산화 텅스텐막 상으로의 산화 실리콘막의 성막 방법이, 상기 피처리체에 대하여 행해지도록, 상기 가스 공급 기구, 상기 가열 장치, 상기 배기 장치를 제어하는 것을 특징으로 하는 성막 장치.

명세서

기술 분야

[0001] 본 발명은, 텅스텐막 또는 산화 텅스텐막 상으로의 산화 실리콘막의 성막 방법 및 성막 장치에 관한 것이다.

배경 기술

[0002] 반도체 장치의 제조 프로세스에 있어서, 텅스텐막 상에 산화 실리콘(SiO_2)막을 형성하는 경우가 있다.

[0003] 예를 들면, 특허문헌 1에는 텅스텐 등의 금속 상에, 산화 실리콘막을 형성하는 기술이 기재되어 있다.

선행기술문헌

특허문헌

[0004] (특허문헌 0001) 일본공개특허공보 2006-54432호

발명의 내용

해결하려는 과제

[0005] 그러나, 텅스텐(W)막, 또는 산화 텅스텐(WO₃)막 상에 산화 실리콘막을 성막하는 경우, 성막 초기 단계에 있어서, 텅스텐 또는 산화 텅스텐 표면으로의 실리콘 흡착 레이트가 느리기 때문에, 산화 실리콘막이 성장을 시작하기까지의 인큐베이션 시간이 길어진다는 사정이 있다. 인큐베이션 시간이 길기 때문에, 텅스텐 이외의 하지(base) 상에 형성되는 산화 실리콘막에 비교하여 막두께가 얇아지거나, 또한 성막 초기 단계와 같이 실리콘의 흡착이 불충분한 상태일 때, 산화제가 텅스텐에 직접 접촉하기 때문에 텅스텐이 산화되어, 산화 텅스텐이 증막(增膜)되어 버린다는 사정이 있다.

[0006] 본 발명은, 텅스텐막 또는 산화 텅스텐막 상에 산화 실리콘막을 형성해도, 산화 실리콘막의 인큐베이션 시간을 단축할 수 있는 것이 가능한 텅스텐막 또는 산화 텅스텐막 상으로의 산화 실리콘막의 성막 방법 및, 그 성막 방법을 실시하는 것이 가능한 성막 장치를 제공한다.

과제의 해결 수단

[0007] 본 발명의 제1 실시 형태에 따른 텅스텐막 또는 산화 텅스텐막 상으로의 산화 실리콘막의 성막 방법은, (1) 피처리체 상에 텅스텐막 또는 산화 텅스텐막을 형성하는 공정과, (2) 상기 텅스텐막 또는 산화 텅스텐막 상에 시드층을 형성하는 공정과, (3) 상기 시드층 상에 산화 실리콘막을 형성하는 공정을 구비하고, 상기 (2)의 공정이, 상기 피처리체를 가열하고, 상기 텅스텐막 또는 산화 텅스텐막의 표면에 아미노실란계 가스를 공급하여 상기 텅스텐막 또는 산화 텅스텐막 상에 시드층을 형성하는 공정이다.

[0008] 본 발명의 제2 실시 형태에 따른 성막 장치는, 텅스텐막 또는 산화 텅스텐막 상으로의 산화 실리콘막을 성막하는 성막 장치로서, 상기 텅스텐막 또는 산화 텅스텐막이 형성된 피처리체를 수용하는 처리실과, 상기 처리실 내에, 아미노실란계 가스 및 실리콘 원료 가스 중 적어도 한쪽, 또한 산화제를 포함하는 가스를 공급하는 가스 공급 기구와, 상기 처리실 내를 가열하는 가열 장치와, 상기 처리실 내를 배기하는 배기 장치와, 상기 가스 공급 기구, 상기 가열 장치, 상기 배기 장치를 제어하는 컨트롤러를 구비하고, 상기 컨트롤러가, 상기 처리실 내에 있어서, 제1항 내지 제8항 중 어느 한 항에 기재된 텅스텐막 또는 산화 텅스텐막 상으로의 산화 실리콘막의 성막 방법이, 상기 피처리체에 대하여 행해지도록, 상기 가스 공급 기구, 상기 가열 장치, 상기 배기 장치를 제어한다.

발명의 효과

[0009] 본 발명에 의하면, 텅스텐막 또는 산화 텅스텐막 상에 산화 실리콘막을 형성해도, 산화 실리콘막의 인큐베이션 시간을 단축하는 것이 가능한 텅스텐막 또는 산화 텅스텐막 상으로의 산화 실리콘막의 성막 방법 및, 그 성막 방법을 실시하는 것이 가능한 성막 장치를 제공할 수 있다.

도면의 간단한 설명

[0010] 도 1의 (A)는 본 발명의 일 실시 형태에 따른 텅스텐막 또는 산화 텅스텐막 상으로의 산화 실리콘막의 성막 방법의 일 예를 나타내는 흐름도이다.

도 1의 (B)는 도 1의 (A) 중의 스텝 3의 일 예를 나타내는 흐름도이다.

도 2의 (A)?(C)는 도 1의 (A) 및 (B)에 나타내는 시퀀스 중의 피처리체의 상태를 개략적으로 나타내는 단면도이다.

도 3은 퇴적 시간과 실리콘층의 막두께와의 관계를 나타내는 도면이다.

도 4는 도 3 중의 파선 테두리 A 내를 확대한 확대도이다.

도 5의 (A)는 도면 대응 사진(SEM)이다.

도 5의 (B)는 막두께를 나타낸 도면이다.

도 6의 (A)는 도면 대응 사진(SEM)이다.

도 6의 (B)는 막두께를 나타낸 도면이다.

도 7의 (A)는 도면 대응 사진(SEM)이다.

도 7의 (B)는 막두께를 나타낸 도면이다.

도 8의 (A)?(C)는 반도체 집적 회로 장치 내의 구조체(게이트 전극)를 나타내는 단면도이다.

도 9의 (A)?(C)는 스텝 3의 다른 예를 나타내는 흐름도이다.

도 10은 일 실시 형태에 따른 텅스텐막 또는 산화 텅스텐막 상으로의 산화 실리콘막의 성막 방법을 실시하는 것이 가능한 성막 장치의 일 예를 개략적으로 나타내는 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0011] (발명을 실시하기 위한 형태)
- [0012] (성막 방법)
- [0013] 도 1의 (A)는 본 발명의 일 실시 형태에 따른 텅스텐막 또는 산화 텅스텐막 상으로의 산화 실리콘막의 성막 방법의 일 예를 나타내는 흐름도이고, 도 1의 (B)는 도 1의 (A) 중의 스텝 3의 일 예를 나타내는 흐름도이고, 도 2의 (A)?(C)는, 도 1의 (A) 및 (B)에 나타내는 시퀀스 중의 피처리체의 상태를 개략적으로 나타내는 단면도이다.
- [0014] 우선, 도 1의 (A) 중의 스텝 1에 나타내는 바와 같이, 피처리체 상에 텅스텐막 또는 산화 텅스텐막을 형성한다. 산화 텅스텐막으로서, 피처리체 상에 직접 산화 텅스텐막을 형성하도록 해도 좋고, 피처리체 상에 형성된 텅스텐막의 표면 상에 형성된 자연 산화막이어도 좋다. 또한, 본 예에서는, 피처리체로서 반도체 웨이퍼, 예를 들면, 실리콘 웨이퍼(W)를 이용했다. 이 실리콘 웨이퍼(W)의 실리콘 기판(1) 상에, 본 예에서는 텅스텐막(2)을 형성했다(도 2의 (A)).
- [0015] 다음으로, 도 1의 (A) 중의 스텝 2에 나타내는 바와 같이, 텅스텐막(2) 상에 시드층(3)을 형성한다(도 2의 (B)). 본 예에서는 시드층(3)을 다음과 같이 하여 형성했다.
- [0016] 우선, 텅스텐막(2)이 형성된 실리콘 웨이퍼(W)를 성막 장치의 처리실 내에 반입한다. 이어서, 처리실 내의 온도를 올리고, 텅스텐막(2)이 형성된 실리콘 웨이퍼(W)를 가열하고, 가열된 텅스텐막(2)의 표면에 아미노실란계 가스를 공급한다. 이에 따라, 텅스텐막(2)의 표면 상에 시드층(3)을 형성한다.
- [0017] 아미노실란계 가스의 예로서는,
- [0018] BAS(부틸아미노실란)
- [0019] BTBAS(비스터셔리부틸아미노실란)
- [0020] DMAS(디메틸아미노실란)
- [0021] BDMAS(비스디메틸아미노실란)
- [0022] TDMAS(트리디메틸아미노실란)
- [0023] DEAS(디에틸아미노실란)
- [0024] BDEAS(비스디에틸아미노실란)
- [0025] DPAS(디프로필아미노실란)
- [0026] DIPAS(디이소프로필아미노실란)
- [0027] 등을 들 수 있다. 본 예에서는, DIPAS를 이용했다.
- [0028] 스텝 2에 있어서의 처리 조건의 일 예는,
- [0029] DIPAS 유량 : 500sccm
- [0030] 처리 시간 : 5분
- [0031] 처리 온도 : 25℃
- [0032] 처리 압력 : 532Pa(4Torr)
- [0033] 이다. 스텝 2의 공정을, 본 명세서에서는 이하, 프리플로우(preflow)라고 부른다.
- [0034] 스텝 2는, 실리콘 원료를 텅스텐막(2)에 흡착시키기 쉽게 하는 공정이다. 또한, 본 명세서에서는, 스텝 2에

있어서 시드층(3)을 형성한다고 기재되어 있지만, 실제로는 거의 성막되는 일은 없다. 시드층(3)의 두께는, 바람직하게는 단(單)원자층 레벨의 두께 정도인 것이 좋다. 구체적인 시드층(3)의 두께를 언급하면, 0.1nm 이상 0.3nm 이하이다.

[0035] 다음으로, 도 1의 (A) 중의 스텝 3에 나타내는 바와 같이, 시드층(3) 상에 산화물막, 본 예에서는, 산화 실리콘막(4)을 형성한다(도 2의 (C)).

[0036] 스텝 3의 일 예를 도 1의 (B)에 나타낸다. 본 예에서는, 산화 실리콘막(4)의 성막에, 실리콘을 포함하는 실리콘 원료 가스와, 실리콘을 산화시키는 산화제를 포함하는 가스를 교대로 공급하면서 성막하는, 소위 ALD(Atomic Layer Deposition)법, 또는 MLD(Molecular Layer Deposition)법을 채용했다. 산화제로서는, O_2 , O_3 , H_2O , 또는 그들을 플라즈마에 의해 활성화시킨 활성종을 들 수 있다. 본 예에서는, O_2 플라즈마로 생성한 O 라디칼을 이용했다.

[0037] 우선, 스텝 31에 나타내는 바와 같이, 처리실 내에 불활성 가스, 예를 들면, 질소(N_2) 가스를 공급하여, 아미노실란계 가스를 퍼지한다.

[0038] 다음으로, 스텝 32에 나타내는 바와 같이, 실리콘 원료 가스를 처리실 내에 공급하고, 시드층(3)에 실리콘층을 형성한다. 실리콘 원료 가스의 예로서는, 스텝 2에서 이용한 아미노실란계 가스 외에, 아미노기를 포함하지 않는 실란계 가스를 들 수 있다. 아미노기를 포함하지 않는 실란계 가스로서는,

[0039] SiH_2

[0040] SiH_4

[0041] SiH_6

[0042] Si_2H_4

[0043] Si_2H_6

[0044] Si_mH_{2m+2} (단, m은 3 이상의 자연수)의 식으로 나타나는 실리콘의 수소화물 및,

[0045] Si_nH_{2n} (단, n은 3 이상의 자연수)의 식으로 나타나는 실리콘의 수소화물 중 적어도 하나를 포함하는 가스를 들 수 있다.

[0046] 또한, 본 예에서는 아미노실란계 가스, 예를 들면, DIPAS를 이용했다.

[0047] 스텝 32에 있어서의 처리 조건의 일 예는,

[0048] DIPAS 유량 : 500sccm

[0049] 처리 시간 : 0.1분

[0050] 처리 온도 : 25℃

[0051] 처리 압력 : 532Pa(4Torr)

[0052] 이다.

[0053] 다음으로, 스텝 33에 나타내는 바와 같이, 처리실 내에 불활성 가스, 예를 들면, 질소 가스를 공급하여, 실리콘 원료 가스를 퍼지한다.

[0054] 다음으로, 스텝 34에 나타내는 바와 같이, 산화제를 포함하는 가스를 처리실 내에 공급하고, 스텝 32에서 형성된 실리콘층을 산화하여, 산화 실리콘막(4)을 형성한다. 스텝 34에 있어서도, 산화제로서는, O_2 , O_3 , H_2O 또는 그들을 플라즈마에 의해 활성화시킨 활성종을 들 수 있다. 본 예에서는, O_2 플라즈마로 생성한 O 라디칼을 이용했다.

[0055] 다음으로, 스텝 35에 나타내는 바와 같이, 처리실 내에 불활성 가스, 예를 들면, 질소 가스를 공급하여, 산화제를 포함하는 가스를 퍼지한다.

[0056] 다음으로, 스텝 36에 나타내는 바와 같이, 반복 회수가 설정 회수인지 아닌지를 판단한다.

- [0057] 설정 회수에 도달하지 않은 경우(NO), 스텝 32로 되돌아가, 스텝 32 부터 스텝 35를 반복한다.
- [0058] 설정 회수에 도달한 경우(YES), 도 1의 (A)에 나타내는 바와 같이, 처리 종료가 된다.
- [0059] (인큐베이션 시간)
- [0060] 도 3에, 퇴적 시간과 실리콘층의 막두께와의 관계를 나타낸다. 도 3에 나타내는 결과는 하지를 산화 실리콘(SiO_2)으로 한 경우이지만, 하지가 산화 실리콘이어도, 텅스텐이어도, 산화 텅스텐이어도, 동일한 경향을 나타낸다. 왜냐하면, 프리플로우, 즉, 아미노실란계 가스가 열분해됨으로써 얻어진 시드층(3)은 하지 상에 형성되기 때문이다. 실리콘층은, 어디까지나 시드층(3) 상에 흡착되어 성막된다.
- [0061] 본 예에서 이용한 프리플로우에 있어서의 처리 조건은,
- [0062] DIPAS 유량 : 500sccm
- [0063] 처리 시간 : 5분
- [0064] 처리 온도 : 400℃
- [0065] 처리 압력 : 53.2Pa(0.4Torr)
- [0066] 이다.
- [0067] 마찬가지로, 본 예에서 이용한 실리콘층을 성막하기 위한 처리 조건은,
- [0068] 모노실란 유량 : 500sccm
- [0069] 퇴적 시간 : 30분/45분/60분
- [0070] 처리 온도 : 500℃
- [0071] 처리 압력 : 53.2Pa(0.4Torr)
- [0072] 이다.
- [0073] 실리콘층의 막두께는, 퇴적 시간을 30분으로 했을 때, 45분으로 했을 때 및, 60분으로 했을 때의 3점에서 측정했다.
- [0074] 도 3 중의 선 I 은, 프리플로우가 있는 경우, 선 II는 프리플로우가 없는 경우의 결과를 나타낸다. 선 I, II는, 측정된 3개의 막두께를 최소 이승법으로 직선에 근사한 직선이며, 식은 다음과 같다.
- [0075] 선 I : $y = 17.572x - 20.855 \dots (1)$
- [0076] 선 II : $y = 17.605x - 34.929 \dots (2)$
- [0077] 도 3에 나타내는 바와 같이, 프리플로우가 있는 경우, 프리플로우가 없는 경우에 비교하여 실리콘층의 막두께가 증가하는 경향이 명백해졌다.
- [0078] 상기 (1), (2)식을 $y=0$, 즉 실리콘층의 막두께를 “0”으로 했을 때, 선 I, II와 퇴적 시간의 교점을 구한 것을 도 4에 나타낸다. 또한, 도 4는 도 3 중의 파선 테두리 A 내를 확대한 확대도이다.
- [0079] 도 4에 나타내는 바와 같이, 프리플로우가 있을 때, 실리콘층의 퇴적이 처리 개시로부터 약 1.2분($x \approx 1.189$)로부터 시작된다. 이에 대하여, 프리플로우가 없는 실리콘층일 때에는, 실리콘층의 퇴적이 처리 개시로부터 약 2.0분($x \approx 1.984$)로부터 시작된다.
- [0080] 이와 같이, 하지에 대하여 아미노실란계 가스의 프리플로우를 행함으로써, 인큐베이션 시간을, 약 2.0분으로부터 약 1.2분으로 단축할 수 있다.
- [0081] (산화 실리콘막의 SEM 관찰)
- [0082] 다음으로, 산화 실리콘막을 SEM 관찰한 결과를 나타낸다.
- [0083] 도 5의 (A) 및 (B)는 상기 일 실시 형태에 따른 텅스텐막 또는 산화 텅스텐막 상으로의 산화 실리콘막의 성막 방법을 이용하여 산화 실리콘막(4)을 형성한 경우이고, 도 5의 (A)는 SEM 사진, 도 5의 (B)는 막두께를 나타낸 도면이다. 도 6의 (A) 및 (B)는 비교예이고, 프리플로우가 없는 경우이다. 산화 실리콘막(4)은 성막할 때의 반복 회수를 모두 20사이클로 하여 성막했다. 또한, 텅스텐막(2)의 표면 상에는, 쌍방 모두 얇은 산화

텅스텐(WO_3)막(5)이 형성되어 있다. 이 산화 텅스텐막(5)은 대기 중의 산소와 접촉함으로써 자연스럽게 형성된 자연 산화막이다. 물론, 산화 텅스텐막(5)은 없어도 좋다.

[0084] 도 5의 (A) 및 (B)에 나타내는 바와 같이, 상기 일 실시 형태에 의하면, 텅스텐막(2) 상에, 막두께 1.3nm의 산화 텅스텐막(5)을 통하여 막두께 3.9nm(시드층(3)의 산화막두께 포함)의 산화 실리콘막(4)이 형성된다.

[0085] 이에 대하여, 도 6의 (A) 및 (B)에 나타내는 바와 같이, 프리플로우가 없는 비교예에 의하면, 텅스텐막(2) 상에, 막두께 1.5nm의 산화 텅스텐막(5)을 통하여 막두께 3.0nm의 산화 실리콘막(4)밖에 형성되어 있지 않다.

[0086] 이와 같이, 상기 일 실시 형태에 의하면, 프리플로우를 하지 않는 경우에 비교하여, 인큐베이션 시간이 단축되고, 동일한 20사이클이라도, 약 30% 막두께가 두꺼운 산화 실리콘막(4)을 텅스텐막(2) 상에 형성할 수 있었다.

[0087] 또한, 상기 일 실시 형태에 의하면, 산화 텅스텐막(5)의 막두께가 1.3nm이지만, 비교예에서는, 산화 텅스텐막(5)의 막두께가 1.5nm으로 증막되어 있다.

[0088] 이 점에서, 상기 일 실시 형태에 의하면, 텅스텐막(2) 상으로의 산화 실리콘막(4)의 성막시에 있어서, 계면의 산화 텅스텐막(5)의 증막도 억제할 수 있다는 이점도 함께 얻을 수 있다. 이것은, 상기 일 실시 형태에서는, 시드층(3)이 텅스텐막(2)의 표면 상에 형성되기 때문에, 산화제가 직접적으로 텅스텐막(2)이나 산화 텅스텐막(5)에 접촉하는 것을 억제할 수 있기 때문이라고 생각된다.

[0089] 도 7의 (A) 및 (B)는 실리콘 기판(1) 상에 산화 실리콘막(4)을 형성한 경우이고, 도 7의 (A)는 SEM 사진, 도 7의 (B)는 막두께를 나타낸 도면이다. 본 예에 있어서, 산화 실리콘막(4)은 처리 조건을 동일하게 하고, 반복 회수도 20사이클로 동일하게 하여 성막했다. 또한, 실리콘 기판(1)의 표면 상에는 두께 1nm의 자연 산화막(SiO_2)(6)이 형성되어 있다.

[0090] 도 7의 (A) 및 (B)에 나타내는 바와 같이, 이 경우, 실리콘 기판(1) 상에, 자연 산화막(6)을 통하여 막두께 4.1nm의 산화 실리콘막(4)이 형성된다.

[0091] 이 점에서, 상기 일 실시 형태에 의하면, 다음과 같은 이점도 얻을 수 있다.

[0092] 도 8의 (A)~(C)는, 반도체 집적 회로 장치 내의 구조체, 예를 들면, 게이트 전극을 나타내는 단면도이다.

[0093] 도 8의 (A)에 나타내는 바와 같이, 게이트 전극 중에는 폴리실리콘층(7) 상에 텅스텐막(2)을 적층한, 소위 폴리메탈 구조의 게이트 전극이 있다. 이 폴리메탈 구조의 게이트 전극의 측벽 상에, 산화 실리콘막(4)을 형성하는 경우, 프리플로우가 없는 경우에는, 산화 실리콘막(4)의, 폴리실리콘층(7) 상의 막두께와 텅스텐막(2) 상의 막두께와의 차이가 커진다(도 8의 (B)). 예를 들면, 도 6의 (B)에 나타낸 바와 같이, 프리플로우가 없는 비교예에서는, 산화 실리콘막(4)의 막두께는 텅스텐막(2) 상에서 3.0nm였다. 이 때문에, 산화 실리콘막(4)의 막두께의 불균일이 커진다.

[0094] 이에 대하여, 도 5의 (B)에 나타낸 바와 같이, 상기 일 실시 형태에 의하면, 산화 실리콘막(4)의 막두께는 텅스텐막(2) 상에서 3.9nm였다. 이 때문에, 산화 실리콘막(4)의, 폴리실리콘층(7) 상의 막두께와 텅스텐막(2) 상의 막두께의 차이를 비교예에 비교하여 작게 할 수 있다(도 8의 (C)).

[0095] 이와 같이, 상기 일 실시 형태에 의하면, 인큐베이션 시간을 짧게 할 수 있고, 단시간 혹은 반복 사이클수가 적은 경우라도, 보다 두꺼운 막두께의 산화 실리콘막(4)을, 텅스텐막(2) 상에 형성할 수 있다는 이점에 더하여, 실리콘과 텅스텐의 쌍방이 노출되어 있는 바와 같은 반도체 집적 회로 장치 내의 구조체 상에 산화 실리콘막(4)을 형성한 경우에, 산화 실리콘막의 막두께를, 불균일을 작게 하는 것도 가능해진다는 이점도 얻을 수 있다.

[0096] 또한, 산화 실리콘막(4)의 성막시에 있어서, 계면의 산화 텅스텐막(5)의 증막도 억제할 수 있다. 이것은, 상기 일 실시 형태에 의하면, 산화 텅스텐막(5) 또는 텅스텐막(2)의 표면에 시드층(3)이 형성된다. 이 시드층(3)은, 산화 실리콘막(4)의 성막 중, 특히, 산화 실리콘막(4)의 성막 초기 단계에 있어서 산화제의 확산을 막는 장벽이 된다. 이 때문에, 산화 텅스텐막(5) 또는 텅스텐막(2)이, 산화제에 직접적으로 접촉하기 어려워져, 산화 텅스텐막(5)의 증막이 억제된다.

[0097] (성막 방법의 다른 예)

[0098] 다음으로, 텅스텐막 상으로의 산화물막의 성막 방법의 다른 예를 설명한다.

- [0099] 도 9의 (A)?(C)는, 도 1의 (B) 중의 스텝 3의 다른 예를 나타내는 흐름도이다.
- [0100] (제1 예)
- [0101] 도 9의 (A)에 나타내는 바와 같이, 제1 예는 도 1의 (B)에 나타낸 스텝 32, 33과, 스텝 34, 35를 교체한 예이다. 이와 같이, 아미노실란계 가스를 퍼지(스텝 31)한 후, 산화제를 공급(스텝 34)하도록 해도 좋다.
- [0102] (제2 예)
- [0103] 도 9의 (B)에 나타내는 바와 같이, 제2 예는 아미노실란계 가스를 퍼지하는 공정을 생략하고, 아미노실란계 가스를 공급한 후, 소정의 처리 시간 경과 후, 실리콘 원료 가스를 공급하도록 한 예이다. 이와 같이, 아미노실란계 가스를 퍼지하는 공정은 생략하는 것도 가능하다.
- [0104] (제3 예)
- [0105] 도 9의 (C)에 나타내는 바와 같이, 제3 예는 산화 실리콘막(4)을, 실리콘을 포함하는 실리콘 원료 가스와, 실리콘을 산화시키는 산화제를 포함하는 가스를 동시에 공급하면서 성막하는, 소위 CVD(Chemical Vapor Deposition)법을 이용하여 성막하도록 한 예이다. 이와 같이, 산화 실리콘막(4)의 성막에는, CVD법을 이용하는 것도 가능하다.
- [0106] (성막 장치)
- [0107] 다음으로, 상기 일 실시 형태에 따른 텅스텐막 또는 산화 텅스텐막 상으로의 산화 실리콘막의 성막 방법을 실시하는 것이 가능한 성막 장치의 일 예를 설명한다.
- [0108] 도 10은, 일 실시 형태에 따른 텅스텐막 또는 산화 텅스텐막 상으로의 산화 실리콘막의 성막 방법을 실시하는 것이 가능한 성막 장치의 일 예를 개략적으로 나타내는 단면도이다.
- [0109] 도 10에 나타내는 바와 같이, 성막 장치(100)는 하단이 개구된 천정이 있는 원통체 형상의 처리실(101)을 갖고 있다. 처리실(101)의 전체는, 예를 들면, 석영에 의해 형성되어 있다. 처리실(101) 내의 천정에는, 석영체의 천정판(102)이 설치되어 있다. 처리실(101)의 하단 개구부에는, 예를 들면, 스테인리스 스틸에 의해 원통체 형상으로 형성된 매니폴드(103)가 O링 등의 시일 부재(104)를 통하여 연결되어 있다.
- [0110] 매니폴드(103)는 처리실(101)의 하단을 지지하고 있다. 매니폴드(103)의 하방으로부터는, 피처리체로서 복수매, 예를 들면, 50?100매의 반도체 웨이퍼, 본 예에서는, 실리콘 웨이퍼(W)를 다단으로 재치 가능한 석영체의 웨이퍼 보트(105)가 처리실(101) 내에 삽입 가능하도록 되어 있다. 웨이퍼 보트(105)는 복수개의 지주(支柱; 106)를 갖고, 지주(106)에 형성된 홈에 의해 복수매의 실리콘 웨이퍼(W)가 지지되도록 되어 있다.
- [0111] 웨이퍼 보트(105)는 석영체의 보온통(107)을 통하여 테이블(108) 상에 올려 놓여져 있다. 테이블(108)은, 매니폴드(103)의 하단 개구부를 개폐하는, 예를 들면, 스테인리스 스틸체의 덮개부(109)를 관통하는 회전축(110) 상에 지지된다. 회전축(110)의 관통부에는, 예를 들면, 자성 유체 시일(magnetic fluid seal; 111)이 설치되고, 회전축(110)을 기밀하게 시일하면서 회전 가능하게 지지하고 있다. 덮개부(109)의 주변부와 매니폴드(103)의 하단부와의 사이에, 예를 들면, O링으로 이루어지는 시일 부재(112)가 개설(介設)되어 있다. 이에 따라 처리실(101) 내의 시일성이 유지되어 있다. 회전축(110)은, 예를 들면, 보트 엘리베이터 등의 승강기구(도시하지 않음)에 지지된 야암(113)의 선단(先端)에 부착되어 있다. 이에 따라, 웨이퍼 보트(105) 및 덮개부(109) 등은, 일체적으로 승강되어 처리실(101) 내에 대하여 삽입 이탈된다.
- [0112] 성막 장치(100)는 처리실(101) 내에, 처리에 사용하는 가스를 공급하는 처리 가스 공급 기구(114)와, 처리실(101) 내에 불활성 가스를 공급하는 불활성 가스 공급 기구(115)를 갖고 있다.
- [0113] 처리 가스 공급 기구(114)는, 아미노실란계 가스 공급원(117), 실리콘 원료 가스 공급원(118), 산화제를 포함하는 가스 공급원(119)을 포함하고 있다. 아미노실란계 가스의 일 예는 디이소프로필아미노실란(DIPAS), 실리콘 원료 가스의 일 예는 디이소프로필아미노실란(DIPAS), 산화제를 포함하는 가스의 일 예는 산소(O₂) 가스이다. 또한, 아미노실란계 가스와 실리콘 원료 가스가 동일한 경우에는, 아미노실란계 가스 공급원(117) 및 실리콘 원료 가스 공급원(118)을 공용하고, 어느 한쪽만을 형성하도록 해도 좋다.
- [0114] 불활성 가스 공급 기구(115)는, 불활성 가스 공급원(120)을 포함하고 있다. 불활성 가스는, 퍼지 가스 등에 이용된다. 불활성 가스의 일 예는 질소(N₂) 가스이다.
- [0115] 아미노실란계 가스 공급원(117)은, 유량 제어기(121a) 및 개폐 밸브(122a)를 통하여 분산 노즐(123)에 접속되

어 있다. 분산 노즐(123)은 석영관으로 이루어지고, 매니폴드(103)의 측벽을 내측으로 관통하여 상방향으로 굴곡되어 수직으로 연장된다. 분산 노즐(123)의 수직 부분에는, 복수의 가스 토출공(124)이 소정의 간격을 사이에 두고 형성되어 있다. 아미노실란계 가스는, 각 가스 토출 공(124)으로부터 수평 방향으로 처리실(101) 내를 향하여 대략 균일하게 토출된다.

[0116] 또한, 실리콘 원료 가스 공급원(118)도, 유량 제어기(121b) 및 개폐 밸브(122b)를 통하여, 예를 들면, 분산 노즐(123)에 접속된다.

[0117] 산화제를 포함하는 가스 공급원(119)은, 유량 제어기(121c) 및 개폐 밸브(122c)를 통하여, 분산 노즐(125)에 접속되어 있다. 분산 노즐(125)은 석영관으로 이루어지고, 매니폴드(103)의 측벽을 내측으로 관통하여 상방향으로 굴곡되어 수직으로 연장된다. 분산 노즐(125)의 수직 부분에는, 복수의 가스 토출공(126)이 소정의 간격을 두고 형성되어 있다. 암모니아를 포함하는 가스는, 각 가스 토출공(126)으로부터 수평 방향으로 처리실(101) 내를 향하여 대략 균일하게 토출된다.

[0118] 불활성 가스 공급원(120)은, 유량 제어기(121d) 및 개폐 밸브(122d)를 통하여, 노즐(128)에 접속되어 있다. 노즐(128)은, 매니폴드(103)의 측벽을 관통하고, 그의 선단으로부터 불활성 가스를, 수평 방향으로 처리실(101) 내를 향하여 토출시킨다.

[0119] 처리실(101) 내의 분산 노즐(123 및 125)과 반대측의 부분에는, 처리실(101) 내를 배기하기 위한 배기구(129)가 형성되어 있다. 배기구(129)는 처리실(101)의 측벽을 상하 방향으로 깎아냄으로써 가늘고 길게 형성되어 있다. 처리실(101)의 배기구(129)에 대응하는 부분에는, 배기구(129)를 덮도록 단면이 “ㄷ” 자 형상으로 성형된 배기구 커버 부재(130)가 용접에 의해 부착되어 있다. 배기구 커버 부재(130)는 처리실(101)의 측벽을 따라 상방으로 연장되어 있고, 처리실(101)의 상방에 가스 출구(131)를 규정하고 있다. 가스 출구(131)에는, 진공 펌프 등을 포함하는 배기 기구(132)가 접속된다. 배기 기구(132)는 처리실(101) 내를 배기함으로써 처리에 사용한 처리 가스의 배기 및, 처리실(101) 내의 압력을 처리에 따른 처리 압력으로 한다.

[0120] 처리실(101)의 외주에는 통체 형상의 가열 장치(133)가 설치되어 있다. 가열 장치(133)는 처리실(101) 내에 공급된 가스를 활성화함과 함께, 처리실(101) 내에 수용된 피처리체, 본 예에서는 실리콘 웨이퍼(W)를 가열한다.

[0121] 성막 장치(100)의 각 부의 제어는, 예를 들면, 마이크로프로세서(컴퓨터)로 이루어지는 컨트롤러(150)에 의해 행해진다. 컨트롤러(150)는, 오퍼레이터가 성막 장치(100)를 관리하기 위해 커맨드의 입력 조작 등을 행하는 키보드나, 성막 장치(100)의 가동 상황을 가시화하여 표시하는 디스플레이 등으로 이루어지는 유저 인터페이스(151)가 접속되어 있다.

[0122] 컨트롤러(150)에는 기억부(152)가 접속되어 있다. 기억부(152)는, 성막 장치(100)에서 행해지는 각종 처리를 컨트롤러(150)의 제어로 실현하기 위한 제어 프로그램이나, 처리 조건에 따라서 성막 장치(100)의 각 구성부에 처리를 실행시키기 위한 프로그램, 즉 레시피가 격납된다. 레시피는, 예를 들면, 기억부(152) 중의 기억 매체에 기억된다. 기억 매체는 하드디스크나 반도체 메모리이어도 좋고, CD-ROM, DVD, 플래시메모리 등의 가반성(portable type)인 것이어도 좋다. 또한, 다른 장치로부터, 예를 들면 전용 회선을 통하여 레시피를 적절히 전송시키도록 해도 좋다. 레시피는 필요에 따라서, 유저 인터페이스(151)로부터의 지시 등으로 기억부(152)로부터 읽혀지고, 읽혀진 레시피에 따른 처리를 컨트롤러(150)가 행함으로써, 성막 장치(100)는 컨트롤러(150)의 제어하에서 원하는 처리가 실시된다.

[0123] 본 예에서는, 컨트롤러(150)의 제어하에서, 상기 일 실시 형태에 따른 텅스텐막 또는 산화 텅스텐막 상으로의 산화 실리콘막의 성막 방법, 예를 들면, 도 1의 (A), 도 1의 (B), 도 9의 (A)?(C)에 나타낸 스텝에 따른 처리를 순차 행한다.

[0124] 상기 일 실시 형태에 따른 텅스텐막 또는 산화 텅스텐막 상으로의 산화 실리콘막의 성막 방법은, 도 10에 나타내는 바와 같은 성막 장치(100)에 의해 실시할 수 있다.

[0125] 이상, 본 발명을 일 실시예에 따라서 설명했지만, 본 발명은 상기 일 실시 형태에 한정되는 일은 없고, 여러 가지 변형이 가능하다. 또한, 본 발명의 실시 형태는 상기 일 실시 형태가 유일한 실시 형태도 아니다.

[0126] 예를 들면, 산화제에 산소 가스를 대신하여, H₂O 가스나 오존(O₃) 가스를 이용할 수도 있고, 오존 가스의 경우에는 산화제를 포함하는 가스 공급원(119)에 오존 가스를 발생시키는 오존나이지터를 구비하도록 해도 좋다.

[0127] 또한, O₂, O₃, H₂O를 플라즈마에 의해 활성화시키고, 이들을 활성화시킨 활성 종을 실리콘 웨이퍼(W) 등의 피

처리체 상에 토출해도 좋다. 이 경우, 처리실(101) 내부에 플라즈마를 발생시키는 플라즈마 발생 기구를, 예를 들면, 처리실(101) 내부에 설치하도록 해도 좋다.

[0128] 또한, 상기 실시 형태에서는, 실리콘 원료 가스로서 아미노실란계 가스를 설명했지만, 시드층(3) 상으로의 실리콘층의 형성시에 있어서는, 실란계 가스를 이용할 수도 있다. 그 중에서도, $\text{Si}_m\text{H}_{2m+2}$ (단, m 은 3 이상의 자연수)의 식으로 나타나는 실리콘의 수소화물 및, Si_nH_{2n} (단, n 은 3 이상의 자연수)의 식으로 나타나는 실리콘의 수소화물에 대해서는,

[0129] $\text{Si}_m\text{H}_{2m+2}$ (단, m 은 3 이상의 자연수)의 식으로 나타나는 실리콘의 수소화물이,

[0130] 트리실란(Si_3H_8)

[0131] 테트라실란(Si_4H_{10})

[0132] 펜타실란(Si_5H_{12})

[0133] 헥사실란(Si_6H_{14})

[0134] 헵타실란(Si_7H_{16})

[0135] 중 적어도 하나로부터 선택되고,

[0136] Si_nH_{2n} (단, n 은 3 이상의 자연수)의 식으로 나타나는 실리콘 수소화물이,

[0137] 사이클로트리실란(Si_3H_6)

[0138] 사이클로테트라실란(Si_4H_8)

[0139] 사이클로펜타실란(Si_5H_{10})

[0140] 사이클로헥사실란(Si_6H_{12})

[0141] 사이클로헵타실란(Si_7H_{14})

[0142] 중 적어도 어느 하나로부터 선택할 수도 있다.

[0143] 또한, 상기 일 실시 형태에서는 본 발명을 복수의 실리콘 웨이퍼(W)를 탑재하여 일괄하여 성막을 행하는 배치식의 성막 장치에 적용한 예를 나타냈지만, 이것에 한정하지 않고, 1매의 웨이퍼마다 성막을 행하는 매엽식의 성막 장치에 적용할 수도 있다.

[0144] 또한, 피처리체로서는, 반도체 웨이퍼에 한정되지 않고, LCD 유리 기판 등의 다른 기판에도 본 발명을 적용할 수 있다.

[0145] 그 외에, 본 발명은 그의 요지를 일탈하지 않는 범위에서 여러 가지로 변형할 수 있다.

부호의 설명

[0146] 1 : 실리콘 기판

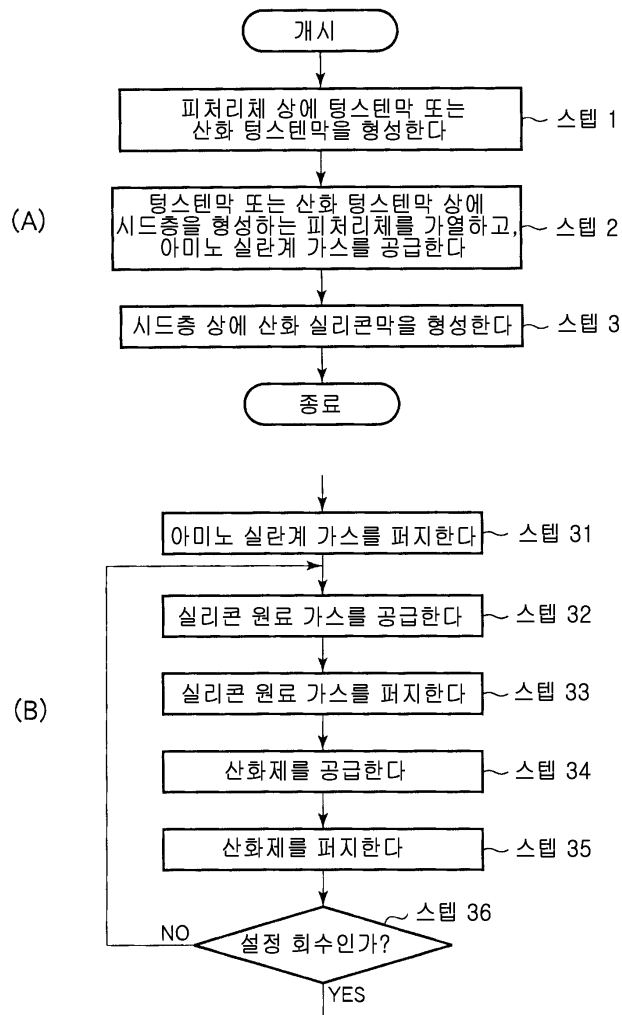
2 : 텅스텐막

3 : 시드층

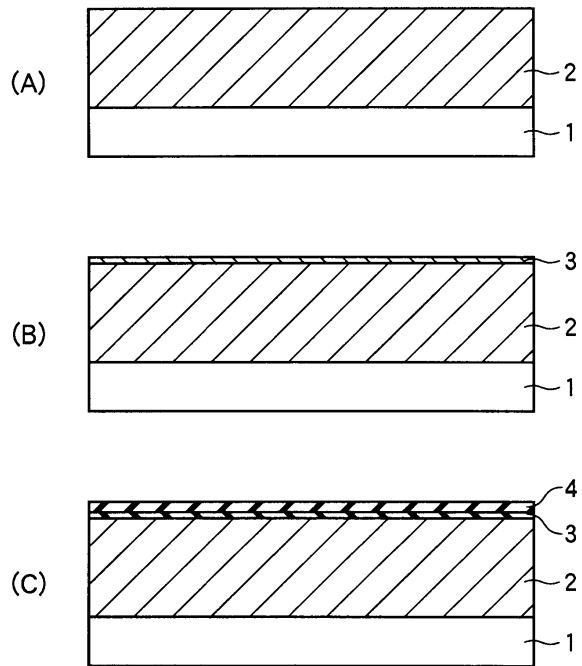
4 : 산화 실리콘막

도면

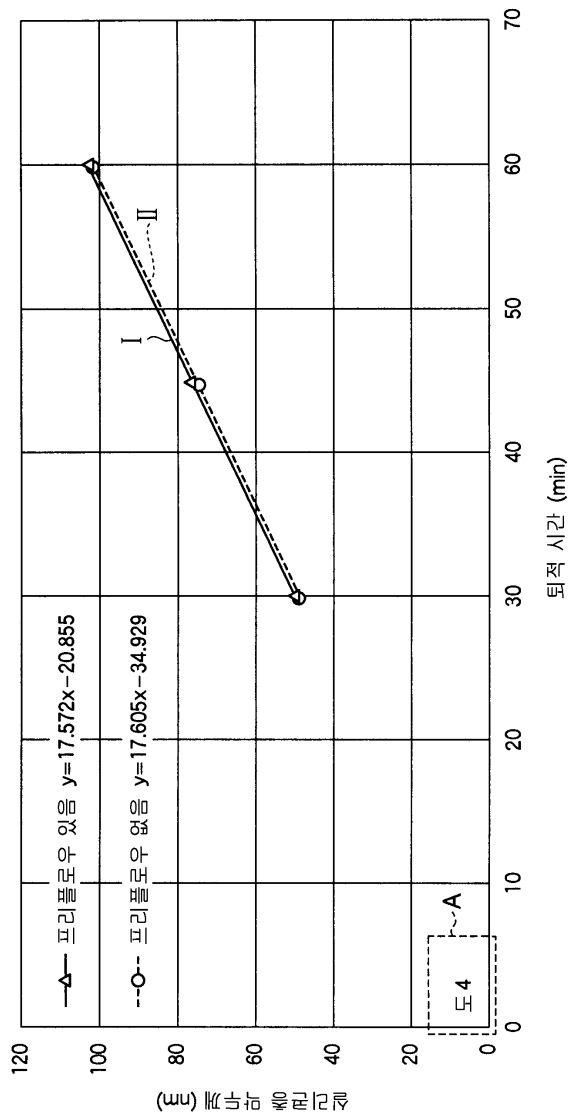
도면1



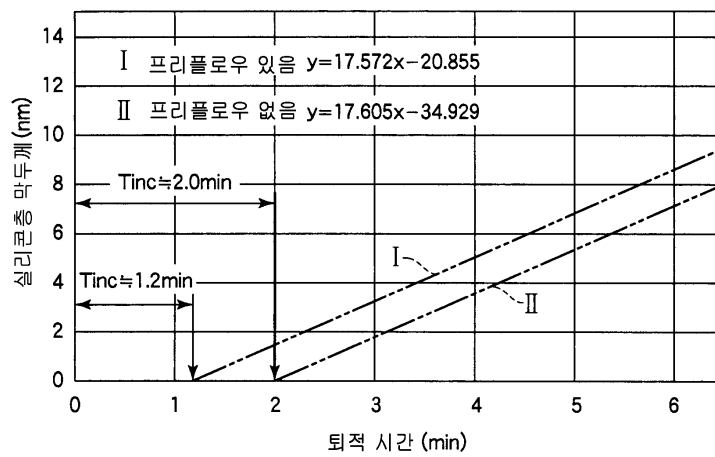
도면2



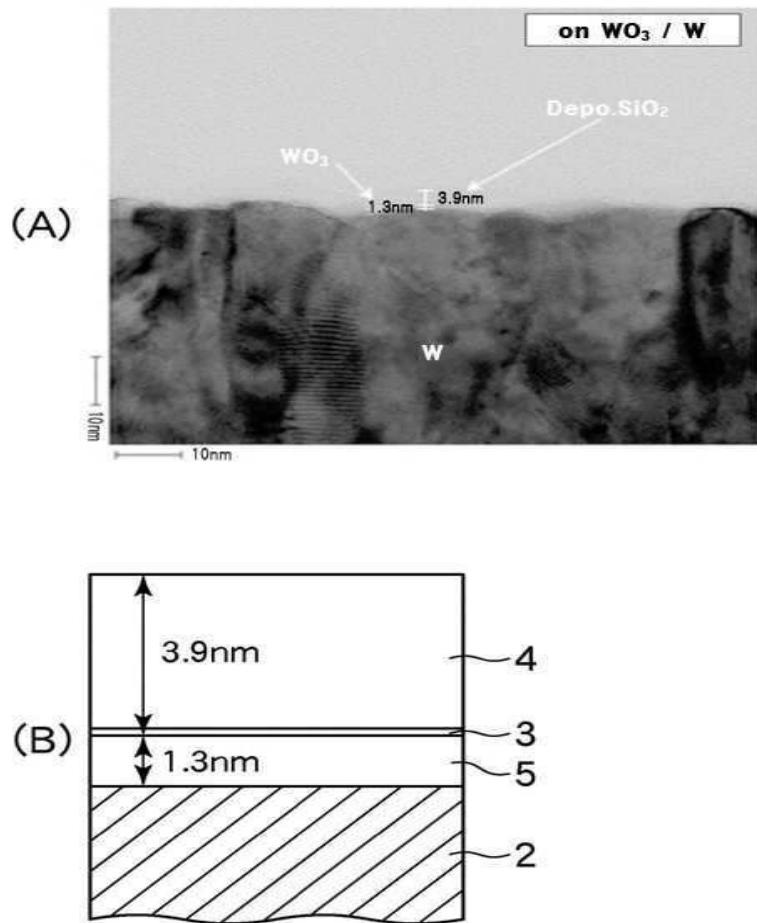
도면3



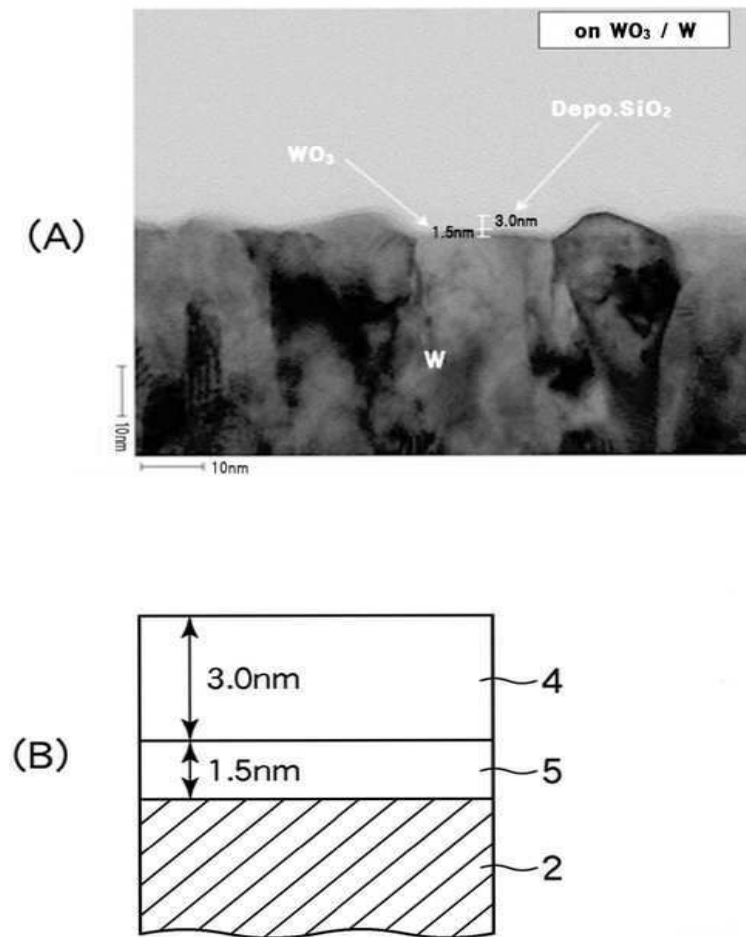
도면4



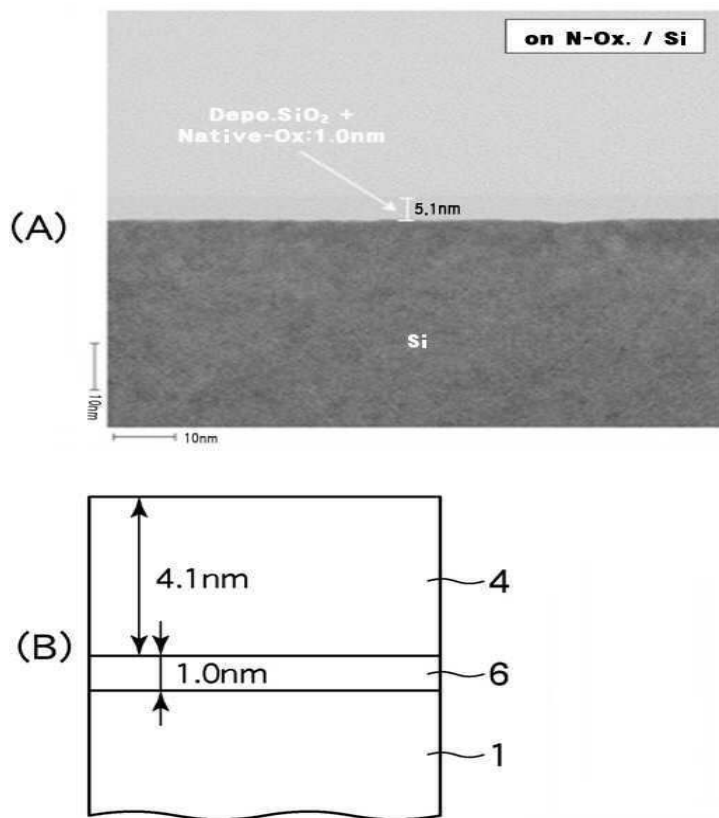
도면5



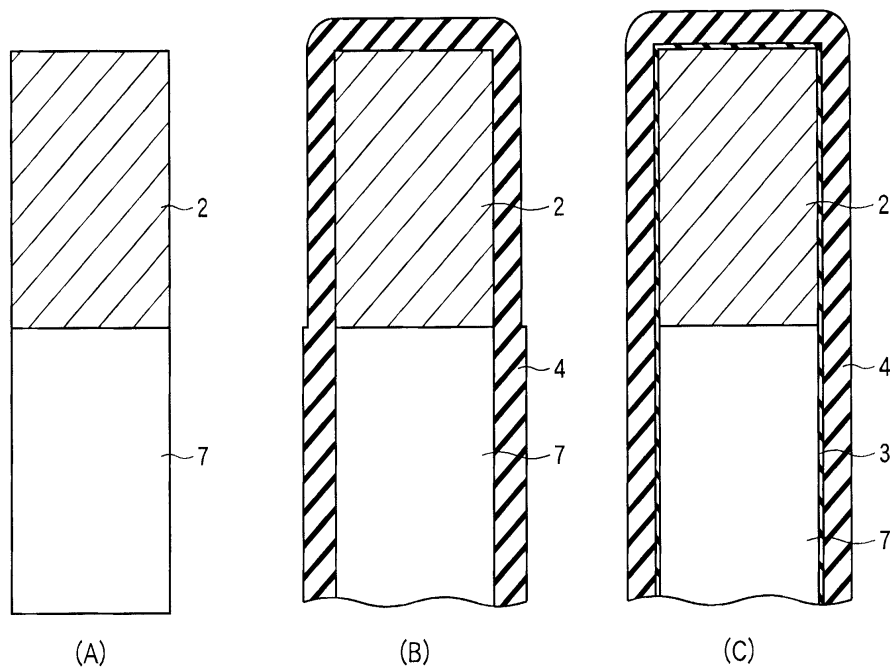
도면6



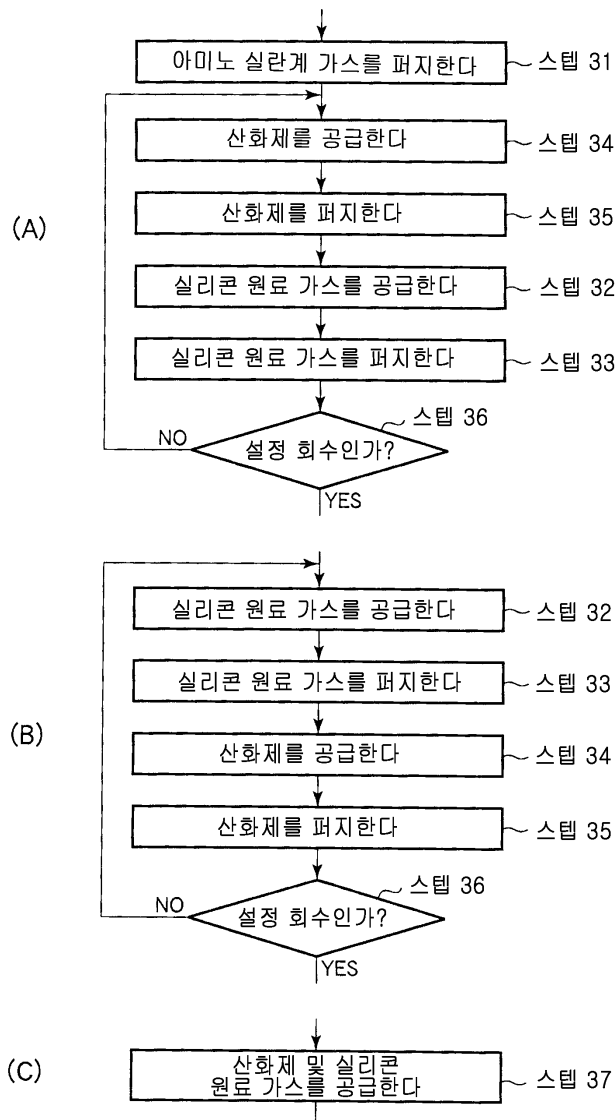
도면7



도면8



도면9



도면10

