

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4269657号  
(P4269657)

(45) 発行日 平成21年5月27日(2009.5.27)

(24) 登録日 平成21年3月6日(2009.3.6)

(51) Int.Cl.		F I			
<b>H01G</b>	<b>4/30</b>	<b>(2006.01)</b>	H01G	4/30	301D
<b>H05K</b>	<b>3/46</b>	<b>(2006.01)</b>	H01G	4/30	301E
			H05K	3/46	Q

請求項の数 11 (全 16 頁)

(21) 出願番号	特願2002-339123 (P2002-339123)	(73) 特許権者	000003193 凸版印刷株式会社 東京都台東区台東1丁目5番1号
(22) 出願日	平成14年11月22日(2002.11.22)	(72) 発明者	河本 憲治 東京都台東区台東1丁目5番1号 凸版印刷株式会社内
(65) 公開番号	特開2004-172530 (P2004-172530A)	(72) 発明者	佐藤 尽 東京都台東区台東1丁目5番1号 凸版印刷株式会社内
(43) 公開日	平成16年6月17日(2004.6.17)	審査官	重田 尚郎
審査請求日	平成17年9月16日(2005.9.16)		

最終頁に続く

(54) 【発明の名称】 誘電体積層シート、基板内蔵キャパシタースシート及び素子内蔵基板

(57) 【特許請求の範囲】

【請求項1】

複数の誘電体シートの同一面上に複数区画の内層電極が形成されている誘電体シートを、前記内層電極に複数の電気的な接続のための貫通孔形成予定位置を設け、各誘電体シート上の内層電極が上下の内層電極と前記貫通孔形成予定位置において重ならないように前記貫通孔形成予定位置を選択して電極パターンを形成し、複数枚積層したことを特徴とする基板内蔵キャパシタース素子用誘電体積層シート。

【請求項2】

前記誘電体シートの一層の厚みが5～100μm以下であり、かつ前記基板内蔵キャパシタース素子用誘電体積層シートの厚みが10～600μm以下であることを特徴とする請求項1に記載の基板内蔵キャパシタース素子用誘電体積層シート。

【請求項3】

前記誘電体シートは少なくとも熱可塑性樹脂及び/又は熱硬化性樹脂と、誘電体フィラーを含むことを特徴とする請求項1または2に記載の基板内蔵キャパシタース素子用誘電体積層シート。

【請求項4】

前記誘電体フィラーは、下記、

BaTiO<sub>3</sub>、SrTiO<sub>3</sub>、CaTiO<sub>3</sub>、Mg<sub>2</sub>TiO<sub>3</sub>、ZnTiO<sub>3</sub>、La<sub>2</sub>Ti<sub>2</sub>O<sub>7</sub>、Nd<sub>2</sub>Ti<sub>2</sub>O<sub>7</sub>、PbTiO<sub>3</sub>、CaZrO<sub>3</sub>、BaZrO<sub>3</sub>、PbZrO<sub>3</sub>、BaTi<sub>1-x</sub>Zr<sub>x</sub>O<sub>3</sub>、PbZr<sub>x</sub>Ti<sub>1-x</sub>O<sub>3</sub>

( 0 x 1 )

から選ばれる、1種あるいは2種類以上であることを特徴とする請求項3記載の基板内蔵キャパシター素子用誘電体積層シート。

【請求項5】

請求項1から4のいずれかに記載の誘電体積層シートの最外層に複数の電極が設けられ、前記誘電体積層シートにおける内層電極は上下どちらかの最外層の電極と電氣的に接続され、キャパシター素子が形成されていることを特徴とする基板内蔵キャパシターシート。

【請求項6】

前記キャパシター素子における最外層の電極の面積は、当該キャパシター素子における内層電極一つの面積と同じかもしくは大きいことを特徴とする請求項5記載の基板内蔵キャパシターシート。

10

【請求項7】

請求項5または6記載の内層電極が同一平面上で電氣的に接続されていることを特徴とする基板内蔵キャパシターシート。

【請求項8】

1つのキャパシター素子を構成する上下の内層電極の電氣的な接続を一部とらないことで当該キャパシター素子の容量を調節したことを特徴とする請求項5から7のいずれかに記載の基板内蔵キャパシターシート。

【請求項9】

前記最外層の電極は銅箔であることを特徴とする請求項5から8のいずれかに記載の基板内蔵キャパシターシート。

20

【請求項10】

請求項5から9のいずれかに記載のキャパシターシートの積層によりキャパシター層を形成したことを特徴とする素子内蔵基板。

【請求項11】

請求項5から9のいずれかに記載のキャパシターシートを絶縁材料で被覆後、配線パターンを設けたことを特徴とする請求項10記載の素子内蔵基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

30

本発明は、受動素子が電気絶縁性基板の内部に配置されるキャパシター素子等の受動素子内蔵モジュールおよび受動素子内蔵基板に関する。

【0002】

【従来の技術】

近年、電子機器の高性能化、小型化、高周波化の要求に伴い、半導体のさらなる高密度、高機能化が要請されている。このため、前記半導体の他にコンデンサ(C)、インダクタ(L)、抵抗(R)等の受動部品自体も小型化しており、さらにこれら特性が保証されたチップ受動部品を実装するための回路基板も、さらに小型高密度なものが必要とされている。

【0003】

40

これらの要求に対し、例えば、LSI間や実装部品間の電気配線を、最短距離で接続できる基板層間の電気接続方式であるインナーピアホール(以下、IVHとする。)接続法が、最も回路の高密度配線化が可能であることから、各方面で開発が進められている。一般に、このようなIVH構成の配線基板としては、例えば、多層セラミック配線基板、ビルドアップ法による多層プリント配線基板、樹脂と無機フィラーとの混合物からなる多層コンポジット配線基板等があげられる。

【0004】

前記多層セラミック配線基板は、例えば、以下に示すようにして作製できる。まず、アルミナ等のセラミック粉末、有機バインダおよび可塑剤からなるグリーンシートを複数枚準備し、前記各グリーンシートにピアホールを設け、前記ピアホールに導電性ペーストを充

50

填した後、このグリーンシートに配線パターン印刷を行い、前記各グリーンシートを積層する。そして、この積層体を、脱バインダおよび焼成することにより、前記多層セラミック配線基板を作製できる。このような多層セラミック配線基板は、I V H構造を有するため、極めて高密度な配線パターンを形成でき、電子機器の小型化等に最適である。

【0005】

また、この多層セラミック配線基板の構造を模した、前記ビルドアップ法によるプリント配線基板も各方面で開発されている。例えば、特開平9-116267号公報、特開平9-51168号公報等には、一般的なビルドアップ法として、従来から使用されているガラス-エポキシ基板をコアとし、この基板表面に感光性絶縁層を形成した後、フォトリソグラフィ法でビアホールを設け、さらにこの全面に銅メッキを施し、前記銅メッキを化学エッチングして配線パターンを形成する方法が開示されている。

10

【0006】

また、特開平9-326562号公報には、前記ビルドアップ法と同様に、前記フォトリソグラフィ法により加工したビアホールに、導電性ペーストを充填する方法が開示され、特開平9-36551号公報、特開平10-51139号公報等には、絶縁性硬質基材の一表面に導体回路を、他方表面に接着剤層をそれぞれ形成し、これに貫通孔を設けて、導電性ペーストを充填した後、複数の基材を重ねて積層する多層化方法が開示されている。

【0007】

また、特許第2601128号、特許第2603053号、特許第2587596号は、アラミド-エポキシプリプレグにレーザ加工により貫通孔を設け、ここに導電性ペーストを充填した後、銅箔を積層してパターンニングを行い、この基板をコアとして、導電性ペーストを充填したプリプレグでさらに挟み多層化する方法である。

20

【0008】

以上のように、例えば、樹脂系プリント配線基板をI V H接続させれば、前記多層セラミック配線基板と同様に、必要な各層間のみの電氣的接続が可能であり、さらに、配線基板の最上層に貫通孔がないため、より実装性にも優れる。

【0009】

しかしながら上記のように、高密度配線化された多層配線基板においても、コンデンサ、抵抗器など配線基板の表面に実装される電子部品の占める割合は依然として高く、電子機器の小型化に対して、大きな課題となっている。このような課題の解決策として配線基板内に電子部品を埋設して高密度実装化を図ろうとする提案が開示されている。

30

【0010】

例えば、プリント基板に設けた透孔内にリードレス部品を埋設した構成が特開昭54-38561号公報、絶縁基板に設けた貫通孔内にセラミックコンデンサ等の受動素子を埋設した構成が特公昭60-41480号公報、半導体素子のバイパスコンデンサをプリント配線基板の孔に埋設した構成が特開平4-73992号公報および特許文献1等が開示されている。

【0011】

また、セラミック配線基板に設けたビアホール(I V H)内に導電性物質と誘電性物質を充填して同時焼成した特許文献2、有機系絶縁基板に設けた貫通孔に電子部品形成材料を埋め込んだ後、固化させてコンデンサや抵抗器を形成した構成が特許文献3等が開示されている。

40

【0012】

上記従来の開示技術はいずれも二つの方式に大別できる。すなわちその一つは配線基板に設けられた貫通孔にチップ抵抗器またはチップコンデンサ等の既に完成されたリードレス部品を埋設した後、このリードレス部品の電極と配線基板上の配線パターンとを導電性ペイントまたは半田付けによって接続するものである。また、他の一つは有機系配線基板の場合、配線基板に設けた貫通孔にコンデンサ等の電子部品形成材料を埋め込み、固化させることによって所望のコンデンサとした後、その上下の端面にメッキを施して電極を形成

50

して電子部品内蔵配線基板を形成させ、また無機系配線基板の場合は、セラミックグリーンシートに設けられたピアホール（IVH）内に誘電体ペーストや導電性ペーストを充填した後、高温で焼成することにより、所望のコンデンサを内蔵した配線基板を形成したものである。

なお、ここで貫通孔とは、プリント配線板を構成する層のいずれかを貫通する穴をいう。

【0013】

しかしながら、これらの貫通孔を利用して焼成あるいは固化したコンデンサで大容量を得ることは困難である。一方、あらかじめ、大容量が確保されているチップコンデンサ等を貫通孔を利用して埋設、実装する場合は、現行、最小サイズの0603チップを用いた場合でも0.6mmの層厚みが必ず伴い、薄い多層基板を実現することが困難となる。

10

【0014】

また、チップ部品単体でみた場合、市場には、1005、0603に代表される側面に電極が構成されたチップ部品が代表的であり、それらを基板に内蔵した例は、特許文献4（米国特許第6,038,133号明細書）などに既に提案されているが、内蔵用に特性、形状を考慮して構造を対応させたもの、またそれを基板に内蔵させた形態は、まだ提案されていない。さらに、チップ部品単体でみた場合、上下面に電極を有する素子としては、単層チップコンデンサや薄膜積層コンデンサがあるが、これらはいずれも表面実装する事しか想定されておらず、電極間をワイヤーボンドで接続したり、リボンリードで接続したりすることが一般的に用いられている。従って、これらチップ部品を基板に内蔵することや、及び内蔵させたときに配線パターンと精度良く接続させる有効な製造方法は未だ提案

20

【0015】

一方で両面を銅箔で挟んだ誘電体層シートを用いて、多層プリント配線板の内層の一層全面に誘電体層を設けた構造のもの（特許文献5、特許文献6、特許文献7）も提案されている。本構造のものは単層であるためチップ部品と比べると単位面積あたりの静電容量が極めて低いが、電極面積を大きくすることにより必要な容量が得られる。また、上述したチップ部品の埋め込みタイプと違い、多層プリント基板製造の積層工程を用いることができることから、製造上有利である。欠点としては大面積で基板に内蔵する関係上、焼成したセラミック系の誘電体材料を用いることができない。すなわち誘電体フィラーを樹脂に混練したものを使用せざるを得なく、材料の誘電率は無機材料と比較して2桁以上低くなり、単位容量あたりのコンデンサー一個の面積が莫大になり基板を小さくできないこと、一層に複数個のキャパシターを埋め込み難いことが問題となっていた。さらにはキャパシターの容量は誘電体層の誘電率、電極間距離と面積で変えられるが、本構造の場合、面積でしか変えられないため、容量の異なるキャパシターを一層に内蔵することが事実上困難であることが問題となっていた。

30

【0016】

【特許文献1】

特開平5-218615号公報（第2頁、段落7）

【特許文献2】

特開平8-222656号公報（第3頁、段落11、14）

40

【特許文献3】

特開平10-56251号公報（第3頁、段落7、8）

【特許文献4】

特開平11-220262号公報（第7、8頁、段落42、54）

【特許文献5】

米国特許第5079069号

【特許文献6】

米国特許第5155655号

【特許文献7】

米国特許第5161086号

50

## 【 0 0 1 7 】

## 【 発明が解決しようとする課題 】

図 1 に従来のプレーナタイプのキャパシター素子内蔵基板の模式構成部分断面図を示す。従来の誘電体フィラーをバインダー樹脂に練り込んだ誘電体層 ( 1 0 6 ) を基板全面に設け上下に電極パターン ( 1 0 2 ) を設けたいわゆるプレーナタイプキャパシター素子 ( 1 0 1 ) は素子の静電容量が小さいことが問題になっていた。また、表面実装で用いられる積層セラミックチップキャパシターは基板に内蔵することを目的として製造されていないため、小型ではあるものの厚さが不適であり、キャパシター素子の端子電極形状も内蔵には不向きであった。

## 【 0 0 1 8 】

本発明は素子内蔵基板に用いるための必要な静電容量を確保し、多層プリント配線板の製造工程を考慮した最適構造を有するキャパシター素子を提供し、従来では得られなかった埋め込み信頼性に優れた素子内蔵基板を提供するものである。

すなわち、本発明は、上記問題点に鑑み考案されたものでチップ部品を基板に内蔵するにあたって一層のキャパシター層で複数個のキャパシター素子を実装でき、必要に応じて個々のキャパシター素子の静電容量を低容量から大容量まで自由に変えることのできる素子内蔵基板用キャパシター素子層、及び回路基板に微細な配線パターンを形成しつつ、配線パターンとの接続を形成しながら L C R 等のチップ受動部品を正確に実装、内蔵する素子内蔵基板の製造方法を提供することを目的とする。

## 【 0 0 1 9 】

## 【 課題を解決するための手段 】

本発明は以上の課題を解決するためになされたものであり、請求項 1 に係る第 1 の発明は、複数の誘電体シートの同一面上に複数区画の内層電極が形成されている誘電体シートを、前記内層電極に複数の電気的な接続のための貫通孔形成予定位置を設け、各誘電体シート上の内層電極が上下の内層電極と前記貫通孔形成予定位置において重ならないように前記貫通孔形成予定位置を選択して電極パターンを形成し、複数枚積層したことを特徴とする基板内蔵キャパシター素子用誘電体積層シートである。

## 【 0 0 2 0 】

請求項 2 に係る第 2 の発明は、前記誘電体シートの一層の厚みが 5 ~ 1 0 0  $\mu\text{m}$  以下であり、かつ前記基板内蔵キャパシター素子用誘電体積層シートの厚みが 1 0 ~ 6 0 0  $\mu\text{m}$  以下であることを特徴とする請求項 1 に記載の基板内蔵キャパシター素子用誘電体積層シートである。

## 【 0 0 2 1 】

請求項 3 に係る第 3 の発明は、前記誘電体シートは少なくとも熱可塑性樹脂及び / 又は熱硬化性樹脂と、誘電体フィラーを含むことを特徴とする請求項 1 または 2 に記載の基板内蔵キャパシター素子用誘電体積層シートである。

## 【 0 0 2 2 】

請求項 4 に係る第 4 の発明は、前記誘電体フィラーは、下記、

$\text{BaTiO}_3$ 、 $\text{SrTiO}_3$ 、 $\text{CaTiO}_3$ 、 $\text{Mg}_2\text{TiO}_3$ 、 $\text{ZnTiO}_3$ 、 $\text{La}_2\text{Ti}_2\text{O}_7$ 、 $\text{Nd}_2\text{Ti}_2\text{O}_7$ 、 $\text{PbTiO}_3$ 、 $\text{CaZrO}_3$ 、 $\text{BaZrO}_3$ 、 $\text{PbZrO}_3$ 、 $\text{BaTi}_{1-x}\text{Zr}_x\text{O}_3$ 、 $\text{PbZr}_x\text{Ti}_{1-x}\text{O}_3$   
( 0 < x < 1 )

から選ばれる、1 種あるいは 2 種類以上であることを特徴とする請求項 3 に記載の基板内蔵キャパシター素子用誘電体積層シートである。

## 【 0 0 2 3 】

請求項 5 に係る第 5 の発明は、請求項 1 から 4 のいずれかに記載の誘電体積層シートの最外層に複数の電極が設けられ、前記誘電体積層シートにおける内層電極は上下どちらかの最外層の電極と電気的に接続され、キャパシター素子が形成されていることを特徴とする基板内蔵キャパシターシートである。

## 【 0 0 2 4 】

10

20

30

40

50

請求項 6 に係る第 6 の発明は、前記キャパシター素子における最外層の電極の面積は、当該キャパシター素子における内層電極一つの面積と同じかもしくは大きいことを特徴とする請求項 5 記載の基板内蔵キャパシターシートである。

【 0 0 2 5 】

請求項 7 に係る第 7 の発明は、請求項 5 または 6 記載の内層電極が同一平面上で電気的に接続されていることを特徴とする基板内蔵キャパシターシートである。

【 0 0 2 6 】

請求項 8 に係る第 8 の発明は、1つのキャパシター素子を構成する上下の内層電極の電気的な接続を一部とらないことで当該キャパシター素子の容量を調節したことを特徴とする請求項 5 から 7 のいずれかに記載の基板内蔵キャパシターシートである。

【 0 0 2 7 】

請求項 9 に係る第 9 の発明は、前記最外層の電極は銅箔であることを特徴とする請求項 5 から 8 のいずれかに記載の基板内蔵キャパシターシートである。

【 0 0 2 8 】

請求項 10 に係る第 10 の発明は、請求項 5 から 9 のいずれかに記載のキャパシターシートの積層によりキャパシター層を形成したことを特徴とする素子内蔵基板である。

【 0 0 2 9 】

請求項 11 に係る第 11 の発明は、請求項 5 から 9 のいずれかに記載のキャパシターシートを絶縁材料で被覆後、配線パターンを設けたことを特徴とする請求項 10 記載の素子内蔵基板である。

【 0 0 3 0 】

【発明の実施の形態】

本発明は 1 層以上の絶縁層を有する多層プリント配線板（素子内蔵基板）であって、少なくとも内層に 1 層以上のキャパシター層が積層されており、当該キャパシター層には少なくとも 2 個以上のキャパシター素子を有し、かつ当該キャパシター層は複数層の内層電極と複数層の誘電体層が交互に積層された構造である。またキャパシター層のキャパシター素子はあらかじめ設けられた内層電極を電気的に接続することと、上下最外層の電極面積を変えることにより静電容量を調節することができ、これによって大容量のキャパシター素子を得ることができる。

【 0 0 3 1 】

通常多層キャパシターを作製する場合は、内層電極のパターン形状はあらかじめ必要な容量に合わせた面積で設けおく必要があり、内層電極形状で静電容量は固定される。しかし、本発明では内層の電極を複数に分割し、必要な数だけ電気的に接続することにより、種々の電極面積の組み合わせを可能にするものである。内層電極について上下方向の接続はビアで、左右の接続は最外層電極を大きくとったり、導電性ペーストの使用や配線パターンを設けることで行うことができる。この方法によれば、内層の複数の電極の導通を、一部とらないことで電極間距離を広げ低容量のキャパシター素子も得ることができる。本発明はこのように一層で種々の容量を調整した複数のキャパシターを同時に内蔵することができるキャパシター層およびこれを設けたことを特徴とした素子内蔵基板である。

【 0 0 3 2 】

すなわち、単層で達成できなかった素子の静電容量を電極面積を広げることと多層化することによって確保し、同一層中に複数のキャパシター素子を内蔵するために内層の誘電体層上にあらかじめ複数区画の内層電極を設け、これらの内層電極の上下層の電気的接続を貫通孔によって行い、上下最外層の電極の形状と組み合わせることによって種々の静電容量を有する複数個の素子の内蔵を可能にするものである。さらに多層プリント配線板への内蔵に適するよう誘電体層に樹脂材料を用いて行うものである。

【 0 0 3 3 】

本発明で述べる誘電体積層シート（303）は誘電体層と電極とを順次積層して形成される。製造工程の一例を図 2 ~ 図 3 に示す。誘電体層（201）は熱可塑性樹脂もしくは熱硬化性樹脂、またはそれらを混合したものに誘電フィラーを混練したものが望ましい（図

10

20

30

40

50

2(a))。この理由としてはたとえばシート状に焼成させたセラミックを用いると誘電率が高く静電容量を稼げる一方で、薄くすると割れやすく多層プリント配線板の製造工程でクラックなどを生じ機能しなくなる恐れがあるためである。これに対して樹脂材料は誘電率は低いがある程度の可とう性を有することから素子内蔵基板に適している。

#### 【0034】

本発明では熱可塑性樹脂としてポリエステル、ポリイミド、ポリアミド、ポリアミドイミド、ポリエーテルスルホン、ポリスルホン、ポリエーテルエーテルケトン、ポリスチレン、ポリエチレン、ポリプロピレンなどを用いることができる。

また、本発明では熱硬化性樹脂としてエポキシ樹脂、フェノール樹脂、ウレタン樹脂、メラミン樹脂、アクリル樹脂などの三次元硬化物を用いることができる。

10

#### 【0035】

本発明では上述した熱可塑性樹脂、または熱硬化性樹脂、あるいはそれらの混合物に誘電フィラーを混練して誘電体層として用いる。この際、必要に応じて溶剤、分散剤、カップリング剤などの添加剤を用いても良い。また、熱硬化性樹脂が成分として入っている場合は誘電体層形成後、加熱により熱硬化させて用いる。

#### 【0036】

本発明では誘電フィラーとして $BaTiO_3$ 、 $SrTiO_3$ 、 $CaTiO_3$ 、 $Mg_2TiO_3$ 、 $ZnTiO_3$ 、 $La_2Ti_2O_7$ 、 $Nd_2Ti_2O_7$ 、 $PbTiO_3$ 、 $CaZrO_3$ 、 $BaZrO_3$ 、 $PbZrO_3$ 、 $BaTi_{1-x}Zr_xO_3$ 、 $PbZr_xTi_{1-x}O_3$  ( $0 < x < 1$ ) などを用いることができ、単独で用いても、必要に応じてそれらを混合して用いても良い。

20

本発明で述べる誘電体層の樹脂と誘電フィラーの割合は必要とするキャパシター素子の容量に応じてその比率を変えることが出来る。よって特に限定されるものではないが、高容量を得るためには通常は50wt%以上の誘電フィラーを入れることが望ましい。

#### 【0037】

本発明で述べるキャパシター素子に用いる内層電極(202)は導電性の材料であれば特に限定されるものではなく、金属箔、もしくはカーボンや金属微粒子等の導電性微粒子を樹脂に混練した導電性ペーストで形成されたものが利用できる。図2(b)に示すように組み合わせることの出来る複数個の内層電極をスクリーン印刷などにより誘電体層上にあらかじめ設けておく。

#### 【0038】

30

本発明で述べるキャパシター素子を作製する方法としては、あらかじめ誘電体フィルムもしくはフィラーを混練した樹脂からなるシート状の誘電体を用意し、銅箔等の導電体で挟みエッチングして、内層電極パターンを形成、あるいはあるいはシート状の誘電体に導電性ペーストで内層電極パターンを印刷したのち、次の誘電体層を順次積層して形成する。この際に各誘電体層、電極との密着性を増すために必要に応じて加熱、加圧下でプレスすることが望ましい。また、未硬化の熱硬化性樹脂が成分として含まれる場合は、積層過程で加熱硬化させるか、もしくはプリント基板に内蔵後一括して熱硬化させて使用する。最終的には最外層に、電極となる導電体層が配置される構造である基板内蔵キャパシター素子用誘電体積層シートとする(図3)。

#### 【0039】

40

本発明で述べるキャパシター素子の各層の電極形状は接続位置で任意の静電容量を可変させるために特殊なパターンを有する。図4に一例を示す。図4(a)は図3でも示す誘電体積層シートの1層目の内層電極パターン(301-1)の形状の一例を示す。同様に図4(b)は図3で示す誘電体積層シートにおける2層目の内層電極パターン(301-2)を示し、図4(c)は図3で示す誘電体積層シートの3層目の内層電極パターン(301-3)を示すものである。図3の導電体層302としては銅箔が扱いやすいため好ましく、これを任意の形状にエッチングして図5で示す最外層の電極(501)とすることが出来る。最外層の電極(501)及び上下層の内層電極(301-1から301-3)の重なる部分がキャパシター層として機能し、キャパシター素子を構成することになる。

#### 【0040】

50

ここで示す例では電極間を電氣的に接続する貫通孔の形成予定位置は図4(d)で示す(イ)から(チ)までの8カ所を選択することができ、これを組み合わせてキャパシタ素子の静電容量を調節することができる。各層すべての層間静電容量を利用したときには、本発明のキャパシタ素子の静電容量は最大となり、一方内層電極(202)を電氣的に接続せず、最外層の電極(501)同士のみを接続する構造とした場合、静電容量は最小になる。すなわち、理論的には最小値と最大値の静電容量は誘電体層の層数の二乗倍の範囲で変化させることができる。さらには隣接する電極を電氣的に接続し組み合わせることにより、より大きな静電容量を得ることが可能となる。このため、回路設計上も生産効率的にも大きな自由度が得られ、非常に有利になる。

#### 【0041】

図5(a)、(b)に誘電体積層シート(303)表裏の電極構造の例を示す。表裏の導電体層(302)である銅箔を図5(a)(501-F)、(b)(501-B)のようにパターンニングして最外層の電極(501)とすることにより図6(a)に示すキャパシタシート(601)を得る。

#### 【0042】

本発明のキャパシタシート及びキャパシタ素子は少なくとも2層以上の誘電体層(201)を有し、従って誘電体層を挟む電極は内層電極(202)と最外層の電極(501)を合わせて3層以上有するものとする。好ましくは3層以上の誘電体層を有することが望まれる。この理由は樹脂系の誘電体層は誘電率が低いため、1層のみでは必要とするキャパシタ素子の容量を得るためには大面積にならざるを得ず、埋め込める容量、および個数に制約を受けるためである。多層構造にすることでキャパシタ容量を大きくすることができる。また、本発明のキャパシタ素子の誘電体層(201)の厚みは一層あたり100 $\mu$ m以下であることが好ましく、50 $\mu$ m以下であることがさらに望ましい。この理由はキャパシタシート(601)自体の厚さが薄くなるほど、プリント配線板に埋め込みやすいことと、静電容量は電極間距離に反比例するため誘電体層が薄いほど大きな静電容量を得ることが出来るためである。

#### 【0043】

本発明のキャパシタ素子の最外層の電極(501)及び内層電極(202あるいは301-1から301-3)は図4(d)(イ)から(チ)で示すいずれかの所定位置に貫通孔(502)をあけたのち(図6(b))、導電性ペースト(602)を埋め込む、あるいは貫通孔内を金属でメッキすることなどにより上下間の導通を得る(図6(c))。貫通孔(502)を開ける方法としてはドリル法、パンチ法、ピン挿入法、レーザー加工などによって行うことが出来る。このようにして内層電極間の電氣的接続がなされたキャパシタシート(603)を得る。

#### 【0044】

本発明で述べるキャパシタシート(601)の厚さは600 $\mu$ m以下がよく、500 $\mu$ m以下であることが特に好ましい。この理由は素子をプリント基板に内蔵する際、これより厚いとキャパシタシートのためにプリント基板全体の厚さが厚くなりすぎるためである。

#### 【0045】

本発明のキャパシタシートを用いた素子内蔵基板の製造方法としては、通常が多層プリント配線板と同様の工程で絶縁材料(702)であるプリプレグを介して導電体層(703)を積層し、配線パターンを形成して用いたり(図7)、プリプレグを用いる代わりにビルトアップ層形成に用いられる樹脂絶縁シートを積層したり、樹脂ワニスなどを用いてビルトアップ方式によって多層化して内蔵する方法などがあげられる。

#### 【0046】

本発明のキャパシタシートは非常に薄型でコンパクトであるため、同じプリント配線板内に複数層積層することも可能である。

本発明の素子内蔵基板はキャパシタシートの他に抵抗素子やインダクタ素子をキャパシタ層内に、あるいは別の層に埋め込んで用いても良い。

10

20

30

40

50

本発明の素子内蔵基板は通常のプリント配線板と同様に基板上にチップコンデンサー、抵抗、ICなどの各種表面実装部品を設けて使用することが出来る。

【0047】

【実施例】

(実施例1)

本発明の一実施例を図面を用いて説明する。

誘電体シート(203)の構成を図2で示す。熱可塑性のバインダー樹脂としてポリエーテルスルホン(住友化学工業社製:商品名スミカエクスセル5003P)20重量部、高誘電

電フィラーとしてチタン酸バリウム(堺化学工業社製:商品名BT05)80重量部とを  
- ブチロラクトンとN-メチルピロリドンの混合溶剤を用いて十分に分散させたのち、  
支持体としてポリイミドシート上にコーターを用いて塗布後、乾燥して溶剤を除去し、約  
20 $\mu$ mの厚さの誘電体シートを得た。次にこの上に導電性ペーストで一区画の内層電極  
が1 $\text{cm}^2$ である、4行 $\times$ 5列の合計20区画の内層電極パターンが配置されたスクリー  
ン版を用いて、スクリーン印刷法により内層電極(202)を形成した後、支持体のポリ  
イミドシートを剥がし、誘電体シート(203)を得た。(図2(a)、(b))。

実施例1では、誘電体シートは合計3枚作製した。このとき1層目の内層電極パターンは  
図4(a)で示す内層電極パターン(301-1)が4行 $\times$ 5列の合計20区画配置され  
たスクリーン版を用いて作製し、同様に2層目は図4(b)で示す内層電極パターン(3  
01-2)、3層目は図4(c)で示す内層電極パターン(301-3)を用いて作製し  
た。

【0048】

次に各誘電体シートの上下の内層電極(202)が1 $\text{cm}^2$ の重なりをもって重なるよう  
に誘電体シートを3枚重ね、最後に電極を印刷していないシート状の誘電体を4層目の誘  
電体層として重ねた後、導電体層(302)として表裏両側に表面粗化処理を施した厚さ  
8 $\mu$ mの銅箔を約280 $^{\circ}$ で熱プレスした(図3)。

【0049】

本実施例の場合は、あらかじめ内層電極同士を貫通孔によって電氣的に接続できる位置に  
貫通孔形成予定位置として配線を設けてあるため、内層電極自体は重なり合うように誘電  
体シートを積層して差し支えない。内層電極の形状が単純な長方形等のパターンである場  
合(例えば図2(b))は、上下の内層電極が交互に少しずつずれて重なるように誘電体  
シートを積層し、貫通孔を形成した際に、一つの貫通孔で一つのキャパシター素子を構成  
する内層電極が全て接続されてしまうことがないように配置する。

【0050】

その後、表面の銅箔を図5(a)(501-F)、裏面の銅箔を図5(b)(501-B)  
のようにエッチングによりパターンニングして最外層の電極(501)を形成した(図  
6(a))。このとき貫通孔(502)の形成位置を1列、2列、3列、4列のすべてと  
、5列3行と5列4行はハとチの位置に、5列1行はイとニの位置に、5列2行はイとへ  
の位置に接続されるよう位置決めし、スルーホール電極パッドの位置を設けた(図2  
(b)及び図5参照)。

【0051】

ハとチの位置に貫通孔(502)を形成する場合はハの位置の貫通孔で最外層の電極2層  
と2層目の内層電極を接続し、チの位置の貫通孔で1層目と3層目の内層電極を接続する  
。

イとニの位置に形成する場合はイの位置の貫通孔で図5(a)に示す最外層の電極(50  
1-F)のみを接続し、ニの位置の貫通孔で2層目の内層電極のみを接続する。このとき  
図5(b)に示す最外層の電極(501-B)との接続は行わない。

イとへの位置に貫通孔を形成する場合はイの位置の貫通孔で図5(a)に示す最外層の電  
極(501-F)を、への位置の貫通孔で図5(b)に示す最外層の電極(501-B)  
をそれぞれ接続する。このとき内層電極との接続は行わない。

以上の5列 $\times$ 4行の各電極の所定位置にドリルを用いて貫通孔(502)を形成した(図

10

20

30

40

50

6 ( b ) ) 。貫通孔 ( 5 0 2 ) に導電性ペースト ( 6 0 2 ) を充填して内層電極間の電氣的接続がなされたキャパシターシート ( 6 0 3 ) を作製した ( 図 6 ( c ) ) 。

【 0 0 5 2 】

図 6 ( c ) で示すキャパシターシート ( 6 0 3 ) に、導電体層 ( 7 0 3 ) として表裏に表面粗化処理をした厚さ 1 2  $\mu\text{m}$  の銅箔を、絶縁材料 ( 7 0 2 ) である厚さ 0 . 1 mm のプリプレグを介して真空熱プレスにより貼り合わせた ( 図 7 ( d ) ) 。

次に UV - YAG レーザーにより、キャパシター素子の外部取り出し電極となる貫通孔 ( 5 0 2 ) の形成位置にビアホール ( 7 0 4 ) を形成した ( 図 7 ( e ) ) 。形成したビアホール ( 7 0 4 ) 内の導通を電解メッキで取ったのち ( 図 7 ( f ) ) 、必要な導体回路をエッチングして素子内蔵基板 ( 7 0 7 ) を作製した ( 図 7 ( g ) ) 。基板に内蔵されたキャ

10

【 0 0 5 3 】

図 7 ( g ) 及び図 8 で示すキャパシター素子の外部取り出し電極 ( 7 0 6 ) 間の静電容量を LCR メーターにて測定したところ、a - b 間は 4 4 . 9 nF、c - d 間は 2 2 . 3 nF、e - f 間は 1 6 . 7 nF、g - h 間は 1 1 . 2 nF、i - j 間は 5 . 5 nF、k - l 間は 2 . 6 nF、m - n 間は 1 . 3 1 nF であった。

【 0 0 5 4 】

( 実施例 2 )

絶縁性基板 ( 1 0 0 1 ) として内層コア厚 0 . 6 mm の両面銅張りガラスエポキシ基板を、通常のプリント板製造工程により表裏の電極を貫通孔 ( 1 0 0 2 ) によって接続し、裏

20

【 0 0 5 5 】

次に熱硬化性のバインダー樹脂としてエポキシ樹脂 A ( 日本化薬社製：商品名 E P P N 5 0 2 H ) 8 0 重量部、エポキシ樹脂 B ( 昭和高分子社製：商品名エピコート 8 0 2 ) 2 0 重量部、硬化剤 ( 荒川化学工業社製：商品名タマノル ) 6 2 重量部を溶剤 ( ダイセル化学工業社製：商品名メトアセ ) に溶解させ、高誘電フィラーとしてチタン酸バリウム ( 堺化学工業社製：商品名 B T - 0 5 ) を樹脂分 ( 含硬化剤 ) との固形分比で 8 0 w t % になるように十分に分散させたのち、コア基板 1 5 0 5 上にダイコーターを用いて塗布後、1 2

30

【 0 0 5 6 】

こうして形成した誘電体層 ( 1 0 0 6 ) の上に、一区画の内層電極面積が 1  $\text{cm}^2$  である、実施例 1 と同様の図 4 ( c ) で示す内層電極パターン ( 3 0 1 - 3 ) が 5 列  $\times$  4 行に並んだスクリーン版を用いて導電性ペーストをスクリーン印刷することにより内層電極 ( 1 0 0 7 ) を形成した ( 図 1 0 ( c ) ) 。

【 0 0 5 7 】

上記と同様にしてこの内層電極 ( 1 0 0 7 ) 上へ誘電体層を形成し、次いで内層電極を下層の電極と 1  $\text{cm}^2$  の重なりをもつように導電性ペーストのスクリーン印刷によって順次

40

50

## 【0058】

次に上下層の電極の導通を取るためにUV-YAGレーザーを用いて最外層の電極(1003、1013)同士が電氣的に接続されるよう、図5(c)で示す貫通孔(502)の形成位置にビアホール(1015)を形成した(図10(e))。このとき電極位置を1列、2列、3列、4列のすべてと、5列3行と5列4行はハとチの位置に、5列1行はイとニの位置に、5列2行はイとへの位置に接続されるよう位置決めし、ビアホール(1015)を形成したのち、電氣的に接続するよう導電性ペースト(1016)で上下の導通を確保し、内層電極間の電氣的接続がなされたキャパシターシート(1017)を作製した(図10(f))。

## 【0059】

ハとチの位置に貫通孔(502)を形成する場合はハの位置の貫通孔で最外層の電極2層(1003及び1013)と2層目の内層電極(1009)を接続し、チの位置の貫通孔で1層目(1007)と3層目の内層電極(1011)を接続する。

イとニの位置に形成する場合はイの位置の貫通孔で最外層の電極(1003)のみを接続し、ニの位置の貫通孔で2層目の内層電極(1009)のみを接続する。このとき一番上の最外層の電極(1013)との接続は行わない。

イとへの位置に貫通孔を形成する場合はイの位置の貫通孔で最外層の電極(1003)を、への位置の貫通孔で一番上の最外層の電極(1013)をそれぞれ接続する。このとき内層電極(1007、1009、1011)との接続は行わない。

## 【0060】

次にキャパシターシート(1017)の表裏に絶縁材料(1102)として厚みが約50 $\mu$ mのビルトアップ用層間絶縁材料(味の素ファインテクノ社：商品名ABF-SH)を加熱真空プレスを用いて積層した(図11(g))。

この基板の裏面側に、コア基材(1005)上に設けたキャパシター素子の電極(1004)の導通を得るために、UV-YAGレーザーによってビアホール(1103)を形成した後(図11(h))、基板の両面全面を銅パネルメッキして導電体層(1104)を形成した(図11(i))。

## 【0061】

次に表面は適当なダミーパターン回路を、また裏面には内層の電極パターンと同じ位置に外部取り出し電極(901)が形成されるよう図9で示す配線パターンで導電体層(1104)をエッチングし素子内蔵基板を完成させた(図11(j))。

## 【0062】

図9及び図11(j)で示すキャパシター素子の外部取り出し電極(901)間の静電容量をLCRメーターにて測定したところ、a-b間は43.9nF、c-d間は22.0nF、e-f間は16.4nF、g-h間は11.0nF、i-j間は5.5nF、k-l間は2.7nF、m-n間は1.36nFであった。

## 【0063】

## 【発明の効果】

以上のように本発明の部品内蔵キャパシターシート及び素子内蔵基板によれば、プリント配線板内に種々の静電容量を有するキャパシター素子を通常のビルトアップ工法を用いて簡便に内蔵することができ、種々の多層プリント配線板やモジュール基板の特性を向上させることが出来る。

## 【0064】

## 【図面の簡単な説明】

【図1】従来の基板内蔵型キャパシターの一例を示す断面図である。

【図2】本発明によるキャパシターシートを構成する誘電体シートと、誘電体層上における内層電極の配置の一例を示した説明図である。

【図3】本発明によるキャパシターシートを構成する誘電体積層シートの断面図である。

【図4】本発明によるキャパシターシートを構成する内層電極の形状と配置の一例を示した説明図である。

10

20

30

40

50

【図5】本発明によるキャパシターシートを構成する最外層の電極の配線の一例を示す説明図である。

(a)は図6のキャパシターシート、あるいは図10(a)のコア基材をを上から見た配線図である。

(b)は図6のキャパシターシートを下から見た配線図である。

(c)は図10(e)のキャパシターシートを上から見た配線図である。

【図6】本発明による素子内蔵基板に使用するキャパシターシートの製造工程の一例を示す断面図である。

【図7】本発明による素子内蔵基板の製造工程の一例を示す断面図である。

【図8】本発明による素子内蔵基板に内蔵するキャパシター素子の取り出し電極配置の実施の一例を示す説明図である。

10

【図9】本発明による素子内蔵基板に内蔵するキャパシター素子の取り出し電極配置の実施の他の例を示す説明図である。

【図10】本発明による素子内蔵基板に使用するキャパシターシートの製造工程の他の例を示す断面図である。

【図11】本発明による素子内蔵基板の製造工程の他の例を示す断面図である。

【符号の説明】

101 ... プレーナータイプのキャパシター素子

102 ... 配線パターン

103 ... ビアホール (IVH)

20

104 ... 絶縁層

105 ... 誘電体層

201 ... 誘電体層

202 ... 内層電極

203 ... 誘電体シート

301 - 1 ... 1層目の内層電極パターン

301 - 2 ... 2層目の内層電極パターン

301 - 3 ... 3層目の内層電極パターン

302 ... 導電体層 (銅箔)

303 ... 誘電体積層シート

30

401 ... 貫通孔形成予定位置

501 ... 最外層の電極

501 - F ... 表側の最外層の電極パターン

501 - B ... 裏側の最外層の電極パターン

501 - T ... 一番上の最外層の電極パターン

502 ... 貫通孔

503 ... 電極パッド

504 ... 配線パターン

601 ... キャパシターシート

602 ... 導電性ペースト

40

603 ... 内層電極間の電氣的接続がなされたキャパシターシート

701 ... キャパシター層

702 ... 絶縁材料 (プリプレグ)

703 ... 導電体層 (銅箔)

704 ... ビアホール

705 ... 導電体層 (メッキによる)

706 ... 外部取り出し電極

707 ... 素子内蔵基板

901 ... 外部取り出し電極

1001 ... 絶縁性基板

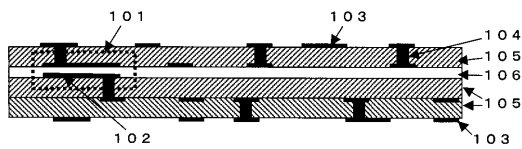
50

- 1 0 0 2 ... 貫通孔
- 1 0 0 3 ... 最外層の電極
- 1 0 0 4 ... 電極
- 1 0 0 5 ... コア基材
- 1 0 0 6 ... 1 層目の誘電体層
- 1 0 0 7 ... 1 層目の内層電極
- 1 0 0 8 ... 2 層目の誘電体層
- 1 0 0 9 ... 2 層目の内層電極
- 1 0 1 0 ... 3 層目の誘電体層
- 1 0 1 1 ... 3 層目の内層電極
- 1 0 1 2 ... 4 層目の誘電体層
- 1 0 1 3 ... 最外層の電極
- 1 0 1 4 ... キャパシターシート
- 1 0 1 5 ... ピアホール
- 1 0 1 6 ... 導電性ペースト
- 1 0 1 7 ... 内層電極間の電氣的接続がなされたキャパシターシート
- 1 1 0 1 ... キャパシター層
- 1 1 0 2 ... 絶縁材料
- 1 1 0 3 ... ピアホール
- 1 1 0 4 ... 導電体層 (メッキによる)
- 1 1 0 5 ... 素子内蔵基板

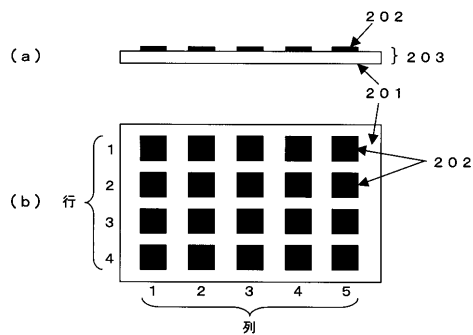
10

20

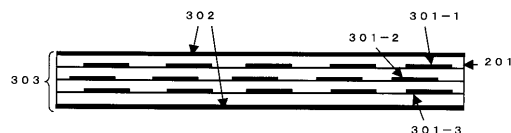
【 図 1 】



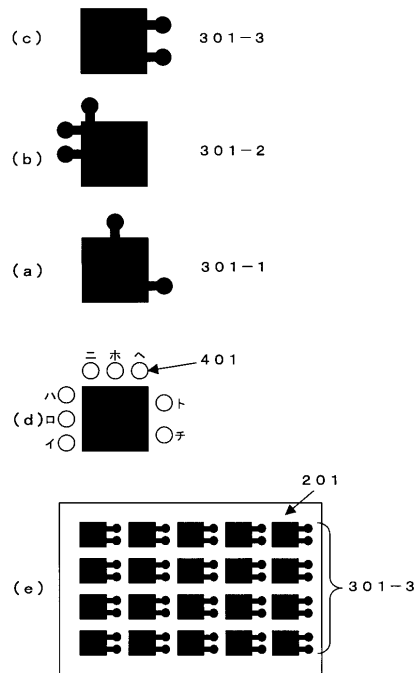
【 図 2 】



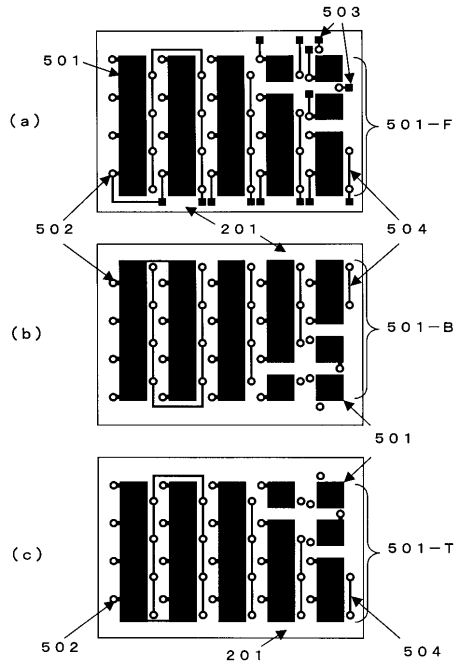
【 図 3 】



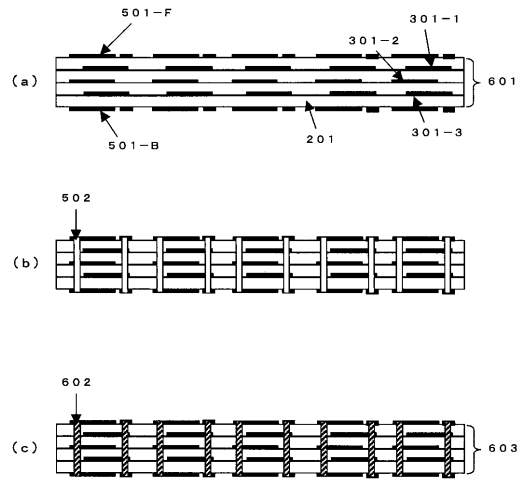
【 図 4 】



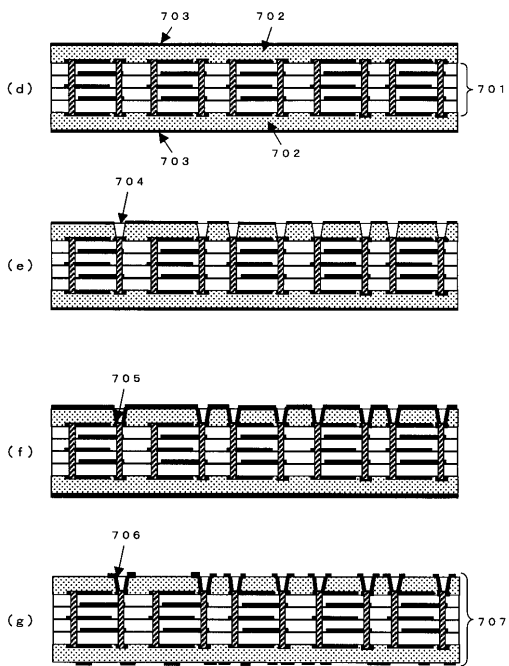
【 図 5 】



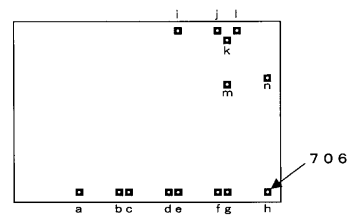
【 図 6 】



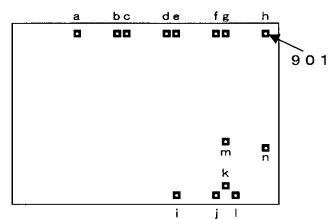
【 図 7 】



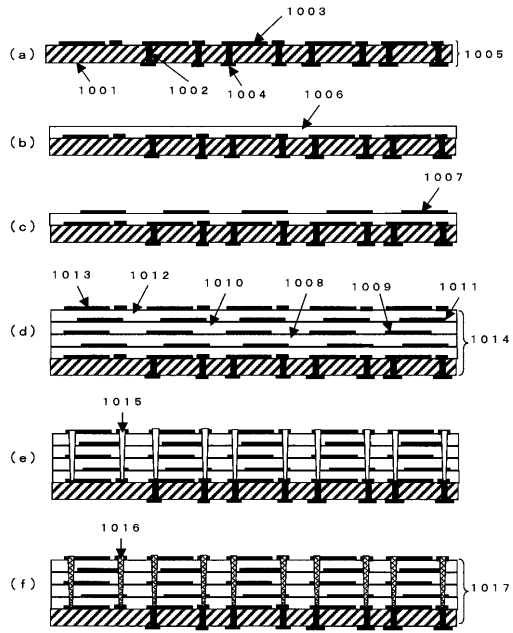
【 図 8 】



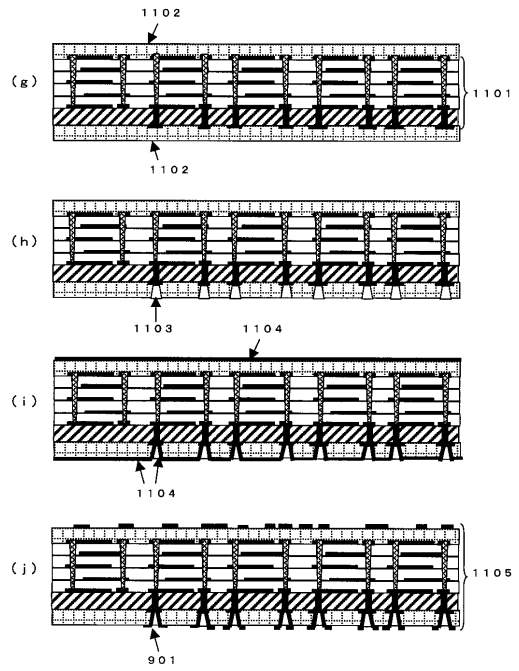
【 図 9 】



【図 10】



【図 11】



---

フロントページの続き

- (56)参考文献 特開平10-172864(JP,A)  
特開2001-167974(JP,A)  
特開2002-009416(JP,A)  
特開2002-175933(JP,A)  
特開平7-326544(JP,A)  
特開平6-151242(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01G 4/30  
H05K 3/46