

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4401621号  
(P4401621)

(45) 発行日 平成22年1月20日 (2010. 1. 20)

(24) 登録日 平成21年11月6日 (2009. 11. 6)

(51) Int. Cl.

F I

H O 1 L 21/822 (2006. 01)

H O 1 L 27/04

G

H O 1 L 27/04 (2006. 01)

H O 1 L 27/04

F

H O 3 K 19/094 (2006. 01)

H O 3 K 19/094

D

請求項の数 1 (全 18 頁)

(21) 出願番号 特願2002-131100 (P2002-131100)  
 (22) 出願日 平成14年5月7日 (2002. 5. 7)  
 (65) 公開番号 特開2003-324158 (P2003-324158A)  
 (43) 公開日 平成15年11月14日 (2003. 11. 14)  
 審査請求日 平成17年4月12日 (2005. 4. 12)

前置審査

(73) 特許権者 000005108  
 株式会社日立製作所  
 東京都千代田区丸の内一丁目6番6号  
 (73) 特許権者 000233169  
 株式会社日立超エル・エス・アイ・システムズ  
 東京都小平市上水本町5丁目2番1号  
 (74) 代理人 110000350  
 ポレール特許業務法人  
 (72) 発明者 宮崎 祐行  
 東京都国分寺市東恋ヶ窪一丁目280番地  
 株式会社日立製作所中央研究所内  
 (72) 発明者 菅野 雄介  
 東京都国分寺市東恋ヶ窪一丁目280番地  
 株式会社日立製作所中央研究所内  
 最終頁に続く

(54) 【発明の名称】 半導体集積回路装置

(57) 【特許請求の範囲】

【請求項 1】

第1の基板電位と第2の基板電位と第3の基板電位を発生するためのバイアス発生回路と、

M O S トランジスタで構成される回路モジュールと、

それぞれ上記第1の基板電位の供給を制御する第1 M O S トランジスタと上記第2の基板電位の供給を制御する第2 M O S トランジスタと上記第3の基板電位の供給を制御する第3 M O S トランジスタを含む複数の基板バイアススイッチ回路と、

上記基板バイアススイッチ回路を制御するスイッチ制御回路とを有し、

上記回路モジュールが第1状態である場合には、上記スイッチ制御回路は上記複数の基板バイアススイッチ回路の上記第1 M O S トランジスタをオン状態として上記第1の基板電位を上記回路モジュールの M O S トランジスタのウェルに供給し、上記回路モジュールが第2状態である場合には、上記スイッチ制御回路は上記複数の基板バイアススイッチ回路の上記第2 M O S トランジスタをオン状態として上記第2の基板電位を上記回路モジュールの M O S トランジスタのウェルに供給し、上記回路モジュールが第3状態である場合には、上記スイッチ制御回路は上記複数の基板バイアススイッチ回路の上記第3 M O S トランジスタをオン状態として上記第3の基板電位を上記回路モジュールの M O S トランジスタのウェルに供給し、

上記スイッチ制御回路は第1リクエスト信号を上記バイアス発生回路に送信し、上記バイアス発生回路の発生したバイアス信号が安定したことを示す第1アクノレッジ信号を受信

10

20

し、

上記スイッチ制御回路は第2リクエスト信号を上記基板バイアススイッチ回路に送信し、上記基板バイアススイッチ回路の制御が完了したことを示す第2アクノレッジ信号を受信し、

上記スイッチ制御回路は、上記第1アクノレッジ信号及び上記第2アクノレッジ信号を受信し、上記回路モジュールの動作を開始させるための制御信号を上記回路モジュールに送信する半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体集積回路装置に係わり、特に高速性と低消費電力性を同時に実現する半導体集積回路装置に関する。

【0002】

【従来の技術】

CMOS回路を用いた半導体集積回路装置は、高性能化とともに低消費電力化が求められている。特に、携帯情報機器などのようにバッテリー駆動の装置に用いられるCMOS回路では、消費電力を低下することでバッテリーの寿命を延長することが可能となるために、低消費電力化の要求が強い。CMOS回路の消費電力には、スイッチング動作時の充放電電流にともなうダイナミックな消費電力と、MOSトランジスタのサブスレッショルドリーク電流によるスタティックな消費電力が存在する。ダイナミックな消費電力は電源電圧vddの二乗に比例するため、電源電圧vddの値を下げると効果的に消費電力を低減できる。このため、電源電圧vddは徐々に低下してきている。また、近年の半導体集積回路装置では電力管理機構を備え、待機時に実行ユニットへのクロックの供給を停止しているものもある。クロック供給の停止により、不要な実行ユニットにおけるダイナミックな消費電力を削減することができる。しかし、スタティックな消費電力はこの手法では削減できない。

【0003】

一方で、電源電圧vddの低下に伴う動作速度の劣化を防ぐためには、電源電圧vddの低下とともにMOSトランジスタのしきい値電圧を下げる必要がある。トランジスタのしきい値電圧を低下させるとサブスレッショルドリーク電流が増加するため、電源電圧vddの低下が進むにつれて従来は無視できる程度であったスタティックな消費電力の増加が顕著になり、ダイナミックな消費電力と比べて無視できない大きさになってきている。

【0004】

上記の課題を解決する方法として、例えば1999・インターナショナル・ソリッド・ステート・サーキット・コンファレンス・ダイジェスト・オブ・テクニカル・ペーパーズ(1999年2月)第280ページから第281ページ(1999 International Solid-State Circuits Conference Digest of Technical Papers, pp.280-281 (February, 1999))に述べられているように、基板バイアスを可変設定することにより、MOSトランジスタのしきい値電圧を制御する方法が挙げられる。CMOS回路の高速動作が要求される通常の処理動作を行うアクティブ状態では、基板バイアスをpMOSトランジスタ(pチャンネル型MOSトランジスタ)については電源電圧vddに、nMOSトランジスタ(nチャンネル型MOSトランジスタ)についてはグラウンド電圧gndに設定する。一方、CMOS回路が高速に動作する必要の無いスタンバイ状態では、基板バイアスをpMOSトランジスタについては電源電圧vddよりも高い電圧に、nMOSトランジスタについてはグラウンド電圧gndよりも低い電圧に設定する。この動作を、以下「基板バイアスを深くする」あるいは「基板バイアスを逆バイアスにする」と表現する。CMOS回路が動作を行わない、または低速動作が許容される動作モードでは、基板バイアスを深くすることによってCMOS回路を構成しているMOSトランジスタのしきい値電圧を高くすることが可能で、これによりスタティックな消費電力を削減することが可能となる。

【0005】

【発明が解決しようとする課題】

高速性能と低消費電力性能の両特性を同時に可能とするCMOS半導体集積回路装置を実現す

10

20

30

40

50

るためには、前述のようにCMOS回路への基板バイアス制御を行うことが有効である。スタンバイ状態のようなCMOS回路の停止時や低速度動作が可能なモードにおいては、基板バイアスを深くすることによりMOSトランジスタのしきい値電圧を高くしてサブスレッショルドリーク電流を低減することで、低消費電力化できる。CMOS回路が通常動作を行うアクティブ状態では、しきい値電圧を低くして高速化を図る。しきい値電圧を低くする方法としては、前述のものに加え、基板バイアスをpMOSトランジスタについては電源電圧vddよりも低い電圧に、nMOSトランジスタについてはグランド電圧gndよりも高い電圧に設定する方法（この動作を、以下「基板バイアスを浅くする」あるいは「基板バイアスを順バイアスにする」と表現する。）や、あるいはトランジスタの製造プロセスばらつき等に応じて最適な基板バイアスを供給する方法などが知られている。

10

#### 【0006】

ところで、近年の半導体集積回路装置では、一つのチップに集積されるトランジスタ数や回路規模は莫大なものとなってきており、チップ内に配置される回路モジュールも複雑多岐にわたっている。このようにチップ内の構成が複雑化するのに伴い、基板バイアス制御も複雑になってくる。その結果、回路モジュールの設計時に基板制御を考慮する負担が増えることは、設計時間の増大とともに設計ミスの増加につながる。また、新たな半導体集積回路装置を設計する際に既存の回路モジュールを再利用しようとする場合、既存のモジュールが所望の基板制御方式に対応したモジュール構成になっていない場合もある。このため、プロセッサチップの複雑化やチップ内モジュールの多機能化に応じてきめ細かに基板バイアス制御を行おうとしても、設計の負担が増大したり既存の回路モジュールが使用

20

#### 【0007】

そこで、基板バイアスを制御するために必要となる回路ブロックを、マイクロプロセッサを構成する回路モジュールの外部に自由に配置できるようになれば、回路モジュール設計の負荷を増やさず、既存モジュールの使用も可能となり、結果として回路モジュール毎の最適な基板バイアス制御が可能となり、チップの高性能化、低消費電力化を実現できるようになる。

#### 【0008】

本発明が解決しようとしている課題は以下の通りである。

30

（１）マイクロプロセッサ等のCMOS回路で構成される半導体集積回路のチップ内回路規模や種類が複雑多岐にわたる場合でも、各回路モジュールは基板バイアス制御を意識せずに設計することが可能で、設計時間の短縮と信頼性向上が可能となる。

（２）既存の回路モジュールを利用する際にも、基板バイアス制御を意識せずに使用して設計することが可能となり、設計時間の短縮と信頼性向上をもたらす。

（３）ASICのように回路モジュールを多様に組合せる場合でも、同様に基板バイアス制御を意識せずに設計可能で、設計時間短縮と信頼性向上を可能とする。

（４）チップ内の回路モジュール毎に任意の基板バイアス制御を可能とすることにより、プロセッサ等の高速化、低消費電力化を実現する。

#### 【0009】

40

#### 【課題を解決するための手段】

上記課題を解決するために本発明で提示した手段の主なものは以下のようになる。

#### 【0010】

第１の基板電位と第２の基板電位とを発生するためのバイアス発生回路と、MOSトランジスタで構成される回路モジュールと、それぞれ第１の基板電位の供給を制御する第１MOSトランジスタと第２の基板電位の供給を制御する第２MOSトランジスタとを含む複数の基板バイアススイッチ回路と、基板バイアススイッチ回路を制御するスイッチ制御回路とを有し、回路モジュールが配置される第１領域の少なくとも一辺に接する第２領域に、複数の基板バイアススイッチ回路が配置され、回路モジュールが第１状態である場合には、スイッチ制御回路は複数の基板バイアススイッチ回路の第１MOSトランジスタをオ

50

ン状態として第1の基板電位を回路モジュールのMOSトランジスタのウェルに供給し、回路モジュールが第2状態である場合には、スイッチ制御回路は複数の基板バイアススイッチ回路の第2MOSトランジスタをオン状態として第2の基板電位を回路モジュールのMOSトランジスタのウェルに供給することにより、第1領域に配置された回路モジュールのMOSトランジスタの基板バイアスを第1領域外とは独立に制御する。

【0011】

また、第1の基板電位と第2の基板電位と第3の基板電位を発生するためのバイアス発生回路と、MOSトランジスタで構成される回路モジュールと、それぞれ第1の基板電位の供給を制御する第1MOSトランジスタと第2の基板電位の供給を制御する第2MOSトランジスタと第3の基板電位の供給を制御する第3MOSトランジスタを含む複数の基板バイアススイッチ回路と、基板バイアススイッチ回路を制御するスイッチ制御回路とを有し、回路モジュールが第1状態である場合には、スイッチ制御回路は複数の基板バイアススイッチ回路の第1MOSトランジスタをオン状態として第1の基板電位を回路モジュールのMOSトランジスタのウェルに供給し、回路モジュールが第2状態である場合には、スイッチ制御回路は複数の基板バイアススイッチ回路の第2MOSトランジスタをオン状態として第2の基板電位を回路モジュールのMOSトランジスタのウェルに供給し、回路モジュールが第3状態である場合には、スイッチ制御回路は複数の基板バイアススイッチ回路の第3MOSトランジスタをオン状態として第3の基板電位を回路モジュールのMOSトランジスタのウェルに供給する。

【0012】

【発明の実施の形態】

以下、図を参照して本発明を説明する。

【0013】

図1は、本発明の第1の構成例を示す図である。

【0014】

本発明の半導体集積回路装置は、CMOS回路から構成されるマイクロプロセッサ等の半導体集積回路を構成する回路機能モジュールFM101と、スイッチ制御回路SC101、バイアス発生回路BG101、基板バイアススイッチ回路BBS101から構成される。回路機能モジュールFM101は、CMOS回路CC101から構成される。基板バイアススイッチ回路BBS101はpMOSトランジスタPMOS PMS101a~101c及びnMOSトランジスタNMOS NMS101a~101cで構成される。スイッチ制御回路SC101は命令信号cmd101を受け、バイアス発生回路BG101にバイアス制御信号scs111を、バイアススイッチ回路BBS101にスイッチ制御信号scs101a~101fを出力する。バイアス発生回路BG101は、バイアス制御信号scs111にตอบสนองして、pMOSトランジスタ用基板バイアスvbp101a~101c、及びnMOSトランジスタ用基板バイアスvbn101a~101cを出力する。基板バイアススイッチ回路BBS101は、スイッチ制御信号scs101a~101fにตอบสนองして、バイアス発生回路BG101で発生した所定の基板バイアスを回路機能モジュールFM101へ出力する。回路機能モジュールFM101はpMOSトランジスタ用基板バイアスvbp111及びnMOSトランジスタ用基板バイアスvbn111を入力し、内部に有するCMOS回路CC101のpMOSトランジスタ基板とnMOSトランジスタ基板にそれぞれの基板バイアスvbp111及びvbn111を供給する。

【0015】

CMOS回路を構成するMOSトランジスタのしきい値電圧は、基板バイアスを調整することで変化させることができる。図19はMOSトランジスタの基板バイアスとしきい値電圧の関係を示す。基板をpMOSトランジスタであれば電源電圧vddに、nMOSトランジスタであればグランド電圧gndに接続したときの状態が、図19で基板バイアス0にあたる。基板バイアスが正の値の時、基板バイアスを深くして逆バイアスにしたことに相当し、基板バイアスが負の値の場合、基板バイアスを浅くして順バイアスにしたことに相当する。図に示されている通り、基板バイアスを深く逆バイアスにすると、MOSトランジスタのしきい値電圧は高くなり、基板バイアスを浅く順バイアスにすると、MOSトランジスタのしきい値電圧は低くなる。基板バイアスやしきい値電圧がCMOS回路の速度、電力に与える影響を図20及び図21に示す。図20は、CMOS回路の遅延時間の基板バイアス依存性である。基板バ

イアスを逆バイアスにすると、MOSトランジスタのしきい値電圧が高くなるためCMOS回路は低速になり、遅延時間が大きくなる。基板バイアスを順バイアスにすると、MOSトランジスタのしきい値電圧が低くなるためにCMOS回路は高速になり、遅延時間が小さくなる。図21はCMOS回路のサブスレッショルドリーク電流及びスイッチング電流の基板バイアス依存性を示す。基板バイアスを逆バイアスにすると、MOSトランジスタのしきい値電圧が高くなるためリーク電流は減少する。基板バイアスを順バイアスにすると、MOSトランジスタのしきい値電圧が低くなるためリーク電流は増加する。基板バイアスを変化させることでCMOS回路の動作速度が変化した量に応じて、スイッチング電流も変化するが、リーク電流の変化に比べるとほとんど変化がないといえる。図21からわかるように、順バイアスの値が大きくなりすぎると、スイッチング電流に比べてリーク電流も無視できなくなるほど増加してしまう。

10

#### 【0016】

CMOS回路で構成される回路機能モジュールFM101とそれを構成するCMOS回路CC101は、基板バイアスvbp111及びvbn111を制御することで動作モードを変化させることができる。第1のモードは逆バイアスを用いてCMOS回路のリーク電流を下げる。このときMOSトランジスタのしきい値が大きくなるので、CMOS回路の動作速度は遅くなる。従って、低速度な動作を許容する、あるいは動作を行わないスタンバイモードに用いられる。第2のモードは基板バイアス0のモードで、pMOSトランジスタの基板vbp111には電源電圧vddをnMOSトランジスタの基板vbn111にはグランド電圧gndを供給する。しきい値電圧は、MOSトランジスタの初期設計値通りとなる。CMOS回路の性能としては、中程度の速度で中程度の消費電力である。回路機能モジュールFM101の標準設計はこの基板バイアス0のモードで行われるため、最も信頼性の高い動作モードとなる。第3のモードは順バイアスを用いてMOSトランジスタのしきい値を下げる。従ってCMOS回路の動作速度は速くなるが、リーク電流が増加し消費電力に影響する。高速度でかつ高消費電力な動作モードになる。この第3のモードでは、速度モニタ回路を用いた基板バイアスの最適制御を行うこともありえる。最適制御を行うと、製造ばらつき、電圧変動、温度変化にかかわらず、常に一定の性能をもたらすことが可能となり、ばらつき抑制による高速低電力な動作モードを実現できる。図11にモードの種類とそのときの基板バイアス値の例を示す。スタンバイモードが上記第1のモード、通常動作モードが上記第2のモード、高速動作または最適動作が上記第3のモードに相当する。図12には、各モードにおける基板バイアスvbp111及びvbn111の電圧レベルの動作遷移波形と、それに対応する各スイッチ制御信号の動作波形を示す。

20

30

#### 【0017】

以上の説明にあたり、電源電圧vddは1.0V、グランド電圧gndは0.0V程度の電圧を仮定しているが、これらの電圧は可変である。このことは、以下の説明においても同様である。ただし、しきい値が低くなることによりサブスレッショルドリーク電流は増大するため、電源電圧vddが1.0V以下において本発明を適用する効果は大きい。

#### 【0018】

以上のような機能を1つのチップ上で実現するために、本実施例では、複数の回路機能モジュールFM101のそれぞれに対して基板バイアススイッチ回路BBS101を配置する。これに対して、スイッチ制御回路SC101とバイアス発生回路BG101は複数の回路機能モジュールを制御可能とし、1つのチップに少なくとも1つ配置されていれば良いようにする。このような構成により、回路機能モジュールは基板バイアス制御に関して何も考慮せずに設計、レイアウト等を行うことが出来る。回路機能モジュールFM101が設計された後に、基板バイアススイッチ回路BBS101をその近くに配置するだけでよい。従って、設計の誤りを減らし、設計期間の短縮も可能となる。

40

#### 【0019】

基板バイアススイッチ回路BBS101は3個のpMOSトランジスタによるスイッチ回路と3個のnMOSトランジスタによるスイッチ回路から構成される。pMOSトランジスタのドレインは共通接続されて基板バイアスvbp111として、またnMOSトランジスタのドレインは共通接続されて基板バイアスvbn111として、回路機能モジュールFM101に供給される。pMOSトランジス

50

タスイッチPMS101aのソースにはバイアス発生回路から逆バイアス2vddにあたる電圧がvbp101aを経て伝えられる。PMS101bのソースにはバイアス発生回路から通常バイアスvddにあたる電圧がvbp101bを経て伝えられる。PMS101cのソースにはバイアス発生回路から順バイアス0.5vddにあたる電圧または2vddから0.5vddの間の最適な基板バイアスがvbp101cを経て伝えられる。nMOSトランジスタスイッチNMS101aのソースにはバイアス発生回路から逆バイアス-vddにあたる電圧がvbn101aを経て伝えられる。NMS101bのソースにはバイアス発生回路から通常バイアスgndにあたる電圧がvbn101bを経て伝えられる。NMS101cのソースにはバイアス発生回路から順バイアス0.5vddにあたる電圧または-vddから0.5vddの間の最適な基板バイアスがvbn101cを経て伝えられる。

#### 【 0 0 2 0 】

基板バイアススイッチ回路BBS101を構成するMOSトランジスタのゲートは、スイッチ制御信号scs101a～101fによりオンオフが制御される。例えば命令信号cmd101が第1のモードであるスタンバイモードを指令すると、スイッチ制御信号scs101a及びscs101dがアサートされ、MOSトランジスタPMS101a及びNMS101aがオン状態となり、基板バイアスvbp101a及びvbn101aが回路機能モジュールFM101に供給されることになる。同様に、命令信号cmd101が第2のモードである通常動作モードを指令すると、スイッチ制御信号scs101b及びscs101eがアサートされ、MOSトランジスタPMS101b及びNMS101bがオン状態となり、基板バイアスvbp101b及びvbn101bが回路機能モジュールFM101に供給される。同様に、命令信号cmd101が第3のモードである高速動作モードを指令すると、スイッチ制御信号scs101c及びscs101fがアサートされ、MOSトランジスタPMS101c及びNMS101cがオン状態となり、基板バイアスvbp101c及びvbn101cが回路機能モジュールFM101に供給される。

#### 【 0 0 2 1 】

これらスイッチ制御信号は、基板バイアススイッチ回路BBS101を構成するMOSトランジスタのオン抵抗を低くするため、最大振幅で動作することが望ましい。すなわち、各スイッチ制御信号の振幅は図12に示されているように2vddと-vddの間で行われるのがよい。回路機能モジュールFM101に供給される基板バイアスvbp111及びvbn111は、命令信号cmd101に応じて3種類の組合せ、すなわち低速度低リーク電流モード（スタンバイモード）と中速度中リーク電流モード（通常動作モード）と高速度高リーク電流モード（高速動作モード）の組合せ、あるいは、低速度低リーク電流モード（スタンバイモード）と中速度中リーク電流モード（通常動作モード）と高速度低リーク電流モード（最適動作モード）の組合せがある。

#### 【 0 0 2 2 】

図2は、複数の回路機能モジュールが独立にモード制御される場合の構成例を示す図である。図1で説明した構成と同じ機能を有する構成は図1と同じ符号により示している（以降の図面も同様である）。複数の異なる機能を有する回路機能モジュールFM101～103に対し、それぞれ基板バイアススイッチ回路BBS101～103が対応して配置される。バイアス発生回路BG101が生成する6種類の電圧信号は、スタンバイモード用逆バイアス信号vbp101a（=2vdd）とvbn101a（=-vdd）、通常動作モード用順バイアス信号vbp101b（=vdd）とvbn101b（=0）、高速動作モード用順バイアス信号vbp101c（=0.5vdd）とvbn101c（=0.5vdd）からなる。これら6種類の電圧信号は、すべて等しく基板バイアススイッチ回路BBS101、BBS102、BBS103に供給される。スイッチ制御回路SC101は命令信号cmd101に応じて各々の回路機能モジュールを任意の基板バイアスモードに設定するためにスイッチ制御信号scs101a～f、scs102a～f、scs103a～fを発生する。図のように1チップ上に3つの回路機能モジュールが配備されている場合、それぞれが3種類の動作モードに対応して基板バイアスが供給されるため、各回路機能モジュールがとりうる動作モードの組合せに対応して9通りの命令信号cmd101が発行される。このような構成により、各回路機能モジュールFM101、FM102、FM103は、命令信号cmd101に応じてそれぞれ独立なモードに入るための基板バイアス信号vbp111とvbn111、vbp112とvbn112、vbp113とvbn113を得ることが可能となる。

#### 【 0 0 2 3 】

このように、各回路機能モジュールFMと各基板バイアススイッチ回路BBSを1対1に対応

10

20

30

40

50

させ、スイッチ制御信号SCSは基板バイアススイッチ回路BBS毎に異なる命令信号を伝達し、バイアス発生回路BGが生成する基板バイアス信号vbp、vbnは基板バイアススイッチ回路BBSに共通に供給する。これにより、回路機能モジュールBBSの増減にかかわらず、基板バイアス設計が容易となる。

【0024】

図3は、回路機能モジュールの基板バイアス制御の詳細な方法を説明するための図である。回路機能モジュールFM101はゲート回路SG101を有する。また、基板バイアススイッチ回路BBS101は、センサ回路SEN101を有する。スイッチ制御回路SC101はバイアス発生回路BG101に対してリクエスト信号req111を発信してアクノレッジ信号ack111を受信する。またスイッチ制御回路SC101は基板バイアススイッチ回路BBS101が有するセンサ回路SEN101に対してリクエスト信号req101を発信してアクノレッジ信号ack101を受信する。またスイッチ制御回路SC101は回路機能モジュールFM101が有するゲート回路SG101に対してモジュール制御信号scs121を出力する。

【0025】

バイアス発生回路BG101はバイアス制御信号scs111に応じたバイアス信号vbp、vbnを、リクエスト信号req111がアサートされた時に生成する。バイアス信号vbp101a~101c、vbn101a~101cのうち、要求された信号のレベルが所定の値に達すると、バイアス発生回路BG101はアクノレッジ信号ack111をアサートしてスイッチ制御回路SC101に返す。センサ回路SEN101はリクエスト信号req101がアサートされるとスイッチ制御信号を用いて基板バイアススイッチ回路BBS101を活動させ、基板バイアス出力vbp111及びvbn111を遷移させる。センサ回路SEN101は、基板バイアス出力vbp111及びvbn111の電圧レベルが所定の値に達していることを検出し、アクノレッジ信号ack101をアサートしてスイッチ制御回路SC101に返す。スイッチ制御回路SC101は2つのアクノレッジ信号ack101とack111が両方ともアサートされると、モジュール制御信号scs121をアサートしてゲート回路SG101に伝える。ゲート回路SG101はモジュール制御信号scs121に従って、回路機能モジュールFM101の動作あるいは停止を制御する。

【0026】

例えば、回路機能モジュールFM101をスタンバイ状態から通常動作状態に遷移させる場合、スイッチ制御回路SC101からのリクエスト信号req101及びreq111に応じて、バイアス発生回路BG101は通常動作に必要とされる基板バイアス信号vbp101b及びvbn101bを生成し、電圧レベルがそれぞれvddとgndになっていればアクノレッジ信号ack111をアサートする。センサ回路SEN101はリクエスト信号req101に応じて基板バイアススイッチ回路BBS101の出力切替を行い、基板バイアス出力vbp111及びvbn111をそれぞれ基板バイアス信号vbp101b及びvbn101bと接続する。センサ回路SEN101が基板バイアス出力vbp111及びvbn111の電圧レベルを検出し、それぞれvddとgndになっていればアクノレッジ信号ack101をアサートする。その後、アクノレッジ信号ack101及びack111がアサートされるとスイッチ制御回路SC101はモジュール制御信号scs121を発生する。ゲート回路SG101はモジュール制御信号scs121を受け取ると、回路機能モジュールFM101への信号入力を開始する。このような手順により、各回路機能モジュールの基板バイアスが命令信号cmd101に応じた電圧レベルにあることを確認して、回路機能モジュールの動作を開始したり停止したりする。このようにして、各回路機能モジュールの安定動作を実現し、半導体集積回路装置の信頼性を高める。

【0027】

図7に、本発明の半導体集積回路装置のレイアウトを示す。1つのCMOS LSIチップにおいて、1つの入出力回路モジュールI0301と、1つのスイッチ制御回路SC101、1つのバイアス発生回路BG101、複数の基板バイアススイッチ回路BBS101~103、及び複数のCMOS回路から構成される回路機能モジュールFM101~103の領域からなるレイアウトで構成される。回路機能モジュールFMに含まれるCMOS回路を安定動作させるためには、基板バイアススイッチ回路BBSはある程度の電流供給能力を有し、基板電位を安定させる必要がある。そのため、基板バイアススイッチ回路は1つの回路機能モジュールに対して複数設ける必要がある。複数の基板バイアススイッチ回路BBSは、それぞれが対応する回路機能モジュールFM

10

20

30

40

50

の外周を包囲するようにレイアウトされている。なお、図7においては基板バイアススイッチBBSを回路機能モジュールFMの外周を包囲する例を示したが、回路機能モジュールFMの全ての辺に沿って配置する必要はない。回路機能モジュールFMの内部に配置されないのが特徴であり、必要な電流供給能力が得られる程度にモジュールの外周に配置すればよい。また、実施の形態においては、基板バイアススイッチ回路BBSは3種類の基板バイアスの与え方に対応するように記載しているが、これに限定されるものではない。2種類以下の基板バイアスの与え方に対応させて基板バイアススイッチ回路BBSを構成することも可能である。例えば、逆バイアスと基板バイアス0との組合せ、順バイアス（または最適バイアス）と基板バイアス0との組合せ、逆バイアスと順バイアス（または最適バイアス）との組合せに対応させて基板バイアススイッチ回路BBSを構成することが可能である。

10

#### 【0028】

基板バイアス制御を施される回路機能モジュールにおいては、その設計時に基板バイアス供給用スイッチの位置やモジュールのレイアウトにおける形状を考慮することなく、自由に設計することが可能である。基板バイアススイッチ回路BBSは、作られた回路機能モジュールFMの外周を包囲するように配置すればよい。各回路機能モジュールの設計に負担を与えず、設計の簡易化と高信頼性を保証することになる。さらに、回路機能モジュールFMの外周にレイアウトされている基板バイアススイッチ回路のレイアウト領域では電源用vdd、gnd配線や基板バイアス用vbp111、vbn111配線を周回させることができる。これにより、ノイズ耐性、電圧ドロップ耐性などに対して強い設計を実現でき、レイアウト設計での回路信頼性を向上させる。基板バイアススイッチ回路BBS101と回路機能モジュールFM101を含むレイアウトの実施例を図13に示す。回路機能モジュールFM101内に、図のようにCMOS回路CC101が配置され、これをはさんで並行に電源ラインvdd、グラウンドラインgnd、基板バイアスラインvbp111及びvbn111が配線される。これらと垂直な方向に、電源vdd、グラウンドgnd、基板バイアスvbp111及びvbn111の全てを含んだ電源幹線が配線される。このような構造により、回路機能モジュール内部で電源関係の配線はメッシュ状に配置され、基板バイアススイッチ回路領域の周回配線とあわせることで安定した電圧の供給を可能にしている。

20

#### 【0029】

基板バイアス制御を適用するチップの断面構造を図8に示す。この図は3重ウェル構造の例である。pMOSトランジスタはp型拡散層pとn型ウェルnwellから構成され、nMOSトランジスタはn型拡散層nとp型ウェルpwellから構成される。トランジスタの基板は、それぞれnwellとpwell部分になる。pMOSトランジスタ用基板バイアスvbp111は図のnwellに、nMOSトランジスタ用基板バイアスvbn111は図のpwellに供給される。2つのレイアウト領域（ARA301とARA302）で異なる基板バイアスを与えることが必要になるので、ウェル層の下層にn分離層nisoを設けている。このような構造にすることで、p型ウェルの基板psubに対して、レイアウト領域毎の基板バイアス制御が行えるようになる。ここで、レイアウト領域ARA301に回路機能モジュールFM101を構成し、この周囲をレイアウト領域ARA302を用いて基板バイアススイッチ回路BBS101として囲むことにより、回路機能モジュールFM101の基板バイアスを他のモジュールから独立させて制御することが容易になる。

30

#### 【0030】

基板バイアス制御を適用するチップの他の断面構造を図9に示す。この図はSOI（Silicon on Insulator）構造の実施例である。P型ウェル基板psubの表面に酸化膜による絶縁層insを形成し、その上にMOSトランジスタを形成していく。レイアウト領域ARA301とARA302の間は、絶縁分離層isoで基板を分離することが可能となっている。この構造を用いても、同様に回路機能モジュール毎の基板バイアス制御を容易にすることができる。

40

#### 【0031】

図4は、本発明の第2の構成例を示す図である。

#### 【0032】

図4の構成例は主スイッチ制御回路MSC201、従スイッチ制御回路SSC201を有する。主スイッチ制御回路MSC201は命令信号cmd101を受け、バイアス発生回路BG101にバイアス制御信

50



号mscs211を、従スイッチ制御回路SSC201に主スイッチ制御信号mscs201を出力する。従スイッチ制御回路SSC201は主スイッチ制御信号mscs201にตอบสนองして、従スイッチ制御信号ssc s201a~201fを出力する。バイアス発生回路BG101はバイアス制御信号mscs211にตอบสนองして、pMOSトランジスタ用基板バイアスvbp101a~101c、及びnMOSトランジスタ用基板バイアスvbn101a~101cを出力する。この構成例では、複数個の回路機能モジュールFM101に対して所望の基板バイアスvbp111及びvbn111を供給するための基板バイアススイッチ回路BBS101及びそれを制御するための従スイッチ制御回路SSC201をそれぞれの回路機能モジュール毎に配置する。主スイッチ制御回路MSC101とバイアス発生回路BG101は1つのチップに少なくとも1つ配置されていれば良い。

### 【0033】

図1に示す通り、スイッチ制御回路SC101は基板バイアススイッチ回路BBS101のオンオフを制御する。しかし、モードによってCMOS回路を構成するトランジスタのウェルに印加される電圧が異なるため、スイッチ制御信号scs101a~101c、scs101d~101fでオンオフの制御に必要な電圧は異なる。図4の構成例では、スイッチ制御回路を主スイッチ制御回路MSC201と従スイッチ制御回路SSC201に分離し、主スイッチ制御回路MSC201はオンオフを制御するためのデジタル論理回路で構成し、従スイッチ制御回路SSC201はレベル変換回路で構成する。回路機能モジュールによって使用する電圧レベルが異なっている場合に特に有効な構成である。回路機能モジュールに用いられるMOSトランジスタは、通常電源電圧vddとグランド電圧gndの間の電圧で使用されるため薄めの膜厚のゲート絶縁膜によるトランジスタを用いる。(以下、このようなMOSトランジスタを「薄膜トランジスタ」と表現する。 )これに対して、基板バイアスを供給するための回路においては、最大2vddから-vddまでの、3vddに相当する電圧範囲の中で動作する必要がある。そのため、薄膜トランジスタの耐圧レベルを超えてしまい、ゲート絶縁膜の破壊やトランジスタ内部の接合の破壊が起きてしまう。従って、このような回路で用いるMOSトランジスタは、薄膜トランジスタよりも厚い膜厚のゲート絶縁膜を使用したトランジスタが使用される。(以下、このようなMOSトランジスタを「厚膜トランジスタ」と表現する。 )主スイッチ制御回路MSC201及び回路機能モジュールFM101は薄膜トランジスタで構成でき、従スイッチ制御回路SSC201とバイアス発生回路BG101、基板バイアススイッチ回路BBS101は厚膜トランジスタで構成することができるようになる。この明確な分離により、設計の容易化が促進される。この厚膜トランジスタは入出力バッファに使用するトランジスタを用いることもできる。

### 【0034】

図5は、複数の回路機能モジュールが独立にモード制御される場合の構成例を示す図である。このように従スイッチ制御回路SSCと基板バイアススイッチ回路BBSとが回路機能モジュールFMに対応して設けられる。主スイッチ制御回路MSC201は命令信号cmd101を受け、従スイッチ制御回路SSC201用の主スイッチ制御信号mscs201及び従スイッチ制御回路SSC202用の主スイッチ制御信号mscs202及び従スイッチ制御回路SSC203用の主スイッチ制御信号mscs203を出力する。従スイッチ制御回路SSCはそれぞれの主スイッチ制御信号mscsにตอบสนองして従スイッチ制御信号を出力し、対応する基板バイアススイッチ回路BBSを制御する。一方、バイアス発生回路BG101はバイアス制御信号mscs211を受け、pMOSトランジスタ用基板バイアスvbp101a~101c、及びnMOSトランジスタ用基板バイアスvbn101a~101cの全てを基板バイアススイッチ回路BBS101~103に供給する。バイアス発生回路BG101が生成する6種類の電圧信号は、例えば、スタンバイモード用逆バイアス信号vbp101a(=2vdd)とvbn101a(=-vdd)、通常動作0バイアス信号vbp101b(=vdd)とvbn101b(=0)、高速動作モード用順バイアス信号vbp101c(=0.5vdd)とvbn101c(=0.5vdd)である。

### 【0035】

図6は、回路機能モジュールの基板バイアス制御の詳細な方法を説明するための図である。主スイッチ制御回路MSC201はバイアス発生回路BG101に対してリクエスト信号req211を発信してアクノレッジ信号ack211を受信する。また主スイッチ制御回路MSC201は従スイッチ制御回路SSC201に対してリクエスト信号req201を発信してアクノレッジ信号ack201を受信する。また、従スイッチ制御回路SSC201は基板バイアススイッチ回路BBS101が有するセ

10

20

30

40

50

ンサ回路SEN101に対してリクエスト信号req221を発信してアクノレッジ信号ack221を受信する。また主スイッチ制御回路MSC201は回路機能モジュールFM101が有するゲート回路SG101に対してモジュール制御信号mcs221を出力する。

【0036】

バイアス発生回路BG101はバイアス制御信号mcs211に応じたバイアス信号を、リクエスト信号req211がアサートされた時に生成する。バイアス信号vbp101a~101c、vbn101a~101cのうち、要求された信号のレベルが所定の値に達すると、バイアス発生回路BG101はアクノレッジ信号ack211をアサートして主スイッチ制御回路MSC201に返す。従スイッチ制御回路は主スイッチ制御回路がリクエスト信号req201を発するとリクエスト信号req221を発生し、センサ回路SEN101がアクノレッジ信号ack221をアサートするとアクノレッジ信号ack221を主スイッチ制御回路MSC201に返す。センサ回路SEN101はリクエスト信号req221がアサートされるとスイッチ制御信号を用いて基板バイアススイッチ回路を活動させ、基板バイアス出力vbp111及びvbn111を遷移させる。センサ回路SEN101は、基板バイアス出力vbp111及びvbn111の電圧レベルが所定の値に達していることを検出し、アクノレッジ信号ack221をアサートして従スイッチ制御回路SSC201に返す。主スイッチ制御回路MSC201は2つのアクノレッジ信号ack201とack211が両方ともアサートされると、モジュール制御信号mcs221をアサートしてゲート回路SG101に伝える。ゲート回路SG101はモジュール制御信号mcs221に従って、回路機能モジュールFM101の動作あるいは停止を制御する。

【0037】

図10は、本発明の半導体集積回路装置のレイアウトを示す。特に、図7のレイアウトと比較すると、各従スイッチ制御回路SSC201~203及び各基板バイアススイッチ回路BBS101~103は、それぞれが対応する回路機能モジュールFM101~103の外周を包囲するようにレイアウトされている点に特徴を有する。例えば、従スイッチ制御回路SSC201と基板バイアススイッチ回路BBS101は、回路機能モジュールFM101の外周を包囲するようにレイアウトされている。

【0038】

さらに、このようなレイアウト配置を行うことで、レイアウト領域毎に、薄膜トランジスタで構成されるレイアウト領域と厚膜トランジスタで構成されるレイアウト領域を分割することが可能になる。図10の例で見ると、回路機能モジュールFM101~103及び主スイッチ制御回路MSC201は薄膜トランジスタで構成できる。それに対して、従スイッチ制御回路SSC201~203及び基板バイアススイッチ回路BBS101~103及びバイアス発生回路BG101は厚膜トランジスタで構成できる。このように、領域毎にトランジスタを区別できることにより、レイアウト設計上の設計ミスを防ぐことが出来、設計効率の向上と信頼性の向上を図ることが出来る。

【0039】

図14はバイアス発生回路の構成例である。バイアス発生回路BG101は、通常基板バイアス発生回路NB501、最適基板バイアス発生回路AB501、及びチャージポンプ回路CP501から構成される。最適基板バイアス発生回路AB501は、さらに論理回路LOG501、D/A変換回路DA501及び増幅回路AMP501から構成される。チャージポンプ回路は電源電圧vddとグランド電圧gndに対して2vddの電圧と-vddの電圧を発生し、それぞれvbp101a及びvbn101aとして出力する。電圧発生効率を上げるために、チャージポンプにvddよりも高い電圧レベルを供給することも可能である。通常基板バイアス発生回路NB501は電源電圧vddをvbp101b信号として、グランド電圧gndをvbn101b信号として出力する。最適基板バイアス発生回路AB501はチャージポンプ回路の出力vbp101a(=2vdd)およびvbn101a(=-vdd)を利用して、0.5vddから2vddの範囲の最適な基板バイアスをvbp101cに、0.5vddから-vddの範囲の最適な基板バイアスをvbn101cに出力する。最適基板バイアス発生回路AB501を高速高リーク電流モード用の基板生成回路として用いる場合、0.5vddの出力がvbp101c及びvbn101cに伝えられる。

【0040】

図22にチャージポンプ回路CP501の構成例を示す。発振回路ROSC601とポンプ回路PMP601

10

20

30

40

50

により、基板バイアス出力信号vbp101aとvbn101aを発生する。比較回路CMP601は発生電圧vbp101aのレベルが参照電圧vref601 (=2vdd) より高くなると発振回路ROSC601の出力をポンプ回路PMP601に伝えなくなり、電圧の供給を停止する。発生電圧vbp101aのレベルが参照電圧vref601より低くなると、再度発振回路ROSC601とポンプ回路PMP601を動作させて電圧を生成する。この繰り返しにより、出力vbp101aはほぼ参照電圧vref601に等しいレベルになるとともに、停止中はチャージポンプ回路CP501の動作電力をなくすことで低電力動作を実現している。同様に、比較回路CMP601は発生電圧vbn101aのレベルが参照電圧vref602 (= -vdd) より低くなると発振回路ROSC601の出力をポンプ回路PMP601に伝えなくなり、電圧の供給を停止する。発生電圧vbn101aのレベルが参照電圧vref602より高くなると、再度発振回路ROSC601とポンプ回路PMP601を動作させて電圧を生成する。この繰り返しにより、出力vbn101aはほぼ参照電圧vref602に等しいレベルになる。

10

#### 【 0 0 4 1 】

図 2 3 に最適基板バイアス発生回路AB501の構成例を示す。最適基板バイアス発生回路AB501は、遅延回路DEL701、比較回路CMP701、アップダウンカウンタUDC701、デコーダ回路DEC701、DEC702、セクタ回路SEL701、増幅回路AMP701、AMP702、抵抗R701、電圧切替回路S701から構成される。固定の順バイアスを用いて、例えば高速高リーク電流モードで基板バイアスvbp101c及びvbn101cに0.5vddを出力するような場合は、選択信号sel701とセクタ回路SEL701によりデコーダ回路DEC702の出力を優先させる。選択信号sel702の入力に応じて、電圧切替回路S701が所望の基板バイアスを決定し、増幅回路AMP701及びAMP702で電流供給能力を増幅して基板バイアスvbp101c及びvbn101cを出力する。この時、選択信号sel702を適当な値にすることで、順方向基板バイアス0.5vddが得られる。抵抗R701は複数個が電圧vbp101aとvbn101aの間で直列に接続されることにより、2vddと -vddの間の電圧レベルを任意に分割する。その出力電圧を電圧切替回路S701が増幅回路AMP701及びAMP702に接続することで、所望の電圧が出力される。最適な基板バイアスを用いて高測定リーク電流モードで基板バイアスを生成する場合は、選択信号sel701とセクタ回路SEL701によりデコーダ回路DEC701の出力を優先させる。最適な基板バイアスは、遅延回路DEL701、比較回路CMP701、アップダウンカウンタUDC701、デコーダ回路DEC701により決定される。参照クロック信号fref701を用いて遅延回路DEL701の遅延時間を計測し、比較回路CMP701及びアップダウンカウンタUDC701で遅延量をデジタル化する。遅延回路DEL701の遅延時間が、初期の設計値より大きい場合は基板バイアスを浅くし、小さい場合は基板バイアスを深くすることにより、遅延回路DEL701の遅延時間を一定に保持する。このような基板バイアスをvbp101c及びvbn101cとして出力することで、CMOS回路の動作速度を常に一定に保つように基板バイアスが制御される。従って、基板バイアス制御により、MOSトランジスタの製造プロセスばらつきや、温度変化、電圧変化に伴うCMOS回路の性能ばらつきを抑制し、高速かつ低消費電力化を実現する。最適基板バイアス発生回路AB501では、このように異なる使い方が可能で、両者を選択信号sel701で切り替えることも可能であり、また片方のみを実際のチップに適用することも可能である。

20

30

#### 【 0 0 4 2 】

図 2 4 は従スイッチ制御回路の構成例を示す図である。従スイッチ制御回路は、3vddに相当する電圧に耐える厚膜トランジスタを用いた場合、通常のインバータ等に代表される論理回路で構成できる。厚膜トランジスタが2vdd程度までしか耐えられないような場合は、図 2 4 のような構成が必要になる。この場合、従スイッチ制御回路はレベル変換回路LS801及びLS802と、厚膜のMOSトランジスタを図のように構成することで実現できる。レベル変換回路LS801は入力信号scsin801がvdd/gndレベルであるものを2vdd/gndレベルに変換する。同様にレベル変換回路LS802は入力信号scsin801がvdd/gndレベルであるのに対し、出力の信号レベルをvdd/-vddレベルに変換する。この構造により、出力scs101a ~ 101fの振幅が2vddから -vddの計3vddある場合でも、各MOSトランジスタには2vdd以上の電圧がかからない構造になっている。レベル変換回路LS801及びLS802の構成例をそれぞれ図 2 5 及び図 2 6 に示す。入力信号scsin801をvdd/gndレベルで受ける回路部分は、電源電圧範囲がvdd/gndで、薄膜トランジスタが使用されている。この信号レベルを2vdd/gndあるいはvdd/

40

50

-vddレベルに変換する部分には、厚膜トランジスタが用いられている。厚膜トランジスタのうち特に斜線で示されているトランジスタはしきい値の低いトランジスタで構成され、電圧変換の信頼性を高めている。

【0043】

図15はセンサ回路の構成例を示す図である。センサ回路は比較回路CMP501及びCMP502とデジタル論理回路で構成される。比較回路CMP501及びCMP502はそれぞれ、参照電圧vref501及びvref502と比較して入力信号であるvbp111やvbn111の信号電圧レベルが高いか低いかを判定する。図16に動作波形を示すように、リクエスト信号req101がアサートされた後、基板バイアス出力vbp111あるいはvbn111が図のように電圧レベルを遷移させる時に、遷移している電圧のレベルが参照電圧vref501とvref502の間に入った時にアクノレッジ信号ack101をアサートする。このようにして、センサ回路は基板バイアス出力が所望の値に達したことを判定する。

10

【0044】

図17はセンサ回路の他の構成例を示す図である。センサ回路はカウンタ回路CNT501で構成される。図18の動作波形に示すように、リクエスト信号req101がアサートされると、カウンタ回路CNT501がクロック信号clk501に応じてカウント動作を行い、所定の時間(t501)カウントを行うとアクノレッジ信号ack101をアサートする。このセンサ回路の場合、基板バイアス出力vbp111やvbn111の電圧レベルを直接検出してはいない。基板バイアスの遷移時間に対して充分長い時間をt501として設計すれば、擬似的に基板バイアス出力が所望の値に達したことを判定していることになる。

20

【0045】

ここまで説明してきた基板バイアス制御方式は、1つのチップ内での設計方式を想定して説明してきたが、複数のチップにわたるものであってもよい。例えば、スイッチ制御回路とバイアス発生回路をそれぞれ1チップとして、各回路機能モジュールとそれに対応する基板バイアススイッチ回路をそれぞれ1チップとして構成するシステムであってもよい。

【0046】

【発明の効果】

以上説明したように、高速かつ低消費電力で動作することが可能な半導体集積回路装置を設計容易に実現できる。

【図面の簡単な説明】

30

【図1】本発明の第1の構成例を示す図である。

【図2】複数の回路機能モジュールが独立にモード制御される場合の構成例を示す図である。

【図3】回路機能モジュールの基板バイアス制御の詳細な方法を説明するための図である。

【図4】本発明の第2の構成例を示す図である。

【図5】複数の回路機能モジュールが独立にモード制御される場合の構成例を示す図である。

【図6】回路機能モジュールの基板バイアス制御の詳細な方法を説明するための図である。

40

【図7】本発明の第1の構成例のレイアウトを示す図である。

【図8】本発明の適用される半導体集積回路装置のデバイス構造を示す図である。

【図9】本発明の適用される半導体集積回路装置の他のデバイス構造を示す図である。

【図10】本発明の第2の構成例のレイアウトを示す図である。

【図11】動作モードと基板電位の一例を示す図である。

【図12】本発明の動作波形を示す図である。

【図13】本発明のレイアウトの一例を示す図である。

【図14】バイアス発生回路の構成例を示す図である。

【図15】センサ回路の第1の構成例を示す図である。

【図16】センサ回路の第1の構成例の動作波形図である。

50

【図 17】センサ回路の第 2 の構成例を示す図である。

【図 18】センサ回路の第 2 の構成例の動作波形図である。

【図 19】MOSトランジスタしきい値電圧の基板バイアス依存性を示す図である。

【図 20】CMOS回路遅延時間の基板バイアス依存性を示す図である。

【図 21】CMOS回路リーク電流とスイッチング電流の基板バイアス依存性を示す図である。

【図 22】チャージポンプ回路の構成例を示す図である。

【図 23】高速動作基板制御回路の構成例を示す図である。

【図 24】従スイッチ制御回路の構成例を示す図である。

【図 25】レベル変換回路の構成例を示す図である。

【図 26】レベル変換回路の構成例を示す図である。

【符号の説明】

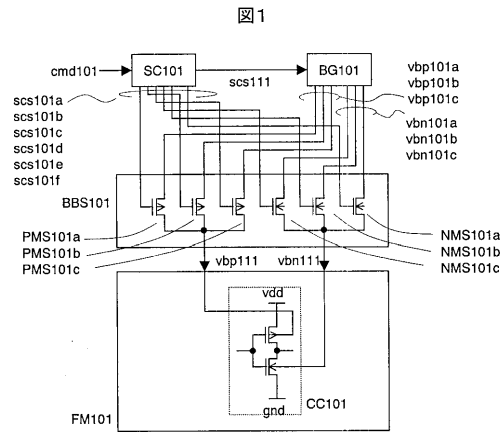
SC101：スイッチ制御回路、MSC201：主スイッチ制御回路、SSC201、SSC202、SSC203：従スイッチ制御回路、BG101：バイアス発生回路、BBS101、BBS102、BBS103：基板バイアススイッチ回路、FM101、FM102、FM103：回路機能モジュール、CC101：CMOS回路、PMS101a、PMS101b、PMS101c：pMOSトランジスタ、NMS101a、NMS101b、NMS101c：nMOSトランジスタ、SEN101：センサ回路、SG101：ゲート回路、LSI301、LSI401：CMOS LSIチップ、I0301：入出力回路モジュール、ARA301、ARA302：レイアウト領域、p：pMOSトランジスタ用拡散層、n：nMOSトランジスタ用拡散層、pwell：p型ウェル、nwell：n型ウェル、niso、iso：分離層、ins：絶縁層、psub：p型基板、vsl501：縦方向電源配線、NB501：通常基板バイアス発生回路、AB501：最適基板バイアス発生回路、LOG501：論理回路、DA01：D/A変換回路、AMP501、AMP701、AMP702：増幅回路、CP501：チャージポンプ回路、CMP501、CMP502、CMP601、CMP602、CMP701：比較回路、CNT501：カウンタ、ROSC601：発振回路、PMP601：ポンプ回路、DEC701、DEC702：デコーダ回路、SEL701：セレクト回路、R701：抵抗、DEL701：遅延回路、UDC701：アップダウンカウンタ、S701：電圧切り替え回路、LS801、LS802：レベル変換回路、cmd101：命令信号、vbp101a、vbp101b、vbp101c、vbp111、vbp112、vbp113：pMOSトランジスタ用基板バイアス、vbn101a、vbn101b、vbn101c、vbn111、vbn112、vbn113：nMOSトランジスタ用基板バイアス、scs101a、scs101b、scs101c、scs101d、scs101e、scs101f、scs102a、scs102b、scs102c、scs102d、scs102e、scs102f、scs103a、scs103b、scs103c、scs103d、scs103e、scs103f：スイッチ制御信号、mscs201、mscs202、mscs203：主スイッチ制御信号、sscs201a、sscs201b、sscs201c、sscs201d、sscs201e、sscs201f：従スイッチ制御信号、scs111、mscs211：バイアス制御信号、scs121、mscs221：モジュール制御信号、vdd：電源、gnd：グランド、req101、req111、req201、req211、req221：リクエスト信号、ack101、ack111、ack201、ack211、ack221：アクノレッジ信号、vref501、vref502、vref601、vref602：参照電圧、clk501：クロック信号、t501：時間、sel701、sel702：選択信号、fref701：参照クロック信号、scsin801：スイッチ制御信号入力、scsout801：スイッチ制御信号出力。

10

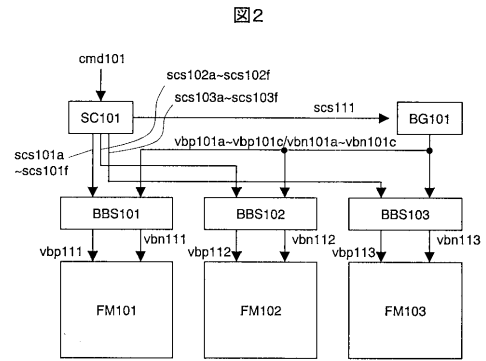
20

30

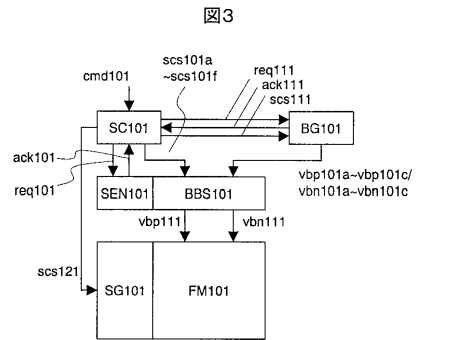
【図1】



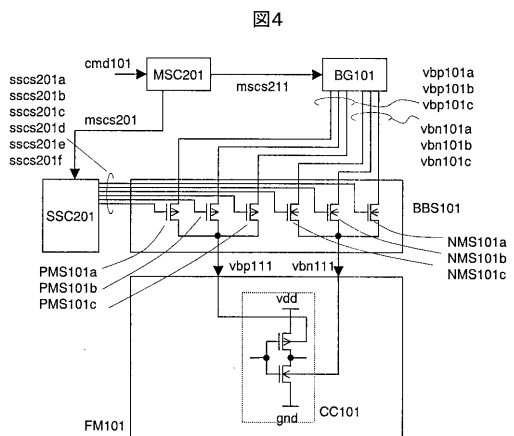
【図2】



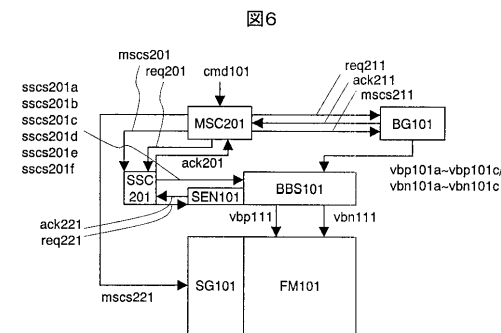
【図3】



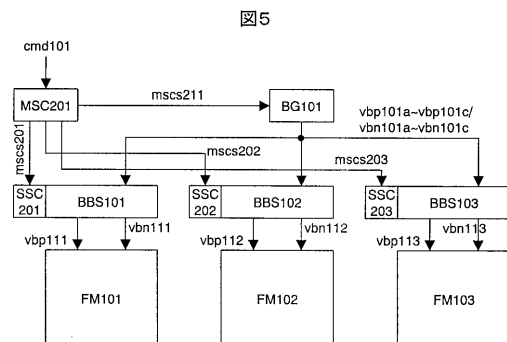
【図4】



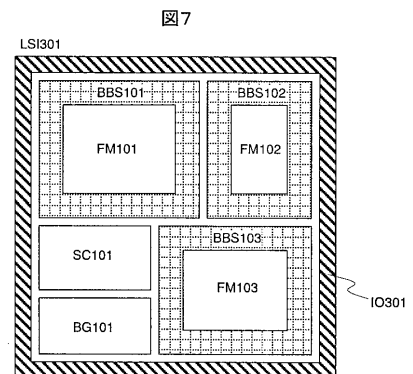
【図6】



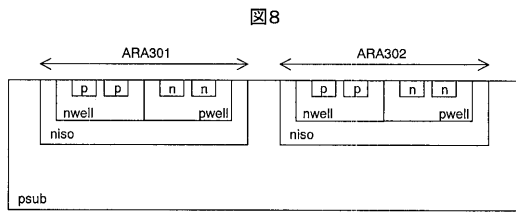
【図5】



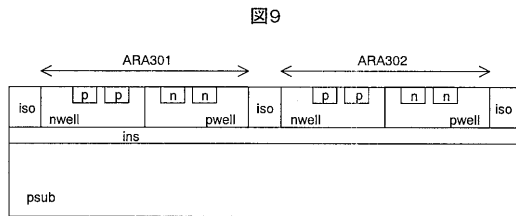
【図7】



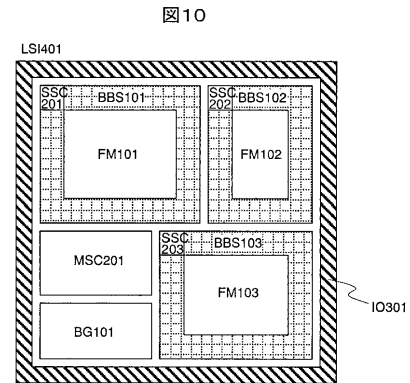
【図 8】



【図 9】



【図 10】



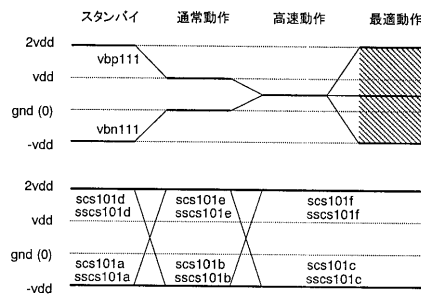
【図 11】

図11

モード	基板電位 (vbp111/vbn111)
スタンバイ	2vdd/-vdd
通常動作	vdd/gnd
高速動作 (順バイアス固定)	0.5vdd/0.5vdd
最適動作 (モニタ速度最適化)	0.5vdd~2vdd/ 0.5vdd~-vdd

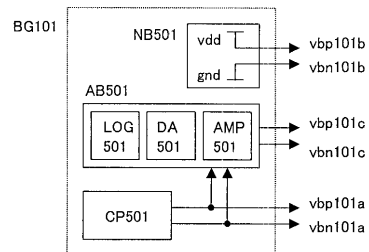
【図 12】

図12



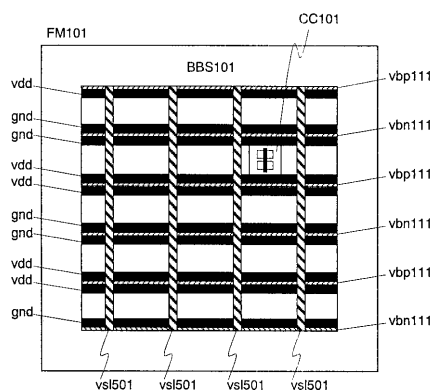
【図 14】

図14



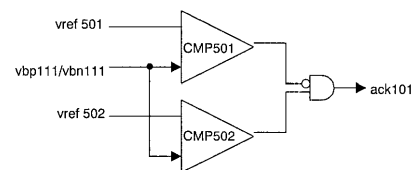
【図 13】

図13

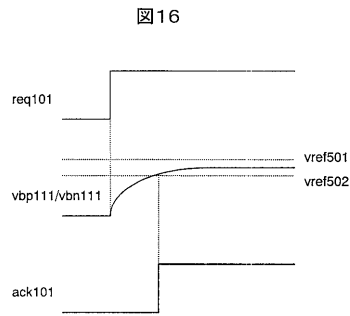


【図 15】

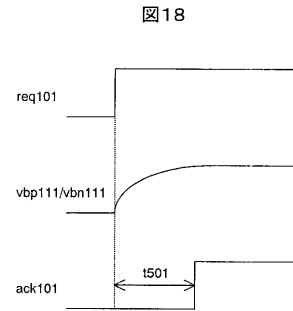
図15



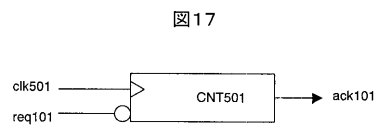
【図 16】



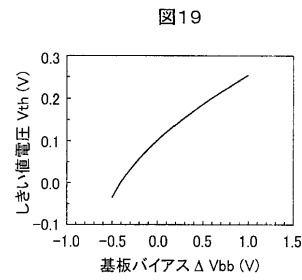
【図 18】



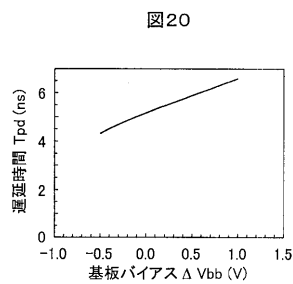
【図 17】



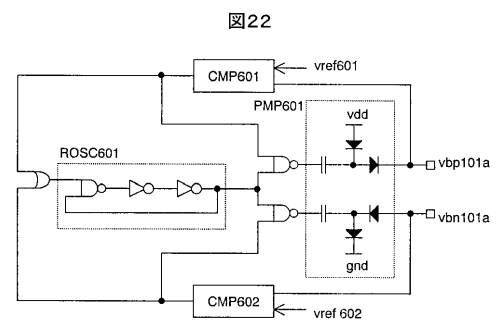
【図 19】



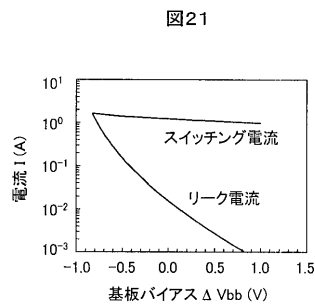
【図 20】



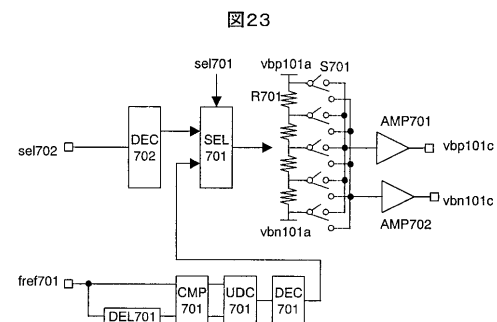
【図 22】



【図 21】

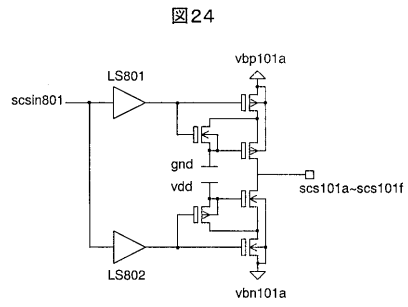


【図 23】

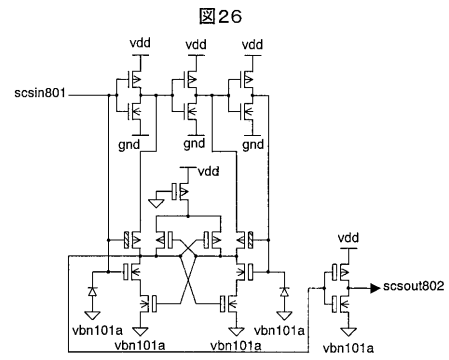




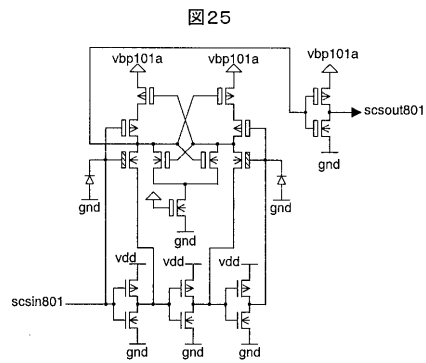
【図 2 4】



【図 2 6】



【図 2 5】



---

フロントページの続き

- (72)発明者 小野 豪一  
東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所中央研究所内
- (72)発明者 新保 利信  
東京都小平市上水本町 5 丁目 2 2 番 1 号 株式会社日立超エル・エス・アイ・システムズ内
- (72)発明者 安 義彦  
東京都小平市上水本町 5 丁目 2 0 番 1 号 株式会社日立製作所半導体グループ内
- (72)発明者 柳沢 一正  
東京都小平市上水本町 5 丁目 2 0 番 1 号 株式会社日立製作所半導体グループ内
- (72)発明者 倉石 孝  
東京都小平市上水本町 5 丁目 2 2 番 1 号 株式会社日立超エル・エス・アイ・システムズ内

審査官 池淵 立

- (56)参考文献 特開平 0 6 - 0 8 9 5 7 4 ( J P , A )  
特開 2 0 0 0 - 3 5 7 9 6 2 ( J P , A )  
特開平 1 1 - 1 3 5 7 2 0 ( J P , A )  
国際公開第 0 2 / 0 2 9 8 9 3 ( W O , A 1 )  
特開昭 5 9 - 1 1 1 3 4 3 ( J P , A )  
特開 2 0 0 0 - 3 3 9 0 4 7 ( J P , A )  
特開 2 0 0 1 - 3 3 9 0 4 5 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)

H01L 21/822  
H01L 21/82  
H01L 27/04