(19)中华人民共和国国家知识产权局

(12)发明专利

(10)授权公告号 CN 105590611 B
(45)授权公告日 2018.09.25

(21)申请号 201610156289.5

(22)申请日 2010.09.03

(65)同一申请的已公布的文献号
申请公布号 CN 105590611 A

(43)申请公布日 2016.05.18

(30)优先权数据
2009-205136 2009.09.04 JP

(62)分案原申请数据
201010273917.0 2010.09.03

(73)专利权人 株式会社半导体能源研究所
地址 日本神奈川

(72)发明人 木村肇 秋元健吾 津吹将志 佐佐木俊成

(74)专利代理机构 中国国际贸易促进委员会专利商标事务所 11038
代理人 申发振

(51)Int.Cl.
G09G 3/36(2006.01)

(56)对比文件
WO 2008/084697 A1,2008.07.17,
US 2006/0169973 A1,2006.08.03,
US 2007/0001205 A1,2007.01.04,
US 2010/0025691 A1,2010.02.04,
US 2009/0155940 A1,2009.06.18,

审查员 庄怡倩

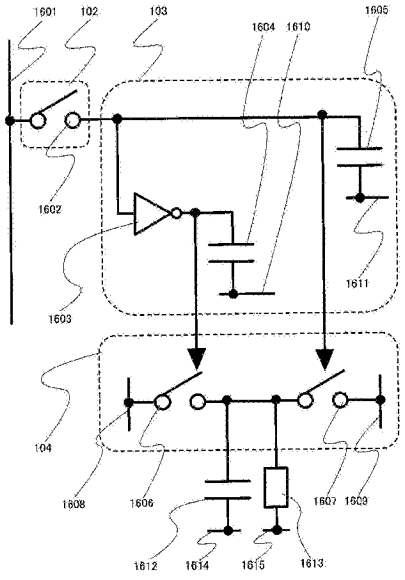
权利要求书2页 说明书41页 附图54页

(54)发明名称

显示装置以及电子设备

(57)摘要

本发明提供一种具备具有存储器的像素的显示装置以及电子设备。在像素中至少设置显示元件、电容元件、反相器以及开关。通过使用保持在电容元件中的信号和从反相器输出的信号控制开关，向显示元件供应电压。可以使用具有相同极性的晶体管构成反相器以及开关。另外，也可以使用具有透光性的材料形成构成像素的半导体层。另外，也可以使用具有透光性的导电层形成栅电极、漏电极以及电容电极。如上所述，通过使用透光材料形成像素，可以制造透过型显示装置，该显示装置具有配置有存储器的像素。



CN 105590611 B

1.一种显示装置,包括第一区域和第二区域,

其中所述第一区域包括:

栅电极;

所述栅电极上的第一绝缘层;

所述第一绝缘层上的氧化物半导体层,所述氧化物半导体层包括沟道形成区;

所述氧化物半导体层上的源电极和漏电极;

所述源电极和所述漏电极上的第二绝缘层;

所述第二绝缘层上的第一导电层,所述第一导电层包含铟;

所述第一导电层上的第三绝缘层;以及

所述第三绝缘层上的像素电极,所述像素电极电连接至所述源电极和所述漏电极中的一个,其中所述像素电极包含铟,

其中所述第二区域包括:

包含与所述栅电极相同的材料的第二导电层;

所述第二导电层上的所述第一绝缘层;以及

所述第一绝缘层上的第三导电层,所述第三导电层包含与所述源电极和所述漏电极相同的材料,

其中所述像素电极包含铟,

其中所述氧化物半导体层包含铟、镓、锌和氧,

其中所述源电极和所述漏电极中的每一个均包括第一层和第二层,

其中所述第一层包含铟和氧,

其中所述第二层包含铜,

其中所述第一导电层与所述沟道形成区重叠,

其中所述像素电极与所述第一导电层重叠,并且

其中所述第二导电层和所述第三导电层彼此电连接。

2.一种显示装置,包括第一区域和第二区域,

其中所述第一区域包括:

栅电极;

所述栅电极上的第一绝缘层;

所述第一绝缘层上的氧化物半导体层,所述氧化物半导体层包括沟道形成区;

所述氧化物半导体层上的源电极和漏电极;

所述源电极和所述漏电极上的第二绝缘层;

所述第二绝缘层上的第一导电层,所述第一导电层包含铟;

所述第一导电层上的第三绝缘层;以及

所述第三绝缘层上的像素电极,所述像素电极电连接至所述源电极和所述漏电极中的一个,其中所述像素电极包含铟,

其中所述第二区域包括:

包含与所述栅电极相同的材料的第二导电层;

所述第二导电层上的所述第一绝缘层;以及

所述第一绝缘层上的第三导电层,所述第三导电层包含与所述源电极和所述漏电极相

同的材料，

其中所述像素电极包含铟，

其中所述氧化物半导体层包含铟、镓、锌和氧，

其中所述源电极和所述漏电极中的每一个均包括第一层和第二层，

其中所述第一层包含铟和氧，

其中所述第二层包含铜，

其中所述第一导电层与所述沟道形成区重叠，

其中所述像素电极与所述第一导电层重叠，

其中所述像素电极通过所述第二绝缘层中的接触孔电连接至所述源电极和所述漏电极中的所述一个，

其中所述接触孔与所述氧化物半导体层重叠，并且

其中所述第二导电层和所述第三导电层彼此电连接。

3.根据权利要求1或2所述的显示装置，其中所述氧化物半导体层包括微晶和多晶中的一个。

4.根据权利要求1所述的显示装置，

其中所述像素电极在一区域中与所述源电极和所述漏电极中的所述一个接触，并且

其中所述区域不与所述氧化物半导体层重叠。

5.根据权利要求1或2所述的显示装置，其中所述像素电极与所述氧化物半导体层重叠。

6.根据权利要求1或2所述的显示装置，

其中所述像素电极与所述第二导电层重叠。

7.根据权利要求1或2所述的显示装置，还包括：

所述第二绝缘层上的第四导电层，所述第四导电层包含与所述第一导电层相同的材料，

其中所述第四导电层与所述第二导电层重叠。

8.根据权利要求1或2所述的显示装置，还包括：

所述第二绝缘层上的第四导电层，所述第四导电层包含与所述第一导电层相同的材料，

其中所述第四导电层与所述第三导电层重叠。

显示装置以及电子设备

[0001] 本申请是申请日为2010年9月3日、申请号为201010273917.0、发明名称为“显示装置以及电子设备”的中国发明专利申请的分案申请。

技术领域

[0002] 本发明涉及一种半导体装置、显示装置、发光装置或它们的制造方法。本发明尤其涉及一种具有如下电路的半导体装置、显示装置、发光装置或它们的制造方法，该电路使用将具有透光性的半导体膜用于沟道形成区的薄膜晶体管构成。本发明尤其涉及一种具有如下电路的半导体装置、显示装置、发光装置或它们的制造方法，该电路使用将氧化物半导体膜用于沟道形成区的薄膜晶体管构成。

背景技术

[0003] 作为以液晶显示装置为代表的显示装置的开关元件，广泛地使用将非晶硅等的硅层用作沟道层的薄膜晶体管(TFT)。虽然使用非晶硅的薄膜晶体管的场效应迁移率低，但是使用非晶硅的薄膜晶体管具有可以对应于玻璃衬底的大面积化的优点。

[0004] 另外，近年来，通过使用显现半导体特性的金属氧化物制造薄膜晶体管，并将该薄膜晶体管应用于电子装置或光装置的技术受到注目。例如，已知金属氧化物中的氧化钨、氧化锡、氧化铟、氧化锌等显现半导体特性。将由这种金属氧化物构成的透光半导体层用于沟道形成区的薄膜晶体管已被公开(例如，参照专利文献1)。

[0005] 另外，正在研究如下技术：使用具有透光性的氧化物半导体层形成晶体管的沟道层，并且还使用具有透光性的透明导电膜形成栅电极、源电极、漏电极，以提高开口率(例如，参照专利文献2)。

[0006] 通过提高开口率，光利用效率得到提高，而可以实现显示装置的省电化及小型化。另一方面，从显示装置的大型化、对便携式设备的应用的观点而言，要求开口率的提高和进一步的耗电量的减少。

[0007] 另外，作为对电光元件的透明电极的金属辅助布线，已知如下布线，即在透明电极上或在透明电极下以使金属辅助布线与透明电极重叠的方式设置来实现与透明电极的导通的布线(例如，参照专利文献3)。

[0008] 另外，已知如下结构：使用ITO、SnO_2等的透明导电膜形成设置在有源矩阵衬底上的附加电容电极，并且接触于附加电容电极地设置由金属膜构成的辅助布线，以降低附加电容电极的电阻(例如，参照专利文献4)。

[0009] 另外，在使用非晶氧化物半导体膜的场效应晶体管中，作为形成栅电极、源电极及漏电极的各电极的材料，可以使用氧化铟锡(ITO)、氧化铟锌、ZnO、SnO_2等的透明电极、Al、Ag、Cr、Ni、Mo、Au、Ti、Ta等的金属电极或包括它们的合金的金属电极等。已知层叠两个以上的由上述材料构成的膜来降低接触电阻或者提高界面强度的技术(例如，参照专利文献5)。

[0010] 另外，作为使用非晶氧化物半导体的晶体管的源电极、漏电极、栅电极、辅助电容电极的材料，可以使用铟(In)、铝(Al)、金(Au)、银(Ag)等的金属、氧化铟(In_2O_3)、氧化锡

(SnO_2)、氧化锌(ZnO)、氧化镉(CdO)、氧化铟镉($CdIn_2O_4$)、氧化镉锡(Cd_2SnO_4)、氧化锌锡(Zn_2SnO_4)等的氧化物材料。另外,已知作为栅电极、源电极和漏电极的材料既可以相同又可以不同(例如,参照专利文献6和7)。

[0011] 另一方面,为了减少耗电量,探讨了在像素内配置有存储器的显示装置(例如,参照专利文献8、9)。另外,在专利文献8、9的显示装置中使用光反射型像素电极。

[0012] [专利文献1]日本专利申请公开2004-103957号公报

[0013] [专利文献2]日本专利申请公开2007-81362号公报

[0014] [专利文献3]日本专利申请公开 平2-82221号公报

[0015] [专利文献4]日本专利申请公开 平2-310536号公报

[0016] [专利文献5]日本专利申请公开 2008-243928号公报

[0017] [专利文献6]日本专利申请公开 2007-109918号公报

[0018] [专利文献7]日本专利申请公开 2007-115807号公报

[0019] [专利文献8]日本专利申请公开 2001-264814号公报

[0020] [专利文献7]日本专利申请公开 2003-076343号公报

发明内容

[0021] 本发明的一个方式的课题之一是提供一种涉及具备存储器的像素的技术。或者,本发明的一个方式的另一课题是提高像素的开口率。

[0022] 注意,多个课题的记载不妨碍其它课题的存在。另外,本发明的一个方式不必解决上述所有课题。

[0023] 例如,本发明的一个方式是一种显示装置,包括:具有控制图像信号的输入的功能的第一电路;具有保持图像信号的功能的第二电路;具有控制向显示元件供应的电压的极性的功能的第三电路;以及具有像素电极的显示元件。利用本方式来可以提供具备存储器的像素。另外,在该方式中,第一至第三电路可以使用具有透光性的材料构成,并且也可以将像素电极配置在第一至第三电路的上方。

[0024] 或者,本发明的一个方式是一种显示装置,包括:具有第一开关的第一电路;第二电路,该第二电路包括通过所述第一开关被输入信号的第一电容元件、第二电容元件以及输入端子电连接到所述第一电容元件且输出端子电连接到所述第二电容元件的反相器;第三电路,该第三电路包括控制端子电连接到所述第一电容元件的第二开关以及控制端子电连接到所述第二电容元件的第三开关;以及包括电连接到所述第二开关及所述第三开关的像素电极的显示元件。利用本方式来可以提供具备存储器的像素。

[0025] 在上述方式中也可以具有第一至第三布线。在该结构例子中,第一布线通过第一开关电连接到所述第一电容元件,反相器的输入端子电连接到第一电容元件,反相器的输出端子电连接到第二电容元件,第一电容元件电连接到第二开关的控制端子,第二电容元件电连接到第三开关的控制端子,第二布线通过第二开关以及第三开关连接到第三布线。

[0026] 在上述方式中,第一至第三开关、第一和第二电容元件以及反相器可以使用具有透光性的材料构成。另外,像素电极可以配置在第一至第三开关、第一和第二电容元件以及反相器的上方。

[0027] 在上述本发明的各方式中,作为开关可以使用各种方式的开关。作为开关的一个

例子，可以使用电开关或机械开关等。换言之，开关只要可以控制电流即可，而不局限于特定的开关。作为开关的一个例子，有晶体管(例如，双极晶体管、MOS晶体管等)、二极管(例如，PN二极管、PIN二极管、肖特基二极管、MIM(Metal Insulator Metal：金属-绝缘体-金属)二极管、MIS(Metal Insulator Semiconductor：金属-绝缘体-半导体)二极管、二极管连接的晶体管等)或组合它们的逻辑电路等。作为机械开关的一个例子，有像数字微镜装置(DMD)那样的利用MEMS(微电子机械系统)技术的开关。该开关具有以机械方式可动的电极，并且通过移动该电极来控制导通和非导通以实现工作。

[0028] 在上述本发明的各方式中，在使用晶体管作为开关的情况下，由于该晶体管单作为开关来工作，因此对晶体管的极性(导电类型)没有特别限制。然而，在想要抑制截止电流的情况下，优选采用具有较小截止电流的极性的晶体管。作为截止电流较小的晶体管的一个例子，有具有高电阻区域的晶体管或具有多栅极结构的晶体管等。

[0029] 另外，在上述本发明的各方式中，当作为开关使用晶体管且在该晶体管的源极电位接近于低电位侧电源(Vss、GND、0V等)的电位的值的状态下使其工作时，优选作为开关使用N沟道型晶体管。相反，当在该晶体管的源极电位接近于高电位侧电源(Vdd等)的电位的值的情况下使其工作时，优选采用P沟道型晶体管。这是因为如下缘故：若是N沟道型晶体管，则当在源极接近于低电位侧电源的电位的值的状态下使其工作时，若是P沟道型晶体管，则当在源极接近于高电位侧电源的电位的值的状态下使其工作时，可以增大栅极-源极间电压的绝对值，因此作为开关使其更精确地工作。或者，这是因为晶体管进行源极跟随工作的情况较少，所以导致输出电压变小的情况少。

[0030] 另外，在上述本发明的各方式中，可以作为开关使用N沟道型晶体管和P沟道型晶体管两者来使用CMOS型开关。当采用CMOS型开关时，因为若P沟道型晶体管和N沟道型晶体管中的一方的晶体管导通则电流流过，因此作为开关容易起作用。因此，无论输入开关的输入信号的电压是高或低，都可以适当地输出电压。或者，由于可以降低用来使开关导通或截止的信号的电压振幅值，所以可以减少耗电量。

[0031] 另外，当将晶体管用作开关时，开关有时具有输入端子(源极或漏极的一方)、输出端子(源极或漏极的另一方)、控制导通的端子(栅极)。另一方面，当将二极管用作开关时，开关有时不具有控制导通的端子。因此，与将晶体管用作开关的情况相比，通过将二极管用作开关可以减少用来控制端子的布线。

[0032] 在本说明书所公开的发明中，作为晶体管，可以使用具有各种各样的结构的晶体管。换言之，对所使用的晶体管的结构没有特别的限制。

[0033] 在本说明书中，半导体装置是指具有包括半导体元件(晶体管、二极管、闸流晶体管等)的电路的装置。但是，也可以将通过利用半导体特性来能够发挥其功能的所有装置或具有半导体材料的装置称为半导体装置。在本说明书中，显示装置是指具有显示元件的装置。

[0034] 在本说明书中，驱动装置是指具有半导体元件、电路、电子电路的装置。例如，控制从源极信号线到像素内的信号输入的晶体管(有时称为选择晶体管、开关晶体管等)、将电压或电流供应到像素电极的晶体管、将电压或电流供应到发光元件的晶体管等是驱动装置的一个例子。再者，将信号供应到栅极信号线的电路(有时称为栅极驱动器、栅极线驱动电路等)、将信号供应到源极信号线的电路(有时称为源极驱动器、源极线驱动电路等)等是驱

动装置的一个例子。

[0035] 此外，可以组合显示装置、半导体装置、照明装置、冷却装置、发光装置、反射装置以及驱动装置等，并且这些装置也包括在本发明的方式中。例如，显示装置有时具有半导体装置及发光装置。或者，半导体装置有时具有显示装置及驱动装置。

[0036] 此外，在本发明的各方式中，可以在同一衬底上形成为了实现预定的功能而需要的所有电路。像这样，可以减少部件数来降低成本或减少与电路部件的连接数来提高可靠性。

[0037] 此外，也可以不在同一衬底(例如，玻璃衬底、塑料衬底、单晶衬底或SOI衬底等)上形成为了实现预定的功能而需要的所有电路。换言之，可以将为了实现预定的功能而需要的电路的一部分形成在某个衬底上，而将为了实现预定的功能而需要的电路的另一部分形成在其他衬底上。例如，将为了实现预定的功能而需要的电路的一部分形成在玻璃衬底上，而将为了实现预定的功能而需要的电路的另一部分形成在单晶衬底(或SOI衬底)上。然后，可以将形成有为了实现预定的功能而需要的电路的另一部分的单晶衬底(也称为IC芯片)通过COG(Chip On Glass:玻璃覆晶封装)连接到玻璃衬底，并且将该IC芯片配置在玻璃衬底上。或者，也可以使用TAB(Tape Automated Bongding:带式自动接合)、COF(Chip On Film:薄膜上芯片安装)、SMT(Surface Mount Technology:表面组装技术)或印刷衬底等将IC芯片连接到玻璃衬底。

[0038] 在本说明书中，明确地记载为“X和Y连接”的情况包括如下情况：X和Y电连接的情况；X和Y在功能上连接的情况；以及X和Y直接连接的情况。在此，X和Y为对象物(例如，装置、元件、电路、布线、电极、端子、导电膜、层等)。因此，预定的连接关系还包括附图或文章所示的连接关系以外的连接关系，而不局限于如附图或文章所示的连接关系。

[0039] 作为X和Y电连接的情况的一个例子，可以在X和Y之间连接一个以上的能够电连接X和Y的元件(例如开关、晶体管、电容元件、电感器、电阻元件、二极管等)。

[0040] 作为X和Y在功能上连接的一个例子，也可以在X和Y之间连接有一个以上的能够在功能上连接X和Y的电路(例如，逻辑电路(反相器、NAND电路、NOR电路等)、信号转换电路(DA转换电路、AD转换电路、γ校正电路等)、电位电平转换电路(电源电路(升压电路、降压电路等)、改变信号的电位电平的电平转移电路等)、电压源、电流源、切换电路、放大电路(能够增大信号振幅或电流量等的电路、运算放大器、差动放大电路、源极跟随电路、缓冲电路等)、信号产生电路、存储电路、控制电路等)。另外，作为一个例子，即使在X与Y之间夹有其他电路，也能够看作X和Y在功能上连接，只要从X输出的信号传输到Y。

[0041] 另外，明确地记载为“X和Y电连接”的情况包括如下情况：X和Y电连接(即，X和Y连接且在其中间夹有其它元件或其它电路)的情况；X和Y在功能上连接(即，X和Y在功能上连接且在其中间夹有其它电路)的情况；以及，X和Y直接连接(即，X和Y连接且其中间不夹有其它元件或其它电路)的情况。总之，明确地记载“电连接”的情况与只是简单地记载“连接”的情况相同。

[0042] 在本说明书中，当明确记载为单数时优选是单数。但是，在此情况下，也可以是复数。同样地，当明确记载为复数时优选是复数。但是，在此情况下，也可以是单数。

[0043] 在本申请的附图中，有时为了清楚起见，夸大尺寸、层的厚度或区域。因此，不一定局限于该尺度。附图示出示意性的理想例子，而不局限于附图所示的形状或值等。例如，可

以包括制造技术或误差等所引起的形状不均匀、噪声或定时偏差等所引起的信号、电压或电流的不均匀等。

[0044] 此外，在很多情况下，术语用来描述特定的实施方式或实施例等。但是，本发明的一个方式不应该被解释为受限于术语的解释。

[0045] 另外，没有定义的词句(包括术语或学术用语等科技词句)可以表示与所属技术领域的技术人员所理解的一般意思相同的意思。由词典等定义的词语优选解释为不与有关技术的背景产生矛盾的意思。

[0046] 另外，第一、第二、第三等词句是用来有区分地描述各种因素、构件、区域、层、领域等的词句。因此，第一、第二、第三等词句不限定因素、构件、区域、层、领域等的顺数及个数。再者，例如，可以使用“第二”或“第三”等替换“第一”。

[0047] 另外，“上”、“上方”、“下”、“下方”、“横”、“右”、“左”、“斜”、“里边”、“前边”、“内”、“外”或“中”等表示空间配置的词句在很多情况下用来以附图简单地示出某种因素或特征和其他因素或特征的关联。但是，不局限于此，这些表示空间配置的词句除了附图所描述的方向以外还可以包括其他方向。例如，明确地记载“在X之上Y”的情况不局限于Y存在于X之上的情况。附图中的结构可以反转或者转动180°，所以还可以包括Y存在于X之下的情况。如此，“上”这词句除了“上”的方向以外还可以包括“下”的方向。但是，不局限于此，附图中的装置可以转动为各种方向，所以“上”这词句除了“上”及“下”这些方向以外还可以包括“横”、“右”、“左”、“斜”、“里边”、“前边”、“内”、“外”或“中”等的其他方向。换言之，可以根据情况适当地进行解释。

[0048] 此外，明确地记载为“在X的上面形成有Y”或“在X上形成有Y”的情况不局限于Y直接接触地形成在X的上面的情况。还包括不直接接触的情况，即，在X和Y之间夹有其它对象物的情况。这里，X和Y是对象物(例如装置、元件、电路、布线、电极、端子、导电膜、层等)。

[0049] 因此，例如，明确地记载为“在层X的上面(或层X上)形成有层Y”的情况包括如下两种情况：层Y直接接触地形成在层X的上面的情况；以及在层X的上面直接接触地形成其它层(例如层Z等)，并且层Y直接接触地形成在所述其它层上的情况。另外，其它层(例如层Z等)可以是单层或多个层。

[0050] 而且，与此相同，明确地记载为“在X的上方形成有Y”的情况不局限于Y直接接触X的上面的情况，而还包括在X和Y之间夹有其它对象物的情况。因此，例如，“在层X的上方形成有层Y”的情况包括如下两种情况：层Y直接接触地形成在层X的上面的情况；以及在层X之上直接接触地形成有其它层(例如层Z等)，并且层Y直接接触地形成在所述其它层上的情况。此外，其它层(例如层Z等)可以是单层或多个层。

[0051] 另外，明确地记载为“在X的上面形成有Y”、“在X上形成有Y”、或“在X的上方形成有Y”的情况还包括在X的斜上面形成Y的情况。

[0052] “在X的下面形成有Y”或“在X的下方形成有Y”的情况与上述情况同样。

[0053] 通过形成具有透光性的晶体管或具有透光性的电容元件，即使在像素内配置晶体管、电容元件，在形成有晶体管、电容元件的部分中也能够使光透过。其结果是，可以提高像素的开口率。另外，通过使用具有这些具有晶体管及具有透光性的布线在像素内设置存储器，可以在像素内具有存储器并实现透过型显示器。

[0054] 另外，通过使用电阻率低且导电率高的材料形成连接晶体管和元件(例如，另一的

晶体管)或连接电容元件和元件(例如,另一的电容元件)的布线,可以降低信号波形的畸变和因布线电阻而产生的电压下降。

附图说明

[0055] 图1是说明显示装置的结构例子的截面图;

[0056] 图2是说明显示装置的结构例子的截面图;

[0057] 图3是说明显示装置的结构例子的截面图;

[0058] 图4是说明显示装置的结构例子的截面图;

[0059] 图5是说明显示装置的结构例子的截面图;

[0060] 图6是说明显示装置的结构例子的截面图;

[0061] 图7是说明显示装置的结构例子的截面图;

[0062] 图8是说明显示装置的结构例子的截面图;

[0063] 图9是说明显示装置的结构例子的截面图;

[0064] 图10是说明显示装置的结构例子的截面图;

[0065] 图11是说明显示装置的结构例子的截面图;

[0066] 图12是说明显示装置的结构例子的截面图;

[0067] 图13是说明显示装置的结构例子的截面图;

[0068] 图14是说明显示装置的结构例子的截面图;

[0069] 图15是说明显示装置的结构例子的截面图;

[0070] 图16是说明显示装置的结构例子的截面图;

[0071] 图17A至图17C是说明图16的显示装置的工作的一个例子的电路图;

[0072] 图18A至图18C是说明图16的显示装置的工作的一个例子的电路图;

[0073] 图19A至图19C是说明图16的显示装置的工作的一个例子的电路图;

[0074] 图20A至图20C是说明图16的显示装置的工作的一个例子的电路图;

[0075] 图21A至图21E是说明显示装置的结构例子的电路图;

[0076] 图22A至图22D是说明显示装置的结构例子的电路图;

[0077] 图23是说明显示装置的工作的一个例子的电路图;

[0078] 图24是说明显示装置的工作的一个例子的电路图;

[0079] 图25是说明显示装置的工作的一个例子的电路图;

[0080] 图26是说明显示装置的工作的一个例子的电路图;

[0081] 图27是说明显示装置的工作的一个例子的电路图;

[0082] 图28A至图28D是说明显示装置的结构例子的电路图;

[0083] 图29是说明显示装置的结构例子的电路图;

[0084] 图30是说明显示装置的结构例子的电路图;

[0085] 图31是说明显示装置的结构例子的电路图;

[0086] 图32是说明显示装置的结构例子的平面图;

[0087] 图33是说明显示装置的结构例子的平面图;

[0088] 图34A是说明显示装置的结构例子的平面图;图34B和图34C是说明显示装置的结构例子的截面图;

[0089] 图35是说明显示装置的结构例子的截面图；

[0090] 图36是说明显示装置的结构例子的截面图；

[0091] 图37A1和图37A2是说明显示装置的结构例子的平面图；图37B和图37C是说明显示装置的结构例子的截面图；

[0092] 图38A至图38F是说明显示装置的制造方法的一个例子的截面图；

[0093] 图39A至图39E是说明显示装置的制造方法的结构例子的截面图；

[0094] 图40A至图40H是说明电子设备的结构例子的图；

[0095] 图41A至图41D是说明电子设备的结构例子的图；图41E至图41H是说明显示装置的应用例子的图；

[0096] 图42是说明显示装置的结构例子的电路图；

[0097] 图43是说明显示装置的结构例子的电路图。

具体实施方式

[0098] 以下说明本发明的实施方式。本说明书所记载的发明的方式例如可以解决以下课题。另外，多个课题的记载并不妨碍其他课题的存在。此外，本发明的各方式不需要解决以下所有课题。

[0099] 作为课题，例如可以举出：提供涉及具备存储器的像素的技术；提高像素的开口率；降低布线电阻；降低接触电阻；降低电压下降；减少耗电量；提高显示质量；降低晶体管的截止电流等。

[0100] 此外，本发明的实施方式可以通过多种不同方式实施，所属技术领域的普通技术人员可以很容易地理解一个事实就是其方式和详细内容在不脱离本发明的宗旨及其范围内可以被变换为各种各样的形式。因此，本发明不应该被解释为仅限定在实施方式所记载的内容中。另外，在以下所说明的结构中，在不同附图之间共同使用同一附图标记表示同一部分或具有同样功能的部分，而省略同一部分或具有同样功能的部分的详细说明。

[0101] 另外，在某一个实施方式中所说明的内容(也可以是其一部分的内容)对于该实施方式所说明的其他内容(也可以是其一部分的内容)和/或在一个或多个其他实施方式中所说明的内容(也可以是其一部分的内容)可以进行选择、组合或置换等。实施方式所述的内容是在各实施方式中在所参照的一个或多个附图中记载的内容及以文章描述的内容。

[0102] 另外，在某一个实施方式中所参照的附图(也可以是其一部分的附图)对于该附图的其他部分、该实施方式所参照的其他附图(也可以是其一部分的附图)和/或在一个或多个其他实施方式中所参照的附图(也可以是其一部分的附图)进行组合来可以描述其他结构例子记载的附图。此外，可以根据在某一个实施方式中参照的附图或描述的文章的一部分构成其他方式。因此，在记载有描述某个部分的附图或文章的情况下，也公开了以其一部分的附图或文章描述的其他方式。

[0103] 因此，例如，可以在记载有一个或多个有源元件(晶体管、二极管等)、布线、无源元件(电容元件、电阻元件等)、导电层、绝缘层、半导体层、有机材料、无机材料、构件、衬底、模块、装置、固体、液体、气体、工作方法、制造方法等的附图(截面图、平面图、电路图、框图、流程图、工序图、立体图、立面图、布置图、时序图、结构图、示意图、图、表、光路图、向量图、状态图、波形图、照片、化学式等)或者文章中取出其一部分而构成发明的一个方式。

[0104] 作为一个例子，可以从具有N个(N是整数)电路元件(晶体管、电容元件等)构成的电路图取出M个(M是整数，M＜N)电路元件(晶体管、电容元件等)来构成发明的一个方式。作为其他一个例子，可以从具有N个(N是整数)层构成的截面图取出M个(M是整数，M＜N)层来构成发明的一个方式。作为其他一个例子，可以从具有N个(N是整数)要素构成的流程图取出M个(M是整数，M＜N)要素来构成发明的一个方式。

[0105] 此外，在某一个实施方式所述的附图或文章中记载至少一个具体例子的情况下，所属技术领域的普通技术人员可以很容易地理解一个事实就是由上述具体例子导出该具体例子的上位概念。从而，在某一个实施方式中所述的附图或文章中记载至少一个具体例子的情况下，可以由该具体例子的上位概念构成本说明书所公开的发明的一个方式。

[0106] 另外，至少在附图中记载的内容(也可以是附图中的一部分)作为发明的一个方式被公开，并可以构成发明的一个方式。因此，只要在附图中记载某一个内容，即使不使用文章描述，就也可以根据该内容构成本说明书所公开的发明的一个方式。同样地，可以根据取出附图中的一部分的附图构成本说明书所公开的发明的一个方式。

[0107] 另外，有时即使不特定有源元件(晶体管、二极管等)、无源元件(电容元件、电阻元件等)等所具有的所有元件的连接位置，所属技术领域的普通技术人员也能够构成发明的一个方式。尤其是在可以考虑到多个端子的连接位置的情况下，该端子的连接位置不必限定于特定的部分。因此，有时通过仅特定有源元件(晶体管、二极管等)、无源元件(电容元件、电阻元件等)等所具有的一部分的端子的连接位置，能够构成发明的实施方式。

[0108] 另外，有时通过至少特定某个电路的连接位置，所属技术领域的普通技术人员能够特定发明的实施方式，本说明书所公开的发明的方式包括上述情况。或者，通过至少特定某个电路的功能，所属技术领域的普通技术人员能够特定本说明书所公开的发明的方式。本说明书所公开的发明的方式包括上述情况。

[0109] 实施方式1

[0110] 在本实施方式中说明显示装置。

[0111] 使用图1说明本实施方式所示的显示装置(也可以称为半导体装置)的结构例子。显示装置具有多个像素。图1示出一个像素的截面结构。

[0112] 在衬底101的上方设置有电路102、电路103、电路104。在该电路102至104的上方设置有绝缘层105。在绝缘层105的上方设置有导电层106。在衬底108的上方(从图1的方向而言是下方)设置有导电层109。在导电层106和导电层109之间设置有媒质107。可以使用媒质107、导电层106及导电层109构成显示元件。并且，导电层106可以与电路102、电路103及/或电路104连接。可以覆盖整个电路102、电路103及/或电路104或它们的多个部分地配置导电层106。但是，本实施方式不局限于此。

[0113] 在图1的结构例子中，可以不设置衬底108和导电层109中的任一方，并且可以不设置电路102、电路103和电路104中的任何电路。

[0114] 在此，作为一个例子电路102具有控制是否将信号(作为一个例子，图像信号)输入到像素内的功能。因此，电路102可以具有选择晶体管或开关晶体管。

[0115] 在此，作为一个例子，电路103具有保持信号的功能。即，电路103具有存储功能。电路103作为存储器例如具有DRAM、SRAM、非易失性存储器等。并且，电路103还可以具有刷新电路。利用刷新电路可以刷新DRAM数据。因此，电路103可以具有反相器、时钟反相器、电容

元件、模拟开关等。

[0116] 在此，作为一个例子，电路104具有控制供给到媒质107的电压的极性的功能。因此，根据媒质107的种类有时不设置电路104。因此，电路104可以具有反相器、源极跟随器、模拟开关等。如上所述，通过在像素内配置存储器，可以降低信号的改写频率，从而可以减少耗电量。但是，本实施方式不局限于此。

[0117] 当电路102至104具有上述功能时，可以包括具有透光性的材料地构成电路102、电路103及/或电路104所具有的晶体管或者布线。例如，在晶体管中，可以包括具有透光性的材料地形成整个栅电极、半导体层、源电极或漏电极或者它们的一部分。因此，即使配置晶体管或布线也可以使光透过。与此同样，也可以包括具有透光性的材料地构成源极信号线、栅极信号线、电容布线、电源线等的布线。因此，在配置有多个像素的像素区域的大部分中可以使光透过。

[0118] 另外，虽然可以包括具有透光性的材料地构成整个源极信号线、栅极信号线、电容布线、电源线等的布线或者它们的一部分，但是不局限于此，而也可以包括导电率高的材料地构成整个源极信号线、栅极信号线、电容布线、电源线等的布线或者它们的一部分。换言之，也可以包括不具有透光性的材料构成整个源极信号线、栅极信号线、电容布线、电源线等的布线或者它们的一部分。例如，也可以层叠具有透光性的层和不具有透光性的层。在上述情况下，透光区域变窄而开口率降低，但是导电率高，因此可以降低信号畸变、电压下降。

[0119] 尤其是，在用来驱动像素的电路，例如栅极驱动器、源极驱动器、用于驱动共同电极(对置电极)的电路等中可以包括不具有透光性的层地构成布线及/或晶体管。在栅极驱动器、源极驱动器、共同电极(对置电极)驱动电路等中不需要使光透过。因此，通过使用导电率高的布线、电极构成布线、晶体管，可以降低信号畸变、电压下降。

[0120] 另外，可以包括具有透光性的材料地形成导电层106或导电层109。在此，如图1所示，可以在导电层106下配置电路102、电路103或电路104。此时，因为可以包括具有透光性的材料地形成电路102、电路103或电路104，所以可以提高开口率。或者，可以构成透过型显示装置。换言之，可以在像素内配置存储器且构成透过型显示装置。

[0121] 另外，导电层106及/或导电层109的一部分可以包括不具有透光性的材料，即导电率高的材料。通过导电层106的一部分包括导电率高的材料，可以在该部分中反射光。由此，可以构成半透过型显示装置。

[0122] 另外，只要在导电层106下配置有电路102、电路103和电路104中的至少一个，即可。或者，只要在导电层106下配置有电路102、电路103或电路104的一部分。

[0123] 另外，导电层106可以具有像素电极的功能。或者，导电层109可以具有共同电极的功能。

[0124] 但是，导电层109不局限于形成在衬底108上。导电层109也可以形成在衬底101上。

[0125] 另外，作为媒质107的例子，有时具有液晶、有机EL、无机EL、电泳材料、电子粉流体(electro liquid powder)、墨粉等。根据由导电层106及导电层109供给的电压或电流控制媒质107的光学特性。

[0126] 虽然图1示出在一个像素中设置有电路102、电路103、电路104的例子，但是本实施方式不局限于此。既可以设置更多的电路，又可以设置更少的电路。

[0127] 另外，衬底101或衬底108优选是具有绝缘性的衬底。作为一个例子，可以举出玻璃

衬底、塑料衬底、柔性衬底、PET(聚对苯二甲酸乙二醇酯)衬底、不锈钢箔衬底、SOI衬底、硅衬底、陶瓷衬底、石英衬底、蓝宝石衬底等。也可以使用利用绝缘材料覆盖由金属或不锈钢等的导电体构成的导电衬底的表面的衬底。通过作为衬底使用玻璃或塑料,可以使光透过。或者,通过作为衬底101、108使用塑料衬底或柔性衬底,可以使衬底弯曲,从而可以得到不易破损的衬底。

[0128] 另外,也可以在衬底101或衬底108的表面上形成有单层或多个层的绝缘层。利用该绝缘层来可以抑制包含在衬底中的杂质的扩散。

[0129] 实施方式2

[0130] 本实施方式说明显示装置。

[0131] 使用图2至图14说明本实施方式所示的显示装置(也称为半导体装置)的结构例子。显示装置具有多个像素。图2至图14示出一个像素的截面结构。

[0132] 如图2所示,在衬底101的上方配置有导电层201a、201b。在导电层201a、201b的上方配置有绝缘层202。在绝缘层202的上方配置有半导体层203。在半导体层203或绝缘层202的上方配置有导电层204a、导电层204b及导电层204c。在导电层204a、导电层204b、导电层204c或半导体层203的上方配置有绝缘层205。在绝缘层205的上方配置有导电层206。导电层204b通过形成在绝缘层205中的接触孔连接到导电层206。半导体层203的上一侧与导电层204a、204b的下一侧接触并连接。

[0133] 通过对利用相同的成膜工序来形成的膜(单层或叠层)进行蚀刻处理来可以形成导电层201a及导电层201b。此时,导电层201a及导电层201b包括大概相同的材料。同样地,通过对利用相同的成膜工序来形成的膜(单层或叠层)进行蚀刻处理来可以形成导电层204a、导电层204b及导电层204c。此时,导电层204a、导电层204b及导电层204c包括大概相同的材料。

[0134] 导电层201a可以具有晶体管207的栅电极的功能。或者,导电层201a可以具有栅极信号线的功能。导电层201b可以具有电容元件208、209的电容电极的功能。或者,导电层201b可以具有保持电容线的功能。

[0135] 绝缘层202可以具有晶体管207的栅极绝缘层的功能。或者,绝缘层202可以具有电容元件208、209的绝缘层的功能。

[0136] 导电层204a、204b可以具有晶体管207的源电极或漏电极的功能。或者,导电层204a、204b可以具有源极信号线或视频信号线的功能。

[0137] 导电层204c可以具有电容元件208的电容电极的功能。或者,导电层204c可以具有保持电容线的功能。

[0138] 半导体层203可以具有晶体管207的激活层的功能。或者,半导体层203可以具有晶体管207的沟道层的功能。或者,半导体层203可以具有晶体管207的高电阻区域的功能。或者,半导体层203可以具有晶体管207的杂质区域的功能。

[0139] 导电层206可以具有像素电极的功能。或者,导电层206可以具有电容元件209的电容电极的功能。

[0140] 可以使导电层206对应于图1所示的导电层106。或者,可以使绝缘层205对应于图1所示的绝缘层105。

[0141] 如上所述,可以在导电层206的下方配置晶体管207、电容元件208等。因为晶体管

207、电容元件208等具有透光性，所以可以提高开口率。或者，可以构成透过型显示装置。并且，可以使用晶体管207、电容元件208、209构成选择晶体管、存储器(例如DRAM或SRAM)、模拟开关、反相器、时钟反相器等。

[0142] 另外，因为在晶体管207中在半导体层203的下一侧存在导电层201a，所以可以将晶体管207称为底栅型晶体管。或者，可以将晶体管207称为反交错型晶体管。或者，因为在晶体管207中在半导体层203上没有沟道保护膜，所以可以将晶体管207称为沟道蚀刻型晶体管。或者，可以将晶体管207称为薄膜晶体管。

[0143] 另外，晶体管、电容元件的结构不局限于图2所示的结构。也可以应用其他各种各样的结构。

[0144] 例如，可以构成如下晶体管，在该晶体管中，相对于沟道部，在与栅电极相反一侧设置电极。图3示出在半导体层203及绝缘层205的上方设置导电层206a时的像素的结构例子。可以将导电层206a用作晶体管207的背栅极。通过向导电层206a供应与导电层201a不同的电位，可以使晶体管207的工作稳定。或者，通过对导电层206a供应与导电层201a相同的电位，在实质上晶体管207的沟道变为2倍，从而可以在实质上提高迁移率。

[0145] 另外，通过对利用相同的成膜工序形成的膜(单层或叠层)进行蚀刻处理来可以形成导电层206a、206。此时，导电层206a和导电层206包括大概相同的材料。

[0146] 另外，如图3所示，在电容元件208中，也可以在导电层204c和导电层201c之间设置半导体层203a。在此，通过对利用相同的成膜工序形成的膜(单层或叠层)进行蚀刻处理来可以形成半导体层203、203a。此时，半导体层203和半导体层203a包括大概相同的材料。

[0147] 另外，可以使外围电路部(例如，驱动像素的电路部)的晶体管的结构与像素部的晶体管的结构不同。作为一个例子，可以如图2所示在像素部的晶体管207中不设置导电层206a，另一方面如图3所示在驱动像素部的电路的晶体管207中设置导电层206a。在驱动像素部的电路中控制晶体管207的阈值电压是非常重要的。但是，在像素部中，即使晶体管207处于常开启状态也有时可以使晶体管207工作。并且，在像素部中，通过不设置导电层206a，可以防止开口率的降低。因此，通过像素部的晶体管207采用不设置导电层206a的结构，而驱动像素部的电路的晶体管207采用设置导电层206a的结构，可以使显示装置适当地工作并提高像素部的开口率。

[0148] 但是，本实施方式不局限于图3。可以使用与导电层206a不同的层来构成像素。图4示出其一个例子。

[0149] 在绝缘层205和导电层206之间配置导电层406a和绝缘层405。可以将导电层406a用作晶体管207的背栅极。如上所述，通过使用与导电层206不同的层，可以在导电层206下配置晶体管207及导电层406a。因此，通过在像素中使用具有该结构的晶体管207，可以提高开口率。

[0150] 另外，通过使用与导电层406a相同的层的导电膜，可以构成电容元件408。电容元件408可以使用导电层406b和导电层201c构成。或者，电容元件409可以使用导电层406b和导电层206构成。或者，电容元件408a可以使用导电层406b和导电层204d构成。

[0151] 通过对利用相同的成膜工序来形成的膜(单层或叠层)进行蚀刻处理来可以形成导电层201a及导电层201c。此时，导电层201a及导电层201c包括大概相同的材料。另外，通过对利用相同的成膜工序来形成的膜(单层或叠层)进行蚀刻处理来可以形成导电层204a、

204b、204d。此时，导电层204a、导电层204b及导电层204d包括大概相同的材料。另外，通过对利用相同的成膜工序来形成的膜(单层或叠层)进行蚀刻处理来可以形成导电层406a、406b。此时，导电层406a和导电层406b包括大概相同的材料。

[0152] 另外，在图2、图3及图4中示出在晶体管207中在半导体层203上不配置沟道保护膜的例子。但是本实施方式不局限于此。可以配置沟道保护膜。作为一个例子，图5示出在图2的晶体管207中配置沟道保护膜503的例子。同样地，在图3、图4中也可以配置沟道保护膜来构成晶体管。在图5的晶体管207中，通过配置沟道保护膜503来可以将半导体层203的厚度设定得薄。因此，可以降低截止电流。或者，可以使S值(subthreshold swing value)变小。或者，因为不需要考虑到蚀刻时的半导体层203与导电层204a、204b的选择比，所以可以自由地选择材料。

[0153] 图2至图5的结构例子具有导电层204a、204b下的没有配置半导体层203的区域。本实施方式不局限于这些结构，而可以如图6所示在导电层204a、204b下的整个区域中配置半导体层203。此时，也可以不设置沟道保护膜503。当不设置沟道保护膜503时，可以使用多级灰度掩模(也称为半色调掩模或灰色调掩模)来减少掩模(中间掩模)数。例如，进行以下工序即可。连续地形成半导体层203、构成导电层204a及导电层204b的膜。形成抗蚀剂掩模，并且对上述层同时进行蚀刻。通过使抗蚀剂掩模灰化等来形成只对导电层204a及导电层204b进行蚀刻的掩模。通过使用一个曝光掩模来可以形成用来对半导体层203的沟道部分、导电层204a及导电层204b进行蚀刻的抗蚀剂掩模。

[0154] 作为像素的结构例子，图2至图6示出半导体层203的上一侧与导电层204a、204b的下一侧接触并电连接的结构例子。当然，本实施方式不局限于此。也可以设置与半导体层203的下一侧接触并电连接的导电层。以下参照图7至图10说明这种结构例子。

[0155] 图7示出在图2中半导体层203的上一侧与导电层204a、204b的下一侧接触时的晶体管207的截面图。同样地，图8示出在图3中半导体层203的上一侧与导电层204a、204b的下一侧接触时的晶体管207的截面图。同样地，图9示出在图4中半导体层203的上一侧与导电层204a、204b的下一侧接触时的晶体管207的截面图。同样地，图10示出在图6中不配置沟道保护膜503且半导体层203的上一侧与导电层204a、204b的下一侧接触时的晶体管207的截面图。另外，在图10中，优选半导体层203的接触于导电层206的部分成为具有N型或P型的充分的特性的部分。换言之，优选上述接触部分为欧姆接触。

[0156] 另外，图2至图10示出在导电层204a、204b和半导体层203之间没有设置绝缘层的结构例子。当然，本实施方式不局限于此。可以在导电层204a、204b和半导体层203之间设置绝缘层。作为一个例子，图11示出在图2中设置绝缘层1105时的截面图。导电层204a、204b通过设置在绝缘层1105中的接触孔与半导体层203连接。

[0157] 另外，此时，可以使用与导电层204a、204b相同的层的导电层来相对于沟道部而在与栅电极相反一侧设置电极。图12示出该情况的例子。相对于沟道部，导电层204e设置在与栅电极相反一侧。如上所述，因为使用与导电层204a相同的层设置导电层204e，所以即使在像素部中使用上述晶体管结构，也可以防止开口率的降低。

[0158] 另外，通过对利用相同的成膜工序来形成的膜(单层或叠层)进行蚀刻处理来可以形成导电层204a、204b、204e。此时，导电层204a、导电层204b、导电层204e包括大概相同的材料。

[0159] 另外，可以将与图11、图12同样的晶体管270应用于图3至图10的像素。

[0160] 另外，当使隔着绝缘层地配置的各层的导电层彼此连接时，需要在绝缘层中形成接触孔。图13示出该情况的接触结构的例子。在接触结构1301中，为了电连接导电层201b、导电层204b和导电层206，在绝缘层205和绝缘层202中形成有接触孔。同时形成这些接触孔。此时，可以减少掩模数(中间掩模数)或工艺工序数。但是，当要连接导电层204b和导电层201b时，需要通过导电层206连接导电层204b和导电层201b，因此接触电阻有可能增高或布局面积有可能变大。另一方面，也可以如接触结构1302那样在绝缘层202中形成接触孔来直接连接导电层204a和导电层201a。此时，可以降低接触电阻增高的可能性或布局面积变大的可能性。

[0161] 图14示出导电层406a、406b存在时的接触结构的结构例子。在接触结构1401中，在绝缘层405、205、202中同时形成接触孔来连接导电层201a、204b、406a、206。此时，可以减少掩模数(中间掩模数)或工艺工序数。但是，当连接导电层406a、导电层204b、导电层201a时，需要通过导电层206连接导电层406a、导电层204b、导电层201a，因此接触电阻有可能增高或布局面积有可能变大。另一方面，也可以如接触结构1402那样在绝缘层205和绝缘层202中形成接触孔来直接连接导电层406b、导电层204d和导电层201c。此时，可以降低接触电阻增高的可能性或布局面积变大的可能性。

[0162] 另外，虽然图2至图12示出底栅型晶体管的例子，但是本实施方式不局限于此。也可以使用顶栅型晶体管进行构成。同样地，不局限于反交错型晶体管，而也可以使用平面型晶体管进行构成。

[0163] 另外，图2至图12所示的半导体层203可以使用单层结构或叠层结构的半导体膜形成。形成半导体层的膜可以使用氧化铟锡(Indium Tin Oxide:ITO)、包含氧化硅的氧化铟锡(ITSO)、有机铟、有机锡、氧化锌(ZnO)等的具有透光性的材料形成。此外，也可以使用含有氧化锌的氧化铟锌(Indium Zinc Oxide:IZO)、对氧化锌掺杂镓(Ga)的材料、氧化锡(SnO_2)、含有氧化钨的氧化铟、含有氧化钨的氧化铟锌、含有氧化钛的氧化铟、含有氧化钛的氧化铟锡等。使用上述材料构成的膜可以通过溅射法形成。

[0164] 另外，图1至图14所示的导电层，例如导电层201a、201b、204a至204e、206、206a、406a、406b等可以使用单层结构或叠层结构的导电膜形成。形成这些导电层的膜可以使用氧化铟锡(Indium Tin Oxide:ITO)、包含氧化硅的氧化铟锡(ITSO)、有机铟、有机锡、氧化锌(ZnO)等的具有透光性的材料形成。此外，也可以使用含有氧化锌的氧化铟锌(Indium Zinc Oxide:IZO)、对氧化锌掺杂镓(Ga)的材料、氧化锡(SnO_2)、含有氧化钨的氧化铟、含有氧化钨的氧化铟锌、含有氧化钛的氧化铟、含有氧化钛的氧化铟锡等。使用上述材料构成的膜可以通过溅射法形成。但是，当利用叠层结构的导电膜形成图1至图14所示的导电层时，优选充分地提高叠层结构中的光的透过率。

[0165] 另外，可以包括导电率高的材料地构成整个源极信号线、栅极信号线、电容布线、电源线等的布线或者它们的一部分。换言之，可以包括不具有透光性的材料地形成整个源极信号线、栅极信号线、电容布线、电源线等的布线或者它们的一部分。例如，也可以层叠具有透光性的层和不具有透光性的层。此时的布线材料，例如可以使用铝(Al)、钨(W)、钛(Ti)、钽(Ta)、钼(Mo)、镍(Ni)、铂(Pt)、铜(Cu)、金(Au)、银(Ag)、锰(Mn)、钕(Nd)、铌(Nb)、铈(Ce)、铬(Cr)等金属材料、以这些金属材料为主要成分的合金材料、或以这些金属材料为主

要成分的氮化物的单层或叠层形成。

[0166] 当作为某个导电层使用ITO并作为另一个导电层使用铝时，在连接上述导电层的情况下，有时发生化学反应。因此，为了避免发生化学反应，优选在上述导电层之间使用高熔点材料。例如，作为高熔点材料的例子，可以举出钼、钛、钨、钽、铬等。并且，优选在使用高熔点材料形成的膜上使用导电率高的材料来形成具有多层膜的导电层。作为导电率高的材料可以举出铝、铜、银等。例如，当以叠层结构形成导电膜时，可以采用如下叠层：第一层为钼，第二层为铝，第三层为钼的叠层；或者第一层为钼，第二层为含有微量的钕的铝，第三层为钼的叠层。通过采用上述结构，可以防止小丘的产生。

[0167] 图1至图14所示的绝缘层，例如绝缘层105、202、205、405、1105等可以使用氧化硅膜、氧氮化硅膜、氮化硅膜、氮氧化硅膜、氧化铝膜、氮化铝膜、氧氮化铝膜、氮氧化铝膜或氧化钽膜等的单层或叠层形成。可以利用溅射法等且以50nm以上且250nm以下的厚度形成各绝缘层。例如，可以利用溅射法或CVD法形成厚度为100nm的氧化硅膜作为绝缘层。或者，还可以利用溅射法形成厚度为100nm的氧化铝膜。或者，也可以设置氧化硅、氮化硅、氧氮化硅、氮氧化硅等的具有氧或氮的绝缘膜、DLC(类金刚石碳)等的包含碳的膜、由环氧树脂、聚酰亚胺、聚酰胺、聚乙烯苯酚、苯并环丁烯、丙烯酸树脂等的有机材料或硅氧烷树脂等的硅氧烷材料构成的膜的单层或叠层。

[0168] 另外，图1至图14所示的绝缘层可以具有滤色片及/或黑底的功能。通过在衬底101一侧设置滤色片，不需要在对置衬底一侧设置滤色片，不需要用来调整两个衬底的位置的余地，所以可以容易地制造面板。

[0169] 作为图2至图14所示的半导体层，例如半导体层203，例如可以使用含有In、M、或Zn的氧化物半导体。在此，M表示选自Ga、Fe、Ni、Mn或Co等中的一种或多种金属元素。此外，当作为M使用Ga时，也将由该材料构成的半导体膜称为In-Ga-Zn-O类非单晶膜。另外，在上述氧化物半导体中，有时除了包含作为M的金属元素之外，作为杂质元素还包含Fe、Ni、其他过渡金属元素或该过渡金属的氧化物。此外，半导体层203还可以包含绝缘杂质。作为该杂质，采用：以氧化硅、氧化锗、氧化铝等为代表的绝缘氧化物；以氮化硅、氮化铝等为代表的绝缘氮化物；或者以氧氮化硅、氧氮化铝等的绝缘氧氮化物。以不影响到氧化物半导体的导电性的浓度添加上述绝缘氧化物或绝缘氮化物。通过使氧化物半导体包含绝缘杂质，可以抑制该氧化物半导体的晶化。通过抑制氧化物半导体的晶化，可以使薄膜晶体管的特性稳定化。

[0170] 通过使In-Ga-Zn-O类氧化物半导体包含氧化硅等的杂质，即使进行300℃至600℃的热处理，也可以防止该氧化物半导体晶化或形成微小晶粒。在将In-Ga-Zn-O类氧化物半导体层用作沟道形成区的薄膜晶体管的制造过程中，通过进行热处理可以提高S值或场效应迁移率。即使在上述情况下，也可以防止薄膜晶体管变成常导通。此外，即使在对该薄膜晶体管施加热应力、偏压应力的情况下也可以防止阈值电压的变动。

[0171] 作为用于薄膜晶体管的沟道形成区的氧化物半导体，除了上述氧化物半导体之外，还可以使用In-Sn-Zn-O类、In-Al-Zn-O类、Sn-Ga-Zn-O类、Al-Ga-Zn-O类、Sn-Al-Zn-O类、In-Zn-O类、Sn-Zn-O类、Al-Zn-O类、In-O类、Sn-O类、Zn-O类的氧化物半导体。也就是说，通过对这些氧化物半导体添加抑制晶化以保持非晶状态的杂质，可以使薄膜晶体管的特性稳定化。该杂质是：以氧化硅、氧化锗、氧化铝等为代表的绝缘氧化物；以氮化硅、氮化铝等为代表的绝缘氮化物；或者以氧氮化硅、氧氮化铝等为代表的绝缘氧氮化物等。

[0172] 作为一个例子，可以利用使用含有In、Ga及Zn的氧化物半导体靶(In_2O_3:Ga_2O_3:ZnO=1:1:1)的溅射法形成半导体膜。溅射条件例如可以为：衬底101和靶之间的距离为30mm至500mm；压力为0.1Pa至2.0Pa；直流(DC)电源输出为0.25kW至5.0kW(当使用直径为8英寸的靶时)；气氛为氩气氛、氧气氛或者氩和氧的混合气氛。将半导体膜的厚度设定为5nm至200nm左右即可。

[0173] 作为上述溅射法，可以使用将高频电源用于溅射电源的RF溅射法、DC溅射法、以脉冲方式施加直流偏压的脉冲DC溅射法等。RF溅射法主要用来形成绝缘膜，而DC溅射法主要用来形成金属膜。

[0174] 此外，还可以使用能够设置多个材料不同的靶的多元溅射装置。多元溅射装置既可以在同一反应室中将不同的膜层叠形成，又可以在同一反应室中同时溅射多种材料形成一个膜。再者，还可以采用：使用在反应室内部备有磁场形成机构的磁控管溅射装置的方法(磁控管溅射法)；或使用利用微波生成的等离子体的ECR溅射法等。此外，还可以使用如下方法：在成膜时通过使靶物质与溅射气体成分产生化学反应来形成它们的化合物的反应溅射法；或在成膜时还对衬底施加电压的偏压溅射法等。

[0175] 此外，用作晶体管207的沟道层的半导体材料不局限于氧化物半导体。例如，还可以将硅层(非晶硅层、微晶硅层、多晶硅层或单晶硅层)用作晶体管207的沟道层。此外，还可以作为晶体管207的沟道层使用具有透光性的有机半导体材料、碳纳米管、镓砷或铟磷等化合物半导体。

[0176] 另外，优选在形成半导体层203之后在氮气氛下或大气气氛下，进行100℃至600℃，典型是200℃至400℃的热处理。例如，可以在氮气氛下以350℃进行一个小时的热处理。通过该热处理进行岛状的半导体层203的原子级的重新排列。该热处理(也包括光退火等)十分重要，这是由于该热处理可以释放岛状半导体层203中的阻碍载流子迁移的畸变。另外，至于进行上述热处理的时序，只要是在形成半导体层203之后就没有特别的限定。

[0177] 作为一个例子，通过使用上述材料进行构成，可以制造半导体装置或显示装置。

[0178] 实施方式3

[0179] 在本实施方式中，说明显示装置。根据本实施方式的显示装置包括：具有控制图像信号的输入的功能的第一电路；具有保持图像信号的功能的第二电路；具有控制供应到液晶元件等的显示元件的电压的极性的功能的第三电路；以及显示元件。本实施方式的显示装置具备将信息记录在像素中的存储器功能。

[0180] 图15示出整个显示装置(也可以称为半导体装置)的电路图(框图)。在像素部1501中矩阵状地配置有多个像素。在像素部1501的周边配置有用来驱动或控制像素部1501的电路1502及电路1503。并且，显示装置具有向电路1502及电路1503供应信号的电路1504。

[0181] 电路1502可以具有控制配置在像素部1501中的晶体管的栅极的电位的功能。因此，电路1502可以具有被称为栅极线驱动电路、栅极驱动器或扫描驱动器的电路的功能。电路1503可以具有配置在像素部1501中的晶体管的源极或漏极的电位的功能。或者，电路1503可以具有向像素部1501供应图像信号的功能。因此，电路1503可以具有被称为源极线驱动电路、源极驱动器或数据驱动器的电路的功能。也可以只包括模拟开关地构成电路1503。对电路1502、1503输入各种各样的信号，诸如时钟信号、起始脉冲信号、锁存信号、图像信号、反电压反相信号等。上述信号从电路1504供应到电路1502、1503。因此，电路1504可

以具有被称为控制器、脉冲发生器等的功能。

[0182] 接着，图16示出配置在像素部1501中的像素的例子。图16示出一个像素的电路图。像素包括电路102、电路103、电路104、电容元件1612及具有像素电极的显示元件1613。注意，本发明的实施方式的一个方式不局限于此。

[0183] 电路102具有开关1602。电路103具有反相器1603、电容元件1604、1605。电路104具有开关1606、1607。在此，反相器1603可以具备将信号反相的功能或使输出处于高阻抗状态(浮置状态)的功能。

[0184] 开关1602与布线1601连接。电容元件1605连接在布线1611和开关1602之间。电容元件1604连接在布线1610和反相器1603的输出端子之间。反相器1603的输入端子连接到开关1602。反相器1603的输出端子连接到电容元件1604。布线1608通过开关1606、1607连接到布线1609。通过反相器1603的输出信号或保持于电容元件1604的信号控制开关1606的导通和截止。通过反相器1603的输入信号或保持于电容元件1605的信号控制开关1607的导通和截止。显示元件1613连接在开关1607和开关1606之间的节点与布线1615之间。电容元件1612连接在开关1607和开关1606之间的节点或显示元件1613中的像素电极与布线1614之间。

[0185] 在图16的结构例子中，可以省略电容元件1612。或者，可以省略电容元件1604。

[0186] 当使图16所示的电路图对应于图1所示的截面图时，作为一个例子，可以使导电层109对应于对置电极或共同电极。另外，可以使导电层109对应于布线1615。或者，可以说显示元件1613具有媒质107。或者，导电层106具有像素电极的功能，并且可以使导电层106对应于显示元件1613所具有的像素电极。

[0187] 另外，可以彼此连接布线1610与布线1611来将布线1610和布线1611形成为一个布线。另外，通过使布线1610及/或布线1611连接到布线1608、布线1609及布线1614，可以将它们形成为一个布线。另外，通过使布线1614连接到布线1608、布线1609、布线1610或布线1611，可以将它们形成为一个布线。

[0188] 开关1602可以具有控制是否将供应到布线1601的信号输入到像素内(或者，电容元件1605、1604、反相器1603)的功能。因此，可以说开关1602具有开关功能或选择功能。

[0189] 布线1601电连接到图15所示的电路1503。因此，可以从电路1503将图像信号供应到布线1601。因此，可以将布线1601称为源极线、源极信号线、数据线、数据信号线等。

[0190] 另外，通过使用具有透光性的材料形成布线1601，可以提高开口率。但是，本实施方式不局限于此。例如，通过使用非透光性且高导电率的材料形成布线1601，可以减少信号延迟。另外，可以使用如下叠层膜形成布线1601，该叠层膜包括由导电率高的材料构成的层和由具有透光性的材料形成的层。

[0191] 通过开关1602输入到像素的信号保持在电容元件1605中。电容元件1605具有保持信号的功能。因此，可以说电容元件1605是存储器。并且，因为电容元件1605所保持的信号有可能随着时间经过衰减，所以可以说电容元件1605是DRAM。

[0192] 反相器1603具有将保持在电容元件1605中的信号或通过开关1602从布线1601供应的信号反相并输出的功能。并且，从反相器1603输出的信号保持在电容元件1604中。并且，因为电容元件1604所保持的信号有可能随着时间经过衰减，所以可以说电容元件1604是DRAM。

[0193] 因为设置有反相器1603，所以通常保持在电容元件1605中的信号和保持在电容元件1604中的信号是彼此反相的信号。因此，当一方是H信号(高电平信号)时，在很多情况下另一方是L信号(低电平的信号)。但是，当反相器1603不输出信号时，例如当输出处于高阻抗状态时，不局限于此。

[0194] 开关1606具有控制是否将布线1608的电位供给到电容元件1612或显示元件1613的功能。同样地，开关1607具有控制是否将布线1609的电位供给到电容元件1612或显示元件1613的功能。

[0195] 如上所述，因为在很多情况下保持在电容元件1605中的信号和保持在电容元件1604的信号彼此反相，所以在很多情况下开关1606和开关1607中的一方处于导通状态且另一方处于截止状态。因此，此时布线1609和布线1608中的任一方的电位供应到显示元件1613。此时，如果布线1609的电位与布线1608的电位不同，则供应到显示元件1613的电位也不同，因此可以将显示元件1613控制为不同的状态(例如，透过光的状态和不透过光的状态、发射光的状态和不发射光的状态、明的状态和暗的状态、使光散射的状态和透过光的状态)等。由此，可以改变显示状态，从而可以表达灰度级地显示图像。

[0196] 接着，示出图16所示的电路的工作的一个例子。首先，如图17A所示，从布线1601供应H信号。如果开关1602导通，则H信号输入到电容元件1605。通过反相器1603而L信号输入到电容元件1604。

[0197] 接着，如图17B所示，开关1602截止。此时仍然保持储存在电容元件1604、1605中的信号。电容元件1604储存有L信号，电容元件1605储存有H信号。因此，在当向开关的控制端子供应H信号时成为导通状态，且当向开关的控制端子供应L信号时成为截止状态的情况下，开关1606截止且开关1607导通。因此，显示元件1613的像素电极被供应布线1609的电位V1。如果布线1615被施加电位Vcom，则显示元件1613被施加V1和Vcom的差异的电压。此时，如果电位V1大于电位Vcom，则显示元件1613被施加正极性的电压。如果显示元件1613为常黑(当不供应电压时成为黑状态的情况)，则显示元件1613显示白色。与此相反，如果显示元件1613是常白(当不供应电压时成为白状态的情况)，则显示元件1613显示黑色。

[0198] 接着，当需要对显示元件1613进行交流驱动时，换言之例如当显示元件1613是液晶元件时，需要对显示元件1613施加负极性的电压。此时，如图17C所示，使布线1609的电位V1变为V2。此时，电位V2低于电位Vcom。并且，作为一个例子，V1-Vcom和Vcom-V2大概相同。其结果是，对显示元件1613施加负极性的电压。然后，可以通过每隔一定的周期地交替反复图17B的状态和图17C的状态来对显示元件1613进行交流驱动。

[0199] 此时，即使不从布线1601重新输入信号，也在电容元件1605、1604中保持有信号，因此通过交替反复图17B的状态和图17C的状态，可以对显示元件1613进行交流驱动。因此，可以减少耗电量。并且，当需要刷新电容元件1604、1605的信号时或当需要改写信号时，回到图17A的状态，再次从布线1601输入信号。

[0200] 图17A至图17C示出从布线1601输入H信号时的工作，输入L信号时的工作与此同样。图18A至图18C示出其一个例子。

[0201] 首先，如图18A所示，从布线1601供应L信号。如果开关1602导通，则L信号输入到电容元件1605。通过反相器1603而H信号输入到电容元件1604。

[0202] 接着，如图18B所示，开关1602截止。此时仍然保持储存在电容元件1604、1605中的

信号。电容元件1604储存有H信号，电容元件1605储存有L信号。因此，开关1606导通且开关1607截止。因此，显示元件1613的像素电极被供应布线1608的电位V3。如果布线1615被施加电位Vcom，则显示元件1613被施加V3和Vcom的差异的电压。此时，如果电位V3大概等于电位Vcom，则显示元件1613几乎不被施加电压。如果显示元件1613为常黑(当不供应电压时成为黑状态的情况)，则显示元件1613显示黑色。与此相反，如果显示元件1613为常白(当不供应电压时成为白状态的情况)，则显示元件1613显示白色。

[0203] 接着，当需要对显示元件1613进行交流驱动时，换言之例如当显示元件1613是液晶元件时，如图18C所示，使布线1609的电位V1变为V2。但是，不使布线1608的电位变化。其结果是，即使布线1609的电位变化，显示元件1613也几乎不被施加电压。然后，每隔一定的周期地交替反复图18B的状态和图18C的状态。并且，当需要刷新电容元件1604、1605的信号时或当需要改写信号时，回到图18A的状态，再次从布线1601输入信号。

[0204] 如上所述，当从布线1601输入H信号或L信号时，可以进行交流驱动或反相驱动并进行显示。

[0205] 另外，在图17A至图17C以及图18A至图18C所示的驱动方法中，当使显示元件1613的极性相反时，换言之当进行交流驱动时，不使布线1615的电位变化。但是，通过改变布线1615的电位，可以使布线1609的电位的幅度(V1和V2的差异)变小。如此，使布线1615的电位，即对置电极或共同电极的电位变化，并且将该方法称为公共反相驱动(common inversion driving)。

[0206] 图19A至图19C以及图20A至图20C示出进行公共反相驱动时的工作方法。

[0207] 首先，如图19A所示，从布线1601供应H信号。如果开关1602导通，则H信号输入到电容元件1605。通过反相器1603而L信号输入到电容元件1604。

[0208] 接着，如图19B所示，开关1602截止。此时仍然保持储存在电容元件1604、1605中的信号。电容元件1604储存有L信号，电容元件1605储存有H信号。因此，开关1606截止且开关1607导通。因此，显示元件1613的像素电极被供应布线1609的电位V5。如果布线1615被施加电位V6，则显示元件1613被施加V5和V6的差异的电压。此时，如果电位V5大于电位V6，则显示元件1613被施加正极性的电压。如果显示元件1613为常黑(当不供应电压时成为黑状态的情况)，则显示元件1613显示白色。与此相反，如果显示元件1613为常白(当不供应电压时成为白状态的情况)，则显示元件1613显示黑色。

[0209] 另外，此时供应到布线1614的电位不局限于特定的值。但是，优选以与供应到布线1615的电位相同的幅度也使布线1614的电位变化。因此，作为一个例子，优选向布线1614供应与布线1615相同的电位。但是，本实施方式不局限于此。

[0210] 接着，当需要对显示元件1613进行交流驱动时，换言之例如当显示元件1613是液晶元件时，需要对显示元件1613施加负极性的电压。此时，如图19C所示，使布线1609的电位V5变为V6。并且，使布线1608、布线1615及布线1614的电位V6变为V5。此时，电位V6低于电位V5。其结果是，对显示元件1613施加负极性的电压。然后，可以通过每隔一定的周期地交替反复图19B的状态和图19C的状态来对显示元件1613进行交流驱动。并且，当需要刷新电容元件1604、1605的信号时或当需要改写信号时，回到图19A的状态，再次从布线1601输入信号。

[0211] 此时，因为也使布线1615的电位变化，所以可以使布线1609的电位的变化量(幅

度)变小。因此,可以减少耗电量。

[0212] 图19A至图19C示出从布线1601输入H信号时的工作,输入L信号时的工作与此同样。图20A至图20C示出其一个例子。

[0213] 首先,如图20A所示,从布线1601供应L信号。如果开关1602导通,则L信号输入到电容元件1605。通过反相器1603而H信号输入到电容元件1604。

[0214] 接着,如图20B所示,开关1602截止。此时,仍然保持储存在电容元件1604、1605中的信号。电容元件1604储存有H信号,电容元件1605储存有L信号。因此,开关1606导通且开关1607截止。因此,显示元件1613的像素电极被供应布线1608的电位V6。如果布线1615被施加电位V6,则显示元件1613几乎不被施加电压。如果显示元件1613为常黑(当不供应电压时成为黑状态的情况),则显示元件1613显示黑色。与此相反,如果显示元件1613为常白(当不供应电压时成为白状态的情况),则显示元件1613显示白色。

[0215] 接着,当需要对显示元件1613进行交流驱动时,换言之例如当显示元件1613是液晶元件时,如图20C所示,使布线1609的电位V5变为V6。并且,使布线1608、布线1614和布线1615的电位V6变为V5。其结果是,即使布线1614的电位变化,显示元件1613也几乎不被施加电压。然后,每隔一定的周期地交替反复图20B的状态和图20C的状态。并且,当需要刷新电容元件1604、1605的信号时或当需要改写信号时,回到图20A的状态,再次从布线1601输入信号。

[0216] 如上所述,当从布线1601输入H信号或L信号时,可以进行交流驱动或反相驱动并进行显示。并且,可以使图像信号的幅度变小。并且,因为不再次输入图像信号也可以进行反相驱动,所以可以减少耗电量。

[0217] 实施方式4

[0218] 在本实施方式中,参照附图说明显示装置(半导体装置)所具有的电路。

[0219] 图21A至图21E示出图16等所示的反相器1603的具体例子。图21A示出反相器1603具有CMOS结构时的例子。在布线2104和布线2103之间串联连接有P沟道型晶体管2101和N沟道型晶体管2102。该CMOS结构具有对布线2103供应低电压并对布线2104供应高电压的功能。通过采用上述CMOS结构,可以减少贯通电流,从而可以减少耗电量。

[0220] 另外,虽然可以对布线2103或布线2104供应即使时间经过也不发生变化的电压,但是不局限于此,可以施加脉冲状的信号。

[0221] 另外,通过使用多晶硅半导体或氧化物半导体作为半导体层,可以构成P沟道型晶体管。例如,通过使用成为受体的掺杂剂(例如,N、B、Cu、Li、Na、K、Rb、P、As以及它们的混合物)的取代掺杂并利用各种P型掺杂剂和掺杂法,来可以实现P型锌氧化物膜。但是,本实施方式不局限于此。

[0222] 图21B示出使用电阻元件2101a代替P沟道型晶体管2101的反相器1603的结构例子。作为电阻元件2101a,可以使用与N沟道型晶体管2102所具有的半导体层相同的层的半导体层。因此,例如,可以使用氧化物半导体形成电阻元件2101a。此时,可以使用存在于相同的层中的层来构成用作N沟道型晶体管2102所具有的沟道层的氧化物半导体层和用作电阻元件2101a的氧化物半导体层。

[0223] 图21C示出使用晶体管2101b代替P沟道型晶体管2101的反相器1603的结构例子。晶体管2101b是二极管连接的晶体管。另外,即使晶体管2101b是耗尽型(常开启型)晶体管,

栅极和源极之间的电压是0V以下，也可以导通且使电流流过。另外，因为N沟道型晶体管2102的极性和晶体管2101b的极性相同，所以可以缩减工艺工序。

[0224] 图21D示出具有自举工作功能的反相器1603的一个例子。反相器1603包括晶体管2101c、晶体管2101d、晶体管2102a及晶体管2102b。通过自举工作功能使晶体管2101d的栅极的电位充分高。其结果是，可以直接输出布线2104b的电位。另外，图21D的反相器1603具有向布线2103a及布线2103d供应低电压的功能，并具有向布线2104a及布线2104b供应高电压的功能。另外，可以连接布线2103a和布线2103b来将布线2103a和布线2103b形成为一个布线。同样地，可以连接布线2104a和布线2104b来将布线2104a和布线2104b形成为一个布线。另外，因为晶体管2101c、2102a、2102b、2101d的极性相同，所以可以缩减工艺工序。

[0225] 注意，虽然在图21B至图21D中示出晶体管是N沟道型时的情况，但是不局限于此。即使采用P沟道型也可以同样地形成。作为一个例子，图21E示出图21C的晶体管2101b、2102是P沟道型晶体管时的例子。使用P沟道型晶体管2101p及P沟道型晶体管2102p来构成反相器。

[0226] 接着，示出图16等所示的开关1602、1606、1607等的具体例子。可以将开关1602、1606、1607称为模拟开关或转移栅(transfer gate)。图22A至图22D示出开关1602的结构例子。另外，可以与开关1602同样地构成其他开关1606、开关1607等。

[0227] 图22A示出CMOS结构的开关1602的结构例子。通过将P沟道型晶体管2202和N沟道型晶体管2201并联连接来构成开关1602。另外，优选向P沟道型晶体管2202的栅极和N沟道型晶体管2201的栅极供应彼此反相的信号。由此，可以同时将P沟道型晶体管2202和N沟道型晶体管2201导通截止。通过采用上述CMOS结构，可以使供给到P沟道型晶体管2202的栅极和N沟道型晶体管2201的栅极的电压的幅度小。因此，可以减少耗电量。

[0228] 图22B示出不使用P沟道型晶体管而使用N沟道型晶体管2201的开关1602的结构例子。图22C示出利用多栅结构的N沟道型晶体管2201设置的开关1602的结构例子。

[0229] 注意，虽然在图22B、图22C的结构例子中晶体管2201是N沟道型晶体管，但是开关1602的结构不局限于此。例如，即使使用P沟道型晶体管也可以同样地构成开关。作为一个例子，图22D示出采用P沟道型代替图22B的N沟道型晶体管2201时的开关1602的结构例子。使用P沟道型晶体管2201p构成开关1602。

[0230] 接着，图23示出使用图21A至图21E以及图22A至图22D所示的电路构成图16至图20C所示的电路时的一个例子。在图23中，使用图22B的电路构成开关1602、1606、1607，并且使用图21C的电路构成反相器1603。因此，图23的电路使用具有相同的极性的晶体管构成。因此，可以缩减工艺工序数。当然，本实施方式不局限于此，也可以使用其他结构。

[0231] 在图23的电路中，晶体管1602a的栅极与布线2301连接。布线2301可以与图15中的电路1502连接。因此，可以从电路1502向布线2301供应选择信号。因此，可以将布线2301称为栅极线、栅极信号线、扫描线、扫描信号线等。

[0232] 另外，通过作为布线2301使用由具有透光性的材料形成的布线，可以提高开口率。但是，本实施方式不局限于此。例如，通过使用非透光性且高导电率的材料形成布线2301，可以减少信号延迟。另外，当使用导电率高的材料形成布线2301时，可以使用由具有透光性的材料形成的层形成多层状态的布线。

[0233] 在图23中，作为显示元件1613使用液晶元件1613a。分别配置晶体管1602a、晶体管

1606a、晶体管1607a作为开关1602、开关1606、开关1607。

[0234] 另外，在图23中，电容元件1605和电容元件1604都连接到布线1610。换言之，可以说：省略布线1611而将布线1610和1611形成为一体的布线，即布线1610。

[0235] 另外，虽然在图23中省略电容元件1612，但是也可以设置电容元件1612。

[0236] 另外，也可以使布线2103与布线1610连接而将布线2103和布线1610形成为一个布线。

[0237] 在图23中，作为反相器1603使用图21C的结构。此时，根据输入到反相器1603的信号，有可能电流继续流在晶体管2101b、2102。换言之，贯通电流有可能流在反相器1603。此时，有可能在反相器1603中耗费电力。

[0238] 通过改进驱动方法，可以减少贯通电流。图24至图27示出减少反相器1603的贯通电流时的驱动方法。具体而言，不使布线2104的电位一直保持得高，而当不需要保持高电位时降低电位。其结果是，可以减少晶体管2101b截止而贯通电流流过的可能性。在此情况下，输出有时成为高阻抗状态。

[0239] 首先，如图24所示，从布线1601通过晶体管1602a输入H信号。此时，布线2104的电位V7高于布线2103的电位。于是，N沟道型晶体管2102导通，对电容元件1604输出L信号。此时，晶体管2101b也导通，但是因导通电阻的差异而输出L信号。此时，贯通电流继续流过。为了使反相器1603输出L信号，优选N沟道型晶体管2102的沟道宽度W和沟道长度L的比率W/L大于晶体管2101b的W/L。

[0240] 接着，如图25所示，将布线2104的电位降低到电位V8。在此，V7＞V8，并且电位V8大致等于布线2103的电位。其结果是，晶体管2101b截止，因此可以减少贯通电流的流过。并且，电容元件1604所保持的信号保持为L信号。

[0241] 另外，此时晶体管1602a也截止。既可以在使布线2104的电位变化之前使晶体管1602a截止，又可以在使布线2104的电位变化之后使晶体管1602a截止，并且还可以在使布线2104的电位变化的同时使晶体管1602a截止。

[0242] 另外，此时的布线2104的电位V8只要大致等于布线2103的电位即可。电位V8只要低于布线2103的电位和晶体管2101b的阈值电压的总和的电位，即可。更优选的是，电位V8等于布线2103的电位。其结果是，可以减少所需要的电位数，而可以将装置制造得小。

[0243] 图24、图25示出从布线1601输入H信号的情况。图26、图27示出从布线1601输入L信号的情况，并且该情况与图24、图25的情况同样。首先，如图26所示，从布线1601通过晶体管1602a输入L信号。此时，布线2104的电位V7高于布线2103的电位。并且，因为N沟道型晶体管2102截止，所以晶体管2101b导通，而对电容元件1604输出H信号。此时，因为N沟道型晶体管2102截止，所以贯通电流不流过。另外，此时的H信号的电位比布线2104的电位V7低，其差等于晶体管2101b的阈值电压，但是该H信号的电位只要是使晶体管1606a导通的电压就对工作没有问题。

[0244] 接着，如图27所示，将布线2104的电位降低到电位V8。在此，V7＞V8。其结果是，晶体管2101b截止。并且，电容元件1604所保持的信号保持为H信号。此时，可以说反相器1603的输出处于该阻抗状态。

[0245] 如上所述，只在反相器1603需要输出信号的情况，即在反相器1603需要改写电容元件1604的信号的情况下，使布线2104的电位高。在反相器1603不需要输出信号的情况下，

通过使布线2104的电位低，可以减少反相器1603中的贯通电流。由此，可以减少耗电量。

[0246] 另外，虽然在图24至图27中通过改进驱动方法来减少反相器1603的贯通电流，但是本实施方式不局限于此。通过改变反相器1603的电路结构的一部分，可以减少贯通电流。图28A至图28D示出其一个例子。

[0247] 图28A示出在布线2104和反相器1603的输出端子之间配置串联连接晶体管2101b和开关2802a时的反相器1603的结构例子。另外，开关2802a既可以连接于晶体管2101b和反相器1603的输出端子之间，又可以连接于布线2104和晶体管2101b之间。于是，图28B示出相对于图28A的由晶体管2802a构成开关2802a时的反相器1603的电路图。另外，图28C示出改变图28B的晶体管2802的连接位置时的结构例子。通过使用这些电路结构，控制晶体管2802的栅极的电位，并控制导通截止，可以减少贯通电流。此时，与使布线2104的电位变化同样地控制晶体管2802的栅极的电位，即可。

[0248] 在此情况下也可以如图24至图27那样使布线2104的电位变化。但是，即使将布线2104的电位保持为一定的值，晶体管2802也可以减少贯通电流，因此没有问题。

[0249] 虽然在图28A至图28C中在布线2104和反相器1603的输出端子之间配置晶体管，但是不局限于此，而也可以在反相器1603的输出端子和布线2103之间配置晶体管。图28D示出在图28B的电路中串联连接晶体管2803和N沟道型晶体管2102时的反相器1603的结构例子。另外，也可以与图28C同样地改变配置晶体管2803的位置而在P沟道型晶体管2101和布线2103之间配置晶体管2803。

[0250] 另外，连接到晶体管2802、2803的栅极的布线2801可以连接到图23中的布线2301。由此，可以只在晶体管1602a导通时使晶体管2802、2803导通。由此，当反相器1603不需要工作时，可以减少贯通电流。并且，通过使布线2801连接到布线2301，与另行设置布线的情况相比可以减少布线数。但是，本实施方式不局限于此。

[0251] 因为通过控制晶体管2802、2803来可以控制使图28D所示的反相器1603输出信号或处于高阻抗状态，所以也可以将图28D的反相器1603称为时钟反相器。

[0252] 实施方式5

[0253] 在本实施方式中，参照附图说明显示装置(半导体装置)所具有的电路。

[0254] 图29示出改变图16所示的电路的一部分的电路的结构例子。图29的电路对应于对图16的电路追加开关2901及开关2902的电路。

[0255] 开关2902具有控制显示元件1613和布线1601的导通或非导通的功能。因此，通过使开关2902导通，可以将供应到布线1601的信号直接供应到显示元件1613。因此，通常，供应到布线1601的信号往往是数字信号，但是在该信号是模拟信号时可以将模拟信号直接输入到显示元件1613，所以可以以模拟灰度级进行显示。

[0256] 另一方面，开关2901具有不使布线1608及布线1609的电位供应到显示元件1613的控制功能。如果当开关2902导通而从布线1601向显示元件1613供应信号时或者当其后开关2902截止而在显示元件1613中保持有模拟信号时布线1608或布线1609的电位供应到显示元件1613，则保持在显示元件1613中的信号值变化。因此，为了防止上述情况的发生，使开关2901导通截止。并且，当通过开关1602输入信号时，使开关2901导通来将布线1608或布线1609的电位供应到显示元件1613。通过采用上述结构，可以提高显示质量并减少耗电量。但是，本实施方式不局限于这些结构。

[0257] 作为另一的结构例子，图30和图31示出增加以一个像素能够显示的灰度级数的例子，即增加位数时的例子。在图16中，保持在像素中的图像信号的位数是1位。因此，显示2灰度级。因此，为了实现多极灰度，在一个像素中设置多个子像素。通过设置多个子像素来控制显示元件的显示面积，可以使用区域灰度法来实现多极灰度。

[0258] 图30示出使用布线2301来将图像信号同时输入到两个子像素时的电路图。为了同时输入信号，除了布线1601以外还设置布线1601a来将供应到布线1601和布线1601a中的任一方的信号输入到各子像素。

[0259] 另一方面，图31示出使用布线2301和布线2301a来将图像信号依次输入到两个子像素时的电路图。图像信号从布线2301输入到一方的子像素，并从布线2301a输入到另一方的子像素。因为依次输入图像信号，所以可以从布线1601将信号输入到各子像素。

[0260] 另外，虽然图30及图31示出在一个像素中设置两个子像素时的例子，但是位数不局限于2。可以进一步增加位数。尤其是，因为当使用具有透光性的材料构成晶体管、电容元件时即使增加位数也不影响到开口率的降低，所以可以容易增加位数。

[0261] 另外，多个子像素可以共有布线2103、1610、1611、1614、1609、1608、2104等并使上述多个布线成为一个布线。由此，可以减少布线数。

[0262] 作为另一的结构例子，图42示出改变电路104的一部分的情况。串联连接到开关1606地设置开关4206。或者，串联连接到开关1607地设置开关4207。图42示出设置开关4206以及开关4207的双方的情况。通过控制开关4206及/或开关4207的导通截止来可以不使布线1608或布线1609的电位供应到显示元件1613而与开关1606或开关1607的导通截止无关。

[0263] 并且作为另一的变形例子，图43示出改变电路104的一部分的情况。图43相当于将图16中的开关1607和布线1609分别分为两个的图。向布线1609a供应用于正极的电压，而向布线1609b供应用于负极的电压。向布线1608供应不向显示元件1613供应电压的电压，例如与布线1615大致相同的电压。在显示元件1613和布线1609a之间串联连接有开关1607和开关4307a。同样地，在显示元件1613和布线1609b之间串联连接有开关1607b和开关4307b。注意，这些开关只要串联连接就可以以不同结构连接。并且，作为工作的一个例子，开关4307a和开关4307b交替导通截止。换言之，当开关4307a导通时开关4307b截止，当开关4307a截止时开关4307b导通。其结果是，可以进行反向驱动。

[0264] 另外，虽然图43示出不设置电容元件1612的结构，但是也可以设置电容元件1612。

[0265] 实施方式6

[0266] 在本实施方式中参照附图说明显示装置(半导体装置)所具有的电路。

[0267] 图32是示出图23所示的电路的布局例子的平面图。图32的晶体管及电容元件分别采用图2所示的晶体管207及电容元件208的结构。另外，采用如下接触结构：如图13所示的接触结构1302那样在绝缘层202中形成接触孔来直接连接导电层204a和导电层201a的结构。通过采用上述接触结构，可以提高像素的开口率。或者，可以降低接触电阻，而可以降低电压下降。或者，由于将布局面积设定得小。所以可以配置更多的电路。但是，本实施方式不局限于此。可以使用各种各样的晶体管结构、接触结构、电容元件的结构等。

[0268] 如图32所示，接触孔3201b连接晶体管1602a的漏电极(源电极)和N沟道型晶体管2102的栅电极。同样地，接触孔3201a连接晶体管2101b的漏电极(源电极)和栅电极。

[0269] 并且，接触孔3202连接晶体管1607a的漏电极(源电极)(或者，晶体管1606a的漏电

极(源电极))和像素电极3203。

[0270] 如图32所示,可以使用具有透光性的材料形成晶体管、电容元件、布线等。其结果是,可以提高开口率。但是本发明的实施方式的一个方式不局限于此。例如,也可以使用不具有透光性的材料形成布线。图33示出该情况的例子。

[0271] 在图33中,使用导电率高的材料形成布线1601、布线2301、布线2104。因此,不具有透光性。向这些布线供应频率高的信号。由此,通过包括导电率高的材料进行构成,可以降低信号波形的畸变。

[0272] 使用图34A至图34C说明图33的晶体管1602a、布线1601、布线2103的一部分的结构例子。图34A是该结构例子的平面图。图34B是示出沿图34A的切断线AB的截面结构的一个例子的图,而图34C是示出沿上述切断线的截面结构的另一个例子的图。

[0273] 在图34B中,布线1601是导电层204ab和导电层204aa的叠层。在此,导电层204ab具有非透光性并包括导电率高的材料构成。导电层204aa包括具有透光性的材料构成。同样地,布线2103是导电层201ab和导电层201aa的叠层。在此,导电层201ab具有非透光性并包括导电率高的材料构成。导电层201aa包括具有透光性的材料构成。如此,在具有非透光性的层下可以配置具有透光性的层。此时,可以使用多极灰度掩模(也称为半色调掩模或灰色调掩模)来减少掩模(中间掩模)数。例如,通过连续形成导电层201aa和导电层201ab,对这些层同时进行蚀刻,进行使抗蚀剂灰化等的处理,只对导电层201ab进行蚀刻,而可以使用一个掩模形成包括具有透光性的区域和具有非透光性的区域的图案。

[0274] 但是,本实施方式不局限于这些。既可以如图34C所示在导电层210b下以包括导电层201ba不存在的区域的方式配置导电层,又可以在导电层204bb下以包括导电层204ba不存在的区域的方式配置导电层。

[0275] 另外,虽然在图34B、图34C中采用在具有透光性的层(导电层201aa、204aa、201ba、204ba等)上设置具有非透光性的层(导电层201ab、204ab、201bb、204bb等)的结构,但是本实施方式不局限于此。例如,可以以相反顺序形成层。或者,也可以采用使用具有非透光性的层夹持具有透光性的层的结构。

[0276] 另外,如图34B所示,也可以以在具有非透光性的层下配置具有透光性的层的方式形成导电层,并且使用这些层构成晶体管、电容元件。图35示出使用该层结构并以图2所示的结构构成晶体管及电容元件时的截面图的一个例子。

[0277] 栅电极使用导电层201ca、201cb构成。导电层201ca具有透光性,导电层201cb具有非透光性和高导电率。源电极(漏电极)使用导电层204ca、204cb构成。导电层204ca具有透光性,导电层204cb具有非透光性和高导电率。漏电极(源电极)使用导电层204da、204db构成。导电层204da具有透光性,导电层204db具有非透光性和高导电率。电容元件的电极使用导电层201da、201db构成。导电层201da具有透光性,导电层201db具有非透光性和高导电率。电容元件的电极使用导电层204ea、204eb构成。导电层204ea具有透光性,导电层204eb具有非透光性和高导电率。

[0278] 同样地,如图34C所示,也可以以在具有非透光性的层下配置具有透光性的层的方式形成导电层,并且使用这些层构成晶体管、电容元件。图36示出使用该层结构并以图2所示的结构构成晶体管及电容元件时的截面图的一个例子。

[0279] 栅电极使用导电层201eb构成。导电层201eb具有非透光性和高导电率。源电极(漏

电极)使用导电层204fb构成。导电层204fb具有非透光性和高导电率。漏电极(源电极)使用导电层204gb构成。导电层204gb具有非透光性和高导电率。电容元件的电极使用导电层201fb构成。导电层201fb具有非透光性和高导电率。电容元件的电极使用导电层204hb构成。导电层204hb具有非透光性和高导电率。

[0280] 另外,在其他晶体管结构、电容元件的结构中,例如在图3至图14所示的情况下也可以同样地形成具有上述层的元件。

[0281] 另外,优选在驱动像素的电路中使用图35及图34所示的晶体管、电容元件。这是因为在驱动像素的电路中不需要具有透光性且优选使用导电率低的层形成布线的缘故。但是,本实施方式不局限于此。

[0282] 实施方式7

[0283] 使用图37A1至图39说明显示装置(半导体装置)的制造方法的一个方式。在本实施方式中,说明在同一衬底上制造具有不同结构的两个薄膜晶体管的方法的一个例子。

[0284] 图37A1是一方的薄膜晶体管410的平面图,而图37A2是另一方的薄膜晶体管420的平面图。另外,图37B示出沿图37A1的线C1-C2的截面图以及沿图37A2的线D1-D2的截面图。另外,图37C示出沿图37A1的线C3-C4的截面图以及沿图37A2的线D3-D4的截面图。

[0285] 薄膜晶体管410是称为沟道蚀刻型的底栅结构的一种,而薄膜晶体管420是称为沟道保护型(也称为沟道停止型)的底栅结构的一种。薄膜晶体管410及薄膜晶体管420也称为反交错型薄膜晶体管。薄膜晶体管410是配置在半导体装置的驱动电路中的晶体管。另一方面,薄膜晶体管420是配置在像素中的薄膜晶体管420。首先,说明配置在半导体装置的驱动电路中的薄膜晶体管410的结构。

[0286] 薄膜晶体管410在具有绝缘表面的衬底400上包括:栅电极层411;第一栅极绝缘层402a;第二栅极绝缘层402b;至少包括沟道形成区413、高电阻源区414a及高电阻漏区414b的氧化物半导体层412;源电极层415a;以及漏电极层415b。另外,覆盖薄膜晶体管410地设置有接触于沟道形成区413的氧化物绝缘层416。

[0287] 以接触于源电极层415a的下面的方式自对准地形成高电阻源区414a。另外,以接触于漏电极层415b的下面的方式自对准地形成高电阻漏区414b。另外,沟道形成区413接触于氧化物绝缘层416,沟道形成区413的膜厚度薄,并且沟道形成区413是其电阻高于高电阻源区414a及高电阻漏区414b的区域(I型区域)。

[0288] 另外,优选在薄膜晶体管410中为了降低布线的电阻而将金属材料用于源电极层415a及漏电极层415b。

[0289] 另外,当在液晶显示装置中在同一衬底上形成像素部和驱动电路时,在驱动电路中对构成逻辑栅极的薄膜晶体管、构成模拟电路的薄膜晶体管的源电极和漏电极之间只施加正极性或只施加负极性。另外,作为逻辑栅极,可以举出反向电路、与非电路、或非电路、锁存电路等。另外,作为模拟电路,可以举出读出放大器、恒压发生电路、电压控制振荡器等。因此,也可以将被要求耐压的一方的高电阻漏区414b的宽度设计得宽于另一方的高电阻源区414a的宽度。另外,也可以将高电阻源区414a及高电阻漏区414b与栅电极层411重叠的宽度设定得宽。

[0290] 另外,虽然使用单栅极结构的薄膜晶体管说明配置在驱动电路中的薄膜晶体管410,但是也可以根据需要形成具有多个沟道形成区的多栅极结构的薄膜晶体管。

[0291] 另外，设置有重叠于沟道形成区413上方导电层417。通过电连接导电层417和栅电极层411并使导电层417的电位等于栅电极层411的电位，可以对配置在栅电极层411和导电层417之间的氧化物半导体层412从上下施加栅电压。另外，当使栅电极层411的电位和导电层417的电位不同而将其设定为例如固定电位、GND、0V时，可以控制TFT的电特性，例如阈值电压等。

[0292] 另外，在导电层417和氧化物绝缘层416之间层叠保护绝缘层403和平坦化绝缘层404。

[0293] 另外，保护绝缘层403优选与设置在保护绝缘层403的下方的第一栅极绝缘层402a或成为基底的绝缘膜接触，以防止来自衬底的侧面的水分、氢离子、OH^-等的杂质的侵入。特别有效的是，使用氮化硅膜形成与保护绝缘层403接触的第一栅极绝缘层402a或成为基底的绝缘膜。

[0294] 接着，说明配置在像素中的沟道保护型的薄膜晶体管420的结构。

[0295] 在薄膜晶体管420中，在具有绝缘表面的衬底400上包括：栅电极层421；第一栅极绝缘层402a；第二栅极绝缘层402b；包括沟道形成区的氧化物半导体层422；用作沟道保护层的氧化物绝缘层426；源电极层425a；以及漏电极层425b。另外，以覆盖薄膜晶体管420并接触于氧化物绝缘层426、源电极层425a及漏电极层425b的方式层叠设置有保护绝缘层403及平坦化绝缘层404。在平坦化绝缘层404上设置有与漏电极层425b接触的像素电极层427，该像素电极层与薄膜晶体管420电连接。

[0296] 另外，为了形成氧化物半导体层422，至少在形成构成氧化物半导体层422的半导体膜之后进行用来减少作为杂质的水分等的加热处理(用于脱水化或脱氢化的加热处理)。通过进行用于脱水化或脱氢化的加热处理，进行缓冷，然后接触于氧化物半导体层422地形成氧化物绝缘层426等来降低氧化物半导体层422的载流子浓度，可以提高薄膜晶体管420的电特性和可靠性。

[0297] 配置在像素中的薄膜晶体管420的沟道形成区是氧化物半导体层422中的接触于作为沟道保护层的氧化物绝缘层426并重叠于栅电极层421的区域。因为由氧化物绝缘层426保护薄膜晶体管420，所以可以防止在形成源电极层425a、漏电极层425b的蚀刻工序中氧化物半导体层422被蚀刻。

[0298] 另外，为了作为薄膜晶体管420使用具有透光性的薄膜晶体管来实现具有高开口率的显示装置，源电极层425a及漏电极层425b使用具有透光性的导电膜。

[0299] 另外，作为薄膜晶体管420的栅电极层421也使用具有透光性的导电膜。

[0300] 另外，在配置有薄膜晶体管420的像素中，作为像素电极层427、其它电极层(电容电极层等)、其它布线层(电容布线层等)使用对可见光具有透光性的导电膜，以实现具有高开口率的显示装置。当然，优选作为第一栅极绝缘层402a、第二栅极绝缘层402b及氧化物绝缘层426也使用对可见光具有透光性的膜。

[0301] 在本说明书中，对可见光具有透光性的膜是指具有可见光的透过率是75％至100％的膜，当该膜具有导电性时将该膜也称为透明导电膜。另外，作为应用于栅电极层、源电极层、漏电极层、像素电极层、其它电极层或其它布线层的金属氧化物也可以使用对可见光半透明的导电膜。对可见光半透明是指可见光的透过率是50％至75％的状态。

[0302] 以下，使用图38A至图38F以及图39A至图39E说明在同一衬底上制造薄膜晶体管

410和薄膜晶体管420的工序。上述图所示的截面结构对应于图37B的截面结构。

[0303] 首先，如图38A所示，在具有绝缘表面的衬底400上形成具有透光性的导电膜，然后通过第一光刻工序形成栅电极层411、421。另外，通过该对具有透光性的导电膜进行的第一光刻工序来在像素部中形成电容布线层。另外，当像素部和驱动电路都需要电容时，在驱动电路中也形成电容布线层。另外，也可以通过喷墨法形成抗蚀剂掩模。当通过喷墨法形成抗蚀剂掩模时不使用光掩模，因此可以缩减制造成本。

[0304] 对可以用作具有绝缘表面的衬底400的衬底没有大的限制，但是需要至少具有能够承受后面的加热处理的程度的耐热性。作为具有绝缘表面的衬底400，可以使用玻璃衬底、陶瓷衬底、石英衬底、蓝宝石衬底等的由绝缘体构成的衬底。

[0305] 另外，也可以在衬底400和栅电极层411、421之间设置成为基底膜的绝缘膜。基底膜具有防止杂质元素从衬底400扩散的功能，并且基底膜可以使用选自氮化硅膜、氧化硅膜、氮氧化硅膜和氧氮化硅膜中的一种或多种膜的叠层结构形成。

[0306] 作为栅电极层411、421、像素部等的电容布线的材料，可以使用由对可见光具有透光性的导电材料构成的膜。例如可以使用In-Sn-Zn-O类、In-Al-Zn-O类、Sn-Ga-Zn-O类、Al-Ga-Zn-O类、Sn-Al-Zn-O类、In-Zn-O类、Sn-Zn-O类、Al-Zn-O类、In-O类、Sn-O类、Zn-O类的金属氧化物。在50nm以上且300nm以下的范围内适当地选择栅电极层411、421、像素部等的电容布线的厚度。作为用于栅电极层411、421的金属氧化物的形成方法，使用溅射法、真空蒸镀法(电子束蒸镀法等)、电弧放电离子电镀法、喷射法。另外，当使用溅射法时，优选使用包含2wt％以上且10wt％以下的靶来进行成膜，使具有透光性的导电膜包含阻碍晶化的SiO_x(X＞0)，以抑制当在后面的工序中进行的用于脱水化或脱氢化的加热处理时被晶化。

[0307] 接着，在栅电极层411、421上形成栅极绝缘层。

[0308] 通过使用等离子体CVD法或溅射法形成氧化硅层、氮化硅层、氧氮化硅层或氮氧化硅层的单层或叠层，可以形成栅极绝缘层。例如，作为成膜气体使用SiH_4、氧及氮且使用等离子体CVD法来形成氧氮化硅层，即可。

[0309] 在本实施方式中，如图38A所示，形成由如下层构成的两层结构的栅极绝缘层，上述层是：50nm以上且200nm以下的第一栅极绝缘层402a；以及50nm以上且300nm以下的第二栅极绝缘层402b。作为第一栅极绝缘层402a，使用100nm的氮化硅膜或氮氧化硅膜。另外，作为第二栅极绝缘层402b，使用100nm的氧化硅膜。

[0310] 在第二栅极绝缘层402b上形成2nm以上且200nm以下的氧化物半导体膜430。另外，氧化物半导体膜的结晶结构是非晶。

[0311] 在本实施方式中，在形成氧化物半导体膜430之后进行用于脱水化或脱氢化的加热处理。为了将进行了该加热处理之后的氧化物半导体膜430的结晶状态保持为非晶状态，优选将氧化物半导体膜的厚度设定得薄，即50nm以下。通过将氧化物半导体膜430的厚度设定得薄，可以抑制在形成氧化物半导体膜430之后氧化物半导体膜430因加热处理而被晶化。

[0312] 另外，优选在通过溅射法形成氧化物半导体膜430之前，进行通过导入氩气体来产生等离子体的反溅射，而去除附着于第二栅极绝缘层402b表面的尘屑。反溅射是指一种方法，其中不对靶一侧施加电压而在氩气氛下使用RF电源对衬底一侧施加电压来在衬底近旁形成等离子体，以对表面进行改性。另外，也可以使用氮、氦、氧等代替氩气氛而进行溅射处

理。

[0313] 氧化物半导体膜430使用In-Ga-Zn-O类非单晶膜、In-Sn-Zn-O类、In-Al-Zn-O类、Sn-Ga-Zn-O类、Al-Ga-Zn-O类、Sn-Al-Zn-O类、In-Zn-O类、Sn-Zn-O类、Al-Zn-O类、In-O类、Sn-O类、Zn-O类的氧化物半导体膜。在本实施方式中，使用In-Ga-Zn-O类氧化物半导体靶并通过溅射法形成氧化物半导体膜430。另外，可以在稀有气体(典型是氩)气氛下、在氧气氛下或者在稀有气体(典型是氩)及氧气氛下通过溅射法来形成氧化物半导体膜430。另外，当使用溅射法时，优选使用含有2wt％以上且10wt％以下的SiO_2的靶来进行成膜，而使氧化物半导体膜430含有阻碍晶化的SiO_x(X＞0)，以抑制当在后面的工序中进行用于脱水化或脱氢化的加热处理时被晶化。

[0314] 接着，通过第五光刻工序将氧化物半导体膜430加工为岛状氧化物半导体层。另外，也可以通过喷墨法形成用来形成岛状氧化物半导体层的抗蚀剂掩模。当通过喷墨法形成抗蚀剂掩模时不使用光掩模，因此可以降低制造成本。

[0315] 接着，进行氧化物半导体层的脱水化或脱氢化。将进行脱水化或脱氢化的第一加热处理的温度设定为350℃以上且低于衬底的应变点，优选设定为400℃以上。在此，将衬底放入到加热处理装置之一的电炉中，在氮气氛下对氧化物半导体层进行加热处理，然后不使氧化物半导体层接触于大气直到氧化物半导体层冷却到预定的温度以下，而防止水或氢等再次混入到氧化物半导体层，以得到氧化物半导体层431、432(参照图38B)。在本实施方式中，在电炉中，在用来进行脱水化或脱氢化的氮气氛下以温度T进行加热处理，然后在相同的炉中将衬底缓冷到水无法再次混入的温度(具体而言，进行缓冷到衬底的温度降低到比温度T低100℃以上的温度)。另外，不局限于氮气氛，而在氦、氖、氩等的气氛下进行加热处理。

[0316] 另外，在第一加热处理中，优选氮或氦、氖、氩等的稀有气体不包含水、氢等。或者，优选将导入于加热处理装置中的氮或氦、氖、氩等的稀有气体的纯度设定为6N(99.9999％)以上，更优选设定为7N(99.99999％)以上(即，将杂质浓度设定为1ppm以下，优选设定为0.1ppm以下)。

[0317] 另外，根据第一加热处理的条件或氧化物半导体层的材料，氧化物半导体层也有时被晶化，而成为微晶膜或多晶膜。

[0318] 另外，也可以对加工成岛状氧化物半导体层之前的氧化物半导体膜430进行对氧化物半导体层的第一加热处理。在此情况下，在第一加热处理之后从加热处理装置拿出衬底，以进行光刻工序。

[0319] 另外，也可以在形成氧化物半导体膜430之前在惰性气体气氛(氮或氦、氖、氩等)下、氧气氛下进行加热处理(400℃以上且低于衬底的应变点)来形成去除包含在层中的氢及水等的杂质的栅极绝缘层。

[0320] 接着，在第二栅极绝缘层402b及氧化物半导体层431、432上形成金属导电膜，然后通过第三光刻工序形成抗蚀剂掩模433a及抗蚀剂掩模433b，选择性地进行蚀刻来形成金属电极层434及金属电极层435(参照图38C)。

[0321] 作为金属导电膜的材料，使用选自Al、Cr、Cu、Ta、Ti、Mo、W中的元素；以上述元素为成分的合金；组合上述元素的合金等。作为金属导电膜，优选使用：在钛层上层叠有铝层和该铝层上的钛层的三层的叠层结构；或者在钼层上层叠有铝层和该铝层上的钼层的三层的

叠层结构。当然，也可以作为金属导电膜使用单层、两层结构或四层以上的叠层结构。

[0322] 另外，也可以通过喷墨法形成用来形成金属电极层434、435的抗蚀剂掩模433a、433b。当通过喷墨法形成抗蚀剂掩模433a、433b时不使用光掩模，因此可以缩减制造成本。

[0323] 接着，去除抗蚀剂掩模433a、433b，通过第四光刻工序形成抗蚀剂掩模436a、抗蚀剂掩模436b，选择性地进行蚀刻来形成源电极层415a及漏电极层415b(参照图38D)。另外，在第四光刻工序中，氧化物半导体层431仅有一部分被蚀刻，而成为具有槽部(凹部)的氧化物半导体层437。另外，也可以通过喷墨法形成用来在氧化物半导体层431中形成槽部(凹部)的抗蚀剂掩模436a、436b。当通过喷墨法形成抗蚀剂掩模时不使用光掩模，因此可以缩减制造成本。

[0324] 接着，去除抗蚀剂掩模436a、436b，通过第五光刻工序形成覆盖氧化物半导体层437的抗蚀剂掩模438，去除氧化物半导体层432上的金属电极层435(参照图38E)。

[0325] 另外，因为在第五光刻工序中去除重叠于氧化物半导体层432的金属电极层435，所以为了防止当对金属电极层435进行蚀刻时氧化物半导体层432也被去除，适当地调节各材料及蚀刻条件。

[0326] 在去除抗蚀剂掩模438之后，如图38F所示，接触于氧化物半导体层432的上面及侧面和氧化物半导体层437的槽部(凹部)地形成氧化物绝缘膜439。氧化物绝缘膜439成为保护绝缘膜。

[0327] 氧化物绝缘膜439至少具有1nm以上的厚度，并且氧化物绝缘膜439可以适当地使用溅射法等的不使水、氢等杂质混入到氧化物绝缘膜439中的方法而形成。在本实施方式中，使用溅射法形成300nm的氧化硅膜作为氧化物绝缘膜439。将形成膜时的衬底温度设定为室温以上且300℃以下即可，在本实施方式中将该衬底温度设定为100℃。可以在稀有气体(典型地是氩)气氛下、氧气氛下或者稀有气体(典型地是氩)和氧气氛下通过溅射法形成氧化硅膜。另外，作为靶，可以使用氧化硅靶或硅靶。例如，可以在氧及氮气氛下使用硅靶并通过溅射法来形成氧化硅。接触于被低电阻化的氧化物半导体层432、437地形成的氧化物绝缘膜439不包含水分、氢离子及OH-等的杂质，并使用防止它们从外部侵入的无机绝缘膜，而典型地使用氧化硅膜、氮氧化硅膜、氧化铝膜或氧氮化铝膜等。

[0328] 接着，在惰性气体气氛下或在氧气体气氛下进行第二加热处理(优选是200℃以上且400°以下，例如250℃以上且350℃以下)。例如，在氮气氛下进行250℃且1小时的第二加热处理。当进行第二处理时，以氧化物半导体层437的槽部、氧化物半导体层432的上面及侧面与氧化物绝缘膜439接触的状态进行加热。

[0329] 图39A示出第二加热处理后的状态。在图39A中，氧化物半导体层是412进行了第二加热处理的氧化物半导体层437，并且氧化物半导体层422是进行了第二加热处理的氧化物半导体层432。

[0330] 通过经过上述工序，对形成之后的氧化物半导体膜430进行用于脱水化或脱氢化的第一加热处理及惰性气体下或氧气体气氛下的第二加热处理。

[0331] 因此，在氧化物半导体层412中，在与源电极层415a重叠的区域中自对准地形成高电阻源区414a，并且在与漏电极层415b重叠的区域中自对准地形成高电阻漏区414b。另外，与栅电极层411重叠的区域的整个区域是I型区域，并成为沟道形成区413。另外，因为通过第二加热处理，氧化物半导体层432的整个膜成为氧过剩状态，所以形成其整体被高电阻化

(被I型化)的氧化物半导体层422。

[0332] 如果在第二加热处理之后在氧化物半导体层422露出的状态下在氮、惰性气体气氛下或减压下进行加热处理，则被高电阻化(被I型化)的氧化物半导体层422的电阻降低。因此，在第二加热处理以后的工序中，在氧气体、N_2O气体气氛下或超干燥空气(露点为-40℃以下，优选为-60℃以下)下进行以氧化物半导体层422露出的状态进行的加热处理。

[0333] 另外，通过在与漏电极层415b(及源电极层415a)重叠的氧化物半导体层412中形成高电阻漏区414b(或高电阻源区414a)，可以提高设置有薄膜晶体管410的驱动电路的可靠性。具体而言，通过形成高电阻漏区414b，可以得到如下结构，在该结构中，使漏电极层415b、高电阻漏区414b、沟道形成区413的导电率依次分阶段地变化。因此，当以连接到向漏电极层415b供应高电源电位VDD的布线的方式使薄膜晶体管410工作时，即使在栅电极层411和漏电极层415b之间施加高电场，高电阻漏区414b也成为缓冲区而不被施加局部性的高电场，以可以提高薄膜晶体管410的耐压。

[0334] 另外，通过在氧化物半导体层412的与漏电极层415b(或源电极层415a)重叠的区域中形成高电阻漏区414b(或高电阻源区414a)，即使在驱动电路中设置薄膜晶体管410也可以减少其沟道形成区413中的漏电流。

[0335] 接着，如图39B所示，通过第六光刻工序形成抗蚀剂掩模440a及抗蚀剂掩模440b，对氧化物绝缘膜439选择性地进行蚀刻，以形成氧化物绝缘层416及氧化物绝缘层426。氧化物绝缘层426覆盖氧化物半导体层422的形成有沟道形成区的区域并用作沟道保护层。另外，当如本实施方式那样作为第二栅极绝缘层402b使用氧化物绝缘层时，通过对氧化物绝缘膜439的蚀刻工序，第二栅极绝缘层402b的一部分也被蚀刻而有可能第二栅极绝缘层402b的厚度减薄(膜厚度变薄)。当作为第二栅极绝缘层402b使用对氧化物绝缘膜439具有高选择比的氮化绝缘膜时，可以防止第二栅极绝缘层402b通过蚀刻减薄。

[0336] 在去除抗蚀剂掩模440a、440b之后，在氧化物半导体层422及氧化物绝缘层426上形成具有透光性的导电膜。并且，通过第七光刻工序形成抗蚀剂掩模，使用该抗蚀剂掩模对透光性的导电膜进行蚀刻，而如图39C所示那样形成源电极层425a及漏电极层425b。在蚀刻工序之后，去除抗蚀剂掩模。

[0337] 作为具有透光性的导电膜的形成方法，可以使用溅射法、真空蒸镀法(电子束蒸镀法等)、电弧放电离子电镀法、喷射法。作为导电膜的材料，可以使用对可见光具有透光性的导电材料，例如In-Sn-Zn-O类、In-Al-Zn-O类、Sn-Ga-Zn-O类、Al-Ga-Zn-O类、Sn-Al-Zn-O类、In-Zn-O类、Sn-Zn-O类、Al-Zn-O类、In-O类、Sn-O类、Zn-O类的金属氧化物。在50nm以上且300nm以下的范围内适当地进行选择具有透光性的导电膜的膜厚度。另外，当使用溅射法时，优选使用含有2wt％以上且10wt％以下的SiO_2的靶来进行成膜，而使具有透光性的导电膜含有阻碍晶化的SiO_x(X＞0)，以抑制在后面的工序中进行用于脱水化或脱氢化的加热处理时被晶化。

[0338] 另外，也可以通过喷射法代替光刻工序来形成用来形成源电极层425a、漏电极层425b的抗蚀剂掩模。当通过喷射法形成抗蚀剂掩模时不使用光掩模，因此可以缩减制造成本。

[0339] 接着，如图39D所示，在氧化物绝缘层416、426、源电极层425a、及漏电极层425b上形成保护绝缘层403。在本实施方式中，使用RF溅射法形成氮化硅膜作为保护绝缘层403。因

为RF溅射法的量产性高，所以优选使用RF溅射法形成保护绝缘层403。保护绝缘层403使用不包含水分、氢离子、OH-等的杂质并防止它们从外部侵入的无机绝缘膜，而使用氮化硅膜、氮化铝膜、氮氧化硅膜、氧氮化铝膜等。当然，保护绝缘层403是具有透光性的绝缘膜。

[0340] 另外，保护绝缘层403优选接触于设置在保护绝缘层403的下方的第一栅极绝缘层402a或成为基底的绝缘膜，并且保护绝缘层403防止水分、氢离子、OH-等的杂质从衬底400的侧面近旁侵入。特别优选的是，作为接触于保护绝缘层403的第一栅极绝缘层402a或成为基底的绝缘膜，使用氮化硅膜。即，通过围绕氧化物半导体层的下面、上面及侧面地设置氮化硅膜，显示装置的可靠性提高。

[0341] 接着，在保护绝缘层403上形成平坦化绝缘层404。作为平坦化绝缘层404，可以使用具有耐热性的有机材料如聚酰亚胺、丙烯酸树脂、苯并环丁烯、聚酰胺、环氧树脂等。另外，除了上述有机材料之外，还可以使用低介电常数材料(low-k材料)、硅氧烷基类树脂、PSG(磷硅玻璃)、BPSG(硼磷硅玻璃)等。另外，也可以通过层叠多个由这些材料形成的绝缘膜来形成平坦化绝缘层404。

[0342] 另外，硅氧烷基类树脂相当于以硅氧烷基类材料为起始材料而形成的包含Si-O-Si键的树脂。还可以使用有机基(例如烷基或芳基)和氟基作为取代基。另外，有机基还可以具有氟基。

[0343] 对平坦化绝缘层404的形成方法没有特别的限制，可以根据其材料利用溅射法、SOG法、旋涂法、浸渍法、喷涂法、液滴喷射法(喷墨法、丝网印刷、胶版印刷等)等的方法、刮刀法、辊涂法、帘涂法、刮刀涂布法等的装置。

[0344] 接着，进行第八光刻工序，形成抗蚀剂掩模，通过对平坦化绝缘层404及保护绝缘层403进行蚀刻来形成到达漏电极层425b的接触孔441。此外，通过在此的蚀刻，也形成到达栅电极层411、421的接触孔。另外，还可以通过喷墨法形成用来形成到达漏电极层425b的接触孔的抗蚀剂掩模。当通过喷墨法形成抗蚀剂掩模时不使用光掩模，因此可以缩减制造成本。

[0345] 接着，在去除抗蚀剂掩模后，形成具有透光性的导电膜。通过利用溅射法或真空蒸镀法等形成氧化铟(In_2O_3)、氧化铟氧化锡合金(In_2O_3-SnO_2、缩写为ITO)等作为具有透光性的导电膜的材料。此外，作为具有透光性的导电膜的其他材料，也可以使用：包括氮的Al-Zn-O类非单晶膜，即Al-Zn-O-N类非单晶膜；包括氮的Zn-O类非单晶膜；包括氮的Sn-Zn-O类非单晶膜。另外，Al-Zn-O-N类非单晶膜中的锌的组成比(at.%)为47at.%以下，大于非单晶膜中的铝的组成比(at.%)，并且非单晶膜中的铝的组成比(at.%)大于非单晶膜中的氮的组成比(at.%)。对上述材料的蚀刻处理利用盐酸类溶液来进行。然而，尤其是，当对ITO进行蚀刻时容易发生残渣，所以也可以使用用来改善蚀刻加工性的氧化铟氧化锌合金(In_2O_3-ZnO)。

[0346] 注意，将具有透光性的导电膜的组成比的单位设定为原子百分比(at.%)，并且通过使用电子探针X射线微区分析仪(EPMA:Electron Probe X-ray Micro Analyzer)的分析进行评价。

[0347] 接着，进行第九光刻过程，形成抗蚀剂掩模，通过蚀刻去除不需要的部分，如图39E所示那样形成像素电极层427以及导电层417。像素电极层427通过形成在平坦化绝缘层404及保护绝缘层403中的接触孔441与漏电极层425b电连接。

[0348] 通过上述工序，可以使用九个用于曝光的掩模来在同一衬底400上制造包括薄膜晶体管410的驱动电路以及包括薄膜晶体管420的像素部。用于驱动电路的薄膜晶体管410是包括具有高电阻源区414a、高电阻漏区414b及沟道形成区413的氧化物半导体层412的沟道蚀刻型薄膜晶体管。另外，用于像素的薄膜晶体管420是包括其整体被I型化的氧化物半导体层422的沟道保护型薄膜晶体管。

[0349] 另外，也可以在同一衬底400上形成电容元件，该电容元件将第一栅极绝缘层402a、第二栅极绝缘层402b用于电介质并包括电容布线层和电容电极地形成。通过以矩阵状对应于各像素地配置薄膜晶体管420和电容元件来构成像素部，并在像素部的周边配置包括薄膜晶体管410的驱动电路，而可以形成用来制造有源矩阵型显示装置的一方的衬底。在本说明书中，为了方便起见将上述衬底称为有源矩阵衬底。

[0350] 另外，像素电极层427与电容电极层电连接。在形成接触孔441的同时形成用来电连接该两个电极层的接触孔。另外，电容电极层可以使用与源电极层425a、漏电极层425b相同的具有透光性的材料及工序形成。

[0351] 通过将导电层417设置在与氧化物半导体层412的沟道形成区413重叠的位置上，在用来调查薄膜晶体管410的可靠性的偏压-温度测试(以下，称为BT测试)中可以减少BT测试前后的薄膜晶体管410的阈值电压的变化量。另外，导电层417的电位可以与栅电极层411相同或不同，并且导电层417可以用作第二栅电极层。另外，导电层417的电位可以是GND、0V或浮动状态。

[0352] 另外，也可以通过喷墨法形成用来形成导电层417及像素电极层427的抗蚀剂掩模。当通过喷墨法形成抗蚀剂掩模时不使用光掩模，因此可以缩减制造成本。

[0353] 实施方式8

[0354] 在本实施方式中，说明具备显示装置的电子设备的例子。

[0355] 图40A至图40H、图41A至图41D是示出电子设备的图。这些电子设备可以包括外壳5000、显示部5001、扬声器5003、LED灯5004、操作键5005(包括电源开关或操作开关)、连接端子5006、传感器5007(它包括测定如下因素的功能：力量、位移、位置、速度、加速度、角速度、转速、距离、光、液、磁、温度、化学物质、声音、时间、硬度、电场、电流、电压、电力、射线、流量、湿度、倾斜度、振动、气味或红外线)、麦克风5008等。

[0356] 图40A示出移动计算机，除了上述以外还可以具有开关5009、红外端口5010等。图40B示出具备记录介质的便携式图像再现装置(如DVD再现装置)，除了上述以外还可以具有第二显示部5002、记录介质读出部5011等。图40C示出护目镜型显示器，除了上述以外还可以具有第二显示部5002、支撑部5012、耳机5013等。图40D示出便携式游戏机，除了上述以外还可以具有记录介质读出部5011等。图40E示出具有电视图像接收功能的数码相机，除了上述以外还可以具有天线5014、快门按钮5015、图像接收部5016等。图40F示出便携式游戏机，除了上述以外还可以具有第二显示部5002、记录介质读出部5011等。图40G示出电视接收机，除了上述以外还可以具有调谐器、图像处理部等。图40H示出便携式电视接收机，除了上述以外还可以具有能够收发信号的充电器5017等。

[0357] 图41A示出显示器，除了上述以外还可以具有支撑台5018等。图41B示出影像拍摄装置，除了上述以外还可以具有外部连接端口5019、快门按钮5015、图像接收部5016等。图41C示出计算机，除了上述以外还可以具有定位装置5020、外部连接端口5019、读写器5021

等。图41D示出移动电话机，除了上述以外还可以具有发送部、接受部、用于移动电话及移动终端的单波段播放(one-segment broadcasting)部分接收服务用调谐器等。

[0358] 图40A至图40H、图41A至图41D所示的电子设备可以具有各种功能。例如，可以具有如下功能：将各种信息(静态图像、动态图像、文字图像等)显示在显示部上；触控面板；显示日历、日期或时刻等；通过利用各种软件(程序)控制处理；进行无线通信；通过利用无线通信功能，与各种计算机网络连接；通过利用无线通信功能，进行各种数据的发送或接收；读出储存在记录介质中的程序或数据来将它显示在显示部上；等等。再者，在具有多个显示部的电子设备中，可以具有如下功能：一个显示部主要显示图像信息，而另一显示部主要显示文字信息；或者在多个显示部上显示考虑到视差的图像来显示立体图像；等等。再者，在具有图像接收部的电子设备中，可以具有如下功能：拍摄静态图像；拍摄动态图像；对所拍摄的图像进行自动或手工校正；将所拍摄的图像储存在记录介质(外部或内置于相机)中；将所拍摄的图像显示在显示部上；等等。此外，图40A至图40H、图41A至图41D所示的电子设备可具有的功能不局限于上述功能，而可以具有各种各样的功能。

[0359] 在本实施方式中描述的电子设备的特征之一是具有用来显示某种信息的显示部。

[0360] 接着，说明显示装置(半导体装置)的应用例子。首先，说明将显示装置(半导体装置)应用于不移动的物体，例如建筑物的例子。

[0361] 图41E是说明组装有显示装置(半导体装置)的建筑物的一个方式的图。半导体装置包括外壳5022、显示部5023、作为操作部的遥控装置5024以及扬声器部5025等。半导体装置组装在房间的墙中作为挂壁式显示装置。因为该方式不需要较大的设置空间，所以作为将具备大画面(40英寸以上)的显示部5023的半导体装置组装在建筑物中的方法，优选采用该方式。

[0362] 图41F是说明组装有显示装置(半导体装置)的建筑物的一个方式的图。半导体装置具备显示面板5026。该显示面板5026组装在浴室5027中，并且洗澡的人可以利用显示面板5026观看影像。

[0363] 在图41E、图41F中，示出将显示装置(半导体装置)组装在墙、浴室中的例子，但是本实施方式的建筑物不局限于此。可以将半导体装置组装在建筑物的各种部分中。

[0364] 下面，说明组装有显示装置(半导体装置)的移动物体的结构例子。

[0365] 图41G是说明设置有显示装置(半导体装置)的汽车的一个方式的图。半导体装置包括显示面板5028。显示面板5028组装在汽车的车体5029中，并根据需要能够显示车体的操作或从车体内部或外部输入的信息。另外，半导体装置也可以具有导航功能。

[0366] 图41H是说明设置有显示装置(半导体装置)的旅客用飞机的一个方式的图。半导体装置包括显示面板5031。在旅客用飞机的座位上方的天花板5030上通过铰链部5032设置有显示面板5031。显示面板5031具有通过乘客的操作来显示信息的功能。图41H示出使用显示面板5031时的显示面板5031的状态。乘客通过铰链部5032的伸缩而可以观看显示面板5031的影像。

[0367] 另外，在图41G、图41H中示出作为移动物体的汽车以及旅客用飞机的例子，但是本实施方式不限于此，而可以用于各种移动物体如摩托车、自动四轮车(包括汽车、公共汽车、卡车等)、铁路车厢、船只以及飞机等。

[0368] 实施方式9

[0369] 在本实施方式中，说明根据本说明书所公开的发明的半导体装置以及显示装置等。

[0370] 在本说明书中，显示装置是指具有显示元件的装置。作为应用本说明书所公开的发明的显示装置，可以举出包括对比度、亮度、反射率、透射率等因电磁作用而变化的显示媒体的装置。作为本说明书所公开的显示装置所具备的显示元件，可以举出EL(电致发光)元件(包含有机物及无机物的EL元件、有机EL元件、无机EL元件)、LED(白色LED、红色LED、绿色LED、蓝色LED等)、晶体管(根据电流发射光的晶体管)、电子发射元件、液晶元件、电子墨水、电泳元件、光栅光阀(GLV)、等离子体管、数字微镜设备(DMD)、压电陶瓷元件、碳纳米管等。作为使用EL元件的显示装置的一个例子，有EL显示器等。作为使用电子发射元件的显示装置的一个例子，有场致发射显示器(FED)或SED方式平面型显示器(SED:surface-conduction electron-emitter display;表面传导电子发射显示器)等。作为使用液晶元件的显示装置的一个例子，有液晶显示装置(透射型液晶显示装置、半透射型液晶显示装置、反射型液晶显示装置、直观型液晶显示装置、投射型液晶显示装置)等。并且作为使用电子墨水或电泳元件的显示装置的一个例子，可以举出电子纸等。另外，具备EL元件或LED等的发射光的发光元件的装置有时被称为显示装置，并也有时被称为发光装置。包括发光元件作为显示元件的发光装置是显示装置的具体例子之一。

[0371] 作为EL元件的一个例子，有具有阳极、阴极、夹在阳极和阴极之间的EL层的元件等。作为EL层的一个例子，有：利用来自单重态激子的发光(荧光)的层；利用来自三重态激子的发光(磷光)的层；包括利用来自单重态激子的发光(荧光)的层和来自三重态激子的发光(磷光)的层的层；由有机物形成的层；由无机物形成的层；包括由有机物形成的层和由无机物形成的层的层；包含高分子材料的层；包含低分子材料的层；或者包含高分子材料和低分子材料的层等。然而不局限于此，作为EL元件可以使用各种元件。

[0372] 作为电子发射元件的一个例子，有将高电场集中到阴极来抽出电子的元件等。具体而言，作为电子发射元件的一个例子，有主轴(spindle)型、碳纳米管(CNT)型、层叠有金属-绝缘体-金属的MIM(Metal-Insulator-Metal)型、层叠有金属-绝缘体-半导体的MIS(Metal-Insulator-Semiconductor)型、MOS型、硅型、薄膜二极管型、金刚石型、金属-绝缘体-半导体-金属型等的薄膜型、HEED型、EL型、多孔硅型或表面传导(SCE)型等。然而不局限于此，可以使用各种元件作为电子发射元件。

[0373] 在本说明书中，液晶显示装置是指具有液晶元件的显示装置。液晶显示装置根据图像的显示方法而被分为直观型、投射型等。另外，液晶显示装置还根据像素透过所照射的光还是反射所照射的光而可以被分为透过型、反射型、半透过型。作为液晶元件的一个例子，有利用液晶的光学调制作用来控制光的透过或非透过的元件。该元件可以由一对电极及液晶层构成。另外，液晶的光学调制作用由施加到液晶的电场(包括横向电场、纵向电场或倾斜方向电场)控制。作为应用于液晶元件的液晶，可以举出向列液晶、胆甾相(cholesteric)液晶、近晶液晶、盘状液晶、热致液晶、溶致液晶、低分子液晶、高分子液晶、聚合物分散型液晶(PDLC)、强介电液晶、反强介电液晶、主链型液晶、侧链型高分子液晶、香蕉型液晶等。

[0374] 此外，作为液晶显示装置的显示方式，有TN(Twisted Nematic;扭转向列)模式、STN(Super Twisted Nematic;超扭曲向列)模式、IPS(In-Plane-Switching;平面内切换)

模式、FFS(Fringe Field Switching;边缘场切换)模式、MVA(Multi-domain Vertical Alignment;多象限垂直取向)模式、PVA(Patterned Vertical Alignment;垂直取向构型)模式、ASV(Advanced Super View;流动超视觉)模式、ASM(Axially Symmetric aligned Micro-cell;轴对称排列微单元)模式、OCB(Optically Compensated Birefringence;光学补偿双折射)模式、ECB(Electrically Controlled Birefringence;电控双折射)模式、FLC(Ferroelectric Liquid Crystal;铁电液晶)模式、AFLC(AntiFerroelectric Liquid Crystal;反铁电液晶)模式、聚合物分散型液晶(PDLC:Polymer Dispersed Liquid Crystal)模式、聚合物网路型液晶(PNLC:Polymer Network Liquid Crystal)模式、宾主模式、蓝相(Blue Phase)模式等。

[0375] 当然,本说明书所公开的发明不局限于上述结构例子,可以使用各种结构例子的液晶显示装置。

[0376] 作为电子纸的一个例子,可以使用:利用分子来进行显示的电子纸(如光学各向异性、染料分子取向等);利用粒子来进行显示的电子纸(如电泳、粒子移动、粒子旋转、相变等);通过使薄膜的一端移动而进行显示的电子纸;利用分子的发色/相变来进行显示的电子纸;通过分子的光吸收而进行显示的电子纸;电子和空穴相结合而通过自发光来进行显示的电子纸;等。具体而言,作为电子纸的一个例子,有微囊型电泳、水平移动型电泳、垂直移动型电泳、球状扭转球、磁性扭转球、圆柱扭转球方式、带电色粉、电子粉流体、磁泳型、磁热敏式、电润湿、光散射(透明/白浊变化)、胆甾相液晶/光导电层、胆甾相液晶、双稳态向列液晶、强介电液晶、二色性色素·液晶分散型、可动薄膜、利用无色染料的着色和去色、光致变色、电致变色、电沉积、柔性有机EL等。但是不局限于此,作为电子纸可以使用各种电子纸。在此,通过使用微囊型电泳,可以解决迁移粒子的凝集和沉淀即电泳方式的缺点。电子粉流体具有高速响应性、高反射率、广视角、低耗电量、存储性等的优点。

[0377] 作为等离子体显示器的一个例子,有具有如下结构的等离子体显示器等,在该结构中以狭窄的间隔使表面形成有电极的衬底和表面形成有电极及微小的槽且在槽内形成有荧光体层的衬底对置,并装入稀有气体。另外,作为等离子体显示器的一个例子,有具有如下结构的等离子体显示器等,在该结构中使用膜状的电极从上下夹持等离子体管。在玻璃管内密封放电气体、RGB每一个的荧光体等而得到等离子体管。通过在电极之间施加电压来产生紫外线,并使荧光体发射光,从而可以进行显示。本说明书所公开的发明不局限于上述结构例子,而可以使用具有各种结构例子的等离子体显示器。

[0378] 另外,有需要照明装置的显示装置,例如液晶显示器、利用光栅光阀(GLV)的显示装置、利用数字微镜设备(DMD)的显示装置等。作为这些照明装置,例如可以使用应用EL元件的照明装置、冷阴极管、热阴极管、LED、激光光源、汞灯等。

[0379] 另外,作为显示装置,可以举出具备包括显示元件的多个像素的显示装置。此时,显示装置也可以包括驱动多个像素的外围驱动电路。显示装置的外围驱动电路既可以是形成在与多个像素同一衬底上的电路,又可以是形成在不同的衬底上的电路。也可以设置上述双方的电路作为外围驱动电路。作为形成在与像素不同的衬底上的电路,可以举出通过引线键合、凸块等而配置在具有像素的衬底上的电路,所谓通过玻璃覆晶封装(COG)连接的IC芯片或者通过TAB等连接的IC芯片。

[0380] 通过使电路的一部分形成在与像素部同一衬底上,可以减少部件个数来缩减成

本，或者可以减少与电路部件的连接数来提高可靠性。尤其是，在很多情况下驱动电压高的部分的电路或者驱动频率高的部分的电路等的耗电量增大。于是，将该电路形成在与像素部不同的衬底(例如，单晶衬底)上，以构成IC芯片。通过使用该IC芯片，可以防止耗电量的增加。

[0381] 此外，显示装置也可以包括安装有IC芯片、电阻元件、电容元件、电感器、晶体管等的柔性印刷电路(FPC)。此外，显示装置可以通过柔性印刷电路(FPC)等实现连接，并包括安装有IC芯片、电阻元件、电容元件、电感器、晶体管等的印刷线路板(PWB)。另外，显示装置也可以包括偏振板或相位差板等的光学片。此外，显示装置还包括照明装置、外壳、声音输入输出装置、光传感器等。

[0382] 在本说明书中，一个像素指的是能够控制亮度的一个要素。例如，一个像素示出一个颜色要素，利用该一个颜色要素显示亮度。因此，此时，在具有R(红色)、G(绿色)和B(蓝色)的颜色要素彩色显示装置中，图像的最小单位由R的像素、G的像素以及B的像素的三个像素构成。但是，颜色要素不局限于三种颜色，也可以使用三种以上的颜色，并且也可以使用RGB以外的颜色。例如，可以加上白色来采用RGBW(W是白色)。或者，可以对RGB加上例如黄色、蓝绿色、紫红色、翡翠绿及朱红色等的一种以上的颜色。或者，例如，也可以对RGB追加与RGB中的至少一种颜色类似的颜色。例如，可以采用R、G、B1、B2。虽然B1和B2都是蓝色，但是波长稍微不同。与此同样地，可以采用R1、R2、G、B。通过采用这种颜色要素，可以进行更逼真的显示。通过采用这种颜色要素，可以减少耗电量。

[0383] 在使用多个区域来控制一个颜色要素的亮度的情况下，可以将该多个区域的一个用作一个像素。例如，在进行区域灰度或具有子像素时，每一个颜色要素具有多个控制亮度的区域，有时利用该所有区域显示灰度。此时可以将控制亮度的区域的一个用作一个像素。此时，一个颜色要素由多个像素构成。但是，即使在一个颜色要素中具有多个控制亮度的区域，也可以将一个颜色要素用作一个像素。此时，一个颜色要素由一个像素构成。另外，在使用多个区域来控制一个颜色要素的亮度的情况下，也可以根据像素使有助于显示的区域的尺寸不同。另外，在每个颜色要素所具有的多个控制亮度的区域中，也可以使供应到各区域的信号稍微不同，从而扩大视角。就是说，每一个颜色要素所具有的多个区域分别具有的像素电极的电位也可以互不相同。其结果是，施加到液晶分子等的显示元件的电压根据各像素电极而分别不同。因此，在液晶显示装置的情况下，可以扩大视角。另外，也可以每个颜色要素的有助于显示的区域的尺寸彼此不同。由此，可以实现低耗电量化或显示元件的长使用寿命化。

[0384] 另外，在明确地记载“一个像素(三种颜色)”的情况下，将R、G和B三个像素看作一个像素。在明确地记载“一个像素(一种颜色)”的情况下，当每个颜色要素具有多个区域时，可以将该多个区域看作一个像素。

[0385] 多个像素可以配置(排列)为例如矩阵状。这里，像素配置(排列)为矩阵状的情况不局限于在纵方向或横方向上像素排列在直线上的情况。例如在使用三种颜色要素(例如RGB)进行全彩色显示的显示装置中，作为像素的排列，例如可以举出条形配置、由三种颜色要素的点构成的三角配置、拜尔(Bayer)配置等。

[0386] 实施方式10

[0387] 本说明书所公开的发明可以用于各种结构的晶体管。换言之，对晶体管的结构，没

有特别的限制。例如，通过使用实施方式7，可以制造具备高开口率的像素的显示装置。在本实施方式中，说明晶体管的几个结构例子。

[0388] 作为晶体管的一个例子，可以使用具有以非晶硅、多晶硅、微晶(也称为微晶、纳米晶、半非晶(semi-amorphous))硅等为代表的非单晶半导体膜的薄膜晶体管(TFT)等。当使用TFT时，具有各种优点。例如，因为可以在比使用单晶硅时低的温度下进行制造，因此可以实现制造成本的缩减或制造装置的大型化。由于可以将制造装置大型化，所以可以在大型衬底上制造。因此，可以同时制造多个显示装置，所以可以以低成本制造。或者，由于制造温度低，因此可以使用低耐热性衬底。由此，可以在具有透光性的衬底上制造晶体管。或者，可以使用形成在具有透光性的衬底上的晶体管来控制显示元件中的光透过。或者，因为晶体管较薄，所以形成晶体管的膜的一部分能够透过光。因此，可以提高开口率。

[0389] 另外，当制造多晶硅时，通过使用催化剂(镍等)，可以进一步提高结晶性，从而可以制造电特性良好的晶体管。其结果是，可以在衬底上一体地形成栅极驱动器电路(扫描线驱动电路)、源极驱动器电路(信号线驱动电路)以及信号处理电路(信号产生电路、γ(伽马)校正电路、DA转换电路等)。

[0390] 另外，当制造微晶硅时，通过使用催化剂(镍等)，可以进一步提高结晶性，从而可以制造电特性良好的晶体管。此时，通过仅进行热处理而不进行激光照射，也可以提高结晶性。其结果是，可以在衬底上一体地形成源极驱动器电路的一部分(模拟开关等)以及栅极驱动器电路(扫描线驱动电路)。再者，当不进行用来实现结晶化的激光照射时，可以抑制硅结晶性的不均匀。因此，可以显示提高了图像质量的图像。但是，可以不使用催化剂(镍等)而制造多晶硅或微晶硅。

[0391] 另外，虽然优选在整个面板上使硅的结晶性提高到多晶或微晶等，但是不限定于此。也可以只在面板的一部分区域中提高硅的结晶性。通过选择性地照射激光等，可以选择性地提高结晶性。例如，也可以只对作为像素以外的区域的外围电路区照射激光。或者，也可以只对栅极驱动器电路、源极驱动器电路等的区域照射激光。或者，也可以只对源极驱动器电路的一部分(例如模拟开关)的区域照射激光。其结果是，可以只在需要使电路高速地工作的区域中提高硅的结晶性。因为使像素区域高速地工作是不太重要的，所以即使结晶性不提高，也可以使像素电路工作而不发生问题。通过采用上述方法，提高结晶性的区域较少，所以可以缩短制造工序。因此，可以提高产率而缩减制造成本。或者，由于可以利用较少的制造装置进行制造，所以可以缩减制造成本。

[0392] 另外，作为晶体管的一个例子，可以使用：具有ZnO、a-InGaZnO、SiGe、GaAs、IZO、ITO、SnO、TiO、AlZnSnO(AZTO)等的化合物半导体或氧化物半导体的晶体管；或者将这些化合物半导体或氧化物半导体薄膜化的薄膜晶体管等。由此，可以降低制造温度，因此例如可以在室温下制造晶体管。其结果是，可以在低耐热性衬底，例如塑料衬底或薄膜衬底等上直接形成晶体管。此外，不仅可以将这些化合物半导体或氧化物半导体用于晶体管的沟道部，而且还可以用于其他用途。例如，可以将这些化合物半导体或氧化物半导体用作布线、电阻元件、像素电极或具有透光性的电极等。由于可以在晶体管的制造过程中形成它们，所以可以缩减成本。

[0393] 另外，作为晶体管的一个例子，可以使用通过喷墨法或印刷法形成的晶体管等。由此，可以在室温下制造晶体管，可以以低真空度制造晶体管，或者可以在大型衬底上制造晶

体管。因此，由于即使不使用掩模(中间掩模)也可以制造晶体管，所以可以容易地改变晶体管的布局。再者，由于不需要抗蚀剂，所以可以减少材料费用并减少工序数量。或者，因为可以只在需要膜的部分上形成膜，所以与在整个面上形成膜之后进行蚀刻的制造方法相比，不浪费材料，从而可以实现低成本。

[0394] 另外，作为晶体管的一个例子，可以使用具有有机半导体或碳纳米管的晶体管等。由此，可以在能够弯曲的衬底上形成晶体管。因此，可以增强使用这种衬底的半导体装置的耐冲击性。

[0395] 作为晶体管，还可以使用各种结构的晶体管。例如，作为晶体管，可以使用MOS型晶体管、结型晶体管、双极晶体管等。通过作为晶体管使用MOS型晶体管，可以减小晶体管尺寸。因此，可以提高晶体管的集成度。通过作为晶体管使用双极晶体管，可以使大电流流过。因此，可以使电路高速地工作。此外，也可以将MOS型晶体管和双极晶体管形成在一个衬底上。由此，可以实现低耗电量化、小型化、高速工作等。

[0396] 作为晶体管的一个例子，可以采用具有两个以上的栅电极的多栅极结构的晶体管。由于当采用多栅极结构时沟道区被串联连接，所以成为多个晶体管串联连接的结构。因此，通过采用多栅极结构，可以降低截止电流，提高晶体管的耐压性(提高可靠性)。或者，通过利用多栅极结构，当在饱和区域中工作时即使漏极和源极之间的电压变化，漏极和源极之间电流的变化也不太大，从而可以使电压-电流特性的斜率平坦。当利用斜率平坦的电压-电流特性时，可以实现理想的电流源电路或电阻值非常高的主动负载。其结果是，可以实现特性良好的差动电路或电流反射镜电路等。

[0397] 作为晶体管的一个例子，可以采用在沟道上下配置有栅电极的结构的晶体管。通过采用在沟道上下配置有栅电极的结构，多个晶体管并联连接。因此，沟道区增加，所以可以增大电流值。或者，通过采用在沟道上下配置有栅电极的结构，容易产生耗尽层，因此可以改善S值(subthreshold swing value)。

[0398] 作为晶体管的一个例子，可以使用将栅电极配置在沟道区上的结构、将栅电极配置在沟道区下的结构、交错结构、反交错结构、将沟道区分成多个区域的结构、并联连接沟道区的结构或者串联连接沟道区的结构等的晶体管。

[0399] 另外，作为晶体管的一个例子，还可以采用源电极、漏电极重叠于沟道区(或其一部分)的结构。通过采用源电极、漏电极重叠于沟道区(或其一部分)的结构，可以防止因电荷积存在于沟道区的一部分中而导致的工作不稳定。

[0400] 作为晶体管的一个例子，可以使用设置有高电阻区域的结构。通过设置高电阻区域，可以降低截止电流或者提高晶体管的耐压性(提高可靠性)。或者，通过设置高电阻区域，当在饱和区域中工作时，即使漏极-源极之间的电压变化，漏极-源极之间的电流的变化也不太大，从而可以使电压-电流特性的斜率平坦。

[0401] 可以使用各种衬底形成晶体管。对衬底的种类没有特别的限制。作为该衬底的一个例子，有半导体衬底(例如，单晶衬底或硅衬底)、SOI衬底、玻璃衬底、石英衬底、塑料衬底、金属衬底、不锈钢衬底、具有不锈钢箔的衬底、钨衬底、具有钨箔的衬底、挠性衬底、贴合薄膜、包含纤维状的材料的纸或者基材薄膜等。作为玻璃衬底的一个例子，有钡硼硅酸盐玻璃、铝硼硅酸盐玻璃或钠钙玻璃等。作为挠性衬底的一个例子，有以聚对苯二甲酸乙二醇酯(PET)、聚萘二甲酸乙二醇酯(PEN)、聚醚砜(PES)为代表的塑料或丙烯酸树脂等的具有挠性

的合成树脂等。作为贴合薄膜的一个例子，有聚丙烯、聚酯、乙烯基、聚氟化乙烯、氯乙烯等。作为基材薄膜的一个例子，有聚酯、聚酰胺、聚酰亚胺、无机蒸镀薄膜或纸类等。尤其是，通过使用半导体衬底、单晶衬底或SOI衬底等制造晶体管，可以制造特性、尺寸或形状等的不均匀性小、电流能力高且尺寸小的晶体管。当利用上述晶体管构成电路时，可以实现电路的低耗电量化或电路的高集成化。

[0402] 也可以使用某个衬底来形成晶体管，然后将晶体管转置到另一衬底上，而在另一衬底上配置晶体管。作为转置晶体管的衬底的一个例子，不仅可以使用上述可以形成晶体管的衬底，还可以使用纸衬底、玻璃纸衬底、石材衬底、木材衬底、布衬底(包括天然纤维(丝、棉、麻)、合成纤维(尼龙、聚氨酯、聚酯)或再生纤维(醋酯纤维、铜氨纤维、人造纤维、再生聚酯)等)、皮革衬底、橡皮衬底等。通过使用上述衬底，可以实现特性良好的晶体管的形成、耗电量少的晶体管的形成、具有高耐久性的装置的制造、耐热性的提高、轻量化或薄型化。

[0403] 在此，晶体管是指至少具有包括栅极、漏极、源极的三个端子的元件，在漏区和源区之间具有沟道区，并能够通过漏区、沟道区以及源区使电流流过。在此，因为源极和漏极根据晶体管的结构或工作条件等而变化，因此很难限定哪个是源极或漏极。因此，有时不将用作源极的区域及用作漏极的区域称为源极或漏极。在此情况下，作为一个例子，有时将源极或漏极的一方记为第一端子、第一电极或第一区域，并且将源极或漏极的另一方记为第二端子、第二电极或第二区域。

[0404] 另外，晶体管也可以是至少具有包括基极、发射极和集电极的三个端子的元件。在此情况下也同样地，作为一个例子，有时将发射极或集电极的一方记为第一端子、第一电极或第一区域，并且将发射极或集电极的另一方记为第二端子、第二电极或第二区域。另外，当作为晶体管使用双极晶体管时，也可以将“栅极”称为“基极”。

[0405] 栅极是指包括栅电极和栅极布线(也称为栅极线、栅极信号线、扫描线、扫描信号线等)的整体，或者是指这些中的一部分。栅电极指的是通过栅极绝缘膜与形成沟道区的半导体重叠的部分的导电膜。此外，栅电极的一部分也可以通过栅极绝缘膜与高电阻区域或源区(或漏区)重叠。栅极布线是指用来连接各晶体管的栅电极之间的布线、用来连接各像素所具有的栅电极之间的布线或用来连接栅电极和其它布线的布线。

[0406] 也有用作栅电极并用作栅极布线的部分(区域、导电膜、布线等)。这种部分(区域、导电膜、布线等)可以称为栅电极或栅极布线。换言之，也有无法明确区别栅电极和栅极布线的区域。例如，在沟道区与延伸而配置的栅极布线的一部分重叠的情况下，该部分(区域、导电膜、布线等)不仅用作栅极布线，而且还用作栅电极。因此，可以将这种部分(区域、导电膜、布线等)称为栅电极或栅极布线。

[0407] 另外，也可以将使用与栅电极相同的材料形成且形成与栅电极相同的岛而连接的部分(区域、导电膜、布线等)称为栅电极。与此同样，也可以将使用与栅极布线相同的材料形成且形成与栅极布线相同的岛而连接的部分(区域、导电膜、布线等)称为栅极布线。严格而言，有时这种部分(区域、导电膜、布线等)不与沟道区重叠，或者，不具有与其它栅电极连接的功能。但是，因制造时的条件等关系而具有由与栅电极或栅极布线相同的材料形成且形成与栅电极或栅极布线相同的岛而连接的部分(区域、导电膜、布线等)。因此，也可以将这种部分(区域、导电膜、布线等)称为栅电极或栅极布线。

[0408] 例如，在多栅结构的晶体管中，在很多情况下一个栅电极和其他的栅电极通过由与栅电极相同的材料形成的导电膜连接。此时，可以将用来连接栅电极和栅电极的部分(区域、导电膜、布线等)称为栅极布线。或者，由于也可以将多栅结构的晶体管看作一个晶体管，所以也可以称为栅电极。换言之，也可以将由与栅电极或栅极布线相同的材料形成且形成与栅电极或栅极布线相同的岛而连接的部分(区域、导电膜、布线等)称为栅电极或栅极布线。作为另一个例子，也可以将连接栅电极和栅极布线的部分的导电膜的由与栅电极或栅极布线不同的材料形成的导电膜称为栅电极或栅极布线。

[0409] 另外，栅极端子是指栅电极的部分(区域、导电膜、布线等)或与栅电极电连接的部分(区域、导电膜、布线等)中的一部分。

[0410] 在将某个布线称为栅极布线、栅极线、栅极信号线、扫描线、扫描信号线等时，该布线有时不连接到晶体管的栅极。在此情况下，栅极布线、栅极线、栅极信号线、扫描线或扫描信号线有可能是指由与晶体管的栅极相同的层形成的布线、由与晶体管的栅极相同的材料形成的布线或与晶体管的栅极同时形成的布线等。作为一个例子，有存储电容布线、电极线、基准电位供给布线等。

[0411] 源极是指包括源区、源电极、源极布线(也称为源极线、源极信号线、数据线、数据信号线等)的整体，或者是指这些中的一部分。源区是指包含很多P型杂质(硼或镓等)或N型杂质(磷或砷等)的半导体区域。因此，当P型杂质或N型杂质的浓度低的低浓度杂质区域是电阻高的高电阻区域时，在很多情况下不被包括在源区中。源电极是指使用与源区不相同的材料形成并与源区电连接而配置的部分的导电层。但是，源电极有时包括源区而被称为源电极。源极布线是指用来连接各晶体管的源电极之间的布线、用来连接各像素所具有的源电极之间的布线或用来连接源电极和其它布线的布线。

[0412] 另外，也有作为源电极和源极布线起作用的部分(区域、导电膜、布线等)。可以将这种部分(区域、导电膜、布线等)称为源电极或源极布线。换言之，也有不可明确区别源电极和源极布线的区域。例如，在源区与延伸而配置的源极布线的一部分重叠的情况下，该部分(区域、导电膜、布线等)不仅作为源极布线起作用，而且还作为源电极起作用。因此，可以将这种部分(区域、导电膜、布线等)称为源电极或源极布线。

[0413] 另外，也可以将使用与源电极相同的材料形成且形成与源电极相同的岛而连接的部分(区域、导电膜、布线等)、连接源电极和源电极的部分(区域、导电膜、布线等)以及与源区重叠的部分称为源电极。与此相同，也可以将使用与源极布线相同的材料形成且形成与源极布线相同的岛而连接的区域称为源极布线。严格而言，该部分(区域、导电膜、布线等)有时不具有与其它源电极连接的功能。但是，因制造时的条件等的关系而具有使用与源电极或源极布线相同的材料形成且与源电极或源极布线连接的部分(区域、导电膜、布线等)。因此，也可以将该种部分(区域、导电膜、布线等)称为源电极或源极布线。

[0414] 例如，也可以将连接源电极和源极布线的部分的导电膜且使用与源电极或源极布线不同的材料形成的导电膜称为源电极或源极布线。

[0415] 另外，源极端子是指源区、源电极、与源电极电连接的部分(区域、导电膜、布线等)中的一部分。

[0416] 另外，在将某个布线称为源极布线、源极线、源极信号线、数据线、数据信号线等的情况下，该布线有时不连接到晶体管的源极(漏极)。在此情况下，有时源极布线、源极线、源

极信号线、数据线、数据信号线是指使用与晶体管的源极(漏极)相同的层形成的布线、使用与晶体管的源极(漏极)相同的材料形成的布线或与晶体管的源极(漏极)同时形成的布线。作为一个例子,可以举出存储电容布线、电源线、基准电位供给布线等。

[0417] 漏极的说明与源极的说明同样,因此援用源极的说明。

[0418] 本申请基于2009年9月4日在日本专利局受理的日本专利申请序列号2009-205136而制作,所述申请内容包括在本说明书中。

[0419] 主要元件符号说明

[0420] 101 衬底

[0421] 102 电路

[0422] 103 电路

[0423] 104 电路

[0424] 105 绝缘层

[0425] 106 导电层

[0426] 107 媒质

[0427] 108 衬底

[0428] 109 导电层

[0429] 202 绝缘层

[0430] 203 半导体层

[0431] 205 绝缘层

[0432] 206 导电层

[0433] 207 晶体管

[0434] 208 电容元件

[0435] 209 电容元件

[0436] 201a、201aa、201ab、201b、201ba、201bb、201c、201ca、201cb、201da、201db、201eb、201fb 导电层

[0437] 203a 半导体层

[0438] 204a、204aa、204ab、204b、204ba、204bb、204c、204ca、204cb、204d、204da、204db、204e、204ea、204eb、204fb、204gb、204hb 导电层

[0439] 206a 导电层

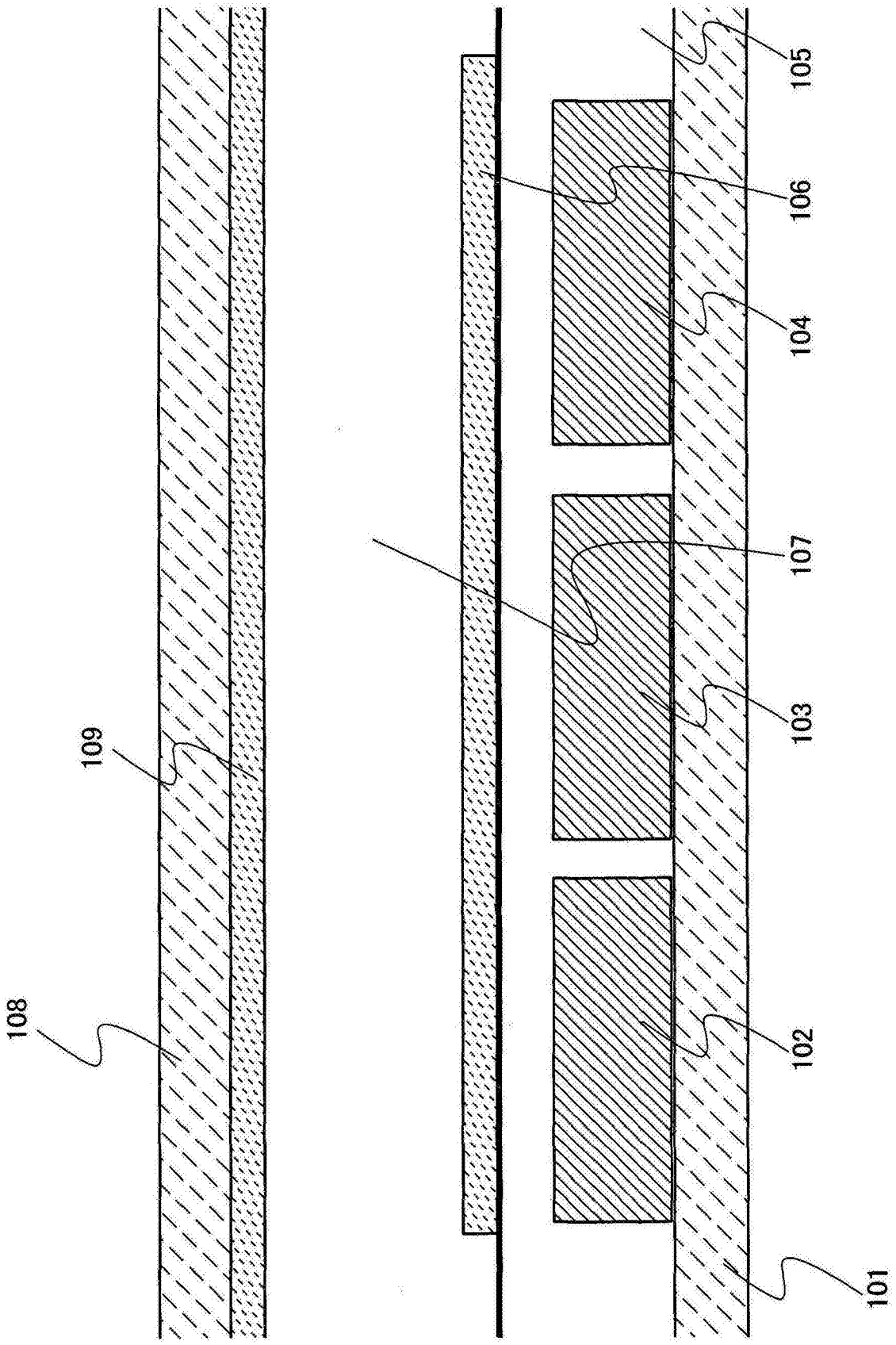


图1

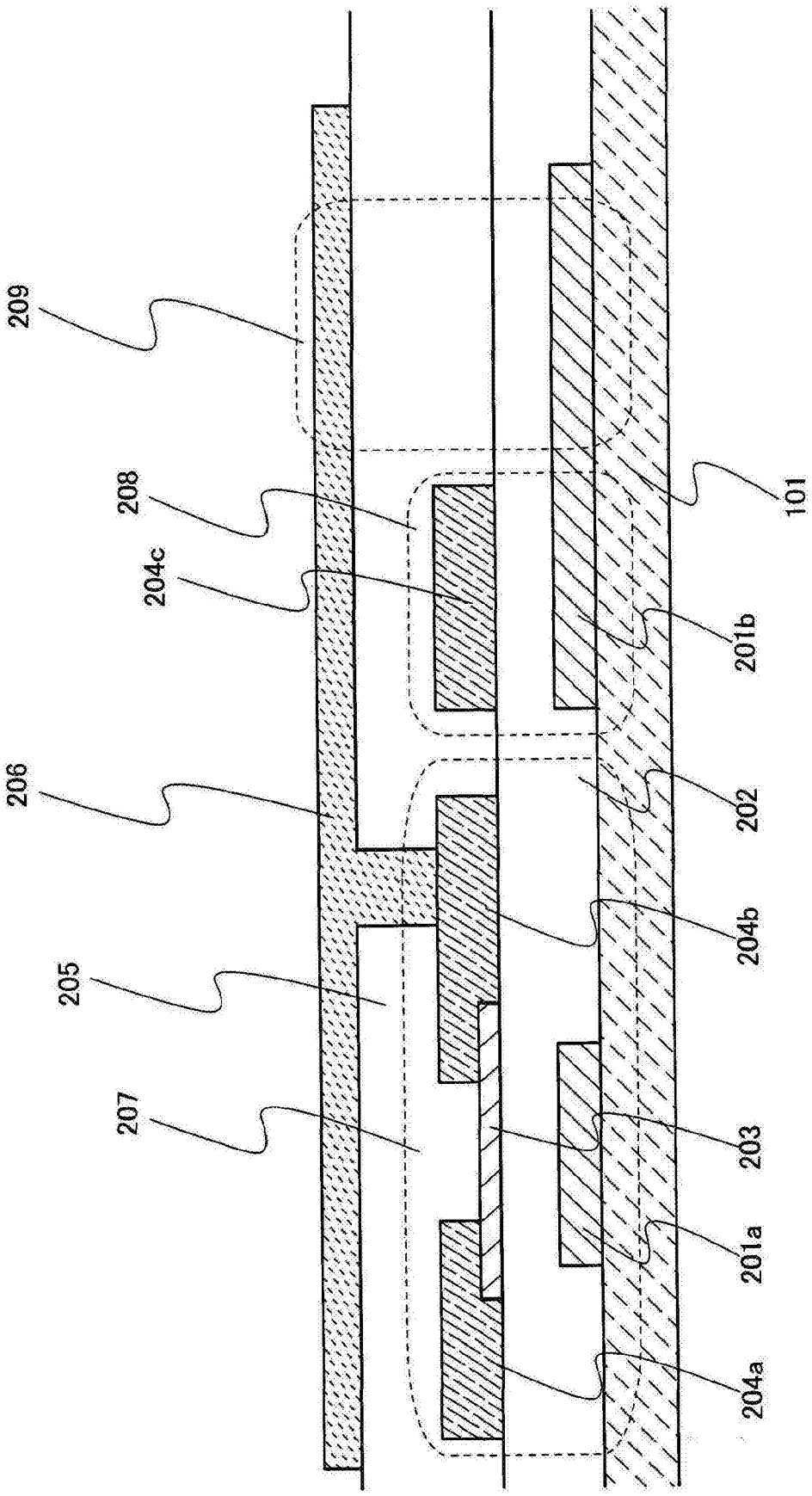


图2

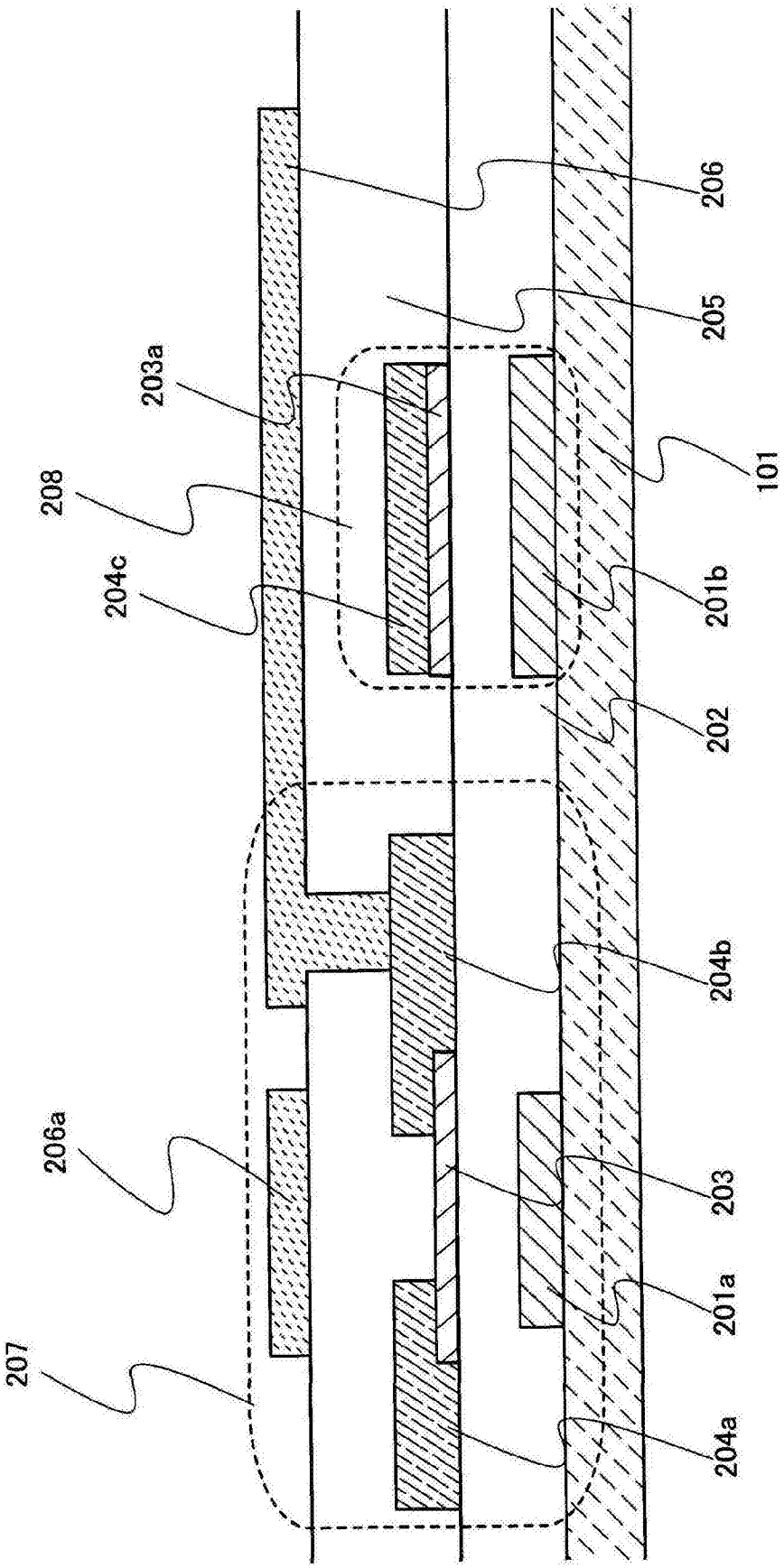


图3

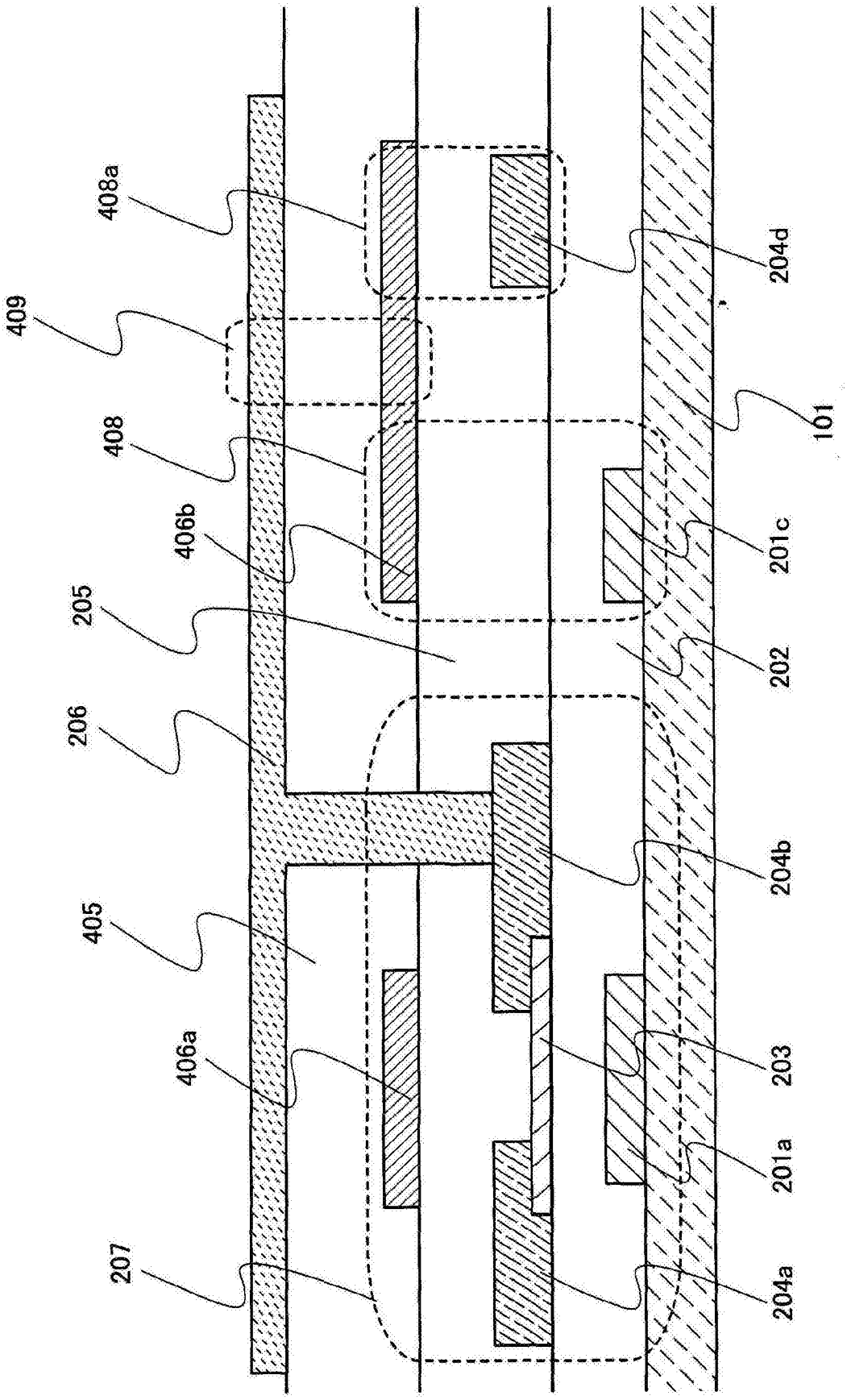

408a
409
408
406b
205
206
405
406a
207
204d
101
201c
202
204b
203
201a
204a

图4

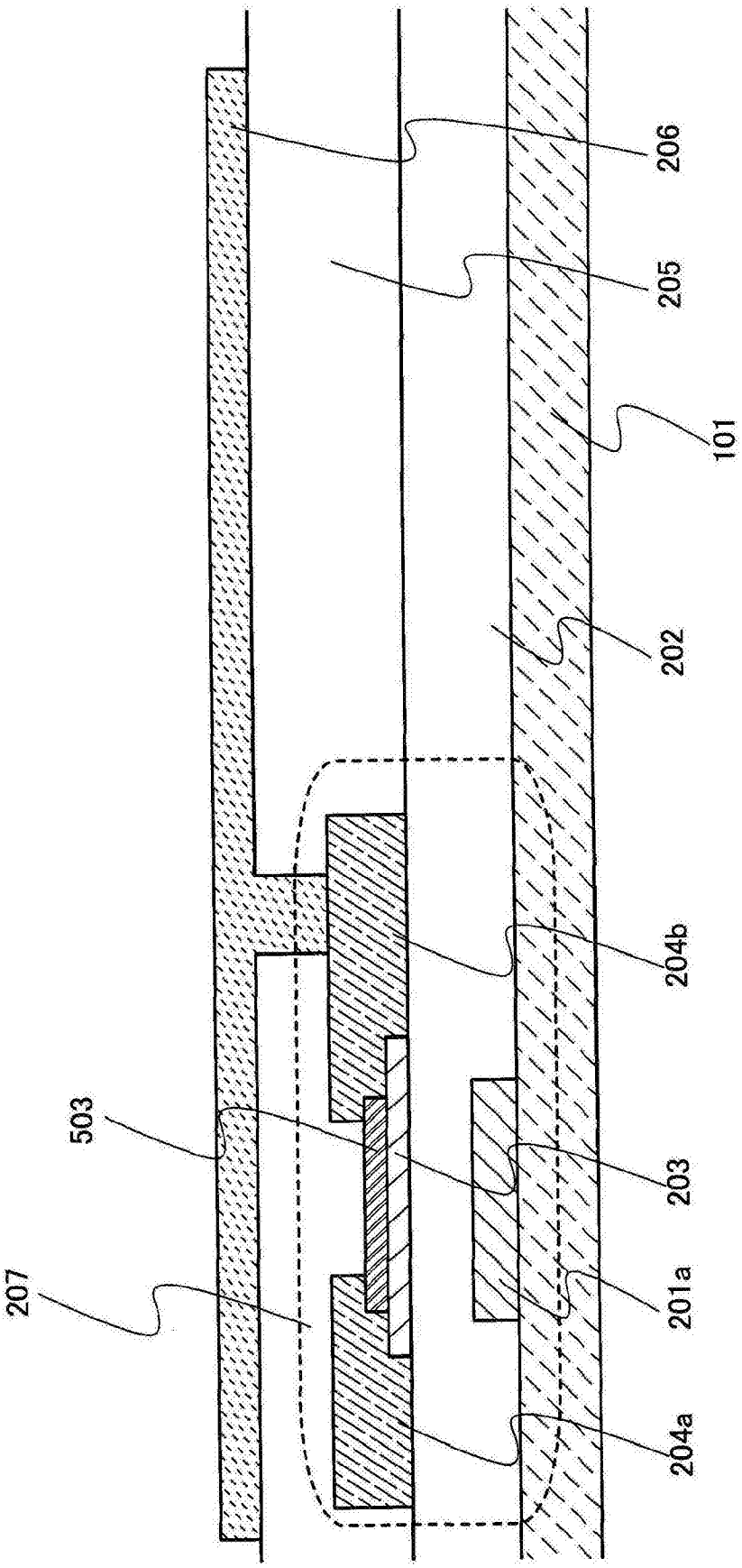


图5

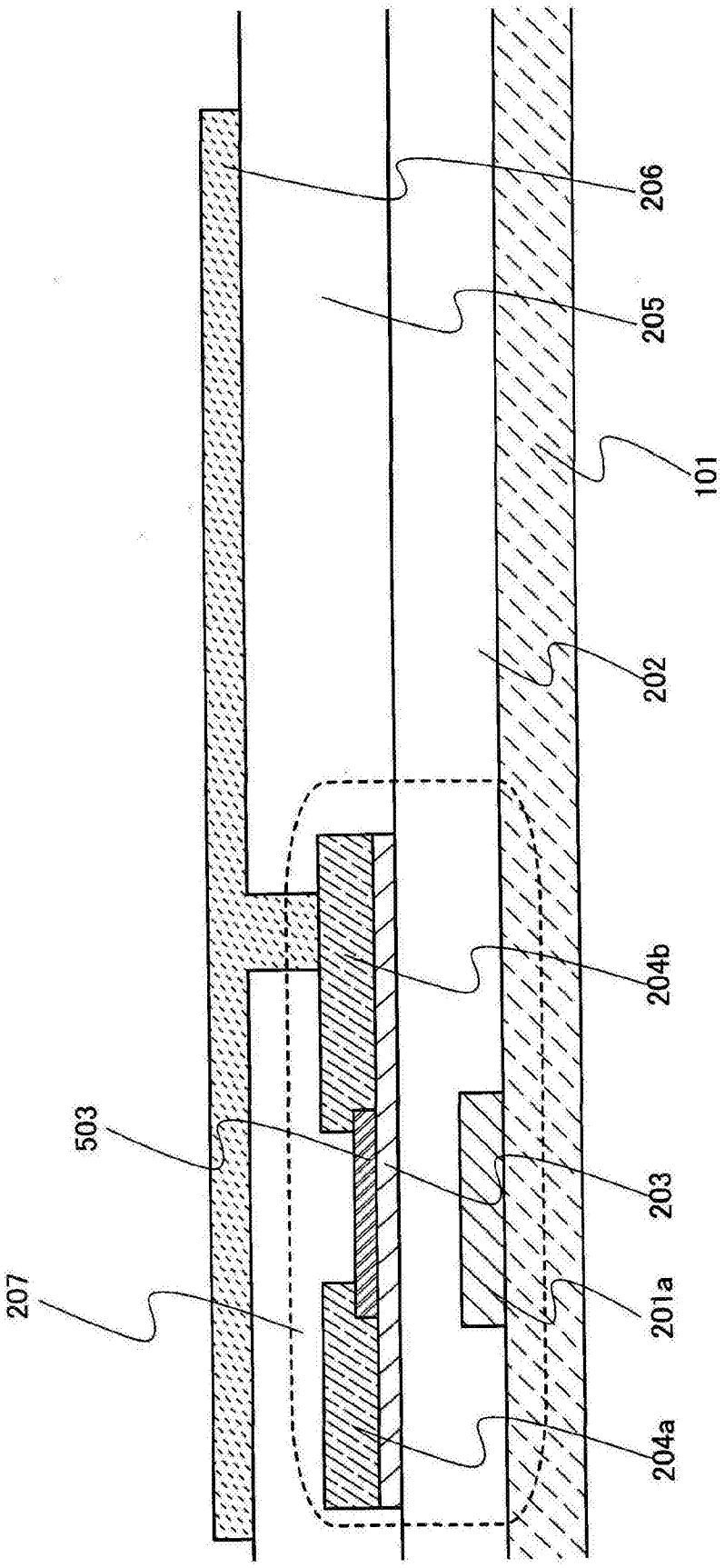


图6

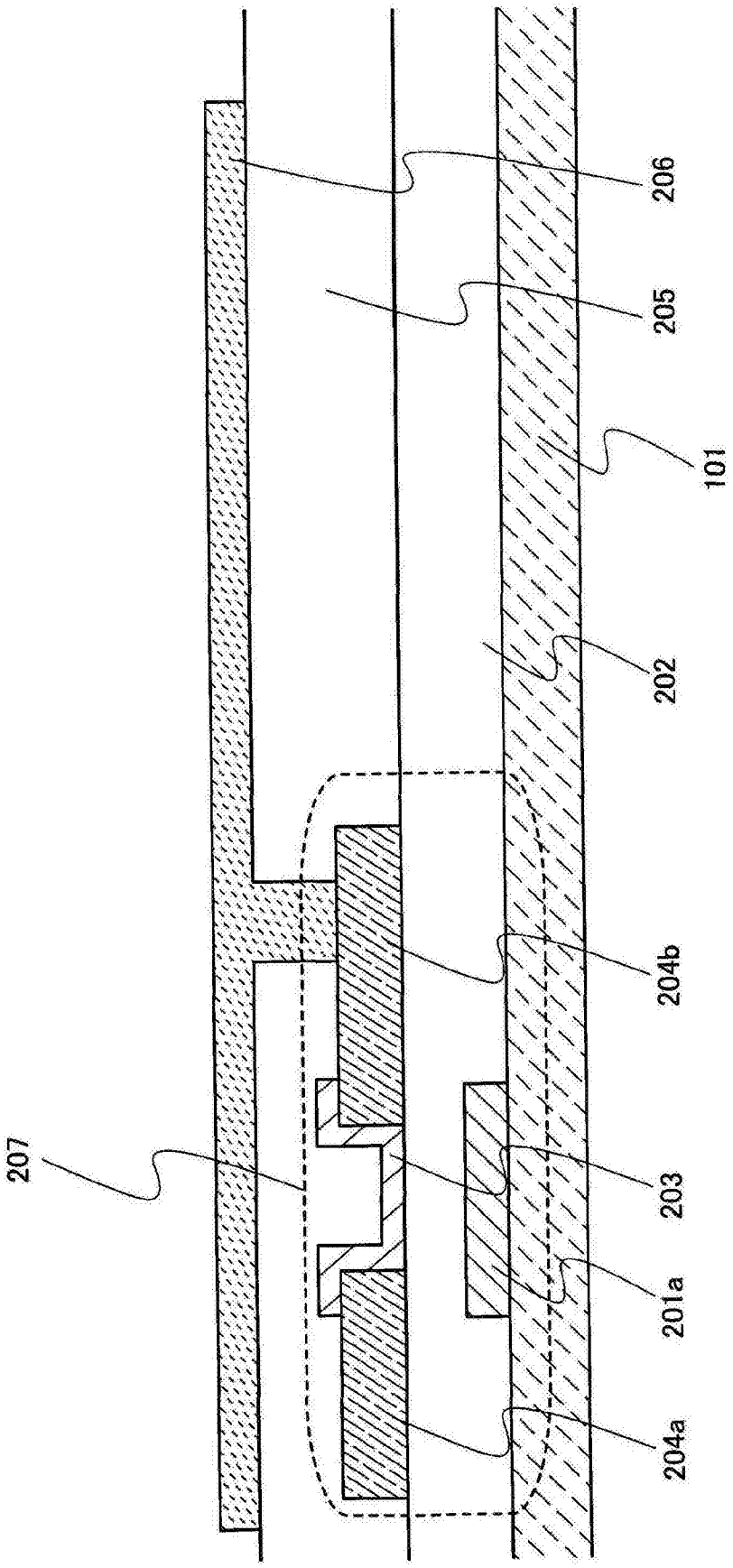


图7

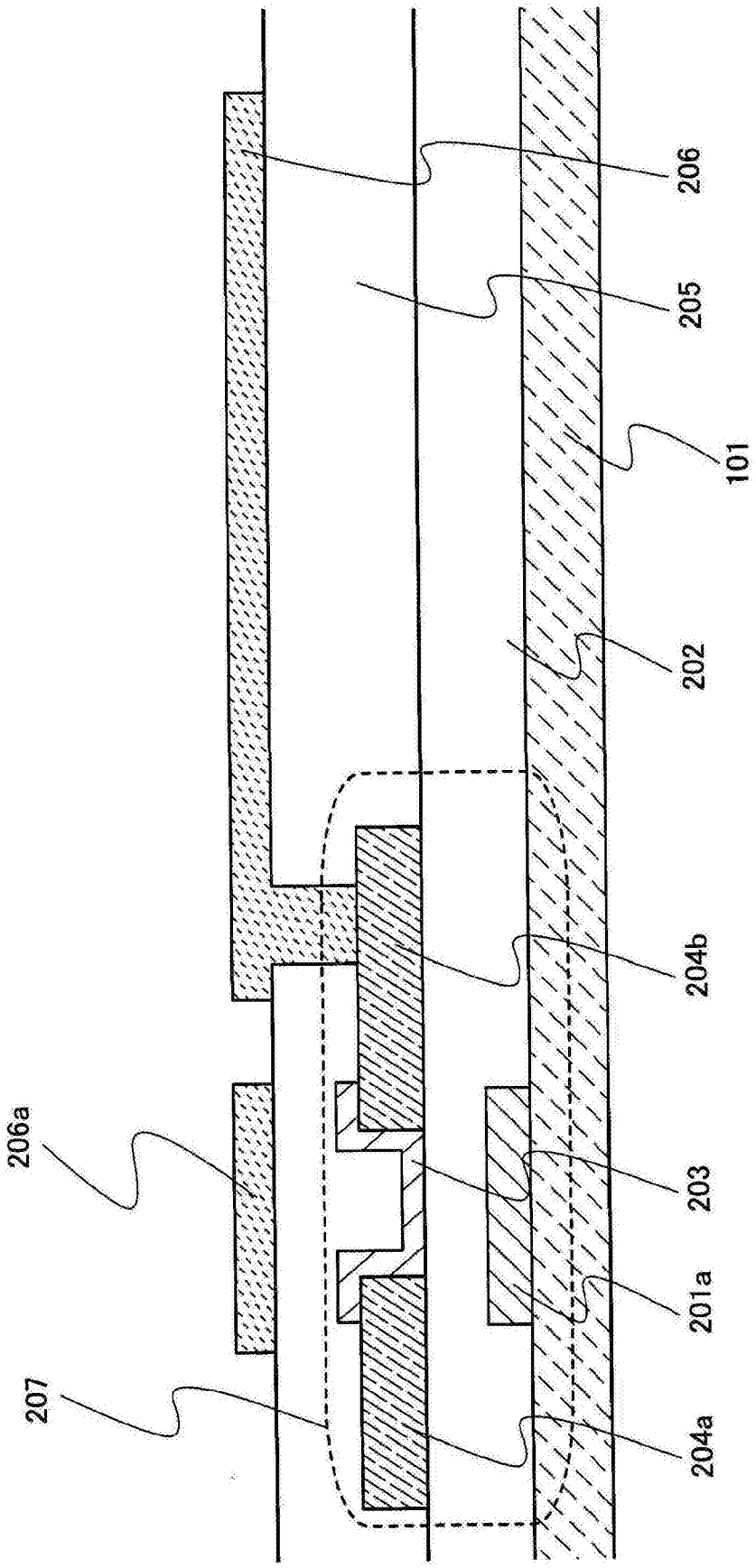


图8

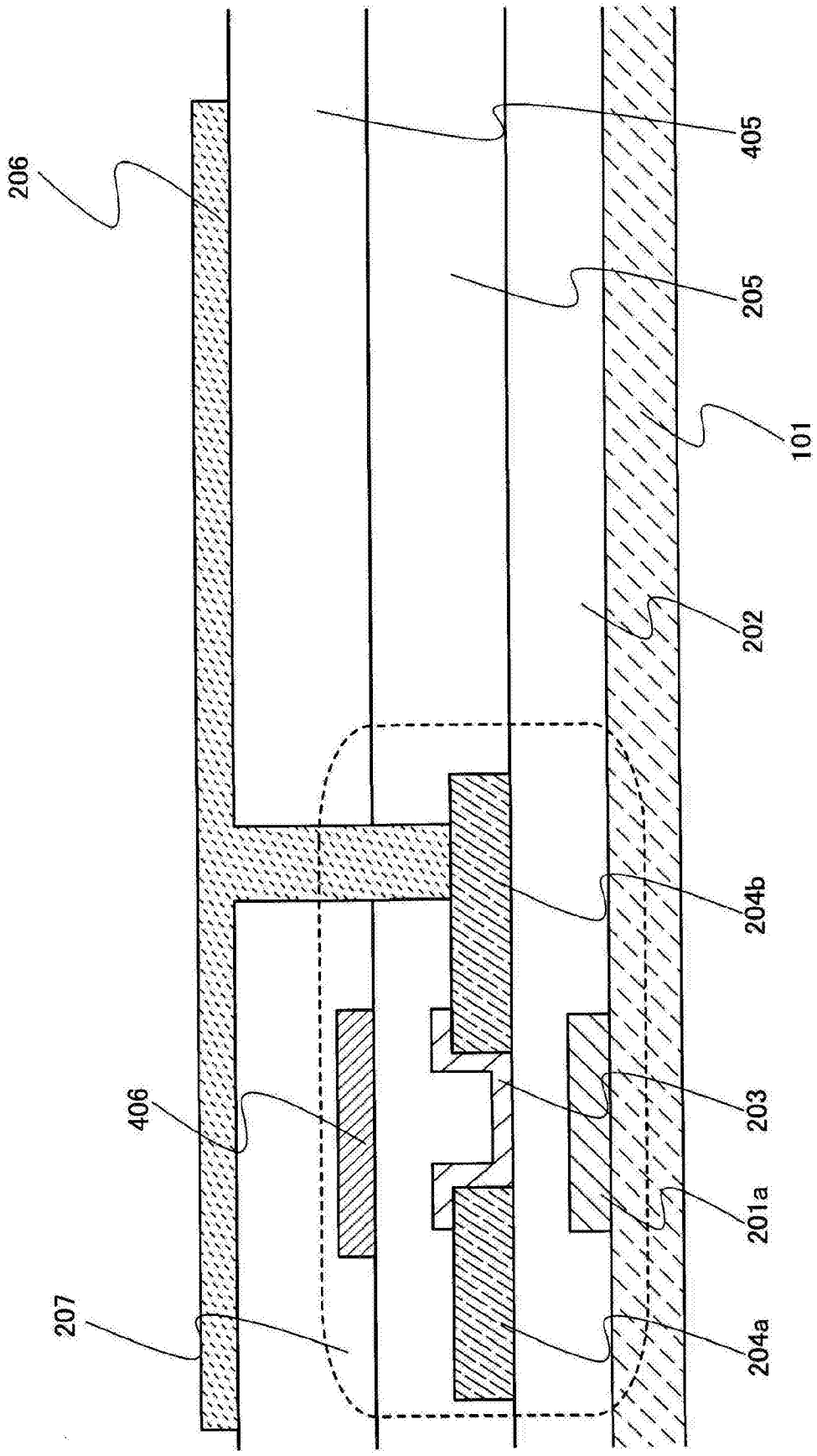


图9

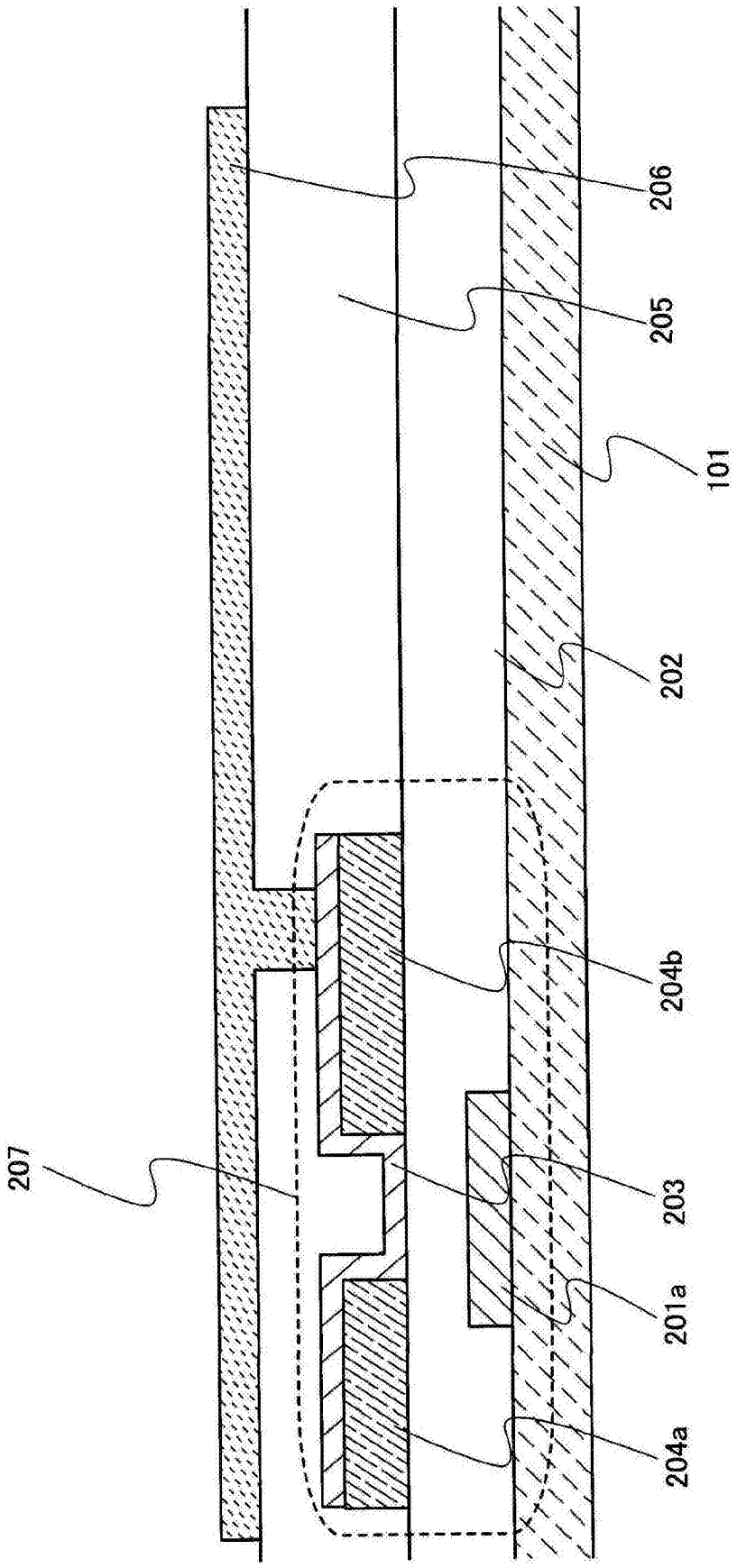


图10

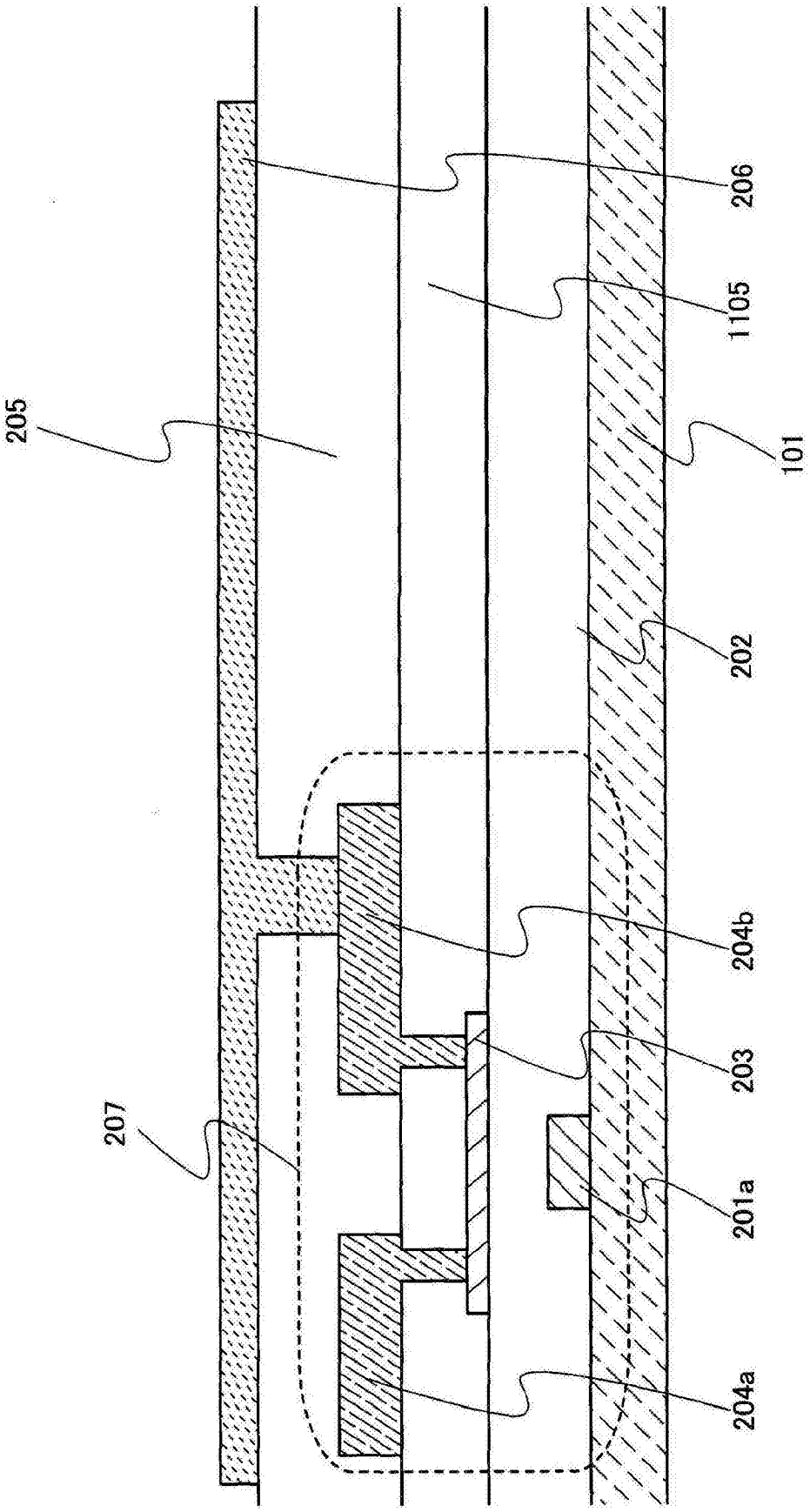


图11

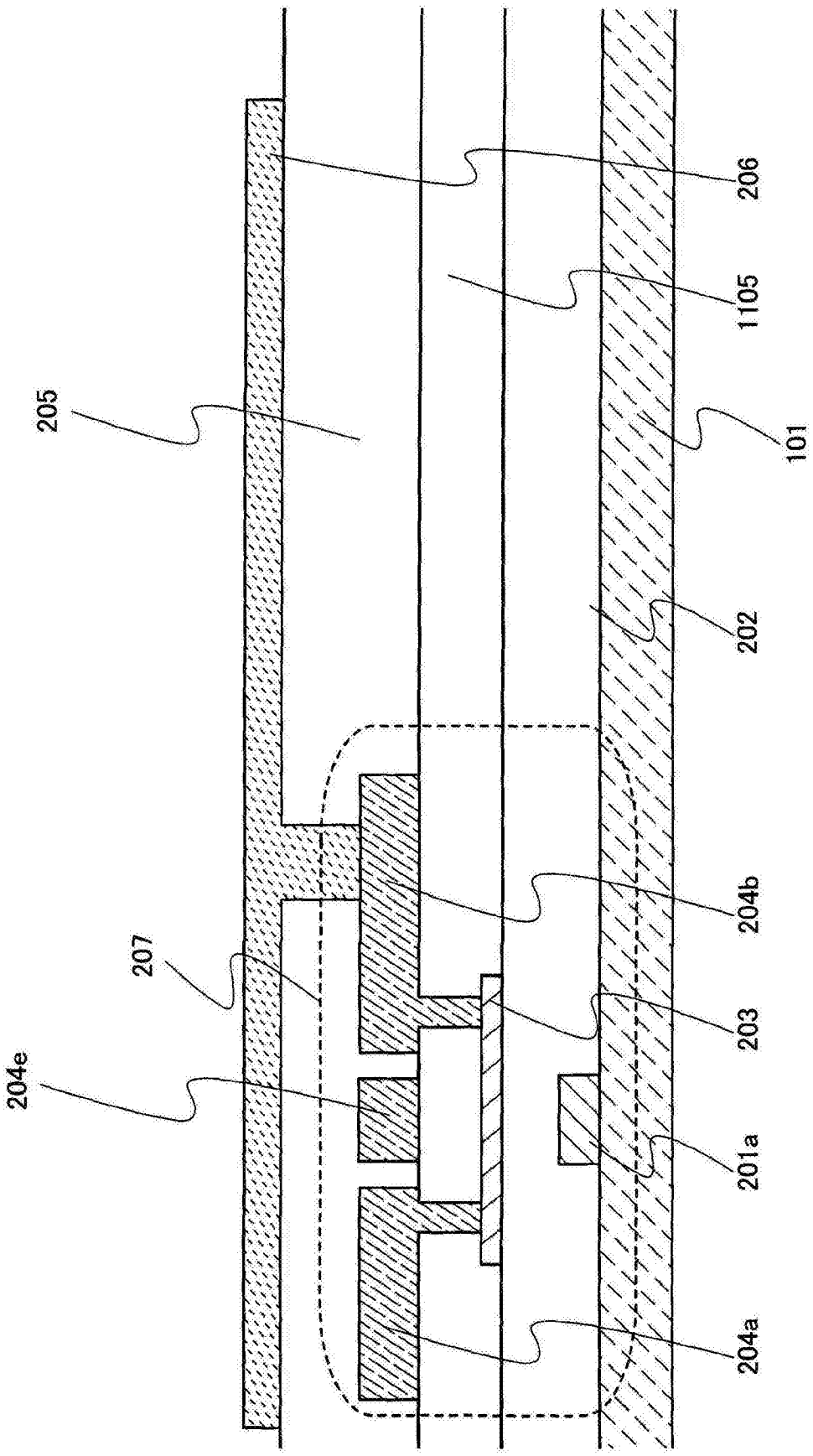


图12

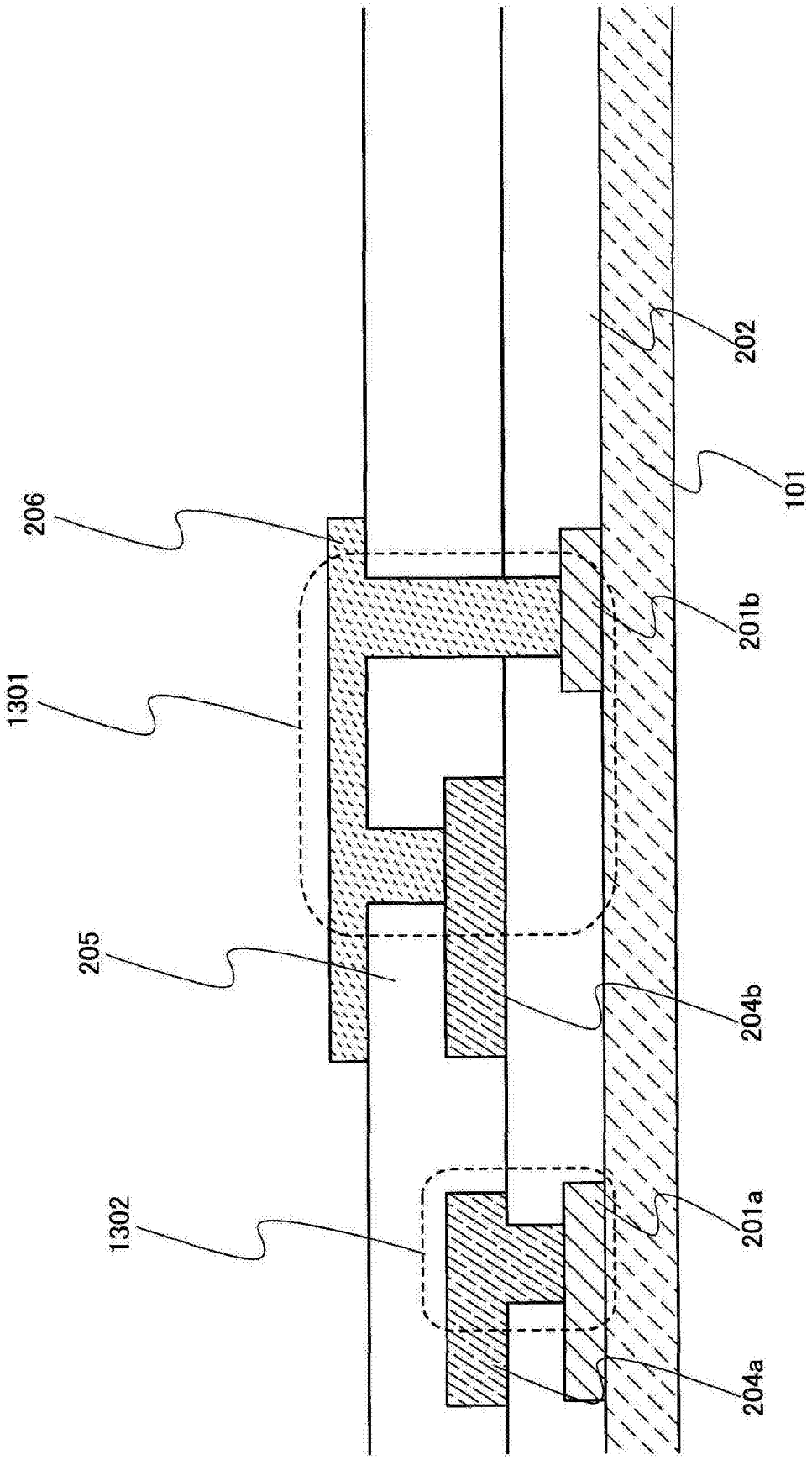


图13

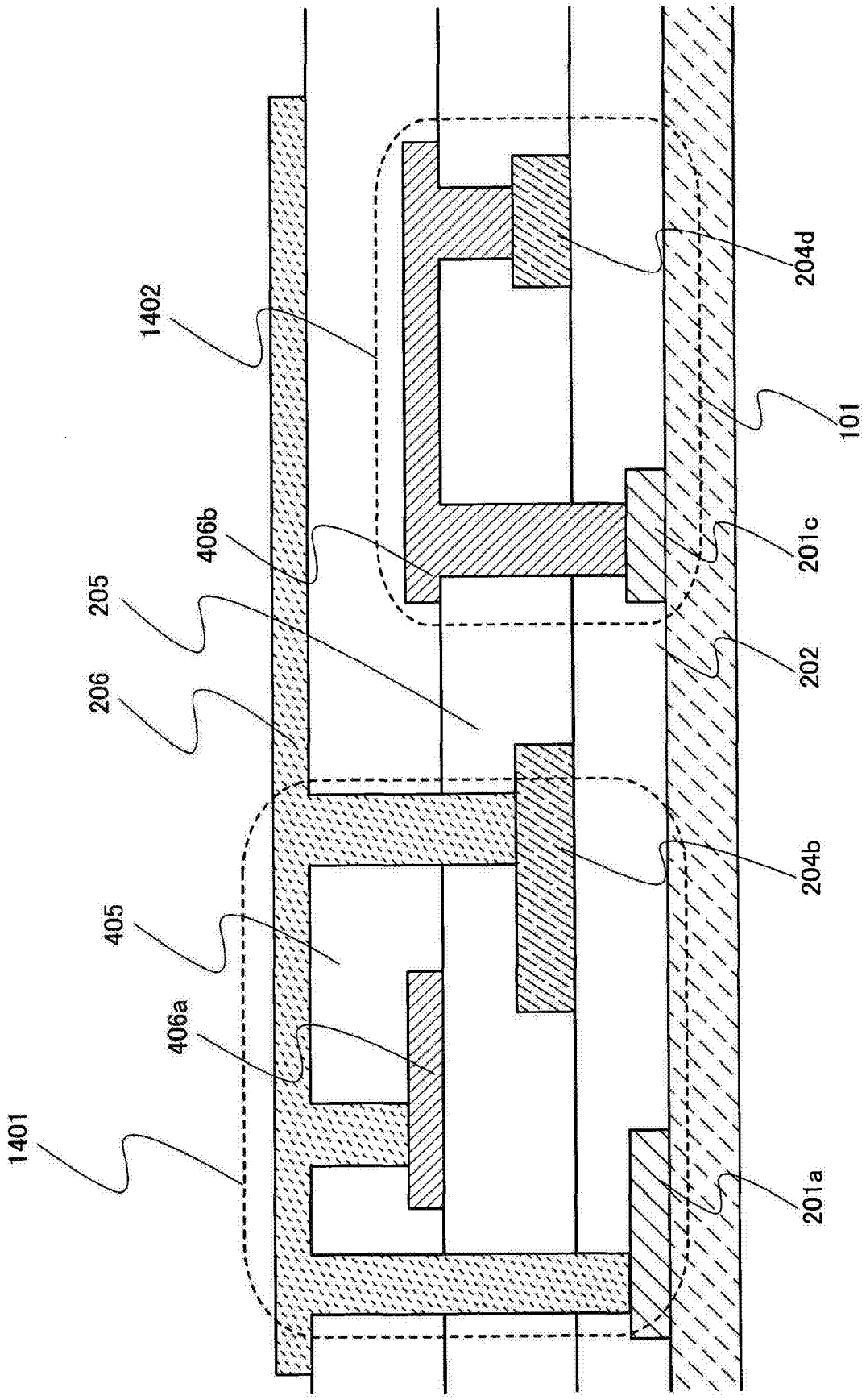


图14

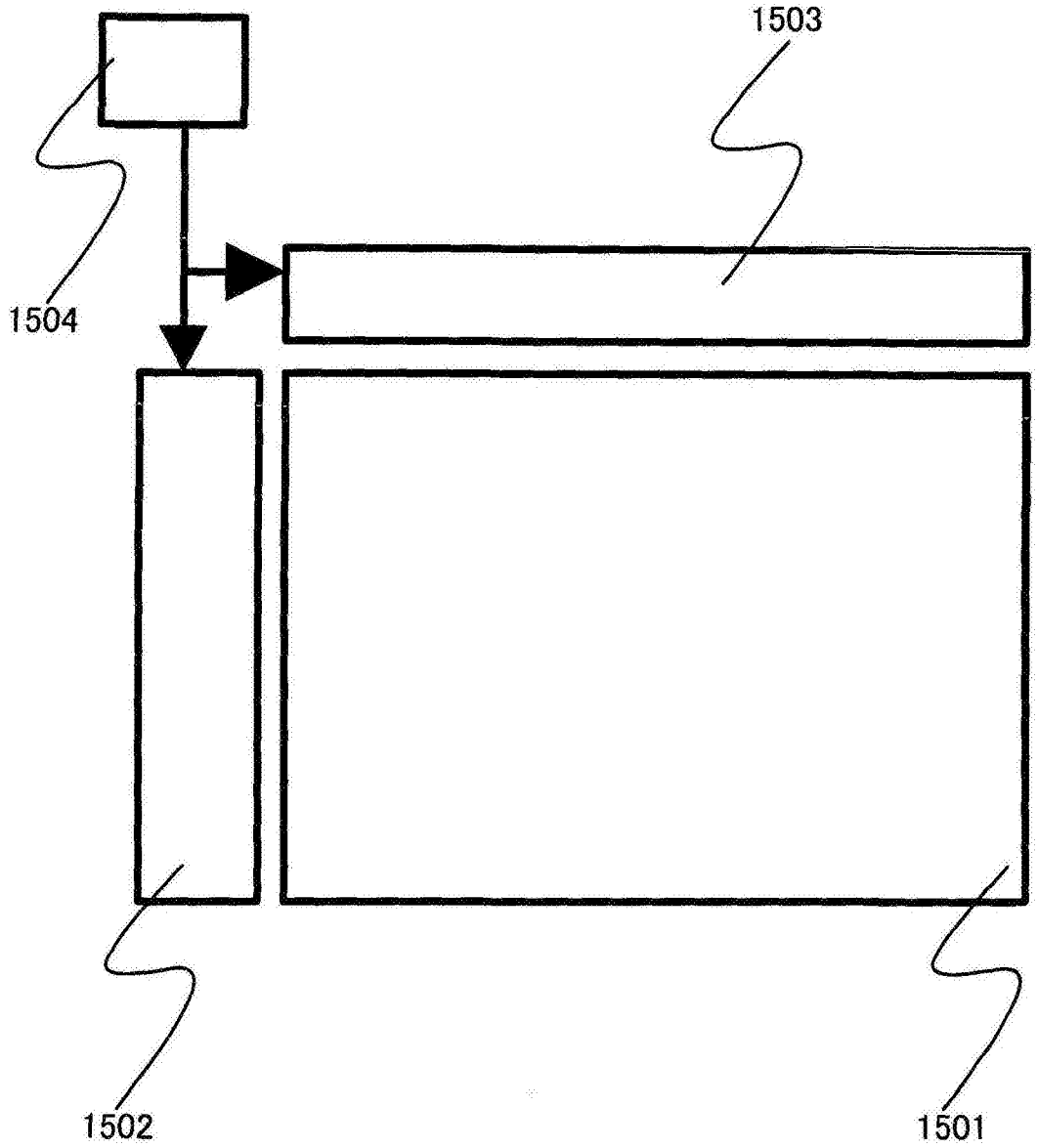


图15

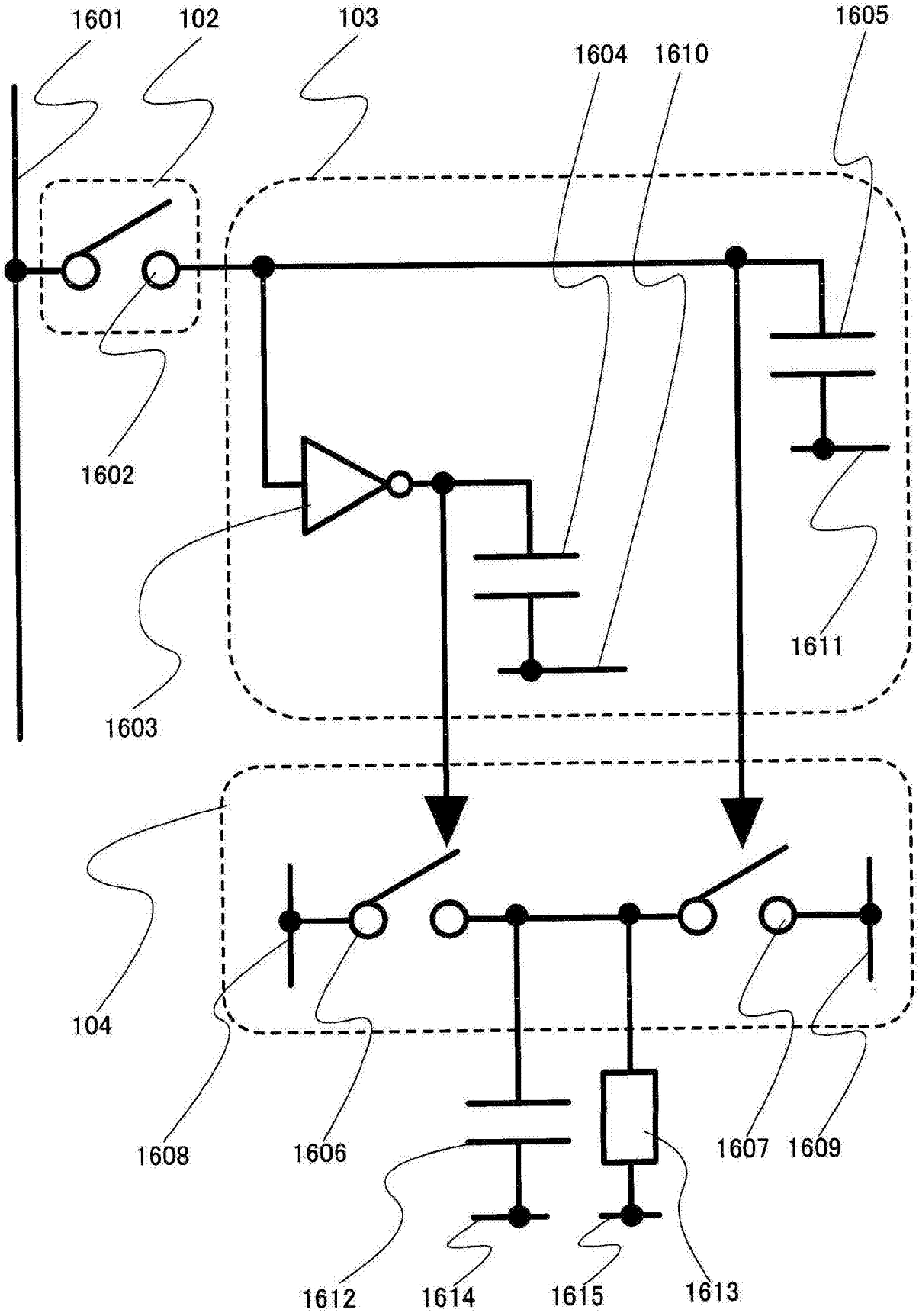

1601
102
103
1605
1604
1610
1602
1611
1603
104
1608
1606
1607
1609
1612
1614
1615
1613

图16

图17A

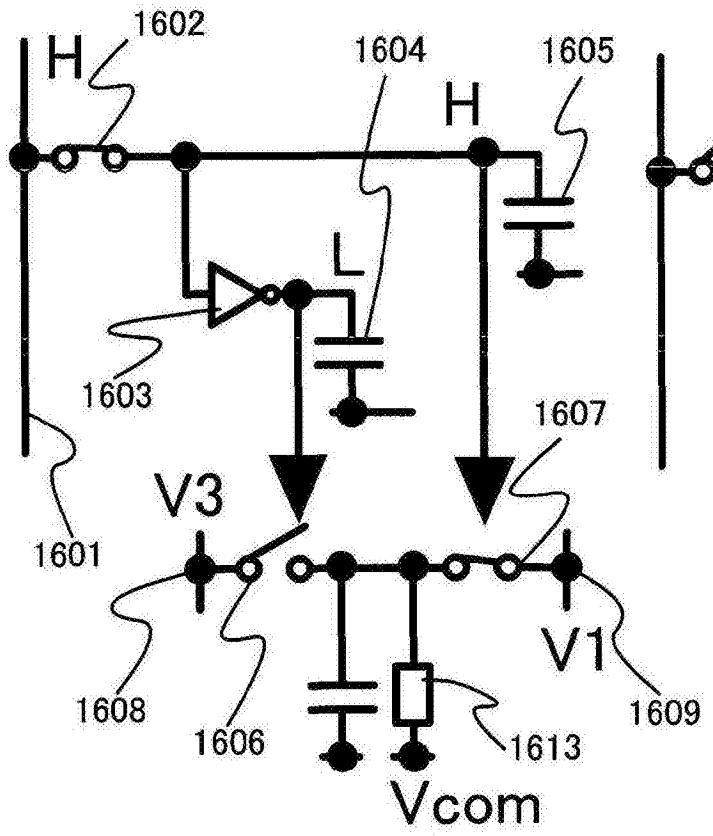
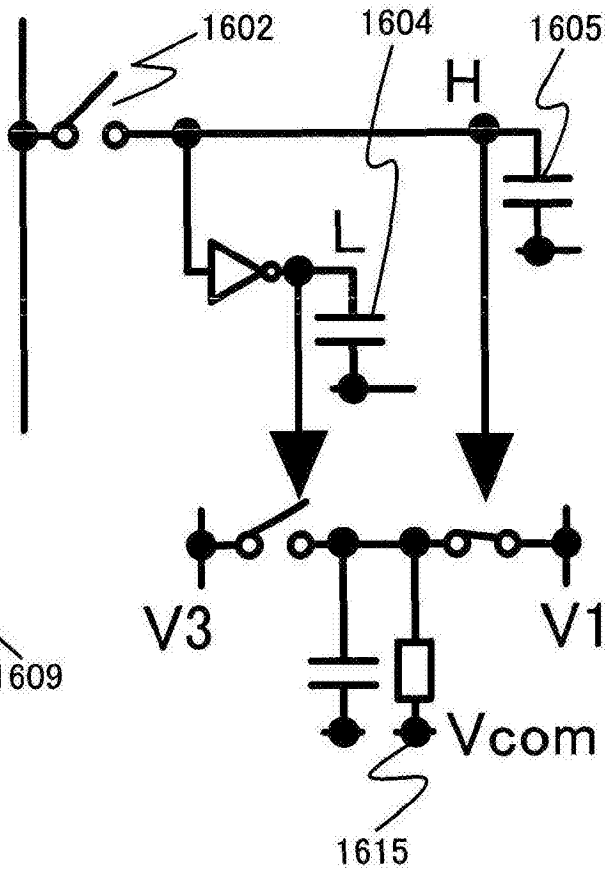

H
1602
1604
1605
H
L
1603
1607
V3
1601
1608
1606
V1
1609
1613
Vcom

图17B


1602
1604
1605
H
L
V3
V1
Vcom
1615

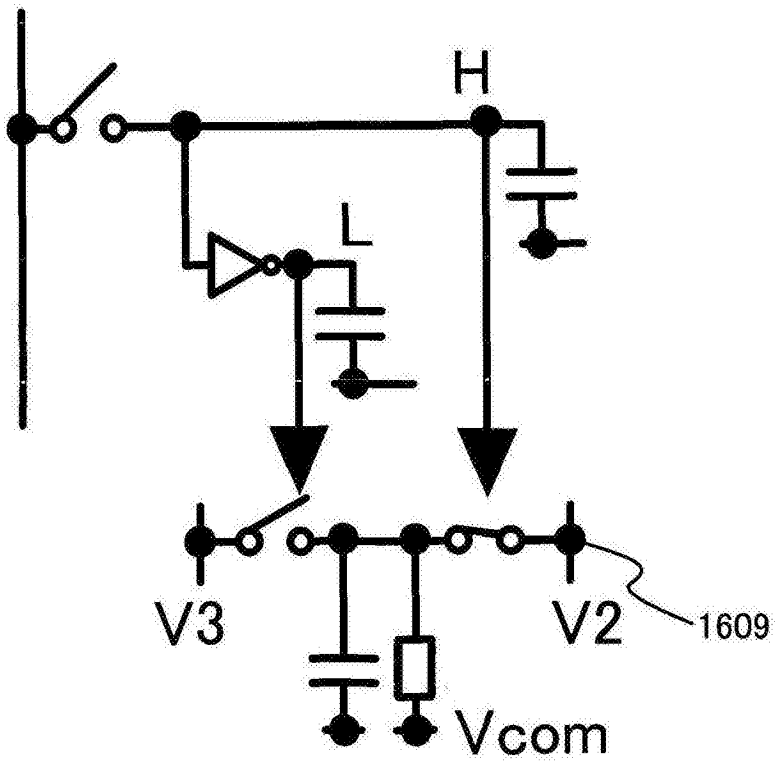


图17C

图18A

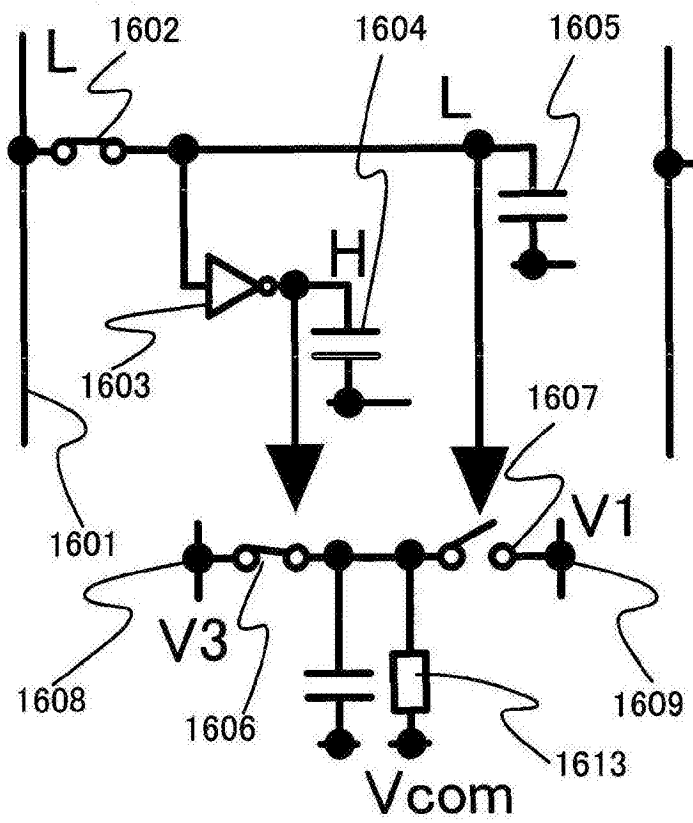
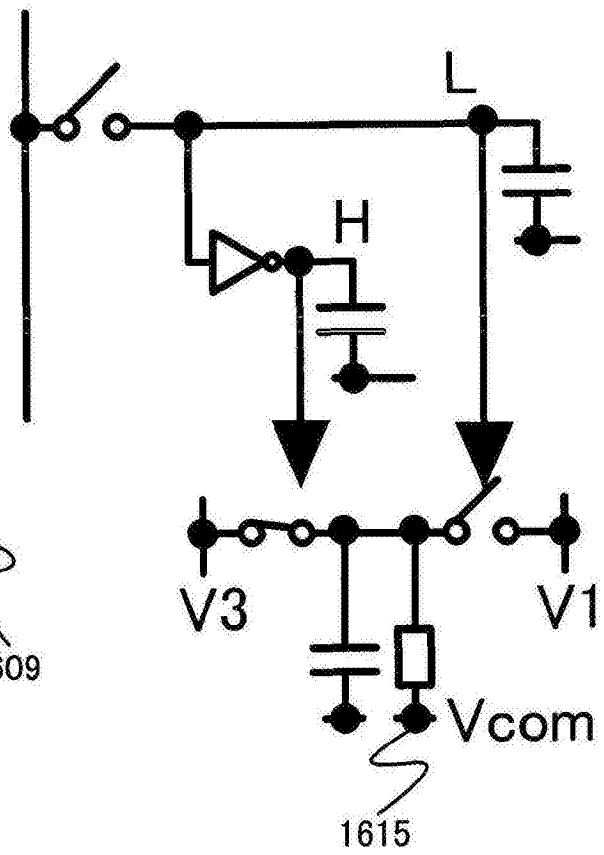

L
1602
1604
1605
L
H
1603
1607
1601
V1
V3
1608
1606
1609
1613
Vcom

图18B


L
H
V3
V1
Vcom
1615

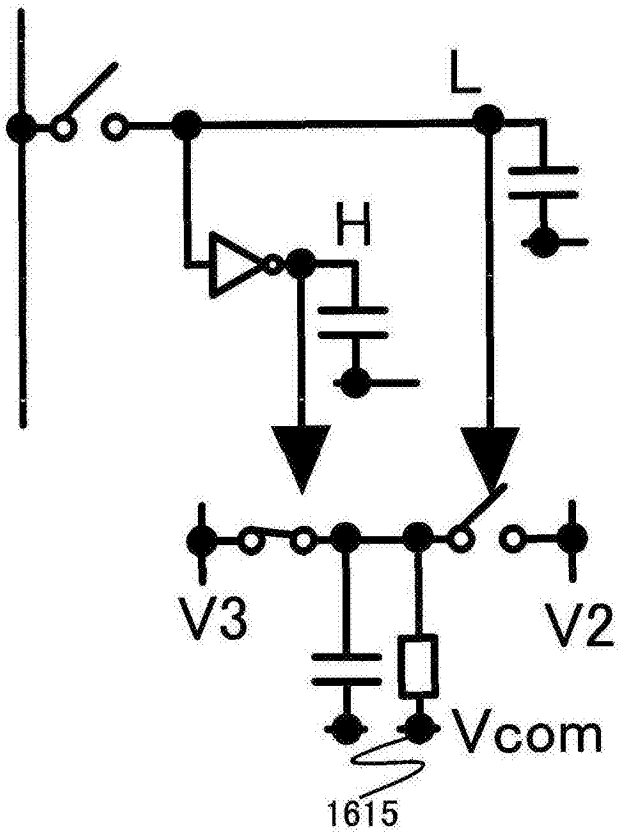


图18C

图19A

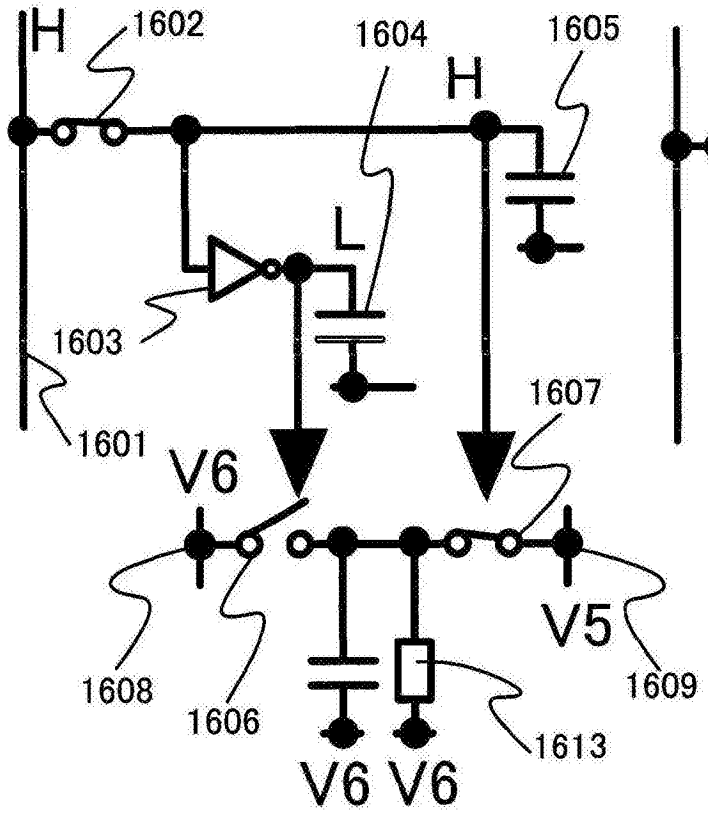
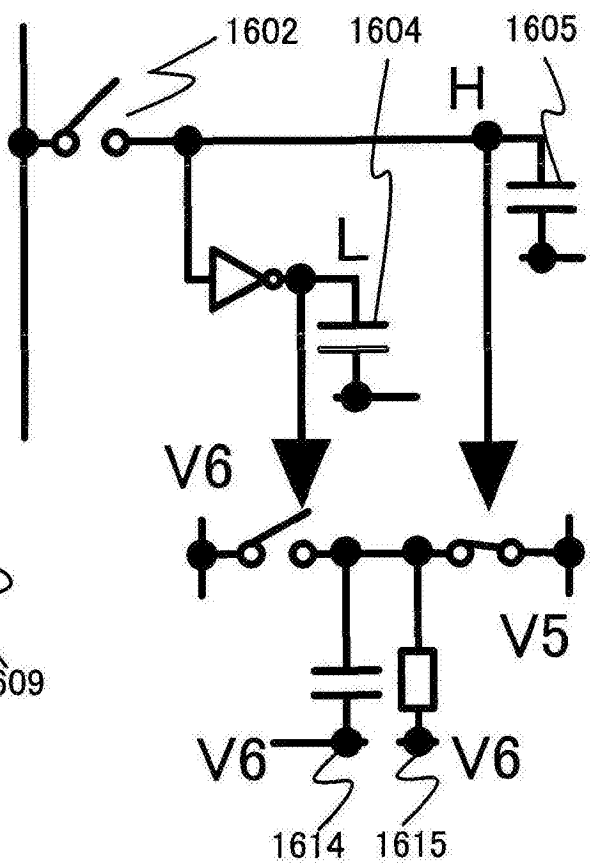

H
1602
1604
1605
H
L
1603
1601
1607
V6
V5
1608
1606
1609
1613
V6 V6

图19B


1602
1604
1605
H
L
V6
V5
V6
V6
1614
1615

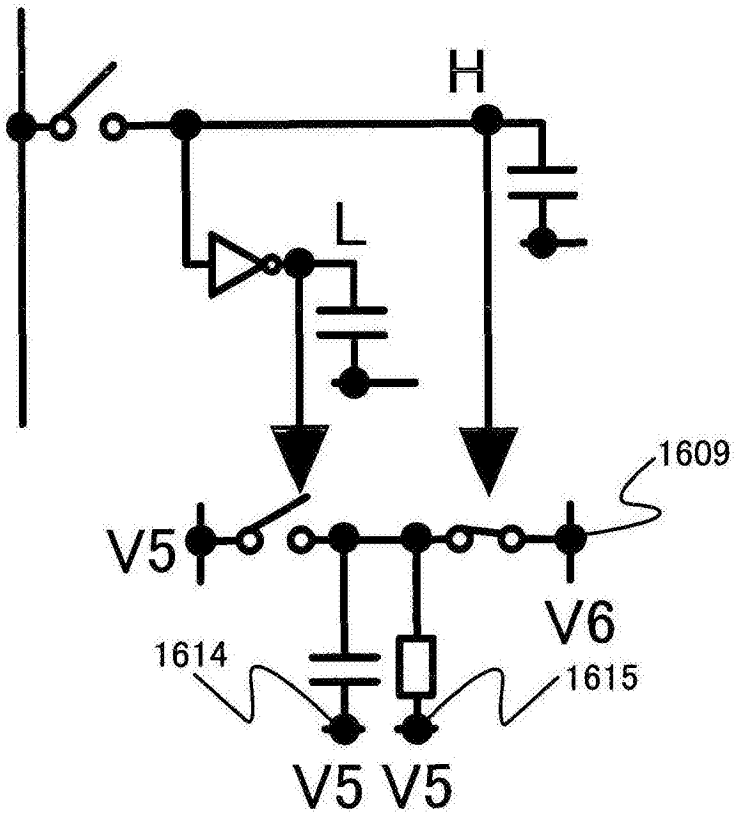


图19C

图20A

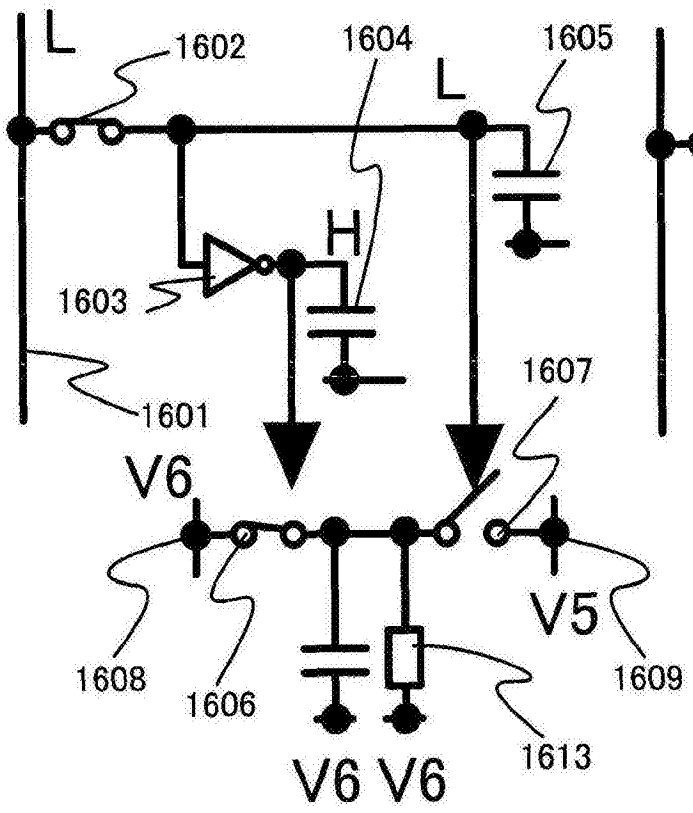
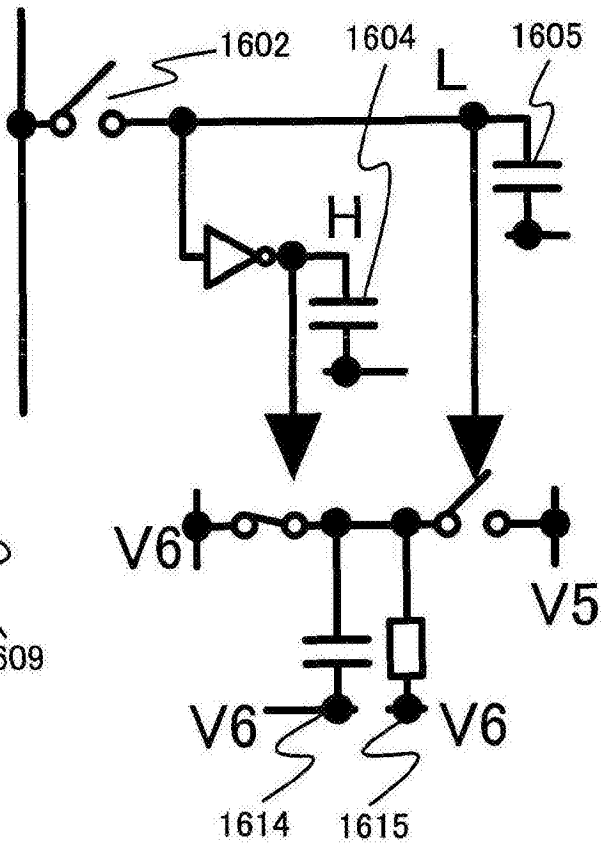

L
1602
1604
L
1605
H
1603
1601
1607
V6
V5
1608
1606
1609
1613
V6 V6

图20B


1602
1604
L
1605
H
V6
V5
V6
V6
1614
1615

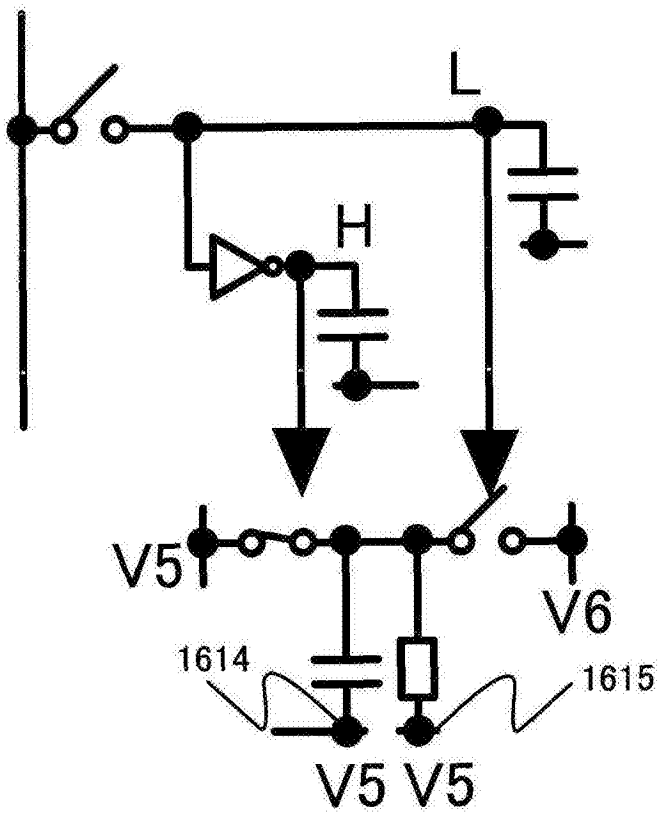


图20C

图21A

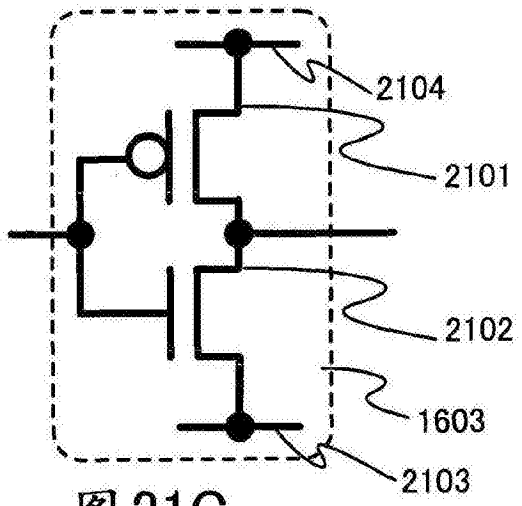


图21B

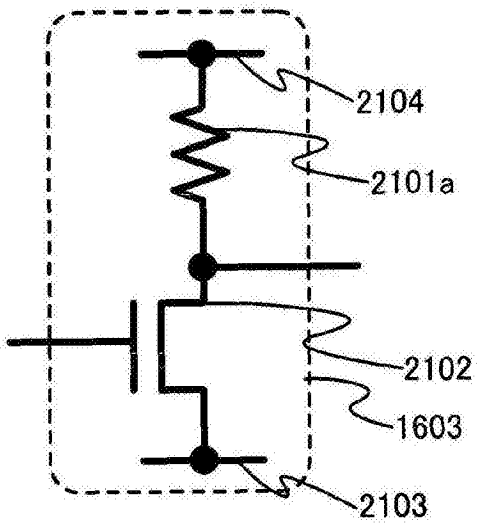


图21C

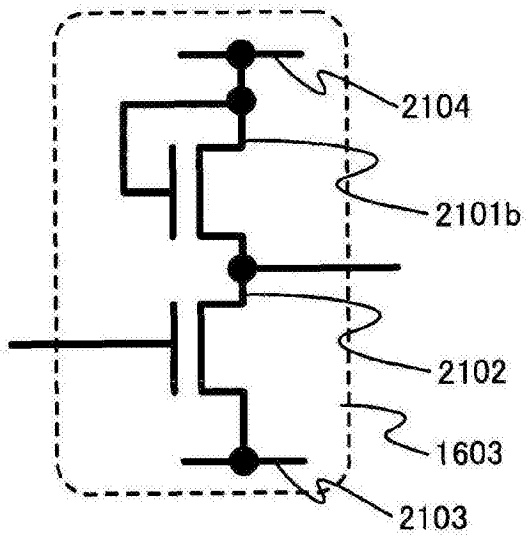


图21D

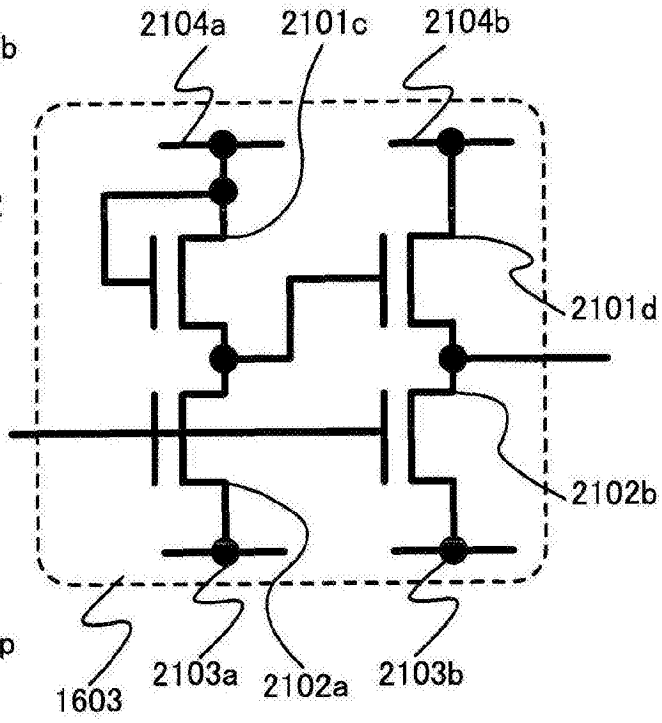
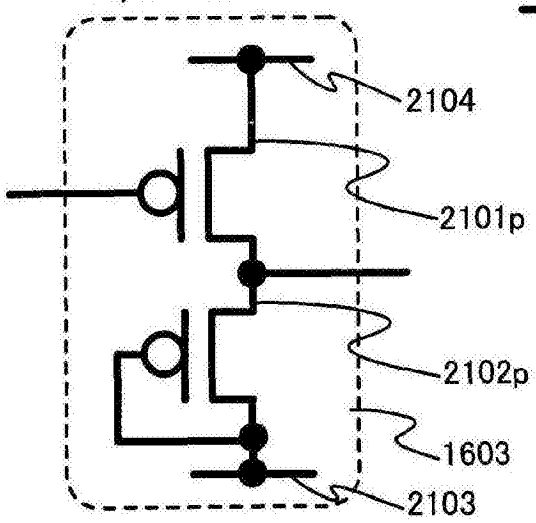


图21E



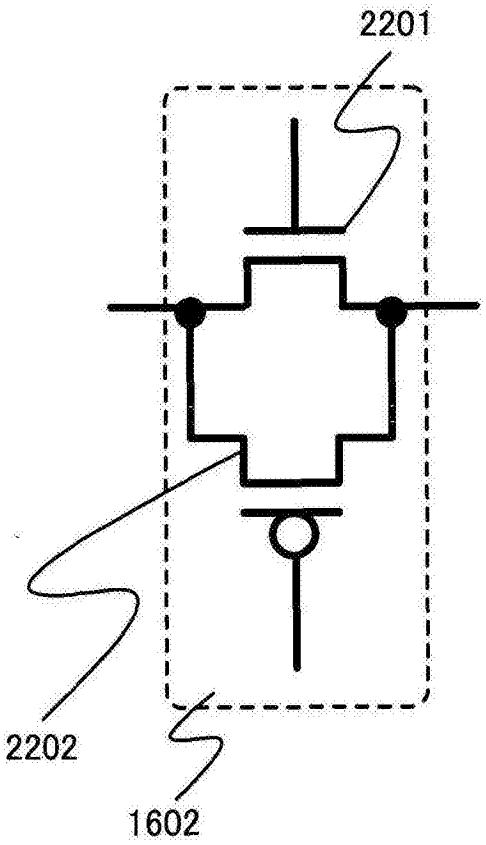


图22A

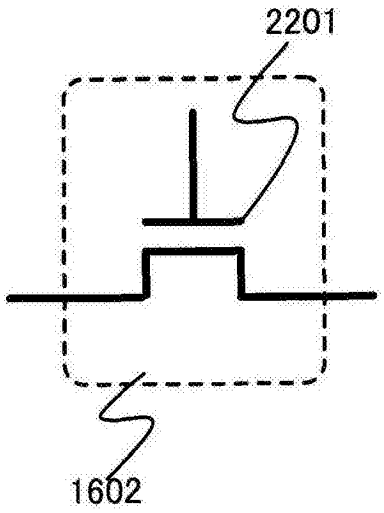


图22B

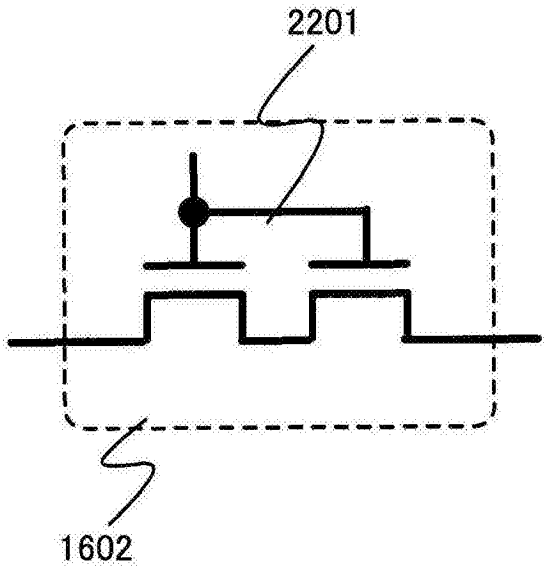


图22C

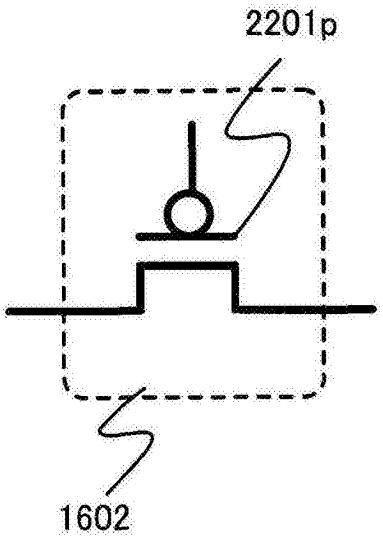


图22D

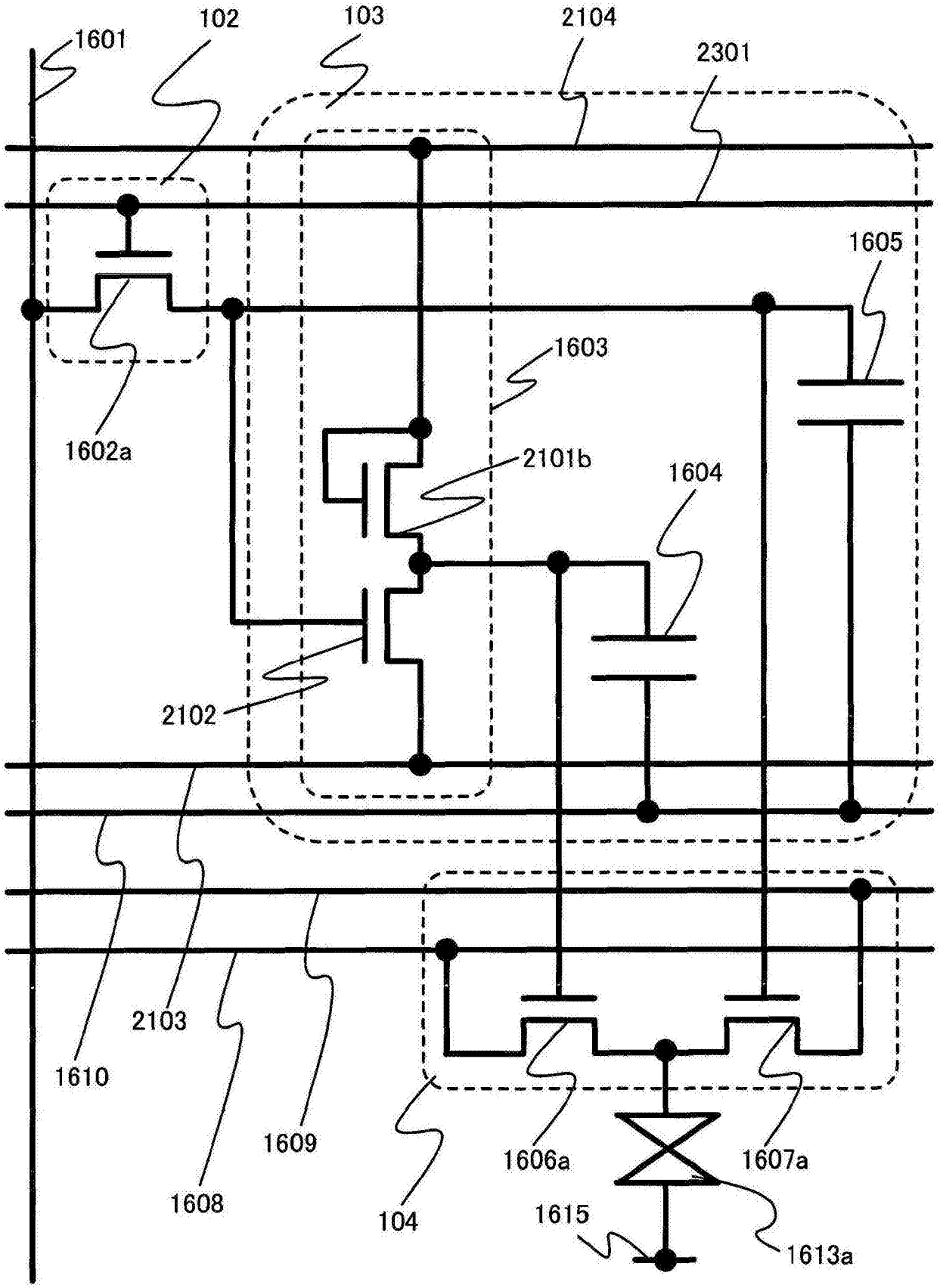

1601
102
103
2104
2301
1605
1603
1602a
2101b
1604
2102
2103
1610
1609
1608
104
1606a
1607a
1615
1613a

图23

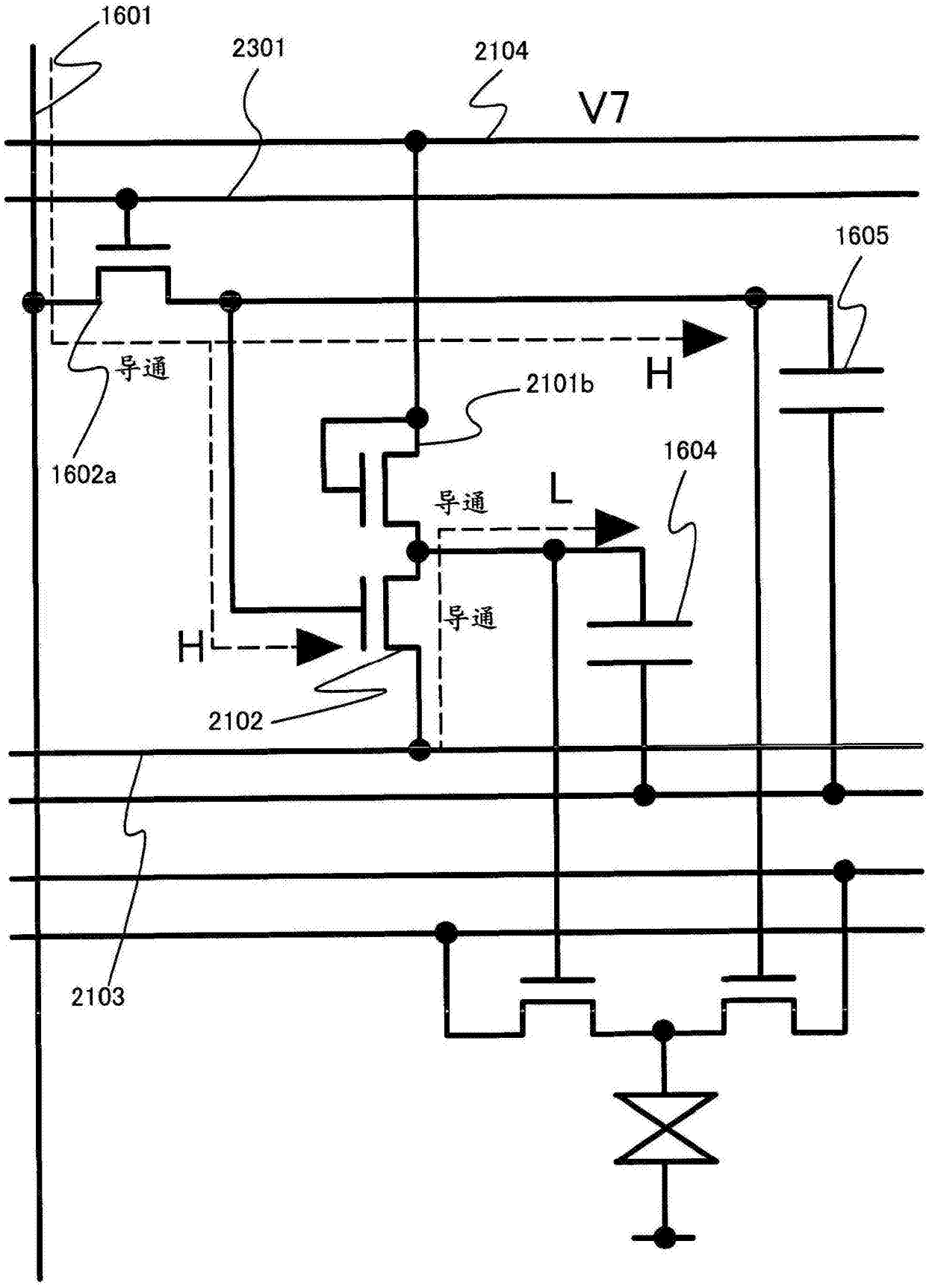


图24

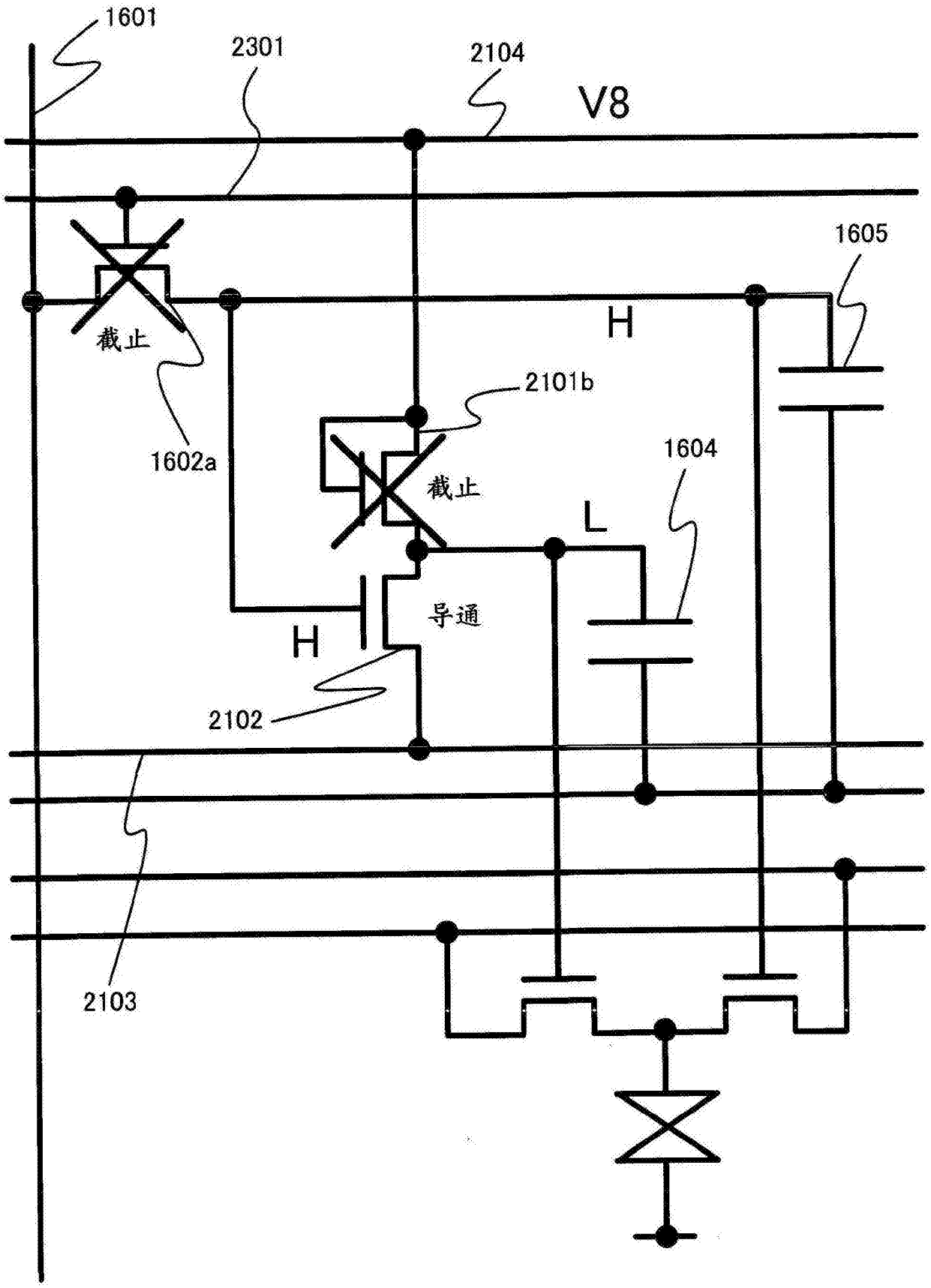


图25

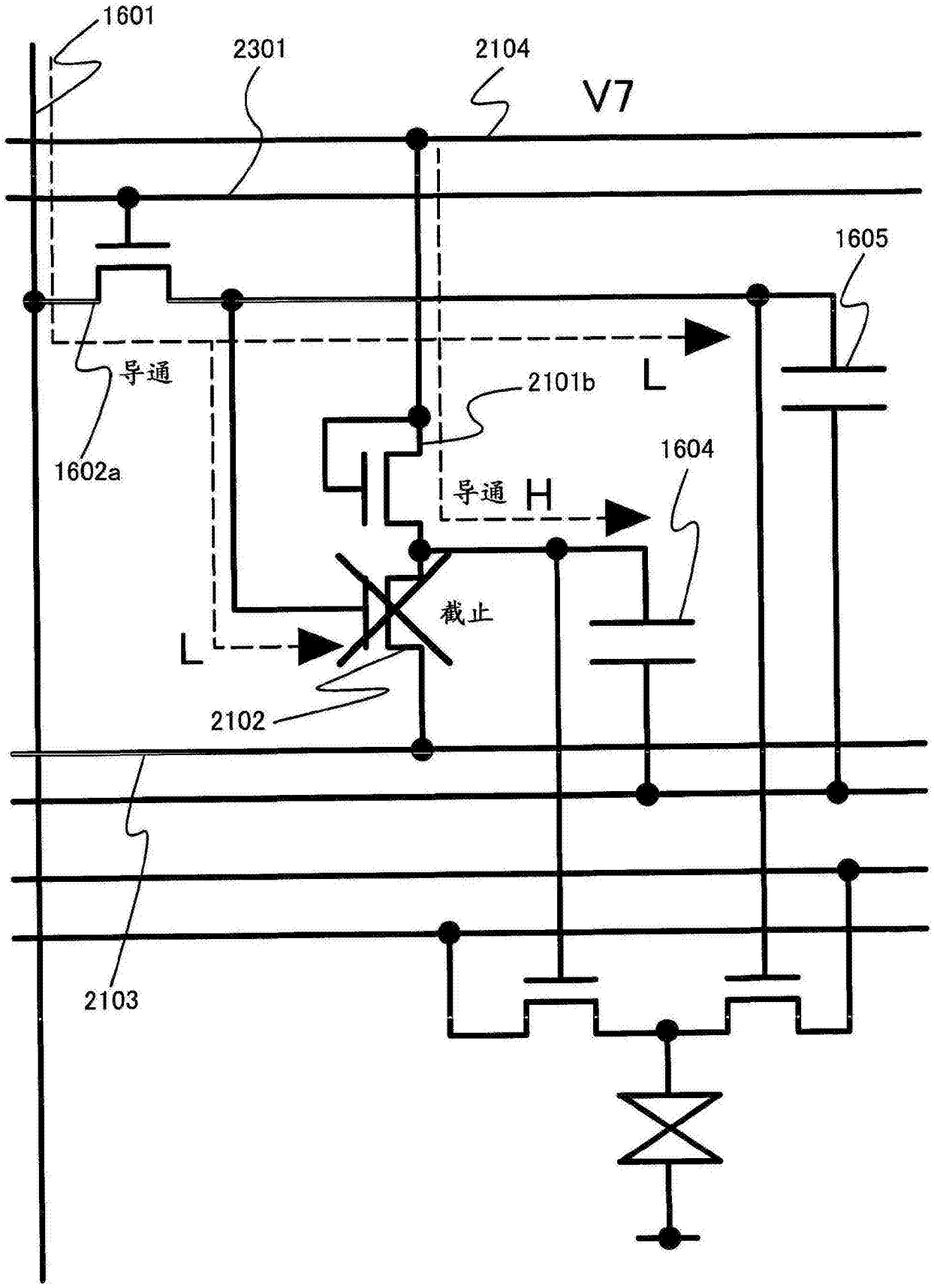


图26

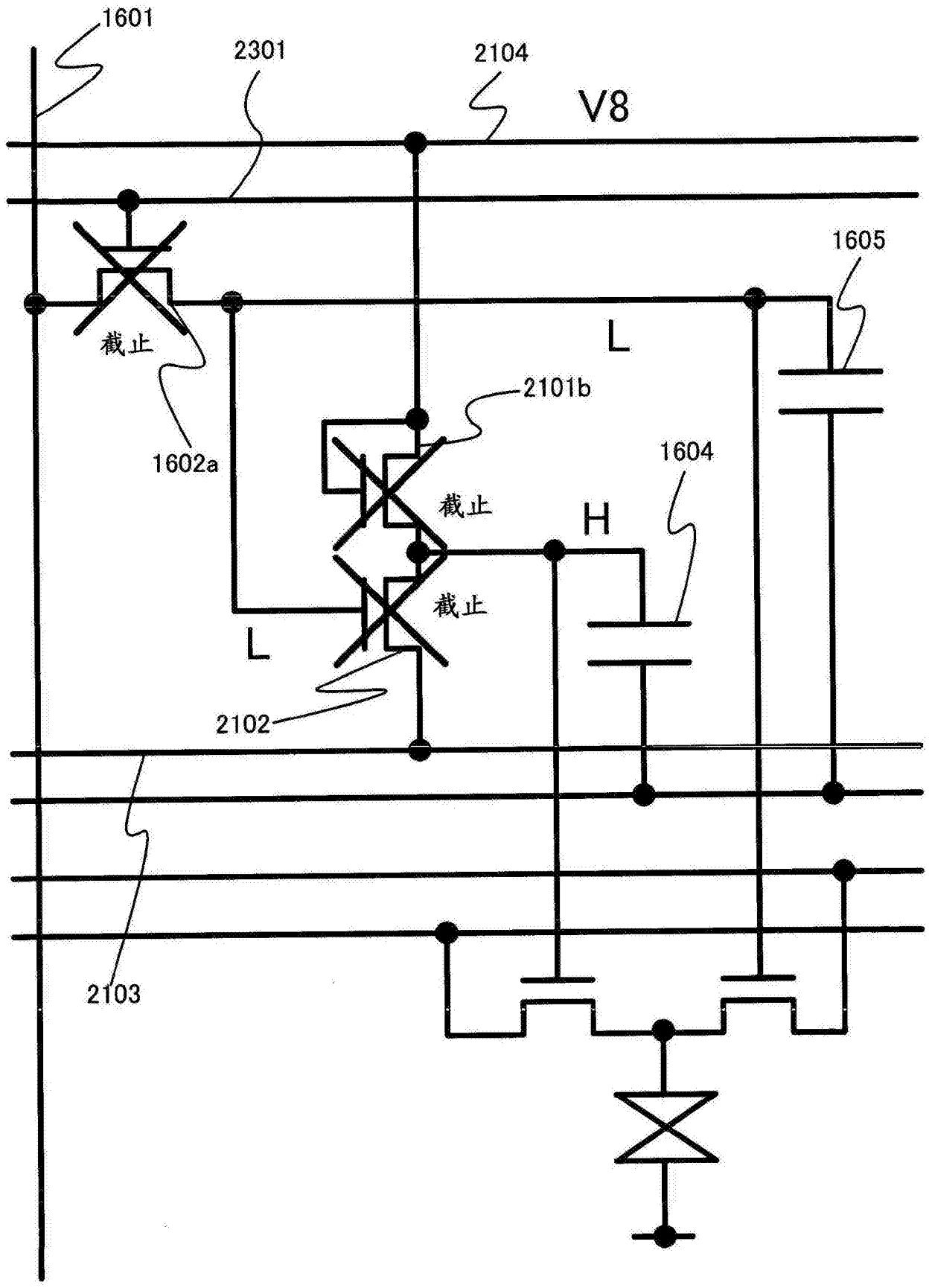


图27

图28A

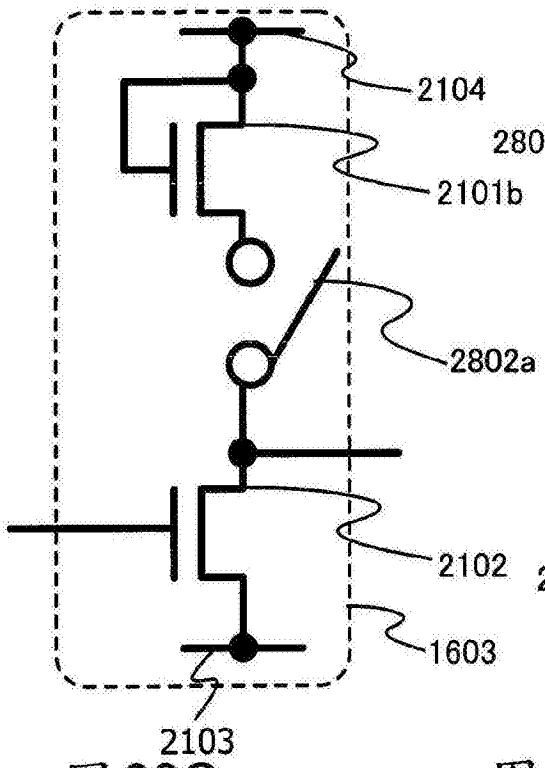


图28B

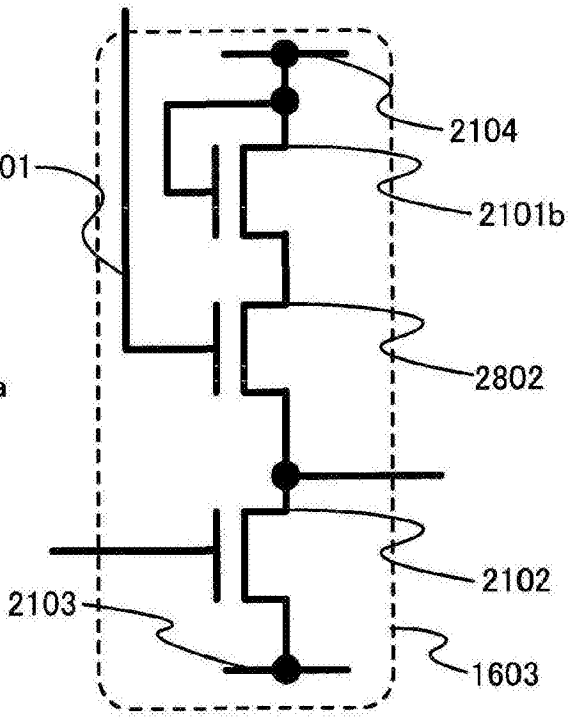


图28C

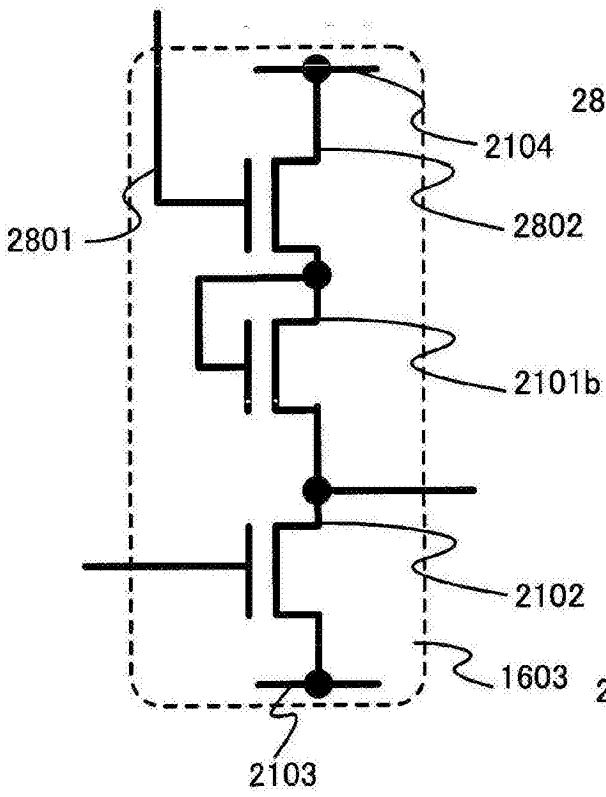
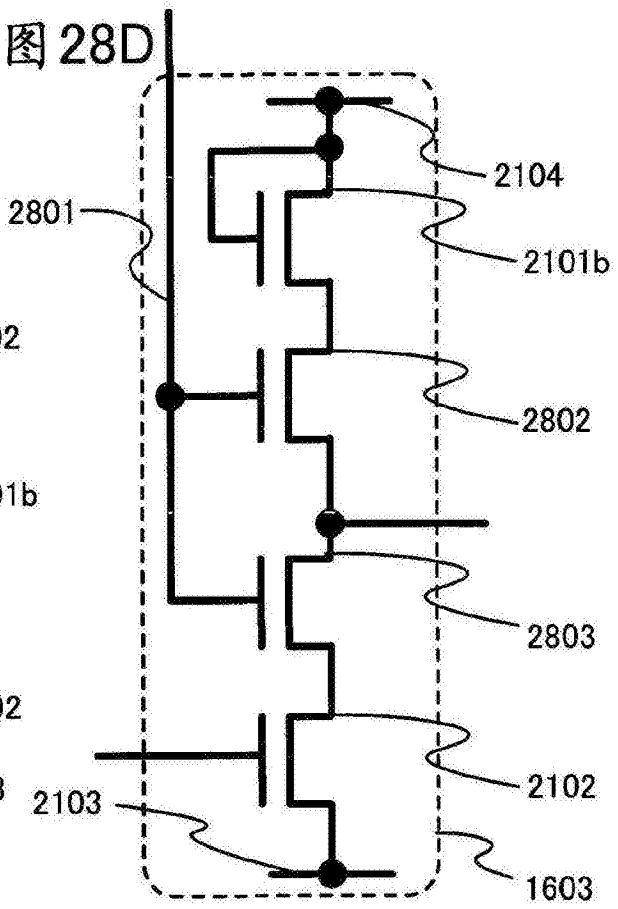


图28D



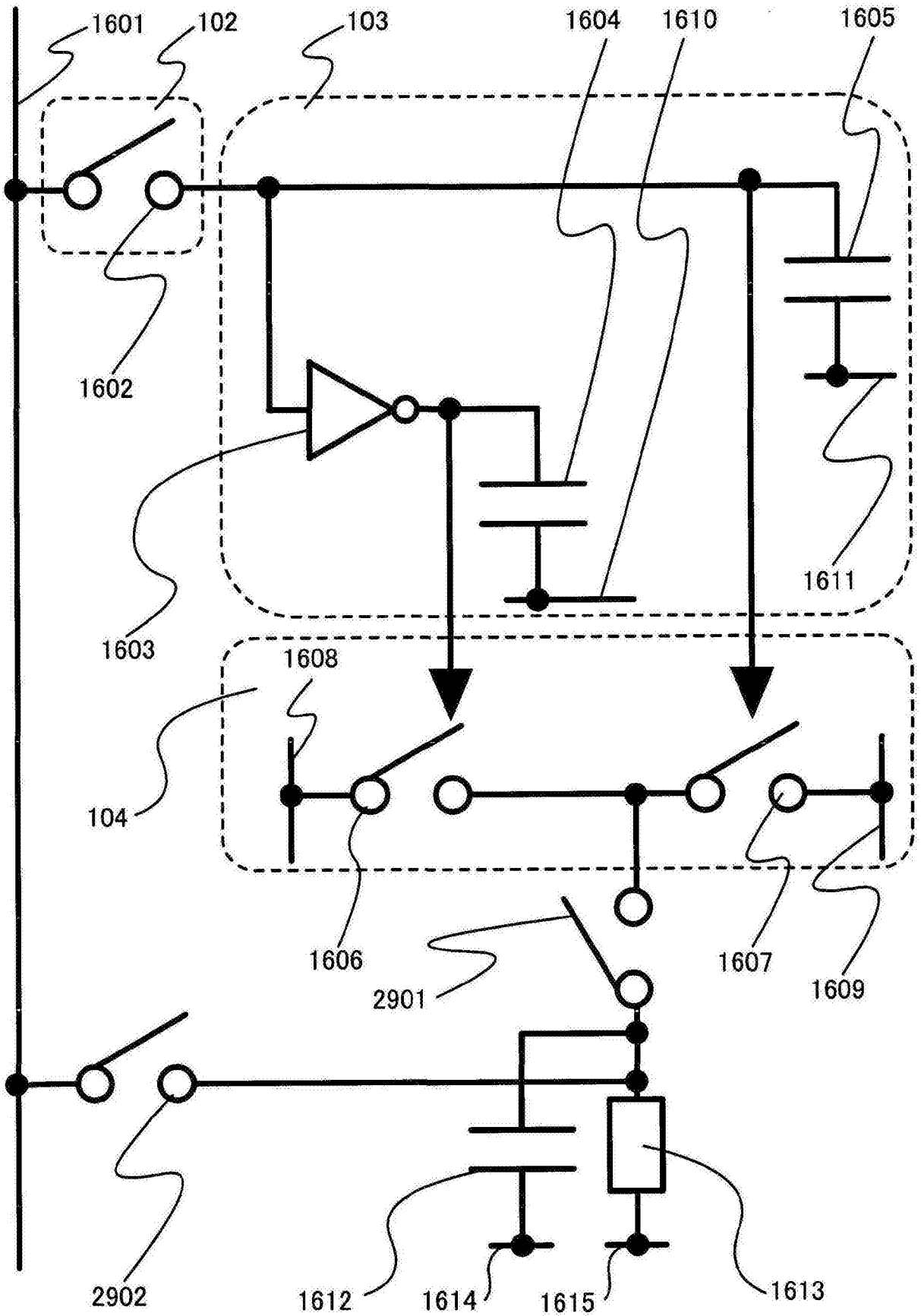

1601
102
103
1604
1610
1605
1602
1603
1611
1608
104
1606
2901
1607
1609
2902
1612
1614
1615
1613

图29

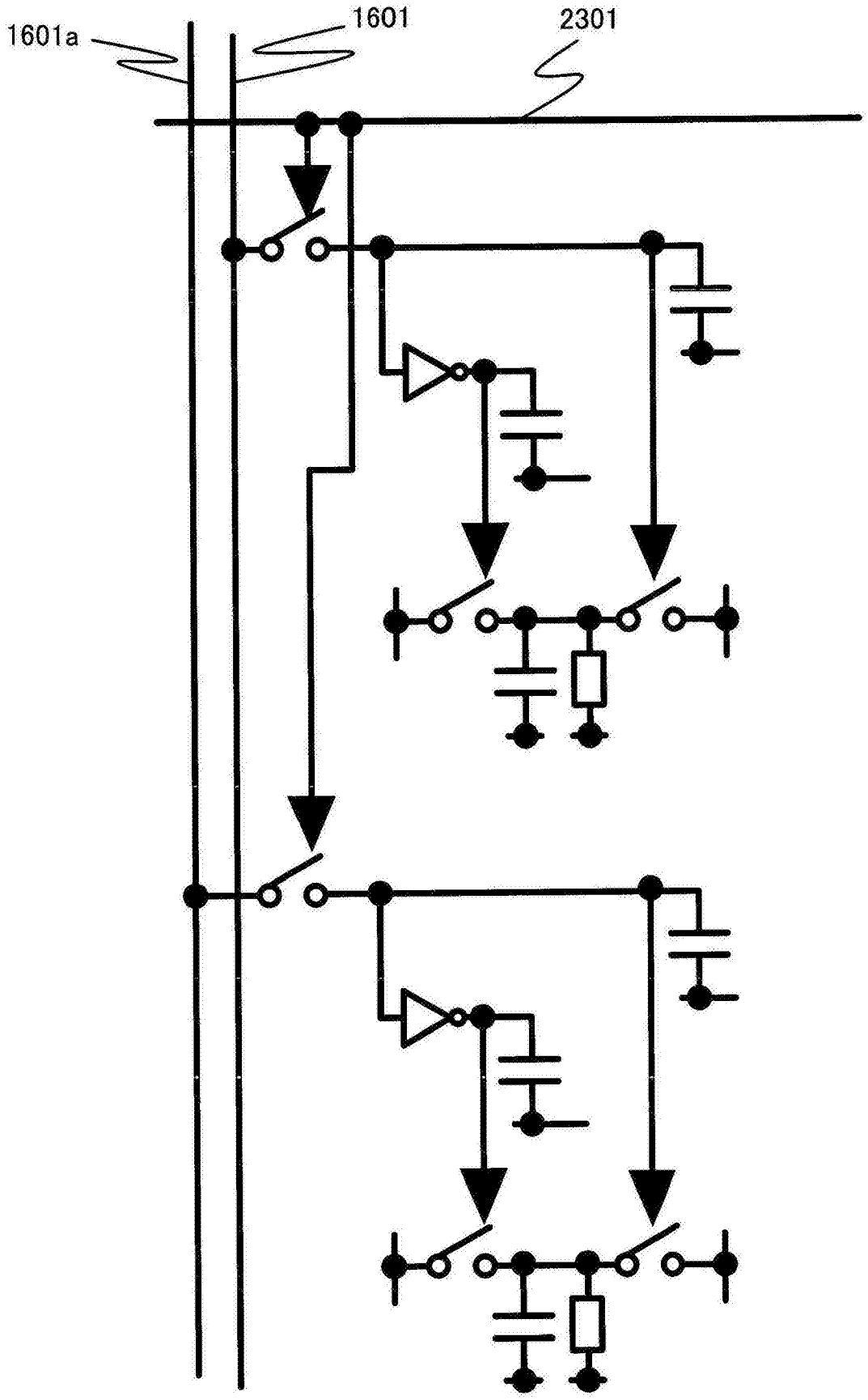


图30

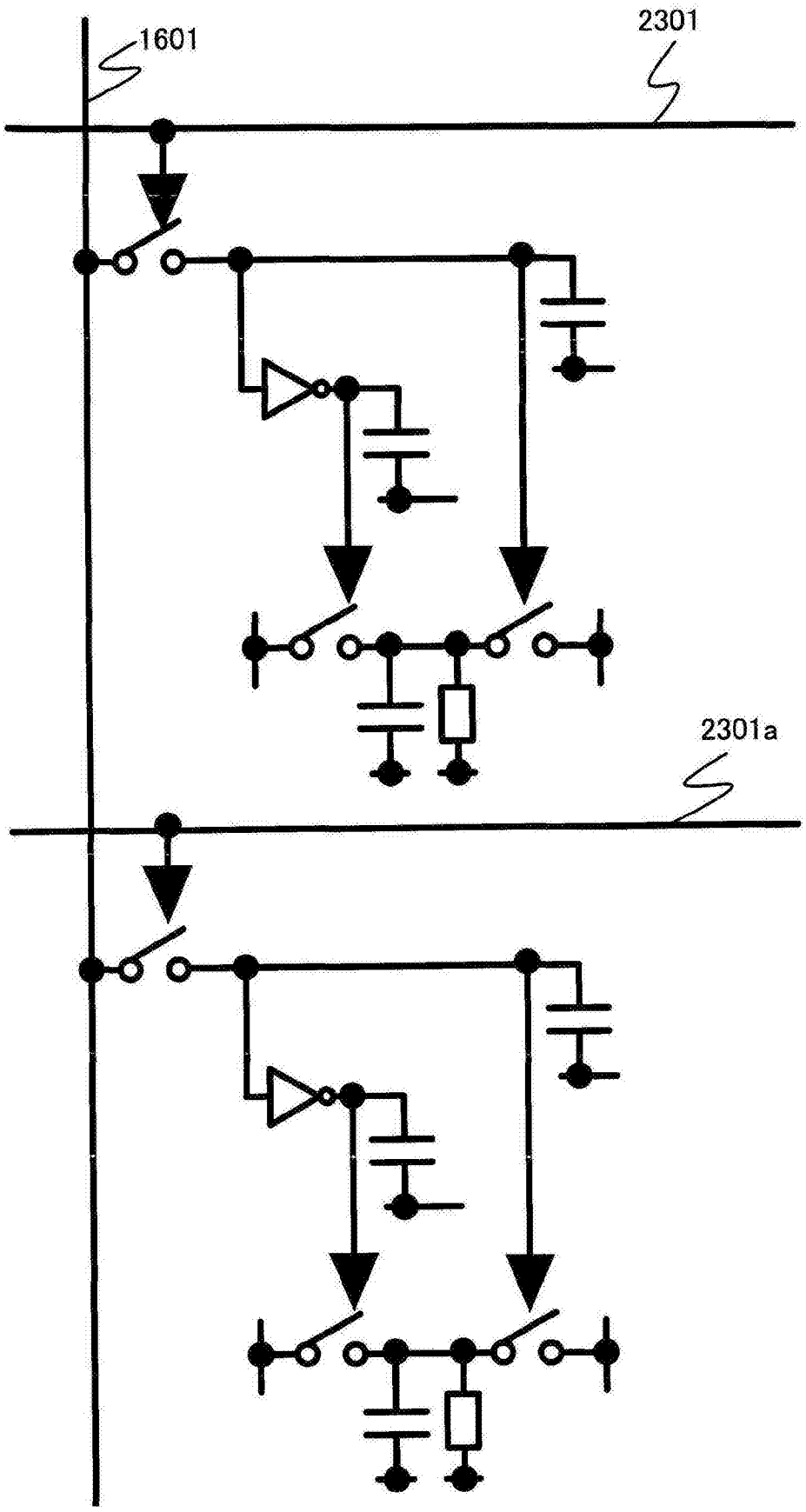


图31

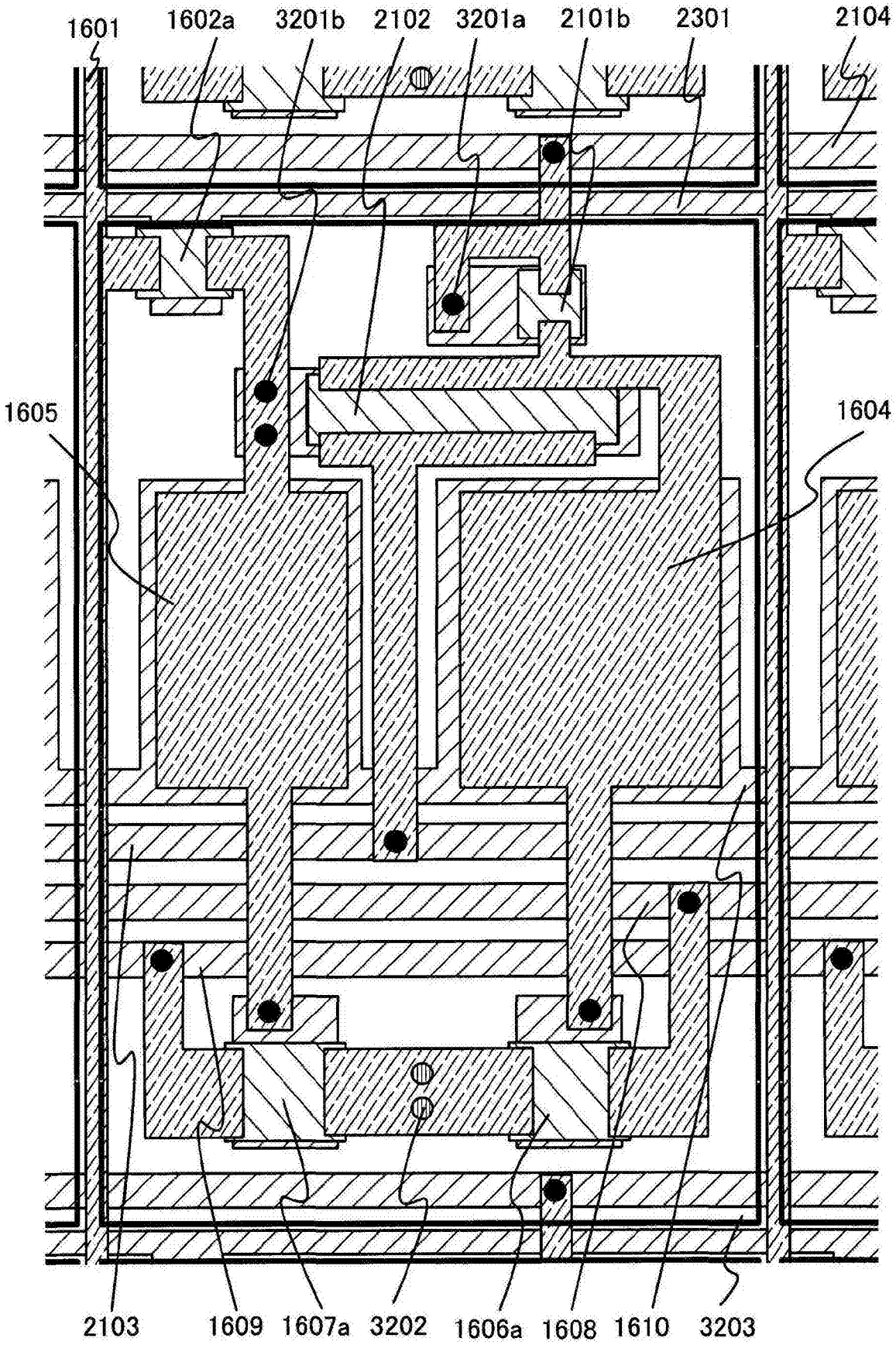

1601
1602a
3201b
2102
3201a
2101b
2301
2104
1605
1604
2103
1609
1607a
3202
1606a
1608
1610
3203

图32

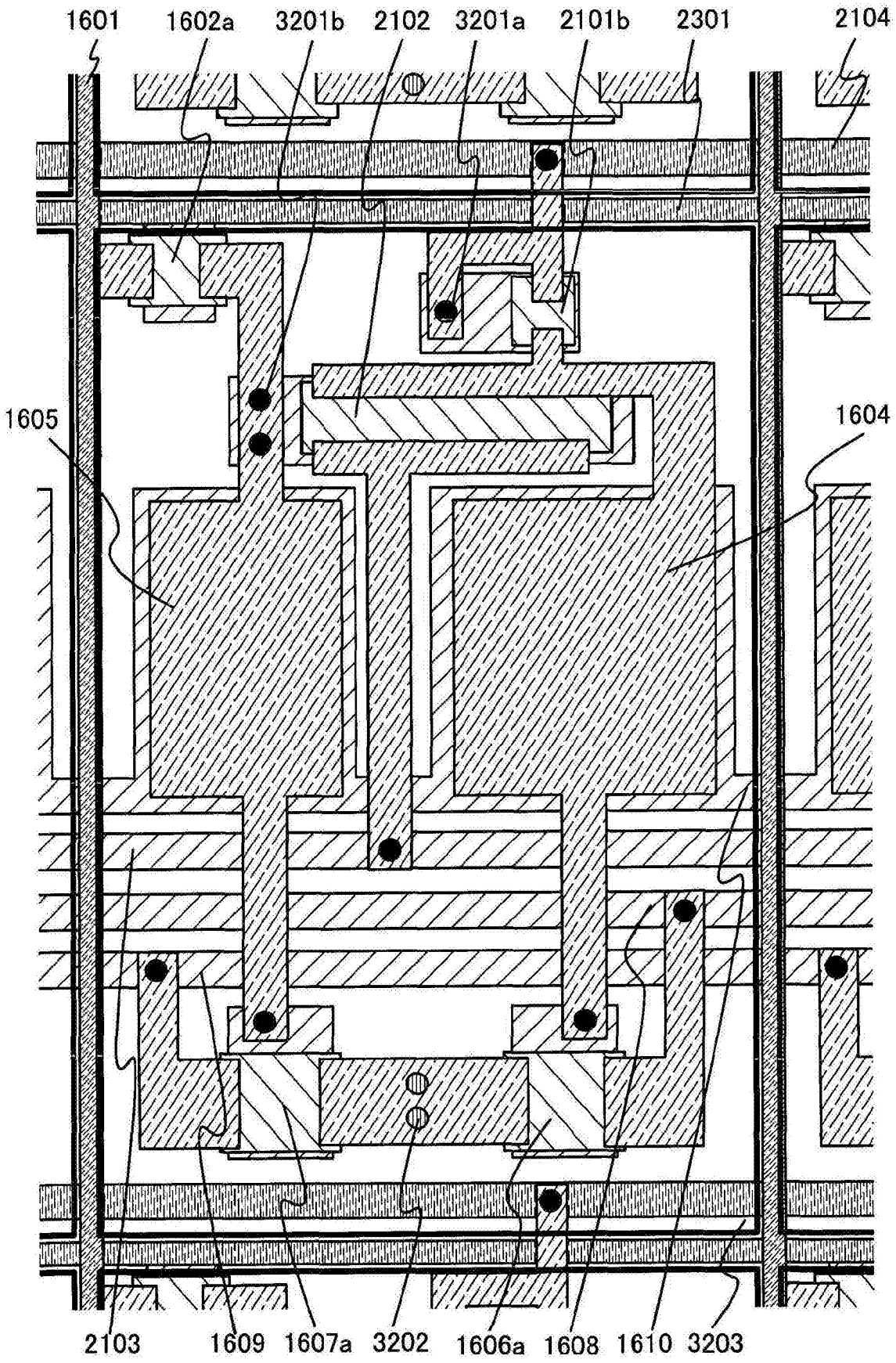

1601
1602a
3201b
2102
3201a
2101b
2301
2104
1605
1604
2103
1609
1607a
3202
1606a
1608
1610
3203

图33

图 34A

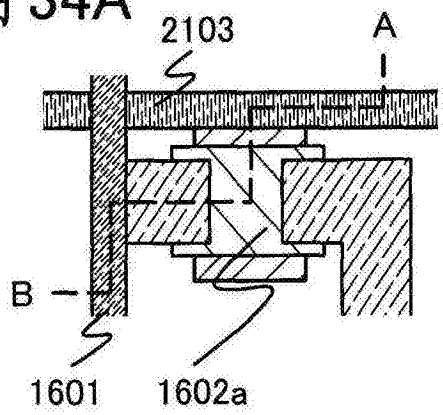
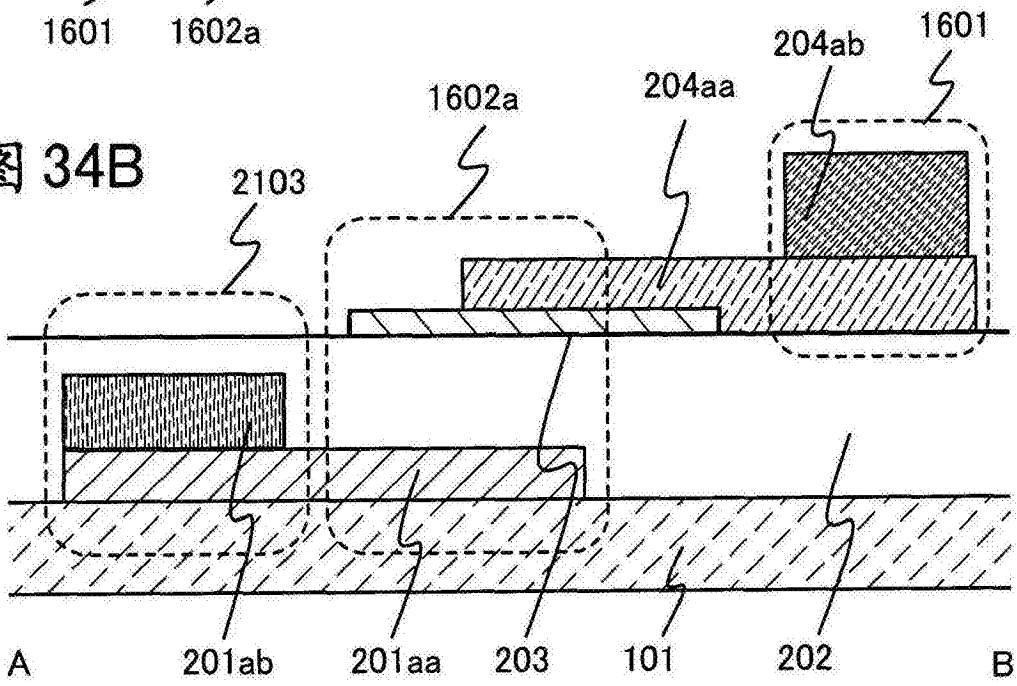

2103
A
B
1601
1602a

图 34B


1602a
204aa
204ab
1601
2103
A
201ab
201aa
203
101
202
B

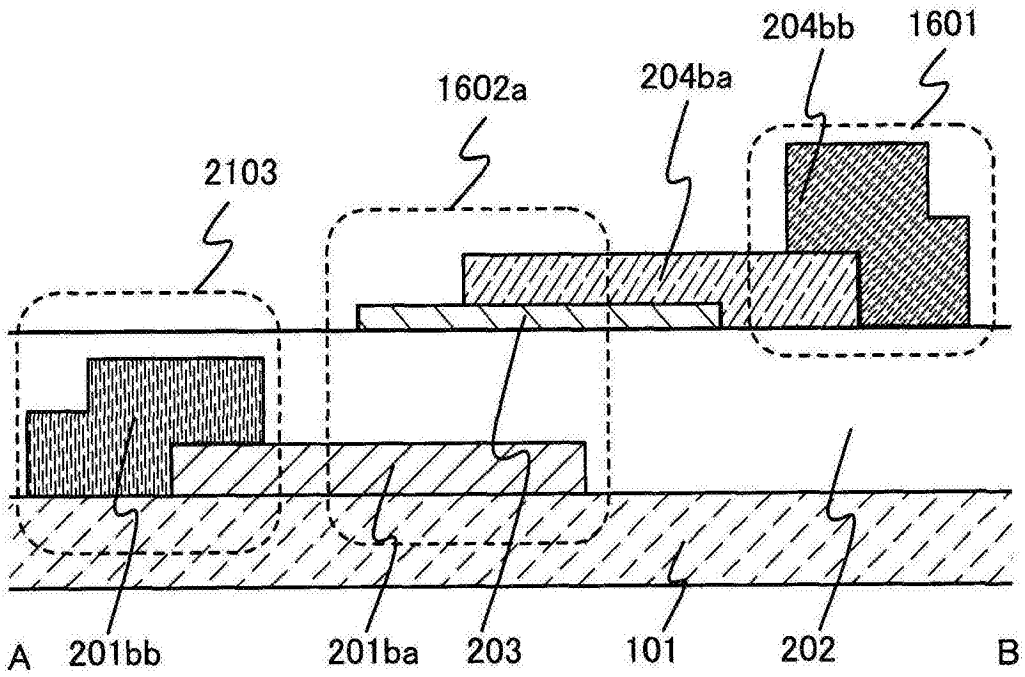


图34C

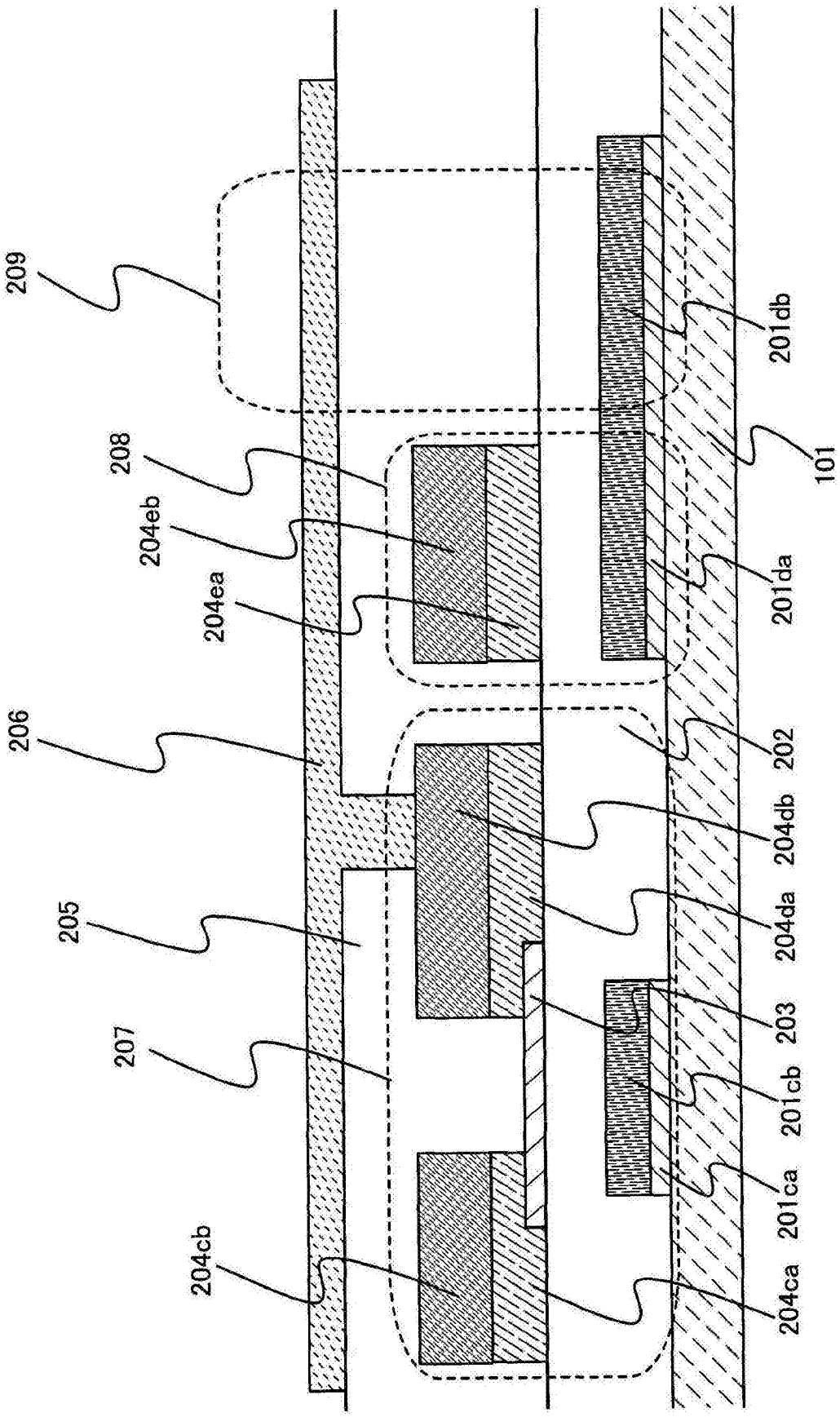

209
208
204eb
204ea
206
205
207
204cb
201db
101
201da
202
204db
204da
203
201cb
201ca
204ca

图35

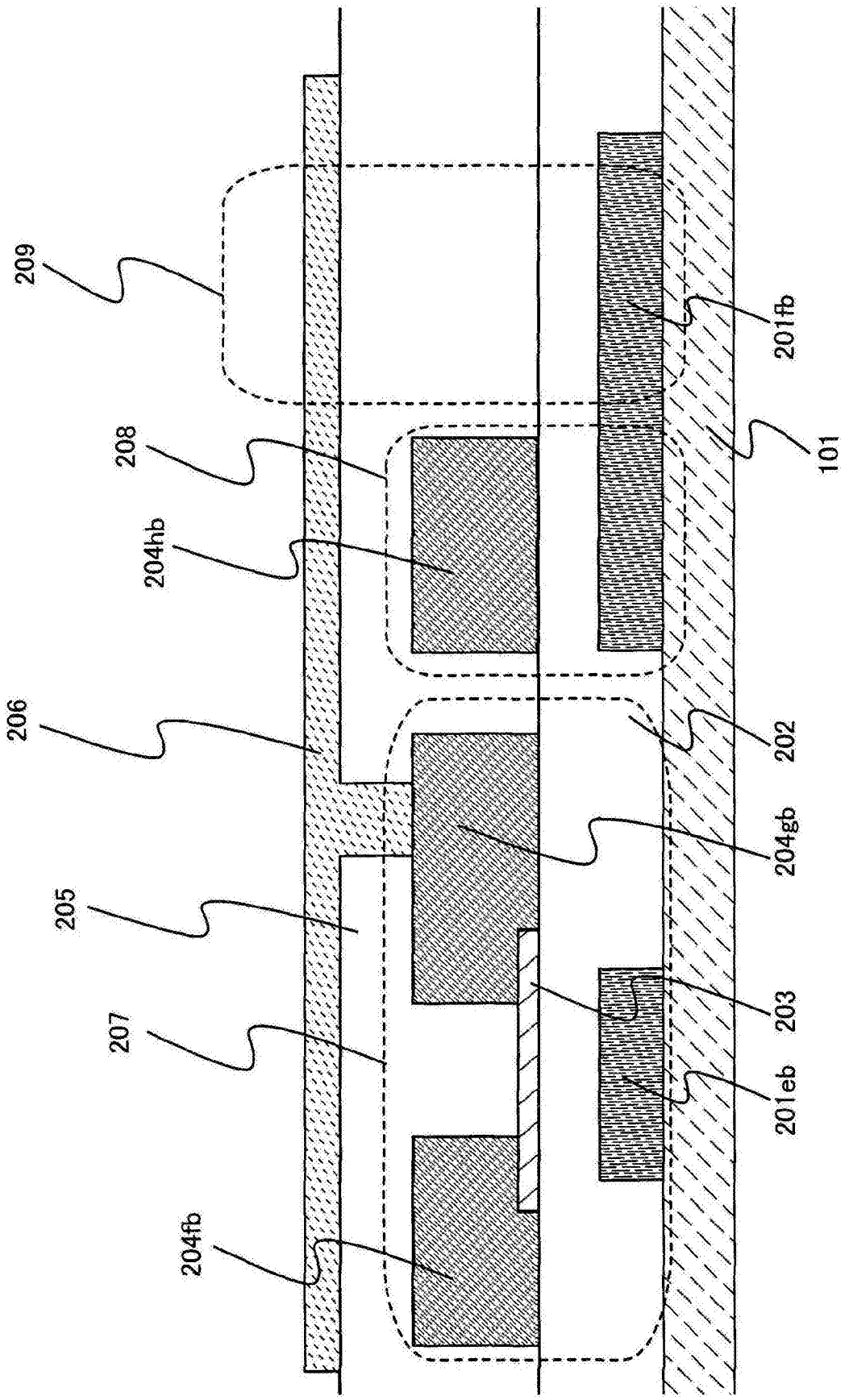


图36

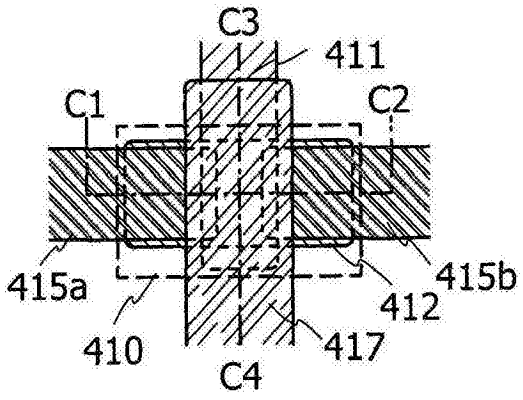


图37A1

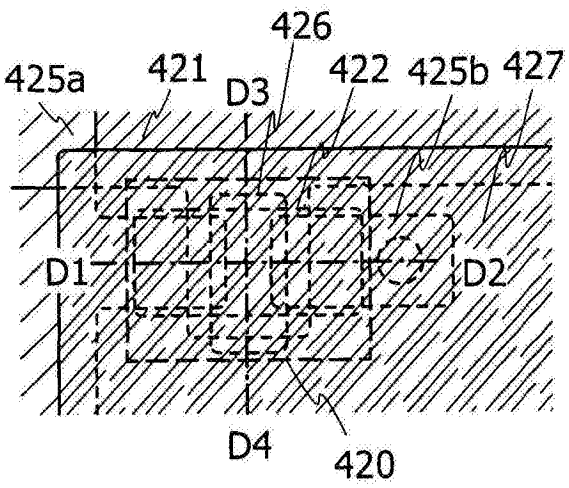


图37A2

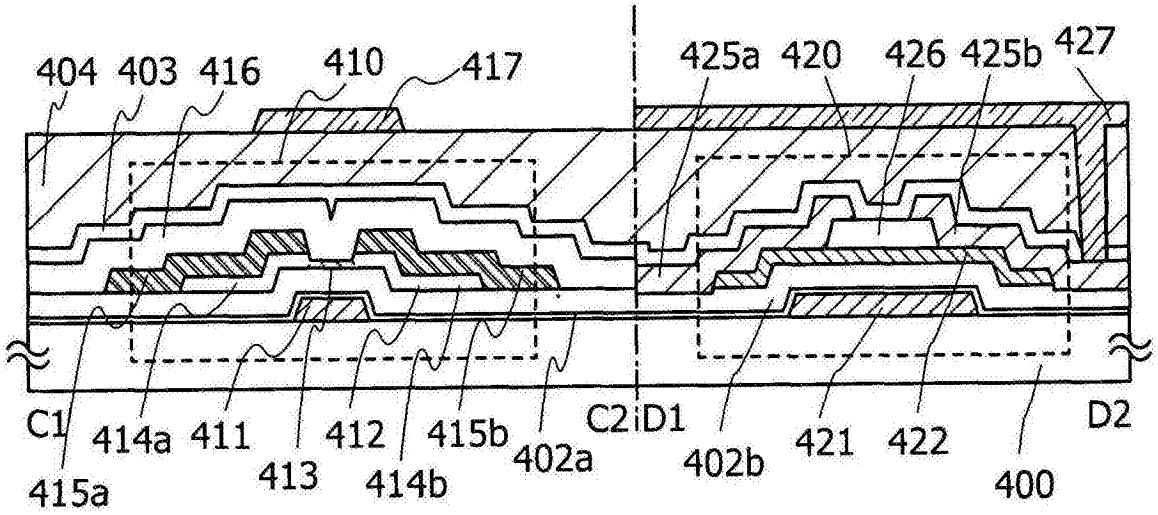


图37B

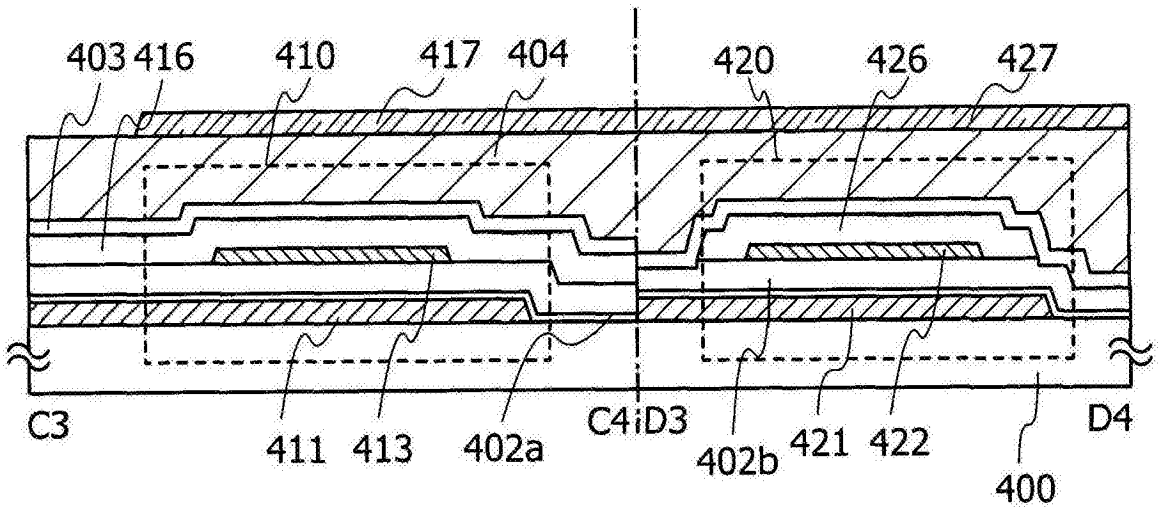

403
416
410
417
404
420
426
427
C3
411
413
402a
C4
D3
402b
421
422
400
D4

图37C

图 38A

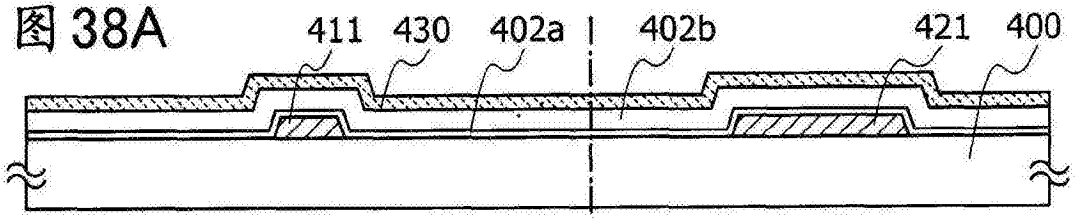


图 38B

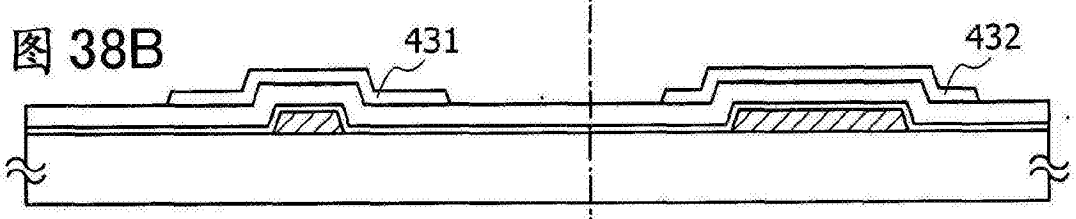


图 38C

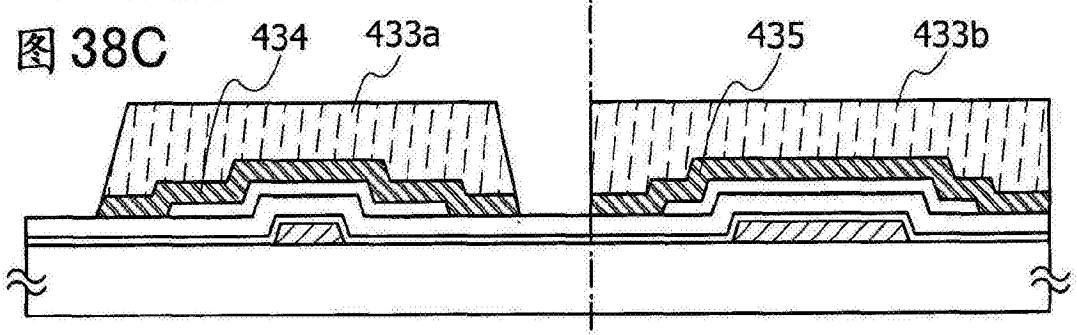


图 38D

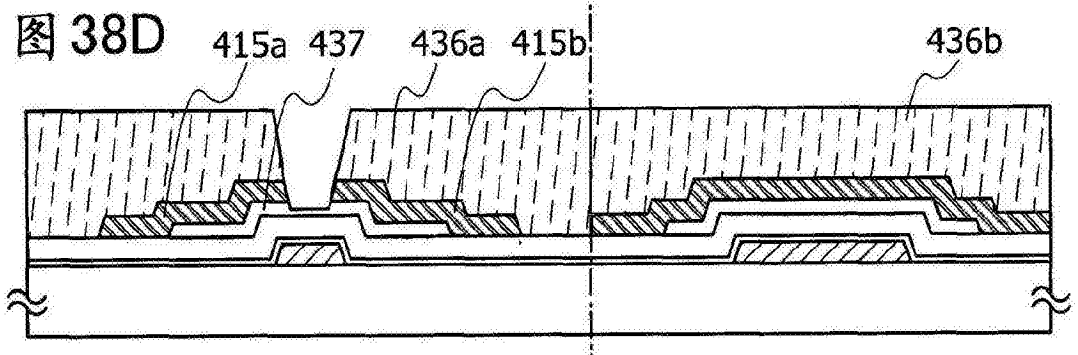


图 38E

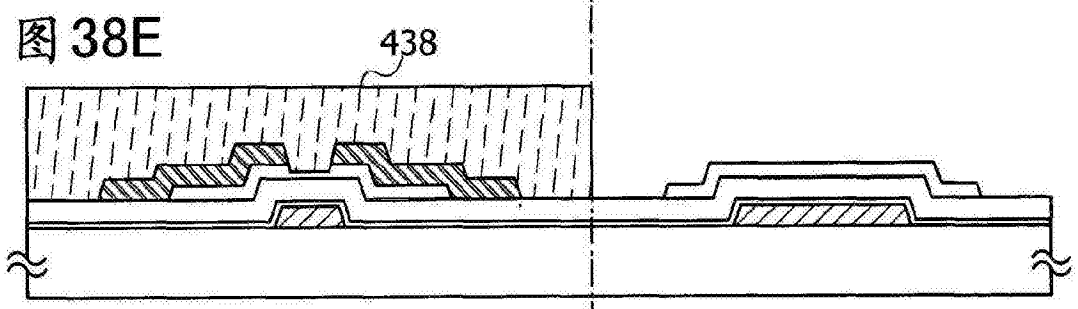


图 38F

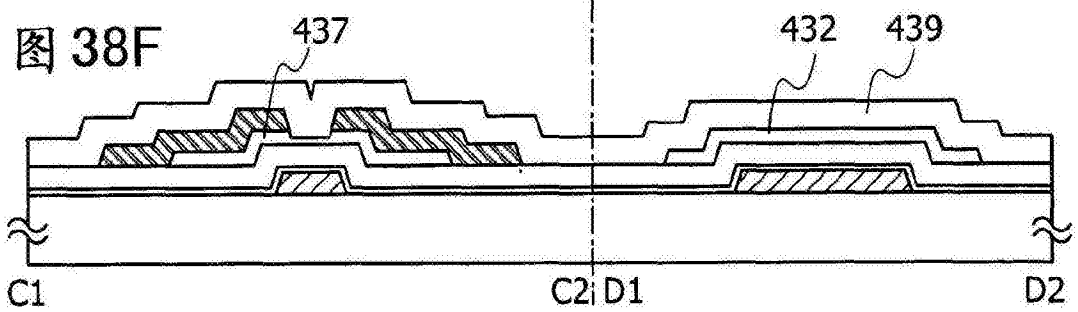


图 39A

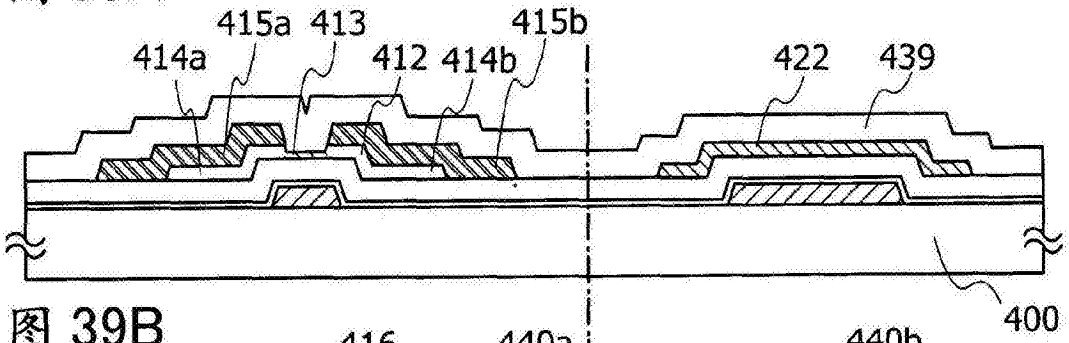


图 39B

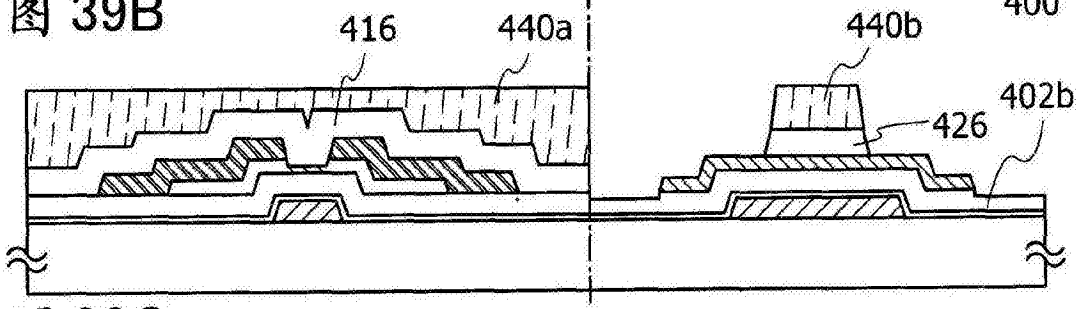


图 39C

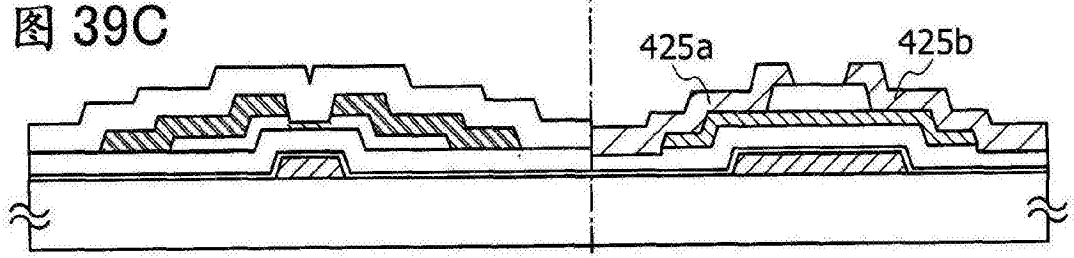


图 39D

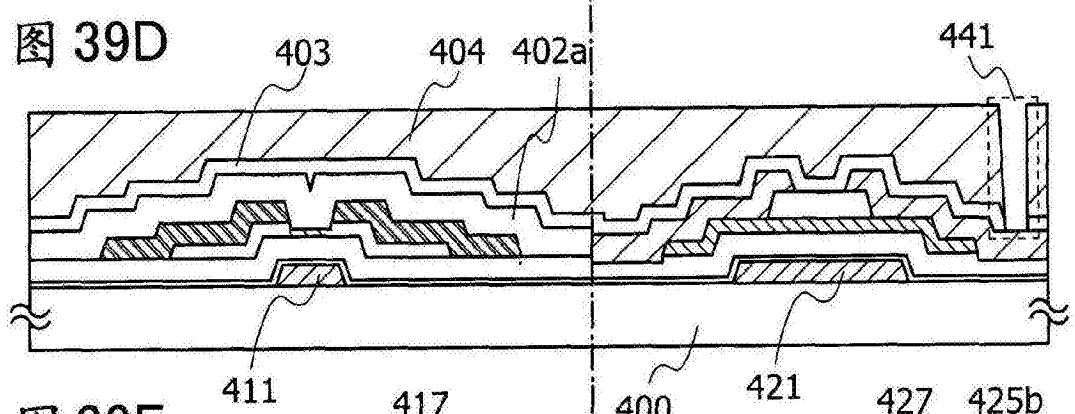
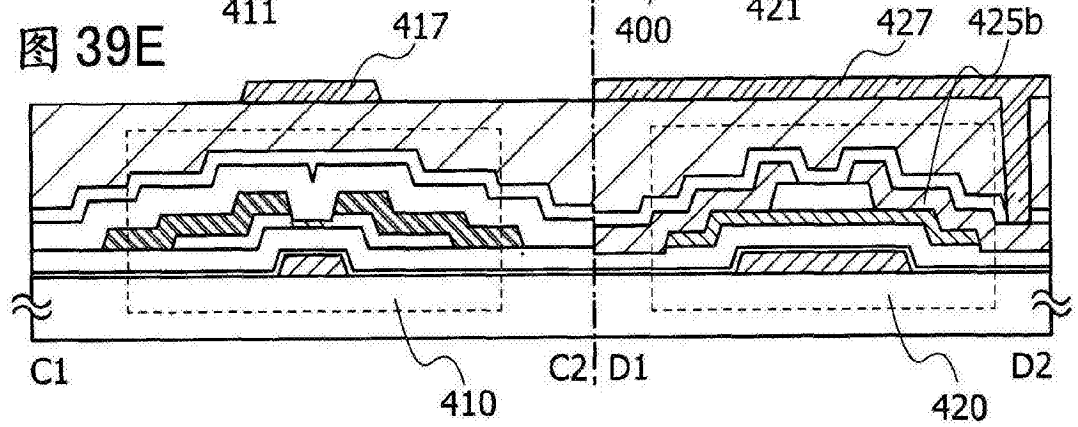


图 39E



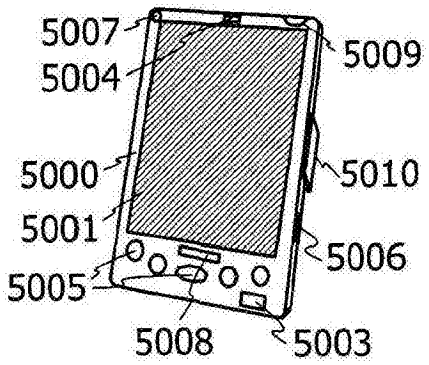


图40A

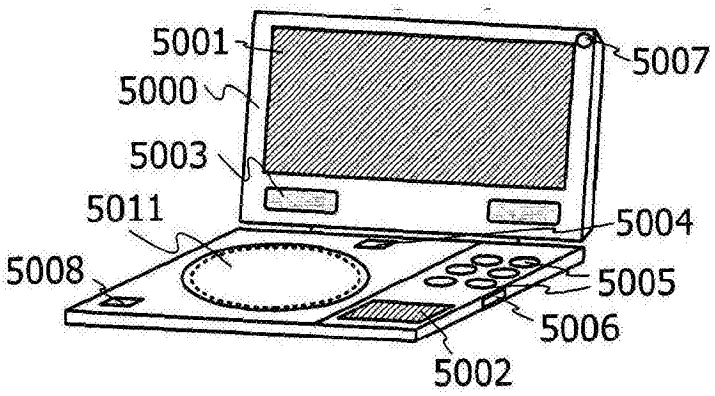


图40B

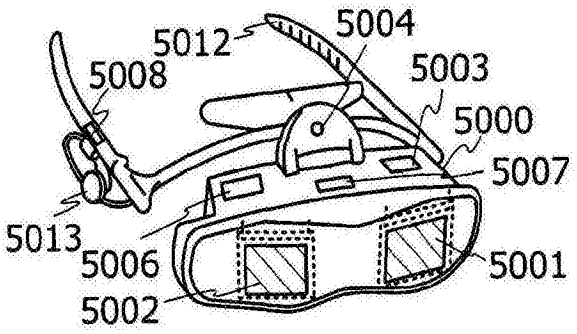


图40C

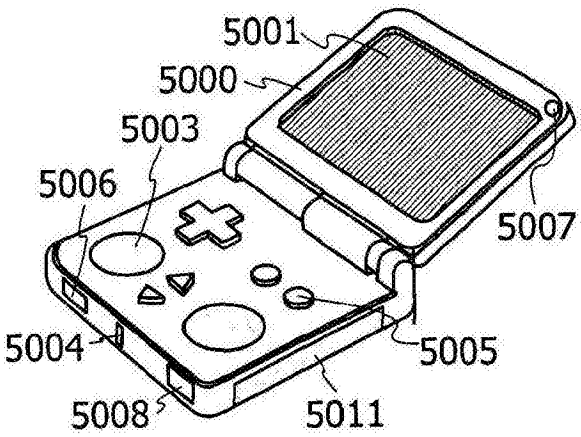


图40D

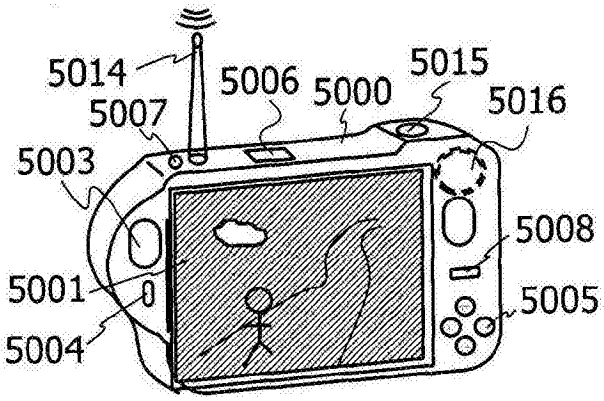


图40E

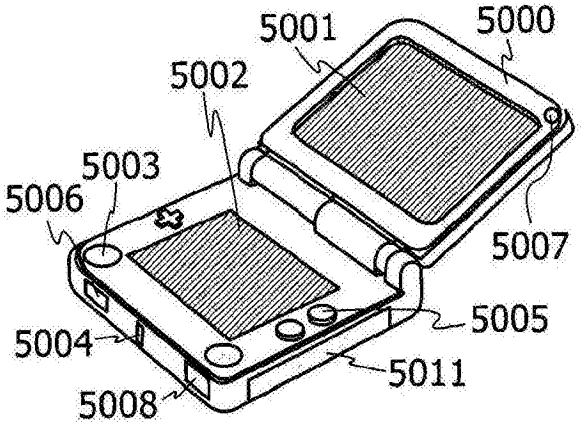


图40F

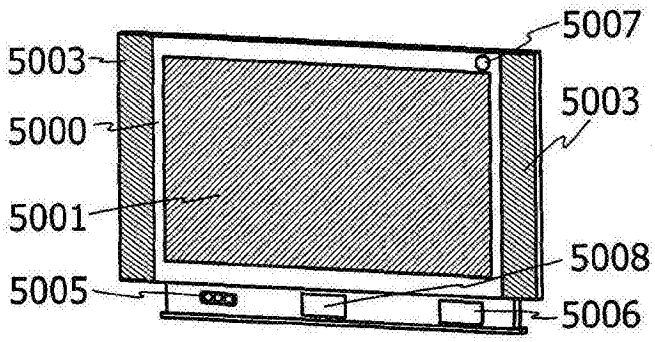


图40G

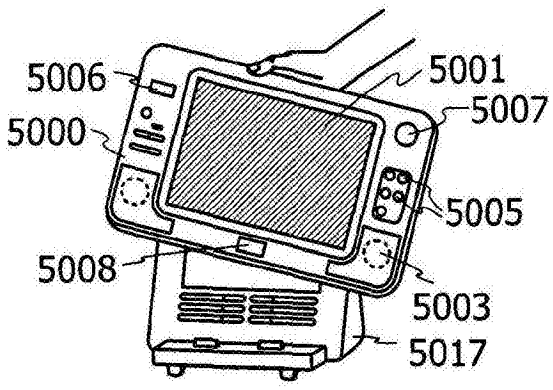


图40H

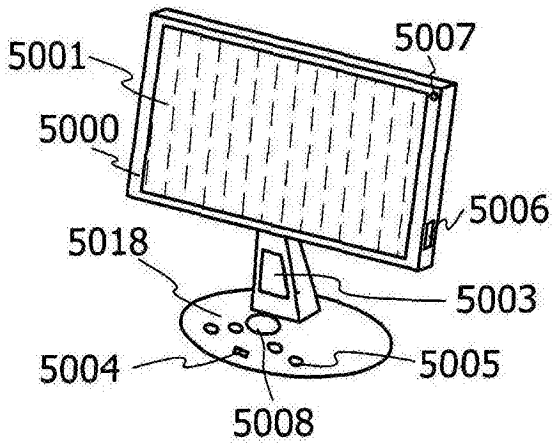


图41A

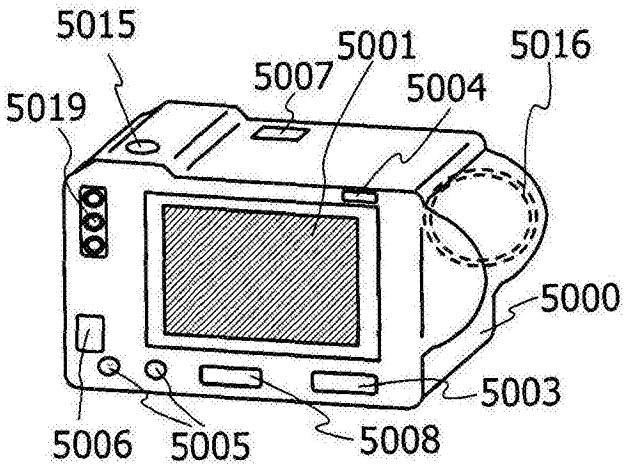


图41B

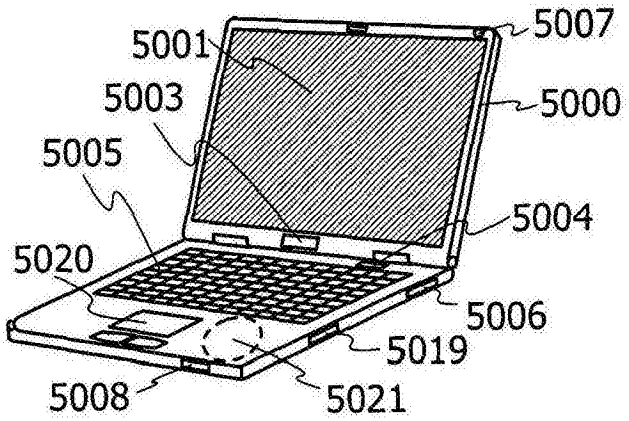


图41C

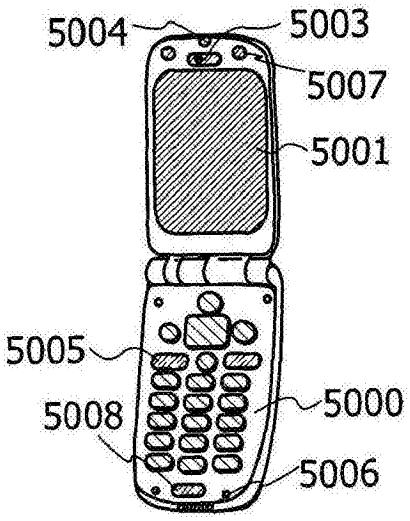


图41D

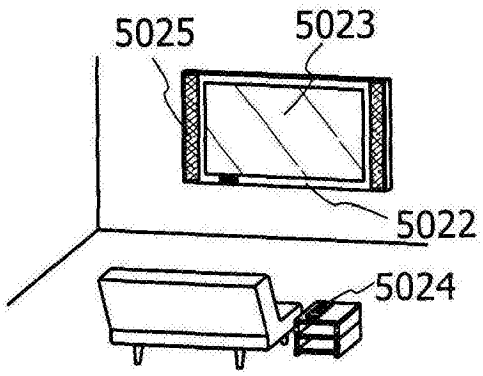


图41E

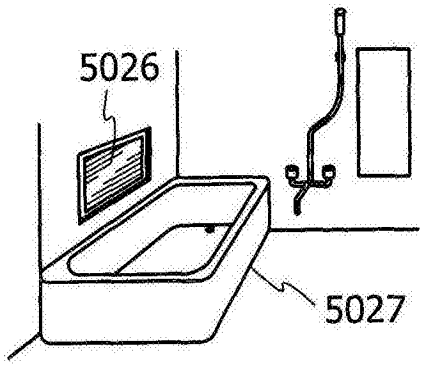


图41F

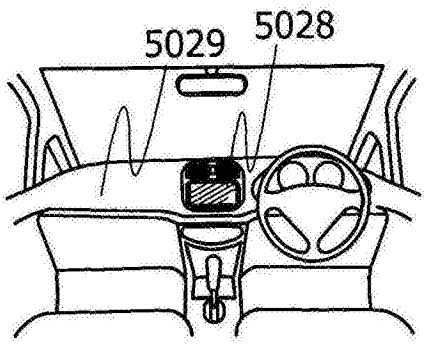


图41G

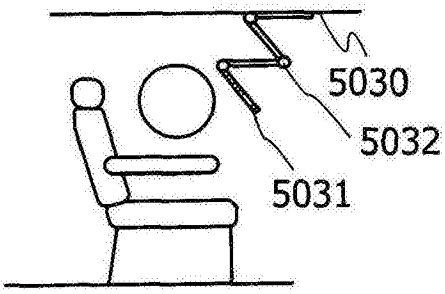


图41H

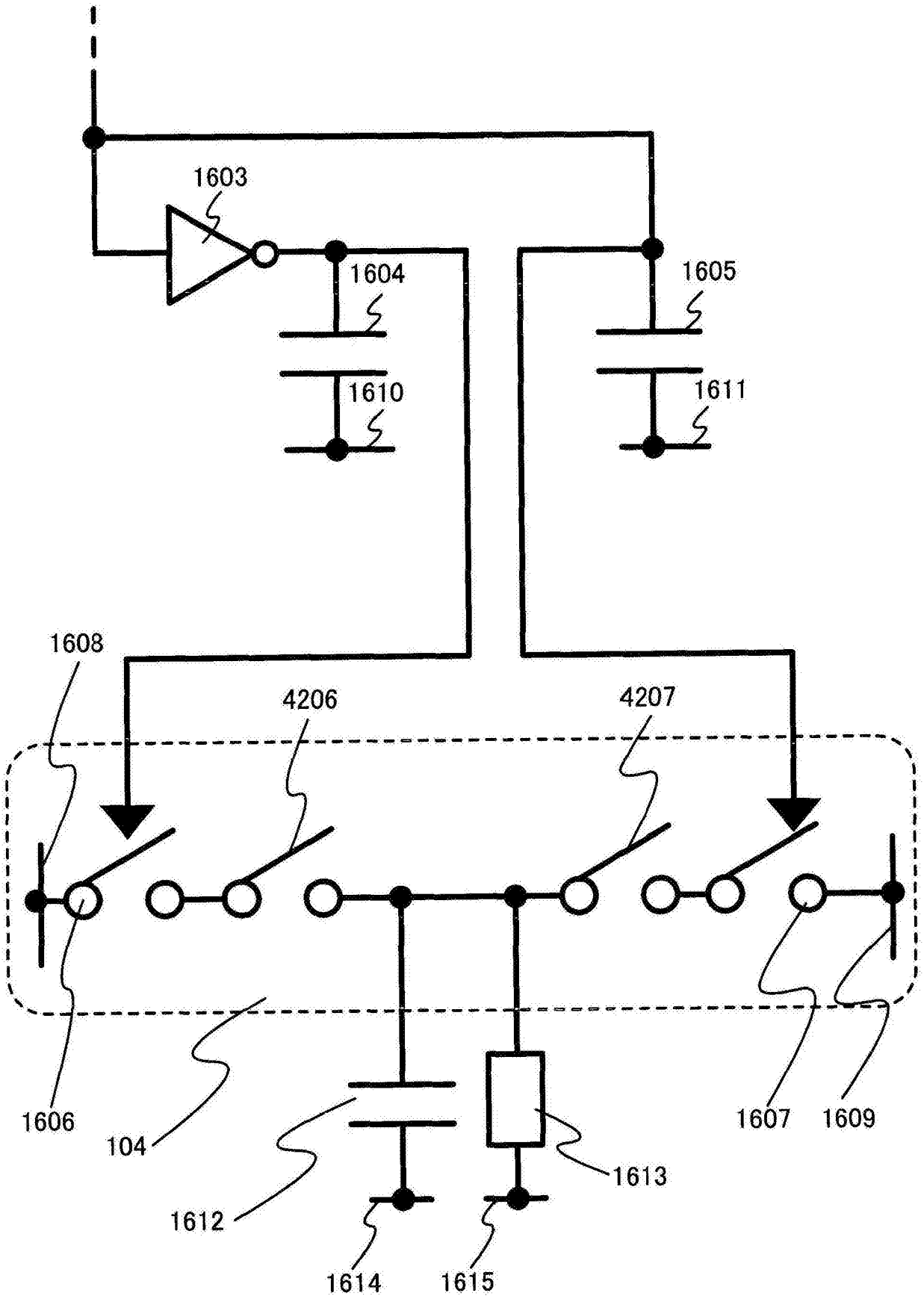

1603
1604
1605
1610
1611
1608
4206
4207
1606
104
1607
1609
1613
1612
1614
1615

图42

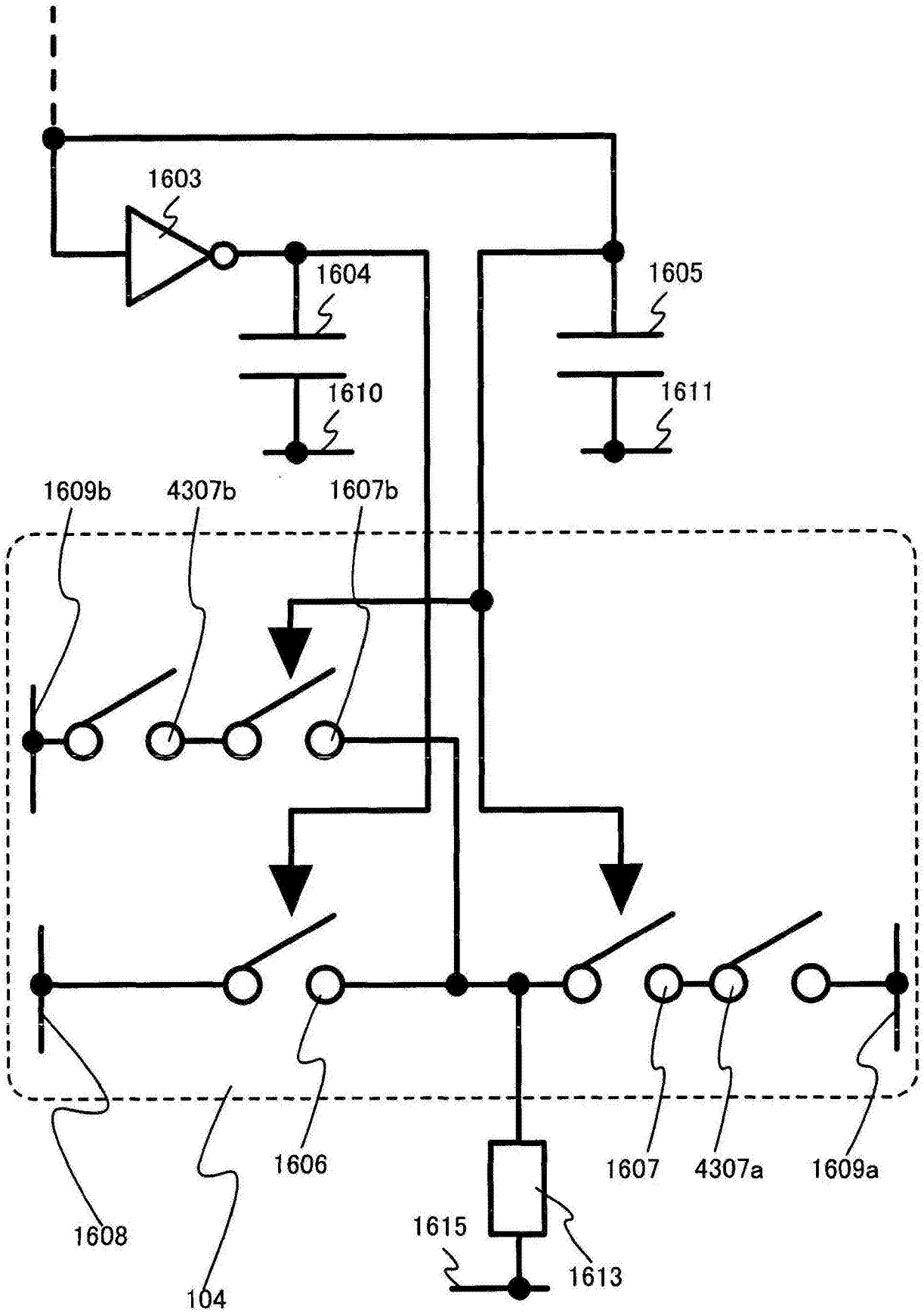

1603
1604
1605
1610
1611
1609b
4307b
1607b
1606
1607
4307a
1609a
1608
1615
1613
104

图43