

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2012-15496
(P2012-15496A)

(43) 公開日 平成24年1月19日(2012.1.19)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 7 J	5 F 1 1 O
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 1 8 B	
	HO 1 L 29/78 6 1 9 A	
	HO 1 L 29/78 6 2 7 C	

審査請求 未請求 請求項の数 9 O L (全 21 頁)

(21) 出願番号	特願2011-122996 (P2011-122996)	(71) 出願人	000153878
(22) 出願日	平成23年6月1日(2011.6.1)		株式会社半導体エネルギー研究所
(31) 優先権主張番号	特願2010-125443 (P2010-125443)		神奈川県厚木市長谷398番地
(32) 優先日	平成22年6月1日(2010.6.1)	(72) 発明者	竹村 保彦
(33) 優先権主張国	日本国(JP)		神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
		Fターム(参考)	5F110 AA12 AA14 CC07 EE01 EE02 EE04 EE07 EE08 EE25 EE42 EE44 EE45 FF01 FF02 FF03 FF04 FF27 FF28 FF29 GG01 GG06 GG25 GG26 GG42 GG43 GG44 HL01 HL03 HL06 HL09 HL11 HL27 NN03 NN04 NN22 NN23 NN24 NN28 NN33 NN34 NN35 NN40 NN71 NN72 NN73 QQ02 QQ09

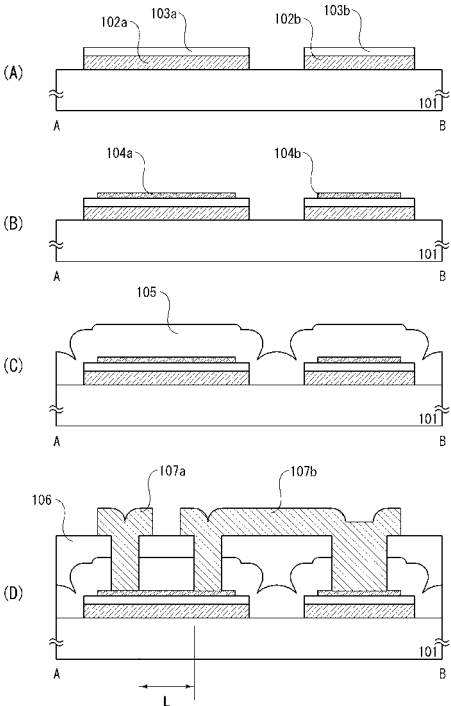
(54) 【発明の名称】 電界効果トランジスタおよびその作製方法

(57) 【要約】

【課題】 金属半導体接合を用いた電界効果トランジスタの新規な構造を提供する。

【解決手段】 基板101上に設けられ、ゲート電極としても機能する配線102aと、配線102a上に設けられ、配線102aと略同形状で、ゲート絶縁膜としても機能する絶縁膜103aと、絶縁膜103a上に設けられた酸化物半導体等よりなる半導体層104aと、半導体層104a上に設けられた厚さが、絶縁膜103aの厚さと半導体層104aの厚さの和の5倍以上もしくは100nm以上の酸化物絶縁層105と、酸化物絶縁層105に設けられた開口部を通して、半導体層に接続する配線107a、107bとを有する電界効果トランジスタ。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

基板と、前記基板上に設けられた第 1 の配線と、前記第 1 の配線上に設けられ、前記第 1 の配線と略同形状の絶縁膜と、前記絶縁膜上に設けられた半導体層と、前記半導体層上に設けられた酸化物絶縁層と、前記酸化物絶縁層に設けられた開口部を通して、前記半導体層に接続する第 2 の配線とを有する電界効果トランジスタ。

【請求項 2】

前記半導体層が酸化物半導体よりなることを特徴とする請求項 1 記載の電界効果トランジスタ。

【請求項 3】

前記半導体層が、インジウムとガリウムを含むことを特徴とする請求項 1 または請求項 2 記載の電界効果トランジスタ。

【請求項 4】

前記酸化物絶縁層の厚さが、前記絶縁膜の厚さと前記半導体層の厚さの和の 5 倍以上である請求項 1 乃至 3 記載の電界効果トランジスタ。

【請求項 5】

前記酸化物絶縁層の厚さが、100nm 以上である請求項 1 乃至 3 記載の電界効果トランジスタ。

【請求項 6】

前記半導体層の外周は、前記絶縁膜の外周の内側にあることを特徴とする請求項 1 乃至 5 記載の電界効果トランジスタ。

【請求項 7】

前記開口部は、前記半導体層と重なるように設けられることを特徴とする請求項 1 乃至 6 記載の電界効果トランジスタ。

【請求項 8】

基板上に第 1 の導電層を形成する工程と、
前記第 1 の導電層上に絶縁膜を形成する工程と、
前記絶縁膜を所定の形状に加工する工程と、
前記絶縁膜の形状と略同形状となるように前記第 1 の導電層を加工する工程と、
前記絶縁膜上に半導体層を形成する工程と、
前記半導体層上に酸化物絶縁層を形成する工程と
前記酸化物絶縁層に、前記半導体層に達する開口部を設ける工程と、
前記酸化物絶縁層を覆って第 2 の導電層を形成する工程と、を有することを特徴とする電界効果トランジスタの作製方法。

【請求項 9】

請求項 8 において、前記酸化物絶縁層を 200℃ 以上で加熱する工程を有することを特徴とする電界効果トランジスタの作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体を用いた電界効果トランジスタ（FET）に関する。

【背景技術】

【0002】

電界効果トランジスタ（以下、FET という）とは、半導体にソース、ドレインという領域を設けて、ソースとドレイン間に電圧をかけた状態で、絶縁膜あるいはショットキーバリアを介してゲートという領域より半導体に電圧をかけ、半導体の状態を制御することにより、ソースとドレイン間に流れる電流を制御するものである。用いられる半導体としては、珪素やゲルマニウム等の元素やガリウムヒ素、インジウムリン、窒化ガリウム、硫化亜鉛、カドミウムテルル等の化合物等が挙げられる。

【0003】

近年、酸化亜鉛や酸化インジウムガリウム亜鉛系化合物等の酸化物を半導体として用いた F E T が報告された（特許文献 1 および特許文献 2）。これらの酸化物半導体を用いた F E T では、比較的大きな移動度が得られると共に、それらの材料が 3 電子ボルト以上の大きなバンドギャップを有するが故に、酸化物半導体を用いた F E T をディスプレイやパワーデバイス等に応用することが議論されている。

【0004】

ところで、このように亜鉛もしくはインジウムを有する酸化物半導体においては、これまで、P 型の導電性を示すものはほとんど報告されていない。そのため、珪素の F E T のような P N 接合を用いたものは報告されておらず、特許文献 1 および特許文献 2 にあるように、N 型あるいは I 型（本明細書では、ドナーに由来するキャリアの濃度が $10^{12} / \text{cm}^3$ 以下の半導体を I 型という）の酸化物半導体に金属電極を接触させた金属半導体接合によって、ソース、ドレインを形成している。

10

【0005】

なお、チャネル長が十分に大きな F E T ではドナー濃度はキャリア濃度とほぼ一致するが、チャネル長が小さな（例えば、チャネル長が $0.2 \mu\text{m}$ 以下）F E T では、ドナー濃度は必ずしもキャリア濃度（あるいは電子濃度）と一致しない。以下、本明細書では、チャネル長が十分に大きな F E T について議論するものとする。

【0006】

P N 接合型の F E T とは異なり、金属半導体接合によってソース、ドレインを形成した F E T では、用いる半導体のキャリア濃度が大きいと、オフ状態でもソースとドレインの間に電流（オフ電流）が流れてしまう。そこで、半導体中のキャリア濃度を低減させて、I 型とすることにより、オフ電流を低減することが望まれた。

20

【0007】

図 4（A）乃至（C）に従来の酸化物半導体を用いたボトムゲート型 F E T の作製工程断面の例を示す。図 4（A）乃至（C）は、図 4（D）の A－B での断面である。まず、基板 201 上に導電層を成膜し、これを所望の形状にエッチングして、ゲート電極としても機能する配線 202 a、202 b を形成する。配線 202 a、202 b は、回路における配線（例えば、アクティブマトリクス型表示装置のスキャン線）としても使用される。

【0008】

そして、配線 202 a、202 b を覆って、ゲート絶縁膜としても機能する絶縁膜 203 を形成する。さらに、酸化物半導体層を成膜して、これを所望の形状にエッチングして、半導体層 204 a、204 b を得る（図 4（A））。この段階を上面から見たのが図 4（D）である。

30

【0009】

次に、半導体層 204 a、204 b に接する別の導電層を形成して、これを所望の形状にエッチングして、その一部が半導体層 204 a、204 b のソース、ドレインともなる配線 205 a、205 b を得る（図 4（B））。

【0010】

配線 205 a、205 b をそのまま回路における配線（例えば、アクティブマトリクス型表示装置のデータ線）としても使用することは可能であるが、その場合、配線 202 a、202 b と配線 205 a、205 b との間には、絶縁膜 203 しかないので、配線間の寄生容量が高くなる。

40

【0011】

特に、金属半導体接合を用いた F E T においては、ゲート絶縁膜を厚くするとしきい値がマイナスにシフト（N チャネル型の場合）し、ノーマリーオンとなるため、絶縁膜 203 の厚さは 100 nm 以下とすることが求められる。そのため、配線 202 a、202 b と配線 205 a、205 b との間の寄生容量はさらに高くなる。

【0012】

そのため、通常は、図 4（C）に示すように、さらに平坦化絶縁層 206 を形成し、これに、配線 205 a、205 b に達する開口部を形成し、この開口部を通じて、配線 205

50

a、205bに接続する配線207a、207bを別に設け、これを例えば、アクティブマトリクス型表示装置のデータ線として用いる。

【0013】

ところで、特に酸化物半導体においては、水素がキャリアの供給源となることが指摘されている。そのため、酸化物半導体の形成時に水素が混入しないような措置を講じることが求められる。また、酸化物半導体のみならず、それに接する絶縁膜にも水素が混入しないことの必要性も指摘されている（特許文献3参照）。

【0014】

そのためには、絶縁膜203を形成する方法として、水素を含有する原料を用いざるを得ないCVD法（プラズマCVD法や減圧CVD法等）ではなく、水素をほとんど含有しない材料を使用できるスパッタリング法を用いることが望ましいと考えられる。

10

【0015】

しかしながら、スパッタリング法では、ステップカバレッジが十分な絶縁膜が得られないため、特に段差部においての絶縁性を十分に保つことができない。このため、段差部に配線あるいは半導体層が重なって設けられると、リーク電流が増大するという問題がある。

【先行技術文献】

【特許文献】

【0016】

【特許文献1】米国特許公開2005/0199879号公報

【特許文献2】米国特許公開2007/0194379号公報

20

【特許文献3】特開2009-224479号公報

【発明の概要】

【発明が解決しようとする課題】

【0017】

本発明は、特性の安定したFETの作製方法を提供することを課題とする。そして、そのような目的に適した構造を有する新規のFETを提供することを課題とする。

【0018】

図4に示される方法では、いくつかの過程において、水素を含有する物質（水や水酸化合物、水素化合物等）が取り残される可能性があった。そして、図4に示される方法では、本発明者はそのようにして取り残された水素がその後の工程において除去されない、あるいは、除去できないことが問題であろうと推測した。

30

【0019】

例えば、絶縁膜203をプラズマCVD法により形成した場合には、多量の水素が膜中に残存する。これらの水素を十分に低い濃度にまで低下させるには、相当の高温で処理する必要があったが、基板201や配線202a、202bの耐熱性が十分でない場合には適用できない方法である。

【0020】

一方で水素濃度を十分に低下させることのできるスパッタリング法で絶縁膜203を形成した場合には、上記のようなステップカバレッジの問題から耐圧が十分でないという別の問題がある。

40

【0021】

本発明の一態様では、絶縁膜203に相当する絶縁膜をプラズマCVD法で成膜しても十分に水素濃度を低減できるFETの作製方法あるいはFETの構造を提供する。

【0022】

また、本発明の一態様では、絶縁膜203に相当する絶縁膜をスパッタリング法で成膜しても耐圧が十分であるFETの作製方法あるいはFETの構造を提供する。

【0023】

また、本発明の一態様では、FETを有する新規の半導体装置を提供することを課題とする。また、本発明の一態様では、FETを有する新規の半導体装置の駆動方法を提供することを課題とする。さらに、本発明の一態様では、FETを有する新規の半導体装置の作

50

製方法を提供することを課題とする。

【0024】

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はない。また、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

【課題を解決するための手段】

【0025】

以下、本発明の説明をおこなうが、本明細書で用いる用語について簡単に説明する。なお、定義されていない文言（専門用語又は学術用語などの科学技術文言を含む）は、通常の当業者が理解する一般的な意味と同等の意味として用いることが可能である。辞書等により定義されている文言は、関連技術の背景と矛盾がないような意味に解釈されることが好ましい。

【0026】

まず、本明細書で「配線」とは必ずしも線状のものを意味しない。膜状のものや棒状のものも配線と称することがある。例えば、コンタクトプラグのような形状のものも配線の範疇に含めることがある。また、コンタクトプラグとそれに接する導電性薄膜を合わせて配線と称することもある。

【0027】

また、「上に」、「上方に」、「下に」、「下方に」、「横に」、「右に」、「左に」、「斜めに」、「奥に」、「手前に」、「内に」、「外に」、又は「中に」などの空間的配置を示す語句は、ある要素又は特徴と、他の要素又は特徴との関連を、図によって簡単に示すために用いられる場合が多い。

【0028】

ただし、これに限定されず、これらの空間的配置を示す語句は、図に描く方向に加えて、他の方向を含むことが可能である。例えば、Xの上にY、と明示される場合は、YがXの上にあることに限定されない。図に示される物体は反転、又は180°回転することが可能なので、YがXの下にあることを含むことが可能である。

【0029】

このように、「上に」という語句は、「上に」の方向に加え、「下に」の方向を含むことが可能である。ただし、これに限定されず、図中のデバイスは様々な方向に回転することが可能なので、「上に」という語句は、「上に」、及び「下に」の方向に加え、「横に」、「右に」、「左に」、「斜めに」、「奥に」、「手前に」、「内に」、「外に」、又は「中に」などの他の方向を含むことが可能である。つまり、状況に応じて適切に解釈することが可能である。

【0030】

また、「上に」「下に」という表現は、間に何らかの空間や物体の存在を否定するものではない。例えば、「Aの上にBを設ける」という記載においては、AとBの間に、他の物体Cが存在することも含まれる。

【0031】

また、「概ね等しい」とは、製造誤差程度の相違、または、実質的に影響を及ぼさない程度の相違を有する場合も含むものとする。一例としては、概ね等しいとは、双方の差が、10%未満、より望ましくは5%未満の場合を言うものとする。同様に「略同形状」とは実質的に影響を及ぼさない程度の相違を有する場合も含むものとする。

【0032】

なお、本明細書等において、明示的に単数として記載されているものについては、単数であることが望ましい。ただし、これに限定されず、複数であることも可能である。同様に、明示的に複数として記載されているものについては、複数であることが望ましい。ただし、これに限定されず、単数であることも可能である。

【0033】

本発明の一態様は、基板と、前記基板上に設けられた第1の配線と、前記第1の配線に設けられ、前記第1の配線と略同形状の絶縁膜と、前記絶縁膜上に設けられた半導体層と、前記半導体層上に設けられた酸化物絶縁層と、前記酸化物絶縁層に設けられた開口部を通して、前記半導体層に接続する第2の配線とを有する電界効果トランジスタである。

【0034】

また、本発明の一態様は、基板上に第1の導電層を形成する工程と、前記第1の導電層上に絶縁膜を形成する工程と、前記絶縁膜を所定の形状に加工する工程と、前記絶縁膜の形状と略同形状となるように前記第1の導電層を加工する工程と、前記絶縁膜上に半導体層を形成する工程と、前記半導体層上に酸化物絶縁層を形成する工程と前記酸化物絶縁層に、前記半導体層に達する開口部を設ける工程と、前記酸化物絶縁層を覆って第2の導電層を形成する工程とを有することを特徴とする電界効果トランジスタの作製方法である。

10

【0035】

上記において半導体層は各種の半導体よりなる。例えば、酸化物半導体、硫化物半導体、セレン化合物半導体、テルル化合物半導体等の各種化合物半導体やその混合物、化合物を用いてもよい。また、半導体層は、インジウムと亜鉛、もしくはインジウムとガリウムを含むことが好ましい。例えば、見かけの組成比が $\text{In}_a\text{Ga}_b\text{Zn}_c\text{O}_d$ で表される酸化物半導体を用いてもよい。ここで、 $0 \leq a \leq 1$ 、 $0 \leq b \leq 1$ 、 $0 \leq c \leq 1$ 、 $a + b + c = 1$ である。

【0036】

また酸化物半導体層としては、少なくとも In 、 Ga 、 Sn 、 Zn 、 Al 、 Mg 、 Hf 及びランタノイドから選ばれた一種以上の元素を含有してもよい。例えば、四元系金属の酸化物である In-Sn-Ga-Zn-O 系酸化物半導体や、三元系金属の酸化物である In-Sn-Zn-O 系酸化物半導体、 In-Al-Zn-O 系酸化物半導体、 Sn-Ga-Zn-O 系酸化物半導体、 Al-Ga-Zn-O 系酸化物半導体、 Sn-Al-Zn-O 系酸化物半導体、 In-Hf-Zn-O 系酸化物半導体、 In-La-Zn-O 系酸化物半導体、 In-Ce-Zn-O 系酸化物半導体、 In-Pr-Zn-O 系酸化物半導体、 In-Nd-Zn-O 系酸化物半導体、 In-Pm-Zn-O 系酸化物半導体、 In-Sm-Zn-O 系酸化物半導体、 In-Eu-Zn-O 系酸化物半導体、 In-Gd-Zn-O 系酸化物半導体、 In-Tb-Zn-O 系酸化物半導体、 In-Dy-Zn-O 系酸化物半導体、 In-Ho-Zn-O 系酸化物半導体、 In-Er-Zn-O 系酸化物半導体、 In-Tm-Zn-O 系酸化物半導体、 In-Yb-Zn-O 系酸化物半導体、 In-Lu-Zn-O 系酸化物半導体や、二元系金属の酸化物である In-Zn-O 系酸化物半導体、 Sn-Zn-O 系酸化物半導体、 Al-Zn-O 系酸化物半導体、 Zn-Mg-O 系酸化物半導体、 Sn-Mg-O 系酸化物半導体、 In-Mg-O 系酸化物半導体や、 In-Ga-O 系の材料、一元系金属の酸化物である In-O 系酸化物半導体、 Sn-O 系酸化物半導体、 Zn-O 系酸化物半導体などを用いることができる。また、上記酸化物半導体に例えば SiO_2 を含ませてもよい。

20

30

【0037】

また、酸化物絶縁層の厚さは、前記絶縁膜の厚さと前記半導体層の厚さの和の5倍以上とするとよい。あるいは酸化物絶縁層の厚さは、100nm以上としてもよい。また、酸化物絶縁層はスパッタリング法で形成されることが望ましい。

40

【0038】

さらに半導体層の外周は、絶縁膜の外周の内側になるように設けるとよい。また、開口部は、半導体層と重なるように設けるとよい。

【0039】

なお、上記課題を解決するためには、上記以外の態様も可能である。本明細書等においては、ある一つの実施の形態において述べる図または文章において、少なくとも一つの実例が記載される場合、その具体例の上位概念を導き出すことは、当業者であれば容易に理解される。したがって、ある一つの実施の形態において述べる図または文章において、少なくとも一つの実例が記載される場合、その具体例の上位概念も、発明の一態様として

50

開示されているものであり、発明の一態様を構成することが可能である。

【0040】

なお、本明細書等においては、少なくとも図に記載した内容（図の中の一部でもよい）は、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。したがって、ある内容について、図に記載されていれば、文章を用いて述べていなくても、その内容は、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。同様に、図の一部を取り出した場合についても、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。

【発明の効果】

【0041】

上記の構成のいずれかを採用することにより、前記課題の少なくとも一つを解決できる。すなわち、絶縁膜はCVD法、スパッタリング法のいずれでも形成することができる。本発明の一態様によれば、段差部に半導体層や配線を重なって設けることを可能な限り避けられるので、段差部のステップカバレッジに起因する絶縁不良を抑制できる。

【0042】

また、本発明の一態様によれば、絶縁膜がCVD法で形成されたものであっても、200℃以上の熱処理により、その上に設けられる酸化物絶縁層から酸素が拡散することにより、絶縁膜中に存在する水素を酸化して水として固定し、あるいは、絶縁膜から放出することができる。この作用により、絶縁膜中の水素濃度を十分に低下させることができる。

【0043】

なお、本発明で扱うFETにおいては、絶縁膜の厚さは100nm以下、典型的には、5nm以上50nm以下であるので、絶縁膜中の水素濃度を正確に知ることはできない。そこで、水素濃度が十分に低下したかどうかは、ゲート熱バイアスストレス試験（BT試験）をおこなって間接的に判断する。本明細書では、BT試験（150℃、1時間、ゲートバイアス+2MV/cmあるいは-2MV/cm）で、しきい値の変動が0.1ボルト以下であれば、水素濃度が十分に低下したと判断する。このように十分に水素濃度が低下したと推測される絶縁膜を有するFETの特性は極めて安定する。

【0044】

なお、本発明の効果は以上に限られるわけではない。本明細書の他の部分において記載されている効果も対応する本発明の態様の効果として扱うことができる。

【図面の簡単な説明】

【0045】

【図1】本発明の電界効果トランジスタの作製工程の一例を示す図である。

【図2】本発明の電界効果トランジスタの作製工程の一例を示す図である。

【図3】本発明の電界効果トランジスタの例を示す図である。

【図4】従来の電界効果トランジスタの作製工程を示す図である。

【図5】本発明の電界効果トランジスタを用いた半導体装置の一例を示す図である。

【図6】本発明の電界効果トランジスタを用いた半導体装置の一例を示す図である。

【図7】本発明の電界効果トランジスタの作製工程の一例を示す図である。

【発明を実施するための形態】

【0046】

以下、実施の形態について図面を参照しながら説明する。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って本実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する構成において、同様のものを指す符号は異なる図面間で共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。

【0047】

（実施の形態1）

図1（A）乃至（D）に、本発明の一態様のFETの作製工程断面図を、また、図2（A

10

20

30

40

50

）および（B）に、本発明の一態様のFETの作製工程上面図を示す。図1（A）乃至（D）は図2（A）および（B）のA－Bにおける断面図である。

【0048】

まず、基板101上に、導電層と絶縁膜を形成する。導電層と絶縁膜は、どのような成膜方法も適用できるが、スパッタリング法、CVD法、レーザーアブレーション法等の、雰囲気十分に管理された状態でおこなわれる成膜方法で、かつ、導電層の成膜後に、導電層が大気に曝されることなく、絶縁膜が成膜されることが望まれる。

【0049】

導電層としては各種の材料を用いることができる。例えば、導電層として、タングステン、モリブデン、白金、クロム等の各種金属あるいはそれらの窒化物、さらにはp型珪素等の半導体、酸化インジウム等の酸化物等を用いるとよい。特にFETをノーマリーオフとするのであれば、その後に形成する半導体層の電子親和力を考慮して、仕事関数が電子親和力以上のものを用いるとよい。また、導電層は多層構造としてもよい。その場合には、最上層を、半導体層の電子親和力を考慮した材料とし、その他の層をより導電性あるいは耐熱性の優れた材料で構成するとよい。導電層の厚さは、配線として用いる場合の抵抗を考慮して決定されるとよい。典型的には100nm以上500nm以下とすればよい。

【0050】

また、絶縁膜も各種の材料を用いることができる。例えば、酸化珪素、酸化窒化珪素、窒化珪素、酸化アルミニウム、窒化アルミニウム、酸化ハフニウム、酸化窒化アルミニウム等を用いればよい。絶縁膜の厚さおよび誘電率はFETの特性を決定する。一般的には、高誘電率かつ薄い絶縁膜を用いると、FETのしきい値は正となる。しかし、過剰に薄いとリーク電流も甚大となり、また、絶縁耐圧も低下する。典型的には5nm以上50nm以下とすればよい。

【0051】

なお、導電層の成膜に際しては、雰囲気中の水素濃度を十分に低下させ、導電層中への水素、水素化合物、水酸化物の混入を極力、抑制する必要がある。多くの場合、導電層は配線として用いられるので、抵抗を下げるため比較的厚く（100nm以上）形成される。このような厚い層に高濃度の水素等が含まれていると、その後の処理においても導電層から半導体層への水素の拡散を十分に阻止できないからである。

【0052】

多くの金属は水素を吸収する性質がある。したがって、導電層に金属や合金を用いる場合は、成膜時および成膜後に導電層が水素あるいは水素イオン等に曝されないことが好ましい。また、導電層中の水素濃度は $1 \times 10^{18} / \text{cm}^3$ 以下、好ましくは、 $1 \times 10^{16} / \text{cm}^3$ 以下となるようにするとよい。

【0053】

導電層を大気に曝すことなく、絶縁膜を形成することも導電層への水素等の吸着を防止する上で効果がある。例えば、図4（A）に示す従来の方法では、導電層を形成後、大気中でフォトリソグラフィ法によるパターン形成をおこない、さらには、導電層をエッチングした後に、再度、大気中で処理（例えば、レジストの剥離）等をおこなう。あるいは、レジストを減圧下でアッシングにより除去することもある。

【0054】

これらの過程において、大気中あるいは溶液中水分が導電層と化合し、水酸化物として、導電層に混入することもある。あるいは、酸性あるいはアルカリ性の溶液に接した導電層が電気化学反応で水素を発生し、これを吸収することもある。さらには、アッシングの際にレジストが分解した水素を含む物質（水を含む）が、導電層に混入し、あるいは導電層と化合することもある。このような現象は、特に導電層として、各種金属や合金を用いる場合には顕著である。

【0055】

このようにして形成される水酸化物や吸蔵された水素は比較的安定していて、200℃程度の加熱処理では分解や放出されることはない。しかし、電氣的な作用やスパッタリング

10

20

30

40

50

現象により分解あるいは放出されることがある。すなわち、導電層の形成後に、絶縁膜をプラズマCVD法やスパッタリング法で成膜する際に、導電層中に水酸化物や吸蔵された水素が含まれていると、成膜雰囲気中に水素が放出され、形成される絶縁膜中に水素が含まれたり、導電層から絶縁膜に水素が移動することがある。そして、このように絶縁膜に水素が含まれると、FETの特性に悪影響をおよぼすこととなる。

【0056】

従来、珪素半導体等では導電層中の水酸化物等や吸蔵された水素の影響は全くなかったために、このような問題は、これまで考慮されることはなかった。また、酸化物半導体において水素がドナーとなることは知られていたが、導電層中に含まれる水素等については何ら考慮されていない。しかしながら、特に酸化物半導体および硫化物半導体においては、10
微量の水素であっても、FETの特性や信頼性に大きな影響を与える可能性があるので、本発明人は、導電層中の水素等も無視できないことに気がついた。

【0057】

したがって、導電層は可能な限り大気や溶液に曝されないことが望まれる。導電層を大気に曝することなく、連続的に絶縁膜を形成すると、導電層と水分その他の水素を含む物質が化合することや水素の吸蔵を抑制できる。

【0058】

さて、絶縁膜を形成した後、絶縁膜をエッチングし、引き続き、導電層をエッチングする。この工程は、絶縁膜上に形成したレジストマスク等を用いて、絶縁膜と導電層をエッチングしてもよいし、レジストマスクを用いて絶縁膜をエッチングした後、レジストマスクを剥離し、エッチングによって形成された絶縁膜103a、103bをマスクとして、導電層をエッチングしてもよい。エッチングされた導電層は、配線102a、102bとなる。20

【0059】

このような工程を経ることより、絶縁膜103aは配線102aと略同形状となり、また、絶縁膜103bは配線102bと略同形状となる。なお、エッチングは、ウェットエッチングでもドライエッチングでもよい。この段階を図1(A)に示す。

【0060】

次に半導体層を形成する。半導体層は、どのような成膜方法も適用できるが、スパッタリング法、CVD法、レーザーアブレーション法等の、雰囲気が十分に管理された状態でおこなわれる成膜方法で成膜されることが望まれる。また、半導体層中の水素濃度を低下させるため、基板を200℃以上に加熱して成膜してもよい。30

【0061】

半導体層の厚さはFETの特性を決定する。一般的には、薄い半導体層を用いると、FETのしきい値は正となる。しかし、過剰に薄いと特性のばらつきが大きくなる。典型的には5nm以上50nmとすればよい。

【0062】

そして、これをエッチングして、絶縁膜103a、103b上に、半導体層104a、104bをそれぞれ形成する。この段階を図1(B)および図2(A)に示す。図2(A)に明らかなように、半導体層104a、104bは、絶縁膜103a、103bの端部と重ならないように形成する。40

【0063】

すなわち、半導体層104aの外周は絶縁膜103aの外周の内側にあるように、また、半導体層104bの外周は絶縁膜103bの外周の内側にあるようにする。このような構造により、配線102a、102bの段差部と半導体層104a、104bが重ならないので、段差部での耐圧低下の問題を排除できる。

【0064】

例えば、酸化物半導体を用いて半導体層を形成する際には、多くの場合、スパッタリング法が用いられる。これは、半導体層中への水素等の混入を十分に低減できる可能性があることに加え、CVD法で作製するには、原料となるガスの入手が困難であるためである。50

しかしながら、スパッタリング法では、厚さ50nm以下の酸化物半導体層を、図4(A)に示すように凹凸のある絶縁膜203表面に均一に形成することは困難である。

【0065】

これに対し、本実施の形態に示すように、半導体層104a、104bが配線102a、102bの段差部と重ならない構造であれば、半導体層は平面上に均一に形成できればよいので、スパッタリング法で半導体層を形成する上でも問題が生じない。半導体層の平坦性に関しては、平坦であるほど好ましいことは言うまでもないが、半導体層104a、104bの厚さの二乗平均平方根(RMS)が10nm以下の平坦性を有するとよい。

【0066】

その後、酸化物絶縁層105を半導体層104a、104bに接して形成する。酸化物絶縁層105としては、例えば、スパッタリング法による酸化珪素等を用いればよい。好ましくは、酸化物絶縁層105が200℃以上の加熱で内包している酸素を放出して、酸化作用を有するとよい。この段階を図1(C)に示す。

10

【0067】

スパッタリング法により室温で形成された酸化珪素層は、単位体積中に1%乃至10%、典型的には3%乃至7%の過剰な酸素を含有している。これらの酸素は加熱と共に層外に放出されることが、昇温脱離ガス分析(TDS)法により確認されている。また、このような酸化珪素層上に酸化物半導体層を形成して加熱すると、酸素の放出量が減少することが同じくTDS法により確認されている。

【0068】

なお、ここではスパッタリング法により室温で形成された酸化珪素層を酸化物絶縁層105として用いることについて述べたが、酸化物絶縁層105として用いられ得るものは、これに限らない。

20

【0069】

したがって、スパッタリング法により形成された酸化珪素よりなる酸化物絶縁層105は加熱処理により、隣接する半導体層104a、104bや絶縁膜103a、103bを酸化する。その結果、これらに含まれている水素を固定し、あるいは除去することができる。すなわち、酸化物絶縁層105を形成後、200℃以上で加熱するとよい。

【0070】

なお、上記の酸化作用を適切におこなうには酸化物絶縁層105の厚さも重要である。半導体層104a、104bや絶縁膜103a、103bよりも過剰に薄いと、十分な酸化がおこなえず、これらに水素が残存してしまう。そのため、酸化物絶縁層105の厚さは、半導体層104aの厚さと絶縁膜103aの厚さの和の5倍以上であることが好ましい。

30

【0071】

さらに、酸化物絶縁層105は層間絶縁物としての側面も有する。また、半導体層104a、104bに外部から水素等が侵入するのを防止するための保護膜としての側面も有する。それらの目的のためには酸化物絶縁層105の厚さは100nm以上であることが好ましい。

【0072】

その後、平坦化絶縁層106を形成する。平坦化絶縁層は設けなくてもよい。また、その他の絶縁層を設けてもよい。そして、平坦化絶縁層106、酸化物絶縁層105に半導体層104a、104bに達する開口部を設ける。開口部は、絶縁膜103a、103bと重なるように設ける。好ましくは、開口部は、その外周が絶縁膜103a、103bの外周から、200nm以上、より好ましくは、1μm以上離れるように設ける。

40

【0073】

開口部の形成にはウェットエッチング法、ドライエッチング法いずれをも用いることができる。なお、いずれの場合においても、エッチングに際して、半導体層104a、104bに化学的な影響を与え、開口部周辺の104a、104bの特性に影響を与えることがある。

50

【0074】

例えば、半導体層104a、104bとして酸化物半導体を用い、ドライエッチング法で開口部を形成した場合には、プラズマの作用により、開口部周辺の酸化物半導体に酸素欠損が生じ、n型化することがある。

【0075】

さらに、導電層を形成し、これを所望の形状にエッチングして配線107a、107bを形成する。導電層としては、各種の金属や合金、窒化物等を用いることができる。特に、半導体層104a、104bと接する部分においてはオーミックコンタクトが形成されることが望ましい。そのためには、仕事関数が、半導体層の電子親和力以下の材料を用いることが好ましい。また、導電層は単層である必要はなく、多層構造としてもよい。

10

【0076】

例えば、5nm以上100nm以下のインジウム酸化物等のn型の酸化物半導体を堆積して、半導体層104a、104bと接する構造とし、その上に、20nm以上100nm以下のチタン（あるいは窒化チタン）と、100nm以上300nm以下のアルミニウム（あるいはアルミニウム合金）を堆積する構造としてもよい。

【0077】

配線107a、107bは、半導体層104a、104bと接する部分においてFETのソース、ドレインとして機能する。この段階を図1（D）および図2（B）に示す。なお、配線107a、107bを形成した後、300℃以上の高温の処理をおこなう場合には、配線107a、107bを構成する元素が、半導体層104a、104bに拡散し、その特性に悪影響を及ぼすことがある。

20

【0078】

したがって、配線107a、107bを形成した後は、そのような高温での処理を避けることが好ましい。一方で、配線107a、107bはFET作製の最終段階で形成されるので、その後に高温での処理が必要となることはほとんど無い。

【0079】

図1（D）にLで示される長さがFETのチャネル長となる。また、開口部を上記の条件で設けることで、図2（B）に示されるように、配線107a、107b、107cが半導体層104a、104bと接する部分は半導体層104a、104bの端部（外周部）と重ならない。このような構造により、段差部での耐圧低下の問題を排除できる。

30

【0080】

なお、半導体層104a、104bの端部（外周部）の特性は好ましいものでないことが多い。これらの領域は、しばしば導電性が他の部分よりも高くなり、従来のFETにおいては、リーク電流の要因となり得た。それは、従来のFETにおいては、半導体層の端部とソースおよびドレイン（として機能する配線や電極）が接しているためである。

【0081】

しかしながら、図2（B）に示されるFETにおいては、ソースやドレインとして機能する配線107a、107b、107cは上述の通り、半導体層104a、104bの端部と重ならないので、仮に、半導体層104a、104bの端部の導電性が高くとも、配線107aと107bの間、あるいは配線107bと107c間にリーク電流は流れない。そのため、オフ電流の十分に低いFETを得ることができる。

40

【0082】

また、半導体層104a、104bの外周が、絶縁膜103a、103bの外周の内側にあるということは、半導体層104a、104bは、図1（D）から明らかなように、平坦に形成されるということである。例えば、図4（C）の半導体層204a、204bのように、半導体層に凹凸があるとFETの特性は凹凸の影響を受ける。そのような凹凸を有する素子を均一に形成することは困難なため、FET特性のばらつきの原因となる。

【0083】

例えば、図4（C）においては、配線205a、205bが半導体層204aおよび配線202aに対して左右対称に設けられているが、全ての素子をこのような形状に形成する

50

ことは困難である。マスクあわせの際の誤差のため、配線 205a、205b が、図の右側（あるいは左側）に少しだけ平行移動しても、配線 205a、205b と半導体層 204a の湾曲している部分との位置関係が異なり、FET としての特性が変動することがある。すなわち、FET の特性のばらつきが生じる。

【0084】

特に半導体層が何らかの結晶成分を含んでいる場合にはばらつきが大きくなる傾向がある。それは、半導体層の平面部分と局面部分とで結晶の方位や大きさ等に大きな差があるためである。そのような結晶成分は、酸化亜鉛では、室温でスパッタリング法により形成した場合でも生じる。また、インジウムガリウム亜鉛系酸化物半導体においても、組成によって差はあるが、一般に 400℃ 以上の熱処理をおこなうと生じる。

10

【0085】

これに対し、平坦な面上に、均一に平面状の半導体層を形成することは容易である。そして、マスクあわせの際の誤差のため、図 1 (D) の配線 107a、107b が、図の右側（あるいは左側）に少しだけ平行移動しても、半導体層 104a および配線 102a に対する位置関係は変わらない。すなわち、FET の特性のばらつきは限定的となる。

【0086】

したがって、本実施の形態で示した FET は図 4 に示される従来の FET に比べて特性のばらつきが少ない。このような FET は、しきい値ばらつきの小さいことが要求される回路に用いるのに好適である。

【0087】

例えば、アクティブマトリクス型有機エレクトロルミネッセンス表示装置では、表示のむらをなくすために、駆動トランジスタのしきい値のばらつきが小さいことが望まれる。また、抵抗損失を減らすため、駆動トランジスタの電界効果移動度の高い FET が望まれる。そのような目的には、図 1 (D) に示す構成を有し、酸化物半導体を半導体層に用いて作製した FET が好適である。そのような FET は、例えば、 $10\text{ cm}^2/\text{Vs}$ 以上、好ましくは、 $30\text{ cm}^2/\text{Vs}$ 以上の電界効果移動度が得られる。

20

【0088】

なお、本実施の形態で示した作製工程では、必要なマスク合わせの回数は 4 回であり、図 4 に示す従来の方法（5 回のマスク合わせが必要）よりも少ない。そのため、ミスマライメントによる不良の確率を低減でき、歩留まりを向上させる上で効果がある。

30

【0089】

また、多階調マスクを用いてさらにマスクあわせの回数を減らすこともできる。例えば、配線 102a、102b、絶縁膜 103a、103b のパターン形成（図 1 (A)）と、半導体層 104a、104b のパターン形成（図 1 (B)）を、3 階調（透過、不透過、半透過）の 1 枚のマスクを用いておこなうこともできる。

【0090】

その場合には、導電層と絶縁膜と半導体層を連続して形成した後、マスクあわせをおこなうとよい。その結果、さらにマスクあわせの回数を 1 回減らすことができる。加えて、絶縁膜を大気に曝すことなく、その上に半導体層を成膜することで、絶縁膜と半導体層との間の界面を清浄に保つことができる。

40

【0091】

（実施の形態 2）

本実施の形態では、実施の形態 1 で示したものと異なる構造を有する FET の例を説明する。図 3 (A) および図 3 (B) に示す FET は、基板 101 上に、ゲート電極として機能する配線 102a、102b と、配線 102a の上に設けられ、配線 102a と略同形状でゲート絶縁膜として機能する絶縁膜 103a と、配線 102b の上に設けられ、配線 102b と略同形状でゲート絶縁膜として機能する絶縁膜 103b と、絶縁膜 103a の上に設けられ、その外周が絶縁膜 103a の外周よりも内側にある半導体層 104a と、絶縁膜 103b の上に設けられ、その外周が絶縁膜 103b の外周よりも内側にある半導体層 104b と、酸化物絶縁層 105 と、平坦化絶縁層 106 と、酸化物絶縁層 105

50

と平坦化絶縁層 106 に設けられた開口部を通して半導体層 104a に接する配線 107a と、酸化物絶縁層 105 と平坦化絶縁層 106 に設けられた開口部を通して半導体層 104b に接する配線 107b とを有する点で、図 1 (D) に示す FET と同じである。

【0092】

図 1 (D) に示す FET と図 3 (A) および図 3 (B) に示す FET との相違点は半導体層 104a と酸化物絶縁層 105 の間あるいは半導体層 104b と酸化物絶縁層 105 の間に絶縁膜 108 (図 3 (A)) あるいは絶縁膜 108a と絶縁膜 108b (図 3 (B)) が設けられるか否かである。

【0093】

また、図 3 (A) に示す FET と図 3 (B) に示す FET の相違は、絶縁膜 108、108a、108b が半導体層と略同形状であるか否かである。図 3 (A) に示す FET の絶縁膜 108 は、半導体層 104a あるいは半導体層 104b のいずれとも異なる形状である。一方、図 3 (B) に示す FET の絶縁膜 108a は半導体層 104a と、また、絶縁膜 108b は半導体層 104b と略同形状である。

【0094】

図 3 (A) に示す FET を作製するには、図 1 (B) に示される状態の後に、絶縁膜 108 を形成すればよい。絶縁膜 108 を形成するには、どのような成膜方法も適用できるが、スパッタリング法、CVD 法、レーザーアブレーション法等の、雰囲気十分に管理された状態でおこなわれる成膜方法で成膜されることが望まれる。

【0095】

絶縁膜 108 は、各種の材料を用いて形成することができる。例えば、酸化珪素、酸化窒化珪素、窒化珪素、酸化アルミニウム、窒化アルミニウム、酸化ハフニウム、酸化窒化アルミニウム等を用いればよい。絶縁膜 108 の電子親和力やバンドギャップは半導体層 104a、104b に用いる半導体のキャリアの分布に影響を及ぼし、絶縁膜 108 がキャリアを引き寄せたり遠ざけたりする。

【0096】

その結果、FET のバックチャネル側のリーク電流に影響を及ぼすこともある。適切な材料で絶縁膜 108 を形成することで、FET の特性を好ましいものとできる。一例としては、インジウムガリウム亜鉛系酸化物半導体を半導体層 104a、104b に用いるのであれば、酸化アルミニウムを用いるとよりオフ電流を低減できる。もちろん、それ以外の理由のために絶縁膜 108 を設けてもよい。

【0097】

また、絶縁膜 108 の厚さは 5 nm 以上 50 nm 以下とすればよい。また、可能であれば、水素濃度は、 $1 \times 10^{20} / \text{cm}^3$ 以下、好ましくは、 $1 \times 10^{18} / \text{cm}^3$ 以下となるようにするとよい。このような条件であれば、その後に形成される酸化物絶縁層 105 から酸素が供給されることにより、これらの水素は固定され、あるいは膜外に放出される。

【0098】

絶縁膜 108 の水素濃度が $1 \times 10^{20} / \text{cm}^3$ より高く、厚さが上記の範囲を超えると、酸化物絶縁層 105 による酸化作用が十分におこなわれず、半導体層 104a、104b や絶縁膜 103a、103b に残留する水素によって FET の特性が悪化するおそれがある。同様の理由により、半導体層 104a、104b と酸化物絶縁層 105 の間には、その他の材料 (特に導電性材料) を設けないことが好ましい。

【0099】

絶縁膜 108 を形成した後は、実施の形態 1 に示した方法にしたがって、酸化物絶縁層 105 を形成すればよい。その後の作製工程は、実施の形態 1 で示した方法を用いればよい。

【0100】

図 3 (B) に示す FET を作製するには、図 1 (A) に示される状態の後に、半導体層を形成し、引き続いて、絶縁膜を形成すればよい。その際、半導体層を形成後に、大気に曝

10

20

30

40

50

さない状態で絶縁膜を形成することが好ましい。すなわち、十分に水素濃度、水蒸気濃度、水素化物濃度、水酸化物濃度が低い状態で、連続的に半導体層の上に絶縁膜を形成すると、半導体層中の水素濃度を低減でき、また、半導体層と絶縁層の界面を清浄に保てる。絶縁膜の形成方法、材料、厚さ等は上記を参考にすればよい。

【0101】

絶縁膜を形成した後、絶縁膜をエッチングし、引き続き、半導体層をエッチングする。この工程は、絶縁膜上に形成したレジストマスク等を用いて、絶縁膜と半導体層をエッチングしてもよいし、レジストマスクを用いて絶縁膜をエッチングした後、レジストマスクを剥離し、エッチングによって形成された絶縁膜108a、108bをマスクとして、半導体層をエッチングしてもよい。エッチングされた半導体層は半導体層104a、104bとなる。

10

【0102】

このような工程を経ることより、絶縁膜108aは半導体層104aと略同形状となり、また、絶縁膜108bは半導体層104bと略同形状となる。なお、エッチングは、ウェットエッチングでもドライエッチングでもよい。その後は、実施の形態1に示した方法にしたがって、酸化物絶縁層105を形成すればよい。その後の作製工程は、実施の形態1で示した方法を用いればよい。

【0103】

なお、図3(B)に示されるFETの作製において、多階調マスクを用いる場合には、導電層と絶縁膜と半導体層と、さらにその上に絶縁膜を連続して形成した後、マスクあわせをおこなうとよい。その結果、さらにマスクあわせの回数を1回減らすことができる。加えて、絶縁膜を大気に曝すことなく、その上に半導体層を成膜することで、半導体層を挟む上下の絶縁膜との間の界面を清浄に保つことができる。

20

【0104】

(実施の形態3)

本実施の形態では、実施の形態1および2とは異なる構造を有するFETと、それをアクティブマトリクス回路に用いた例を説明する。アクティブマトリクス回路は、図5(A)に示される単位回路をマトリクス状に配置したものであり、図5(A)の回路は液晶表示装置のように、階調を電圧で制御する表示装置に用いられる。なお、図5(A)の回路以外に、一部のエレクトロルミネッセンス表示装置のように、階調を電流で制御する表示装置に用いられるアクティブマトリクス回路もある。

30

【0105】

図5(A)に示す回路は、スイッチング素子としてのFET301と、互いに対向した第1電極および第2電極よりなる表示素子302と、互いに対向した第1電極および第2電極よりなる保持容量303と、FET301を選択するための信号を送送するスキャン線304と、表示素子302に印加する信号を送送するデータ線305と、保持容量の第2電極に電位を与えるための容量線306と、FET301のドレインと表示素子302の第1電極と保持容量303の第1電極を接続するための配線307とを有する。

【0106】

このような単位回路をマトリクス状に配置すると、スキャン線304とデータ線305、およびスキャン線304と容量線306は多くの交差する部分を有する。例えば、スキャン線304と容量線306は図5の308で示される部分で交差することとなる。このような交差する部分では寄生容量が生じ、寄生容量が大きいと信号が遅延する。そのため、寄生容量は小さいことが望まれる。

40

【0107】

図5(A)に示す回路を、実際に配線等で形成した例の上面図を図5(B)に示す。ここでは、主要な配線および半導体層のみを示し、絶縁膜等は省略してある。符号は図5(A)で用いたものと同じである。また、図5(B)において、C-D間の断面を模式的に示したものを図6に示す。以下、このような回路の作製工程を説明する。

【0108】

50

まず、図6(A)に示されるように、基板401上に導電層と絶縁膜を形成し、これを選択的にエッチングして、スキャン線304と、スキャン線304と略同一形状の絶縁膜402を形成する。導電層や絶縁膜の材料や厚さ、成膜方法等は他の実施の形態に示したものをを用いればよい。

【0109】

さらに、半導体層を形成する。本実施の形態では、半導体層を形成した後、半導体層を大気に曝すことなく、引き続き酸化物絶縁層を形成する。このようにすることで、半導体層と酸化物絶縁層の界面を清浄に保つことができる。半導体層や酸化物絶縁層の材料や厚さ、成膜方法等は他の実施の形態に示したものをを用いればよい。

【0110】

そして、半導体層および酸化物絶縁層を選択的にエッチングする。その際には、酸化物絶縁層上に形成したレジストマスク等を用いて、酸化物絶縁層と半導体層をエッチングしてもよいし、レジストマスクを用いて酸化物絶縁層をエッチングした後、レジストマスクを剥離し、エッチングによって形成された酸化物絶縁層404をマスクとして、半導体層をエッチングしてもよい。エッチングされた半導体層は半導体層403となる。このようなエッチング方法により、酸化物絶縁層404は半導体層403と略同形状となる。

【0111】

なお、これらの工程を多階調マスクを用いておこなうこともできる。例えば、3階調のマスクを用いて、スキャン線304と絶縁膜402のパターン形成と、半導体層403と酸化物絶縁層404のパターン形成を1回でおこなうことができる。その際には、導電層、絶縁膜、半導体層、酸化物絶縁層を連続的に成膜し、その後、3階調マスクを用いて、パターン形成すればよい。

【0112】

このように多階調マスクを用いると、マスク合わせの回数が1回少なくなるのみならず、絶縁膜402と半導体層403との界面が大気にさらされることがなく、界面状態を清浄に保てるので、FETの特性や信頼性を改善できる。

【0113】

その後、有機樹脂材料等を用いて平坦化絶縁層405を形成し、これと酸化物絶縁層404に半導体層403に達する開口部を設ける。そして、導電層を成膜して、これを選択的にエッチングして、データ線305および容量線306、配線307を形成する。

【0114】

さらに、データ線305および容量線306、配線307上に厚さ60nm以上1μm以下の絶縁膜406を形成する。絶縁膜406としては、絶縁膜402に用いられるものから選ばばよい。特にステップカバレッジに優れた成膜方法を採用することが望ましく、プラズマCVD法を用いることが好ましい。例えば、プラズマCVD法による窒化珪素膜を用いることができる。その後、絶縁膜406に開口部407を設ける。絶縁膜406の上にさらに、有機樹脂材料等によって平坦化絶縁層を形成してもよい。

【0115】

図示しないが、この後、表示素子の電極を形成する。容量線306の一部は、表示素子の電極と対向して、絶縁膜406を誘電体とする容量（すなわち保持容量303）となる。すなわち、表示素子の電極が保持容量303の第1電極、容量線306の一部が保持容量303の第2電極となる。また、表示素子の電極の他の部分は表示素子302の第1電極となる。さらに、表示素子の電極は開口部407で配線307と接続する。

【0116】

図6(B)から明らかなように、スキャン線304と容量線306の交差する部分308には、十分な厚さの絶縁層が存在するため寄生容量を低減することができる。

【0117】

ところで、図6(B)からわかるように、半導体層403はその端部において有機樹脂のような水素を含有する平坦化絶縁層405と接触する。したがって、半導体層403に、例えば、各種酸化物半導体を用いた場合には、その部分での半導体特性が著しく劣化し、

10

20

30

40

50

典型的には導電率が極めて高くなっている可能性がある。このような領域は端部から約 1 μm 程度あると考えられる。

【0118】

しかしながら、データ線 305 および配線 307 が半導体層 403 と接する部分（すなわち、酸化物絶縁層 404 および平坦化絶縁層 405 への開口部）を、そのような半導体特性が劣化していると推定される場所を避けて設けることで、FET の特性を劣化させることを免れ得る。

【0119】

（実施の形態 4）

本実施の形態では、FET の信頼性を高めることのできる作製方法について図 7 を用いて説明する。なお、本実施の形態で説明する FET の半導体層や配線を上方から見た様子は図 2 に示されるものと同様であり、図 2 の一点鎖線 A-B で示される部分の断面の模式図を図 7 に示す。また、主たる構造も他の実施の形態と同じなので、それらを参照すればよい。

10

【0120】

基板 101 上に導電層を形成する。さらに導電層の上に絶縁膜を形成する。さらに絶縁膜の上に半導体層を形成する。さらに半導体層の上に酸化物絶縁層を形成する。これらの成膜に際しては、基板 101 を大気に触れさせることなく、連続的に起こなうとよい。すなわち、これらの成膜装置が互いに連結しており、基板 101 を大気に取り出さずとも、各成膜装置間を移動できる構成とする。あるいは、1 つの成膜装置で複数種類の成膜をおこなえる装置を用いてもよいし、それらを組み合わせてもよい。

20

【0121】

また、上記絶縁膜と酸化物絶縁層を同種のもの、例えば、スパッタリング法によって形成される酸化珪素とするのであれば、同じ装置を使用してもよい。また、これらの成膜に際しては、水素や水素を含む化合物が十分に低減された雰囲気や原料を用いておこなうことが好ましい。

【0122】

上記のような措置を取ることにより、絶縁膜や半導体層を大気成分の汚染から守ることができ、作製される FET の信頼性を高める上で顕著な効果がある。

【0123】

導電層、絶縁膜、半導体層、酸化物絶縁層の材料や厚さ等は実施の形態 1 を参照すればよい。特に、これらの成膜をすべてスパッタリング法でおこなうことが好ましい。これらの成膜は段差等のない平坦面上への成膜であるので、段差被覆性に問題がある真空蒸着法やスパッタリング法を用いることも可能である。

30

【0124】

そして、これらの積層膜を選択的にエッチングして、配線 102 a、102 b、絶縁膜 103 a、103 b、半導体層 104 c、104 d、酸化物絶縁層 105 c、105 d を形成する。当然のことながら、配線 102 a、絶縁膜 103 a、半導体層 104 c、酸化物絶縁層 105 c は略同形状となり、また、配線 102 b、絶縁膜 103 b、半導体層 104 d、酸化物絶縁層 105 d も略同形状となる（図 7（A）参照）。

40

【0125】

配線 102 a、102 b はゲート電極としても機能し、また、絶縁膜 103 a、103 b はゲート絶縁膜としても機能する。

【0126】

次に、半導体層 104 c、104 d、酸化物絶縁層 105 c、105 d を選択的にエッチングして、半導体層 104 a、104 b、酸化物絶縁層 105 a、105 b を形成する。当然のことながら、半導体層 104 a と酸化物絶縁層 105 a は略同形状となり、半導体層 104 b、酸化物絶縁層 105 b も略同形状となる。このエッチングで、半導体層 104 a、104 b は島状に形成される（図 7（B）参照）。

【0127】

50

この状態に対応する上面図は、図 2 (A) に示される。なお、図 2 (A) では酸化物絶縁層 105 a、105 b は表示されていない。また、酸化物絶縁層 105 a、105 b は図 1 の酸化物絶縁層 105 に相当するものであり、半導体層 104 a、104 b に酸素を供給する役目を果たす。

【0128】

なお、図 7 (A) の工程と図 7 (B) の工程を多階調マスクを用いておこなえば、フォトリソグラフィ工程を 1 つ削減できる。

【0129】

実施の形態 1 と異なり、本実施の形態では半導体層 104 a、104 b を大気に触れさせることなく、その上に酸化物絶縁層 105 a、105 b を形成できるので、半導体層 104 a、104 b が大気成分により汚染される可能性を著しく低減できる。

【0130】

また、図 3 (B) に示される FET と比較すると、半導体層 104 a、104 b と酸化物絶縁層 105 a、105 b の間に絶縁膜が存在しないため、酸化物絶縁層 105 a、105 b から半導体層 104 a、104 b への酸素の供給が容易におこなえる。

【0131】

次に、第 1 の保護絶縁層 106 a を形成する。第 1 の保護絶縁層 106 a は、実施の形態 2 の絶縁膜 108 と同様な材料で形成できるが、段差被覆性の優れた方法で成膜されることが好ましい。本実施の形態では第 1 の保護絶縁層 106 a の厚さに上限はない。本実施の形態では、第 1 の保護絶縁層 106 a は外部からの半導体層 104 a、104 b への水素の侵入を阻む目的で設けられる。そのため、好ましくは 100 nm 以上の厚さであるといよい。

【0132】

その後、平坦な表面を有する第 2 の保護絶縁層 106 b を形成し、これにコンタクトホールを設けて、配線 107 a、107 b を形成する (図 7 (C) 参照)。配線 107 a、107 b は FET のソース電極やドレイン電極に相当する。この状態に対応する上面図は、図 2 (B) に示される。

【0133】

(実施の形態 5)

本実施の形態では、実施の形態 1 乃至 4 に示した FET を用いた電子機器について説明する。これらの FET は、パーソナルコンピュータ、携帯通信機器、画像表示装置、映像再生装置、画像映像撮像装置、ゲーム機、電子書籍等の機器に用いることができる。

【符号の説明】

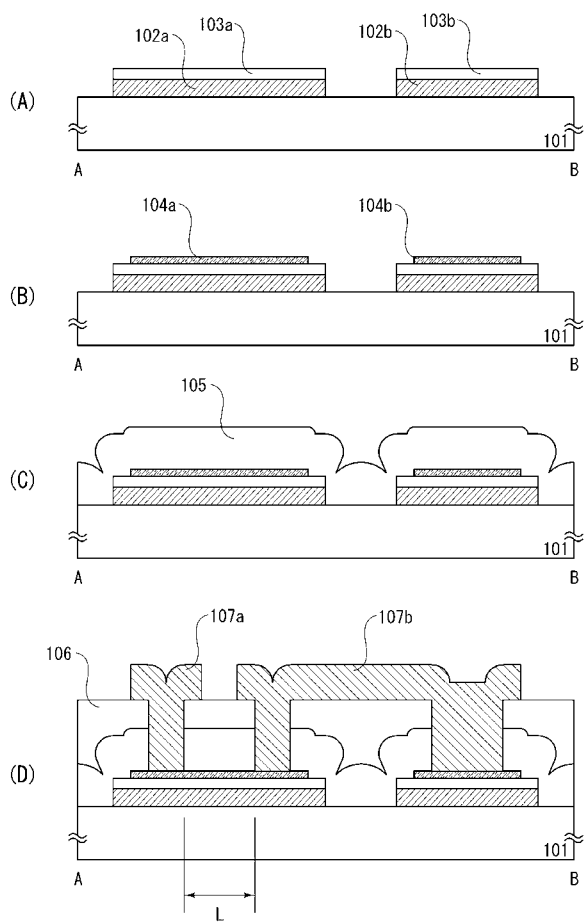
【0134】

101	基板	
102 a	配線	
102 b	配線	
103 a	絶縁膜	
103 b	絶縁膜	
104 a	半導体層	40
104 b	半導体層	
104 c	半導体層	
104 d	半導体層	
105	酸化物絶縁層	
105 a	酸化物絶縁層	
105 b	酸化物絶縁層	
105 c	酸化物絶縁層	
105 d	酸化物絶縁層	
106	平坦化絶縁層	
106 a	第 1 の保護絶縁層	50

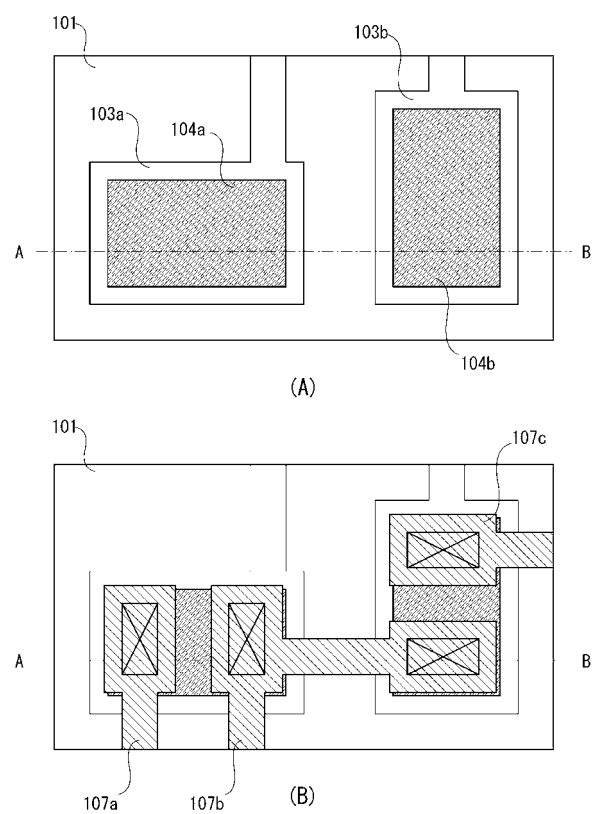
1 0 6 b	第 2 の保護絶縁層	
1 0 7 a	配線	
1 0 7 b	配線	
1 0 8	絶縁膜	
1 0 8 a	絶縁膜	
1 0 8 b	絶縁膜	
2 0 1	基板	
2 0 2 a	配線	
2 0 2 b	配線	
2 0 3	絶縁膜	10
2 0 4 a	半導体層	
2 0 4 b	半導体層	
2 0 5 a	配線	
2 0 5 b	配線	
2 0 6	平坦化絶縁層	
2 0 7 a	配線	
2 0 7 b	配線	
3 0 1	F E T	
3 0 2	表示素子	
3 0 3	保持容量	20
3 0 4	スキャン線	
3 0 5	データ線	
3 0 6	容量線	
3 0 7	配線	
3 0 8	配線の交差する部分	
4 0 1	基板	
4 0 2	絶縁膜	
4 0 3	半導体層	
4 0 4	酸化物絶縁層	
4 0 5	平坦化絶縁層	30
4 0 6	絶縁膜	
4 0 7	開口部	
5 0 1	基板	
5 0 2 a	配線	
5 0 2 b	配線	
5 0 3 a	絶縁膜	
5 0 3 b	絶縁膜	
5 0 4 a	半導体層	
5 0 4 b	半導体層	
5 0 5 a	酸化物絶縁層	40
5 0 5 b	酸化物絶縁層	
5 0 6 a	第 1 の保護絶縁層	
5 0 6 b	第 2 の保護絶縁層	
5 0 7 a	配線	
5 0 7 b	配線	
5 0 7 c	配線	
5 0 7 d	配線	
5 0 8	隔壁	
5 0 9	発光材料層	
5 1 0	透明導電膜	50

- 5 1 1 配線交差部
5 1 2 容量素子

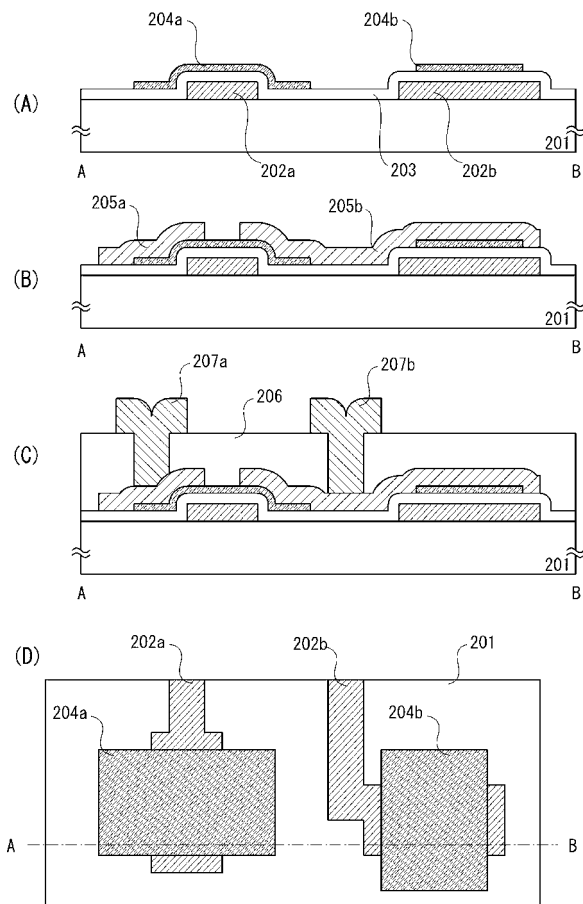
【図 1】



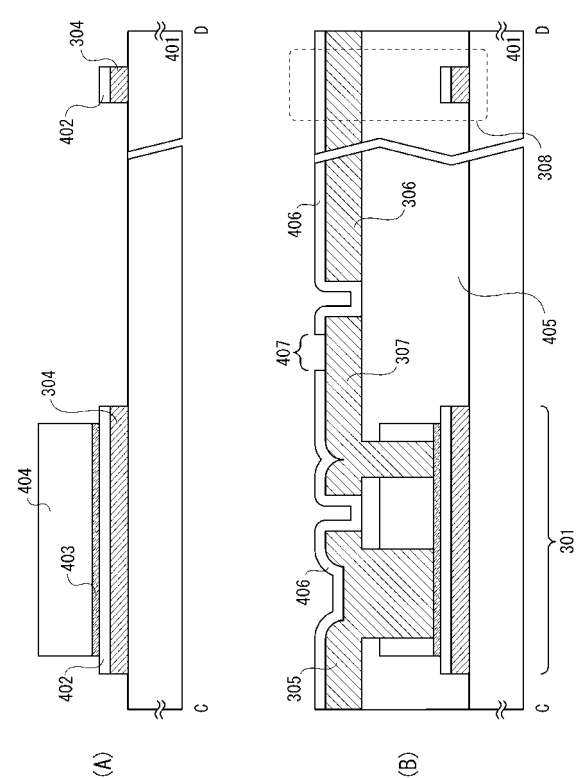
【図 2】



【図 4】



【图 6】



【図 7】

