

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2024 年 9 月 6 日 (06.09.2024)



(10) 国际公布号
WO 2024/178908 A1

- (51) 国际专利分类号:
G09G 3/20 (2006.01) **G09G 3/36** (2006.01)
- (21) 国际申请号: PCT/CN2023/110193
- (22) 国际申请日: 2023 年 7 月 31 日 (31.07.2023)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
202310191390.4 2023年3月2日 (02.03.2023) CN
- (71) 申请人: 昆山国显光电有限公司 (**KUNSHAN GO-VISIONOX OPTO-ELECTRONICS CO., LTD**) [CN/CN]; 中国江苏省苏州市昆山市开发区龙腾路1号4幢, Jiangsu 215300 (CN)。
- (72) 发明人: 郭恩卿 (**GUO, Enqing**); 中国江苏省苏州市昆山市开发区龙腾路1号4幢, Jiangsu 215300

(CN)。李俊峰 (**LI, Junfeng**); 中国江苏省苏州市昆山市开发区龙腾路1号4幢, Jiangsu 215300 (CN)。
盖翠丽 (**GAI, Cuili**); 中国江苏省苏州市昆山市开发区龙腾路1号4幢, Jiangsu 215300 (CN)。

(74) 代理人: 北京远智汇知识产权代理有限公司 (**BEIJING YZH IP FIRM**); 中国北京市海淀区莲花池东路39号6层608室, Beijing 100036 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD,

(54) Title: SCANNING CIRCUIT AND DISPLAY PANEL

(54) 发明名称: 扫描电路和显示面板

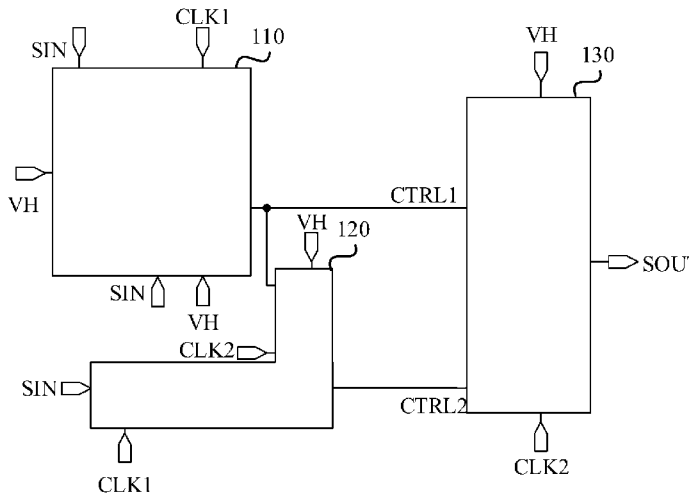


图 2

(57) Abstract: A scanning circuit (20) and a display panel (1). The scanning circuit (20) comprises a first control module (110), a second control module (120) and an output module (130), wherein the first control module (110) is connected to a first control end of the output module (130), and the first control module (110) is configured to output a first control signal to the first control end according to an input signal, a first clock signal and a first power supply; the second control module (120) is connected to a second control end of the output module (130), and the second control module (120) is configured to output a second control signal to the second control end according to the input signal, the first clock signal, the first control signal, the first power supply and a second clock signal; the level of the first control signal is opposite to the level of the second control signal; and the output module (130) is configured to output the first power supply or the second clock signal according to the first control signal and the second control signal.

[见续页]



SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ,
UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚
(AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE,
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR,
HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO,
PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN,
TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

(57) 摘要: 一种扫描电路(20)和显示面板(1)。扫描电路(20)包括第一控制模块(110)、第二控制模块(120)和输出模块(130); 第一控制模块(110)与输出模块(130)的第一控制端连接, 第一控制模块(110)设置为根据输入信号、第一时钟信号和第一电源输出第一控制信号至第一控制端; 第二控制模块(120)与输出模块(130)的第二控制端连接, 第二控制模块(120)设置为根据输入信号、第一时钟信号、第一控制信号、第一电源和第二时钟信号输出第二控制信号至第二控制端; 其中, 第一控制信号的电平和第二控制信号的电平相反; 输出模块(130)设置为根据第一控制信号和第二控制信号输出第一电源或第二时钟信号。

扫描电路和显示面板

本申请要求在2023年03月02日提交中国专利局、申请号为202310191390.4的中国专利申请的优先权，以上申请的全部内容通过引用结合在本申请中。

技术领域

本申请实施例涉及显示的技术领域，例如涉及一种扫描电路和显示面板。

背景技术

显示面板中的扫描电路设置为为像素单元提供扫描信号，控制显示面板中的像素单元逐行驱动。一般，为扫描电路提供的时钟信号需要设置中间态，以保证扫描电路正常输出扫描信号。时钟信号的中间态会占用一定时间，导致扫描信号的脉冲时间比较小，不利于显示面板的显示。

发明内容

本申请提供一种扫描电路和显示面板，以增加扫描信号的脉冲宽度，有利于提高显示面板的分辨率和刷新率。

本申请实施例提供了一种扫描电路，包括第一控制模块、第二控制模块和输出模块；

所述第一控制模块与所述输出模块的第一控制端连接，所述第一控制模块设置为根据输入信号、第一时钟信号和第一电源输出第一控制信号至所述第一控制端；所述第二控制模块与所述输出模块的第二控制端连接，所述第二控制模块设置为根据所述输入信号、所述第一时钟信号、所述第一控制信号、所述第一电源和第二时钟信号输出第二控制信号至所述第二控制端；其中，所述第一控制信号的电平和所述第二控制信号的电平相反；所述输出模块设置为根据所述第一控制信号输出所述第一电源和根据所述第二控制信号输出所述第二时钟信号。

可选地，所述第一控制模块包括输入反相单元和时钟跟随单元；所述输入反相单元和所述时钟跟随单元的工作阶段不同。

所述输入反相单元的控制端用于输入所述输入信号，所述输入反相单元的输入端与接入第一电源的第一电源输入端连接，所述输入反相单元的输出端与所述第一控制端连接，所述输入反相单元用于在所述输入信号有效时反相所述输入信号。

所述时钟跟随单元的控制端与接入输入信号的输入信号端连接，所述时钟

跟随单元的第一输入端与所述第一电源输入端连接，所述时钟跟随单元的第二输入端与第一时钟信号输入端连接，所述时钟跟随单元的输出端与所述第一控制端连接，所述时钟跟随单元用于在所述第一时钟信号有效时输出所述第一时钟信号。

可选地，所述输入反相单元包括第一晶体管，所述时钟跟随单元包括第二晶体管、第三晶体管和第一电容；

所述第一晶体管的栅极和所述第二晶体管的栅极均用于输入所述输入信号，所述第一晶体管的第一极和所述第二晶体管的第一极均与所述第一电源输入端连接，所述第一晶体管的第二极和所述第三晶体管的第二极均与所述第一控制端连接，所述第二晶体管的第二极与所述第三晶体管的栅极和所述第一电容的第一极连接，所述第三晶体管的第一极和所述第一电容的第二极均与所述第一时钟信号输入端连接。

可选地，所述第二控制模块包括输入跟随单元；

所述输入跟随单元的控制端与所述第一时钟信号输入端连接，所述输入跟随单元的输入端与所述输入信号端连接，所述输入跟随单元的输出端与所述第二控制端连接，所述输入跟随单元用于在所述第一时钟信号有效时输出所述输入信号。

可选的，所述第二控制模块还包括节点控制单元；

所述节点控制单元的第三控制端与所述第一控制端连接，所述节点控制单元的第四控制端与第二时钟信号输入端连接，所述节点控制单元的输入端与所述第一电源输入端连接，所述节点控制单元的输出端与所述第二控制端连接，所述节点控制单元用于根据所述第一控制信号和所述第二时钟信号控制所述第二控制端的电位。

可选地，所述输入跟随单元包括第四晶体管，所述节点控制单元包括第五晶体管和第六晶体管；

所述第四晶体管的栅极与所述第一时钟信号输入端连接，所述第四晶体管的第一极与所述输入信号端连接，所述第四晶体管的第二极和所述第六晶体管的第二极与所述第二控制端连接；所述第五晶体管的栅极与所述第一控制端连接，所述第五晶体管的第一极与所述第一电源输入端连接，所述第五晶体管的第二极与所述第六晶体管的第一极连接，所述第六晶体管的栅极与所述第二时钟信号输入端连接。

可选地，所述第一晶体管的栅极与接入所述输入信号的输入信号端连接。

可选的，所述第一晶体管的栅极与所述第四晶体管的第二极连接。

可选地，所述输出模块包括第一输出单元和第二输出单元；

所述第一输出单元的控制端作为所述第一控制端，所述第一输出单元的输入端与第一电源输入端连接，所述第一输出单元的输出端与所述第二输出单元的输出端连接，作为所述扫描电路的输出端；所述第二输出单元的控制端作为所述第二控制端，所述第二输出单元的输入端与第二时钟信号输入端连接。

可选地，所述第一输出单元包括第七晶体管和第三电容；所述第七晶体管的栅极和所述第三电容的第一极连接，作为所述第一控制端，所述第七晶体管的栅极和所述第三电容的第二极与所述第一电源输入端连接，所述第七晶体管的第二极作为所述扫描电路的输出端。

所述第二输出单元包括第八晶体管和第三电容；所述第八晶体管的栅极与所述第三电容的第一极连接，作为所述第二控制端，所述第八晶体管的栅极与第二时钟信号输入端连接，所述第八晶体管的第二极与所述第三电容的第二极连接，作为所述扫描电路的输出端。

所述第二输出单元包括第八晶体管、第九晶体管和第三电容；所述第八晶体管的栅极和所述第九晶体管的栅极与所述第三电容的第一极连接，作为所述第二控制端，所述第八晶体管的栅极和所述第九晶体管的栅极均与所述第二时钟信号输入端连接，所述第九晶体管的第二极与所述第三电容的第二极连接，所述第八晶体管的第二极作为所述扫描电路的输出端。

可选地，扫描电路还包括第十晶体管；所述第十晶体管的栅极与接入所述第二电源的第二电源输入端连接，所述第二控制模块通过所述第十晶体管与所述第二控制端连接。

本申请实施例还提供了一种显示面板，包括像素驱动电路和任一实施例所述的扫描电路；所述扫描电路与所述像素驱动电路连接，所述扫描电路设置为所述像素驱动电路提供扫描信号。

本申请实施例的技术方案，通过设置第一控制信号和第二控制信号为电平相反的信号，在输出模块根据第二控制信号输出第二时钟信号时，当第二时钟信号由高电平跳变为低电平时，可以保证输出模块根据第一控制信号停止输出第一电源，避免设置时钟信号的中间态以避免输出模块在第二时钟信号由高电平跳变为低电平时误输出第一电源，从而可以增加扫描电路输出的扫描信号的脉冲宽度。当扫描电路用于显示面板时，有利于提高显示面板的显示效果。

附图说明

图1为一种扫描电路的部分结构示意图；

图 2 为本申请实施例提供的一种扫描电路的结构示意图；
图 3 为本申请实施例提供的另一种扫描电路的结构示意图；
图 4 为本申请实施例提供的另一种扫描电路的结构示意图；
图 5 为本申请实施例提供的另一种扫描电路的结构示意图；
图 6 为本申请实施例提供的另一种扫描电路的结构示意图；
图 7 为本申请实施例提供的另一种扫描电路的结构示意图；
图 8 为本申请实施例提供的另一种扫描电路的结构示意图；
图 9 为本申请实施例提供的另一种扫描电路的结构示意图；
图 10 为本申请实施例提供的另一种扫描电路的结构示意图；
图 11 为本申请实施例提供的另一种扫描电路的结构示意图；
图 12 为图 11 提供的扫描电路对应的一种信号时序图；
图 13 为本申请实施例提供的一种显示面板的结构示意图；
图 14 为本申请实施例提供的一种显示装置的结构示意图。

具体实施方式

图 1 为一种扫描电路的部分结构示意图。如图 1 所示，扫描电路包括第一输出晶体管 M1、第二输出晶体管 M2 和第一控制晶体管 M3，第一输出晶体管 M1 的栅极与第一控制晶体管 M3 的第二极连接，第一输出晶体管 M1 的第一极与高电平电源输入端 VGH 连接，第一输出晶体管 M1 的第二极与第二输出晶体管 M2 的第二极连接，连接处的引出线作为扫描电路的输出端 OUT，第二输出晶体管 M2 的栅极与第一控制晶体管 M3 的栅极连接，第二输出晶体管 M2 的第一极与第二时钟信号输入端 CK2 连接，第一控制晶体管 M3 的第一极与第一时钟信号输入端 CK1 连接，第一控制晶体管 M3 的栅极和第二输出晶体管 M2 的栅极设置为输入启动信号。

以扫描电路的输出端 OUT 输出的扫描信号为低电平时驱动像素驱动电路工作为例进行如下说明。在第一阶段，启动信号为低电平，第一时钟信号输入端 CK1 提供的第一时钟信号为低电平，第二时钟信号输入端 CK2 提供的第二时钟信号为高电平，第一输出晶体管 M1、第二输出晶体管 M2 和第一控制晶体管 M3 导通，扫描电路的输出端 OUT 输出高电平。在下一阶段到来之前，第一时钟信号优先于第二时钟信号跳变，即第一时钟信号先由低电平跳变为高电平，此时第一时钟信号和第二时钟信号同时为高电平，使得第一输出晶体管 M1 在第一时钟信号的作用下先关闭，然后第二时钟信号由高电平跳变为低电平，使得

第二输出晶体管 M2 输出低电平，从而实现输入信号的移位。在上述过程中，第一时钟信号优先于第二时钟信号跳变，使得第一时钟信号和第二时钟信号同时为高电平的状态即为时钟信号的中间态，需要占用一定时间，导致扫描电路输出的扫描信号的时间比行时间少一个中间态时间，不利于显示面板的显示。其中，行时间为显示面板的显示周期除以显示面板内像素单元的行数，显示面板的显示周期为显示面板的刷新率的倒数。

本申请实施例提供了一种扫描电路。图 2 为本申请实施例提供的一种扫描电路的结构示意图。如图 2 所示，该扫描电路包括第一控制模块 110、第二控制模块 120 和输出模块 130；第一控制模块 110 与输出模块 130 的第一控制端 CTRL1 连接，第一控制模块 110 设置为根据输入信号、第一时钟信号和第一电源输出第一控制信号至第一控制端 CTRL1；第二控制模块 120 与输出模块 130 的第二控制端 CTRL2 连接，第二控制模块 120 设置为根据输入信号、第一时钟信号、第一控制信号、第一电源和第二时钟信号输出第二控制信号至第二控制端 CTRL2；其中，第一控制信号和第二控制信号的电平相反；输出模块 130 设置为根据第一控制信号输出第一电源和根据第二控制信号输出第二时钟信号。

输入信号端 SIN 设置为提供输入信号，第一时钟信号输入端 CLK1 设置为提供第一时钟信号，第二时钟信号输入端 CLK2 设置为提供第二时钟信号，第一电源输入端 VH 设置为提供第一电源。扫描电路的输出端 SOUT 设置为输出扫描信号，在本实施例中扫描电路的输出端 SOUT 即为输出模块 130 的输出端。第一电源可以为高电平，第一时钟信号和第二时钟信号可以为电平相反的信号，以及第一控制信号和第二控制信号可以为电平相反的信号。以输出模块 130 由控制端的低电平导通输出端的输出信号为例，当输出模块 130 的第一控制端 CTRL1 为低电平时输出第一电源，当输出模块 130 的第二控制端 CTRL2 为低电平时输出第二时钟信号，进行如下说明。在扫描电路工作的过程中，当第二控制模块 120 提供的第二控制信号为低电平时，输出模块 130 可以根据第二控制信号输出第二时钟信号。此时第一控制信号与第二控制信号的电平相反，即第一控制信号为高电平，输出模块 130 根据第一控制信号停止输出第一电源。由此可以保证扫描电路输出第二时钟信号时，第二控制信号为低电平，第一控制信号为高电平。在第二时钟信号由高电平跳变为低电平之前，输出模块 130 已根据高电平的第一控制信号停止输出高电平的第一电源，在第二时钟信号由高电平跳变为低电平时，输出模块 130 根据低电平的第二控制信号输出低电平的第二时钟信号，不再需要使第一时钟信号优先于第二时钟信号跳变以控制输出模块 130 停止输出高电平的第一电源，既可以保证输出模块 130 仅输出低电平的第二时钟信号，又避免了时钟信号的中间态的出现，从而可以增加扫描电路输出的扫描信号的脉冲宽度，有利于提高显示面板的显示效果。

示例性地，在第一阶段，输入信号为低电平，第一时钟信号为低电平，第二时钟信号为高电平。第二控制模块 120 根据输入信号和第一时钟信号的电平控制输出的第二控制信号与输入信号电平相同，即为低电平。此时第一控制模块 110 根据输入信号和第一时钟信号控制输出的第一控制信号与第一电源电平相同，即第一控制信号为高电平，以保证第二控制信号和第一控制信号的电平相反。输出模块 130 设置为：根据第二控制信号（低电平）输出的扫描信号 SOUT 为第二时钟信号，并根据第一控制信号（高电平）停止输出第一电源，也就是在该第一阶段扫描电路输出的扫描信号 SOUT 为高电平。由于第一控制信号为高电平，在第二时钟信号由高电平跳变为低电平时，也可以保证输出模块 130 根据第一控制信号（高电平）始终不能输出第一电源的电平信号，避免了时钟信号的中间态的出现，以避免输出模块 130 在第二时钟信号由高电平跳变为低电平时误输出第一电源，从而可以增加扫描电路输出的扫描信号的脉冲宽度。

本实施例的技术方案，通过设置第一控制信号和第二控制信号为电平相反的信号，在第二时钟信号由高电平跳变为低电平且输出模块根据第二控制信号输出第二时钟信号时，可以保证输出模块根据第一控制信号停止输出第一电源，避免了时钟信号的中间态的出现，以避免输出模块在第二时钟信号由高电平跳变为低电平时误输出第一电源，从而可以增加扫描电路输出的扫描信号的脉冲宽度，，有利于提高显示面板的显示效果。

图 3 为本申请实施例提供的另一种扫描电路的结构示意图。如图 3 所示，第一控制模块 110 包括输入反相单元 111 和时钟跟随单元 112；输入反相单元 111 和时钟跟随单元 112 的工作阶段不同；输入反相单元 111 的控制端设置为输入输入信号，输入反相单元 111 的输入端与第一电源输入端 VH 连接，输入反相单元 111 的输出端与第一控制端 CTRL1 连接，输入反相单元 111 设置为在输入信号有效时反相输入信号；时钟跟随单元 112 的控制端与输入信号端 SIN 连接，时钟跟随单元 112 的第一输入端与第一电源输入端 VH 连接，时钟跟随单元 112 的第二输入端与第一时钟信号输入端 CLK1 连接，时钟跟随单元 112 的输出端与第一控制端 CTRL1 连接，时钟跟随单元 112 设置为在第一时钟信号有效时输出第一时钟信号。

图 3 中示例性地示出了输入反相单元 111 的控制端与输入信号端 SIN 连接，控制端设置为输入输入信号。以输入信号和第一时钟信号为低电平时有效为例进行说明。在第二阶段，输入信号为低电平，第一时钟信号为低电平，第二时钟信号为高电平。输入反相单元 111 根据输入信号设置为通路并输出第一控制信号至第一控制端 CTRL1，使得第一控制信号的电平与第一电源的电平相同，均为高电平，实现输入信号的反相。输出模块 130 根据第一控制信号停止输出第一电源。由于第一控制信号为高电平，在第二时钟信号由高电平跳变为低电

平时，可以保证输出模块 130 根据第一控制信号始终不能输出第一电源的电平信号，避免了时钟信号的中间态的出现，以避免输出模块 130 在第二时钟信号由高电平跳变为低电平时误输出第一电源，从而可以增加扫描电路输出的扫描信号的脉冲宽度。输入反相单元 111 和时钟跟随单元 112 的工作阶段不同。当输入反相单元 111 对输入信号进行反相输出时，时钟跟随单元 112 停止输出第一时钟信号。

在第二阶段，输入信号为高电平，第一时钟信号为高电平，第二时钟信号为低电平，此时第一时钟信号无效。输入反相单元 111 根据输入信号设置为断路，时钟跟随单元 112 根据第一时钟信号设置为断路，使得第一控制端 CTRL1 为浮动状态。输出模块 130 的电位维持作用维持第一控制端 CTRL1 的电位为高电平。在第三阶段，输入信号为高电平，第一时钟信号为低电平，第二时钟信号为高电平，此时第一时钟信号有效。输入反相单元 111 根据输入信号设置为断路，时钟跟随单元 112 根据第一时钟信号设置为通路，时钟跟随单元 112 跟随输出第一控制信号至第一控制端 CTRL1，即第一控制信号的电平与第一时钟信号的电平相同，均为低电平，使得输出模块 130 根据第一控制信号输出第一电源的电平信号，即扫描电路输出的扫描信号为高电平。同理，输入反相单元 111 和时钟跟随单元 112 的工作阶段不同。当时钟跟随单元 112 输出第一时钟信号时，输入反相单元 111 停止反相输出输入信号。

图 4 为本申请实施例提供的另一种扫描电路的结构示意图。如图 4 所示，输入反相单元 111 包括第一晶体管 T1，时钟跟随单元 112 包括第二晶体管 T2、第三晶体管 T3 和第一电容 C1；第一晶体管 T1 的栅极和第二晶体管 T2 的栅极均设置为输入输入信号，第一晶体管 T1 的第一极和第二晶体管 T2 的第一极均与第一电源输入端 VH 连接，第一晶体管 T1 的第二极和第三晶体管 T3 的第二极均与第一控制端 CTRL1 连接，第二晶体管 T2 的第二极与第三晶体管 T3 的栅极和第一电容 C1 的第一极连接，第三晶体管 T3 的第一极和第一电容 C1 的第二极均与第一时钟信号输入端 CLK1 连接。

图 4 中示例性地示出了第一晶体管 T1、第二晶体管 T2 和第三晶体管 T3 为 P 型晶体管，且第一晶体管 T1 的栅极和第二晶体管 T2 的栅极均与输入信号端 SIN 连接，第一晶体管 T1 的栅极和第二晶体管 T2 的栅极均设置为输入输入信号。第一电源为高电平，当输入信号为低电平时，第一晶体管 T1 根据输入信号导通，将第一电源输入端 VH 提供的第一电源输出至第一控制端 CTRL1，实现输入信号的反相。此时第二晶体管 T2 导通，第二晶体管 T2 将第一电源输入端 VH 提供的第一电源传输至第三晶体管 T3 的栅极，控制第三晶体管 T3 截止，即时钟跟随单元 112 停止输出第一时钟信号。当输入信号为高电平时，第一晶体管 T1 和第二晶体管 T2 截止，即输入反相单元 111 停止反相输出输入信号。若

第一时钟信号输入端 CLK1 提供的第一时钟信号由高电平跳变为低电平，第一电容 C1 耦合第一时钟信号至第三晶体管 T3 的栅极，使得第三晶体管 T3 的栅极为低电平，控制第三晶体管 T3 导通，第三晶体管 T3 输出第一控制信号至第一控制端 CTRL1，即第一控制信号的电平与第一时钟信号的电平相同，均为低电平。输出模块 130 根据第一控制信号输出第一电源的电平信号，在该阶段扫描电路输出的扫描信号为高电平。

在其他实施例中，第一晶体管 T1、第二晶体管 T2 和第三晶体管 T3 还可以为 N 型晶体管，此时信号的高低电平反相。

图 5 为本申请实施例提供的另一种扫描电路的结构示意图。如图 5 所示，第二控制模块 120 包括输入跟随单元 121 和节点控制单元 122；输入跟随单元 121 的控制端与第一时钟信号输入端 CLK1 连接，输入跟随单元 121 的输入端与输入信号端 SIN 连接，输入跟随单元 121 的输出端与第二控制端 CTRL2 连接，输入跟随单元 121 设置为在第一时钟信号有效时输出输入信号；节点控制单元 122 的第三控制端与第一控制端 CTRL1 连接，节点控制单元 122 的第四控制端与第二时钟信号输入端 CLK2 连接，节点控制单元 122 的输入端与第一电源输入端 VH 连接，节点控制单元 122 的输出端与第二控制端 CTRL2 连接，节点控制单元 122 设置为根据第一控制信号和第二时钟信号控制第二控制端 CTRL2 的电位。

以输入信号和第一时钟信号为低电平时有效为例进行说明。在第一阶段，输入信号为低电平，第一时钟信号为低电平，第二时钟信号为高电平。输入跟随单元 121 根据第一时钟信号设置为通路并输出第二控制信号至第二控制端 CTRL2，使得第二控制信号的电平与输入信号的电平相同，均为低电平。输出模块 130 根据第二控制信号输出第二时钟信号，即扫描信号为高电平。第一控制信号为高电平，控制节点控制单元 122 为断路。在第二阶段，输入信号为高电平，第一时钟信号为高电平，第二时钟信号为低电平，输入跟随单元 121 根据第一时钟信号设置为断路。第一控制信号维持为高电平，继续控制节点控制单元 122 为断路，使得第二控制端 CTRL2 为浮动状态。输出模块 130 的电位维持作用维持第二控制端 CTRL2 的电位为低电平，输出模块 130 根据第二控制信号输出第二时钟信号，即扫描信号为低电平，实现了输入信号的移位输出。在第三阶段，输入信号为高电平，第一时钟信号为低电平，第二时钟信号为高电平，输入跟随单元 121 根据第一时钟信号设置为通路。输入跟随单元 121 输出第二控制信号至第二控制端 CTRL2，第二控制信号的电平与输入信号的电平相同，均为高电平，输出模块 130 根据第二控制信号停止输出第二时钟信号。第一控制信号为低电平，第二时钟信号为高电平，节点控制单元 122 根据第二时钟信号设置为断路。在第四阶段，输入信号为高电平，第一时钟信号为高电平，

第二时钟信号为低电平，输入跟随单元 121 根据第一时钟信号设置为断路。第一控制模块 110 根据输入信号和第一时钟信号设置为断路，输出模块 130 的电位维持作用维持第一控制端 CTRL1 的电位为低电平，节点控制单元 122 根据第一控制信号和第二时钟信号设置为通路，节点控制单元 122 输出第二控制信号至第二控制端 CTRL2，第二控制信号的电平与第一电源的电平相同，均为高电平，输出模块 130 根据第二控制信号停止输出第二时钟信号。

图 6 为本申请实施例提供的另一种扫描电路的结构示意图。如图 6 所示，输入跟随单元 121 包括第四晶体管 T4，节点控制单元 122 包括第五晶体管 T5 和第六晶体管 T6；第四晶体管 T4 的栅极与第一时钟信号输入端 CLK1 连接，第四晶体管 T4 的第一极与输入信号端 SIN 连接，第四晶体管 T4 的第二极和第六晶体管 T6 的第二极与第二控制端 CTRL2 连接；第五晶体管 T5 的栅极与第一控制端 CTRL1 连接，第五晶体管 T5 的第一极与第一电源输入端 VH 连接，第五晶体管 T5 的第二极与第六晶体管 T6 的第一极连接，第六晶体管 T6 的栅极与第二时钟信号输入端 CLK2 连接。

图 6 中示例性地示出了第四晶体管 T4、第五晶体管 T5 和第六晶体管 T6 均为 P 型晶体管。第一电源为高电平，在第一阶段，输入信号为低电平，第一时钟信号为低电平，第二时钟信号为高电平。第四晶体管 T4 导通，第六晶体管 T6 截止，第四晶体管 T4 输出第二控制信号至第二控制端 CTRL2，使得第二控制信号的电平与输入信号的电平相同，均为低电平。输出模块 130 根据第二控制信号输出第二时钟信号，即扫描信号为高电平。第一控制信号为高电平，控制第五晶体管 T5 截止。在第二阶段，输入信号为高电平，第一时钟信号为高电平，第二时钟信号为低电平，第四晶体管 T4 截止，第六晶体管 T6 导通。第一控制信号维持为高电平，第五晶体管 T5 截止，使得第二控制端 CTRL2 为浮动状态。输出模块 130 的电位维持作用维持第二控制端 CTRL2 的电位为低电平，输出模块 130 根据第二控制信号输出第二时钟信号，即扫描信号为低电平，实现了输入信号的移位输出。在第三阶段，输入信号为高电平，第一时钟信号为低电平，第二时钟信号为高电平，第四晶体管 T4 导通，第六晶体管 T6 截止。第四晶体管 T4 输出高电平至第二控制端 CTRL2，即第二控制信号为高电平，输出模块 130 根据第二控制信号停止输出第二时钟信号。第一控制信号为低电平，第五晶体管 T5 导通。在第四阶段，输入信号为高电平，第一时钟信号为高电平，第二时钟信号为低电平，第四晶体管 T4 截止，第六晶体管 T6 导通。第一控制端 CTRL1 的电位维持为低电平，第五晶体管 T5 导通，第一电源作为第二控制信号通过第五晶体管 T5 和第六晶体管 T6 传输至第二控制端 CTRL2，即第二控制信号的电平与第一电源的电平相同，均为高电平，输出模块 130 根据第二控制信号停止输出第二时钟信号。

可选地，第一晶体管 T1 的栅极与输入信号端 SIN 连接。

参考图 6，输入信号端 SIN 设置为提供输入信号，第一晶体管 T1 的栅极可以直接与输入信号端 SIN 连接，使得第一晶体 T1 的栅极接入输入信号。

图 7 为本申请实施例提供的另一种扫描电路的结构示意图。如图 7 所示，第一晶体管 T1 的栅极与第四晶体管 T4 的第二极连接。

参考图 7，第四晶体管 T4 作为输入跟随单元 121，可以在第一时钟信号为低电平时输出输入信号，第一晶体管 T1 的栅极与第四晶体管 T4 的第二极连接，可以使第一晶体管 T1 在第四晶体管 T4 输出输入信号时获取输入信号。

图 8 为本申请实施例提供的另一种扫描电路的结构示意图。如图 8 所示，输出模块 130 包括第一输出单元 131 和第二输出单元 132；第一输出单元 131 的控制端作为第一控制端 CTRL1，第一输出单元 131 的输入端与第一电源输入端 VH 连接，第一输出单元 131 的输出端与第二输出单元 132 的输出端连接，连接处的引出线作为扫描电路的输出端 SOUT；第二输出单元 132 的控制端作为第二控制端 CTRL2，第二输出单元 132 的输入端与第二时钟信号输入端 CLK2 连接。

第一控制端 CTRL1 的电位控制第一输出单元 131 的状态，第二控制端 CTRL2 的电位控制第二输出单元 132 的状态。以第一控制信号和第二控制信号为低电平有效为例进行说明。当第一控制信号为低电平时，第一输出单元 131 处于通路状态，第一输出单元 131 可以将第一电源输入端 VH 提供的第一电源输出至输出端 SOUT，将第一电源作为扫描电路的扫描信号。当第二控制信号为低电平时，第二输出单元 132 处于通路状态，第二输出单元 132 可以将第二时钟信号输入端 CLK2 提供的第二时钟信号输出至输出端 SOUT，将第二时钟信号作为扫描电路的扫描信号。另外，第一输出单元 131 和第二输出单元 132 均具有控制端电位维持作用，使得第一控制端 CTRL1 和第二控制端 CTRL2 为浮动状态时可以分别维持第一控制端 CTRL1 和第二控制端 CTRL2 的电位。

图 9 为本申请实施例提供的另一种扫描电路的结构示意图。如图 9 所示，第一输出单元 131 包括第七晶体管 T7 和第二电容 C2；第七晶体管 T7 的栅极和第二电容 C2 的第一极连接，连接处的引出线作为第一控制端 CTRL1，第七晶体管 T7 的第一极和第二电容 C2 的第二极与第一电源输入端 VH 连接，第七晶体管 T7 的第二极作为扫描电路的输出端 SOUT；第二输出单元 132 包括第八晶体管 T8 和第三电容 C3；第八晶体管 T8 的栅极与第三电容 C3 的第一极连接，连接处的引出线作为第二控制端 CTRL2，第八晶体管 T8 的第一极与第二时钟信号输入端 CLK2 连接，第八晶体管 T8 的第二极与第三电容 C3 的第二极连接，连接处的引出线作为扫描电路的输出端 SOUT。

图9中示例性地示出了第七晶体管T7和第八晶体管T8为P型晶体管。当第一控制信号为低电平时,第一控制端CTRL1的电位为低电平,第七晶体管T7导通,第一电源通过第七晶体管T7输出至输出端SOUT,第一电源作为扫描电路的扫描信号。当第一控制模块110设置为断路时,第一控制端CTRL1的电位为浮动状态,可以通过第二电容C2维持第一控制端CTRL1的电位。当第二控制信号为低电平时,第二控制端CTRL2的电位为低电平,第八晶体管T8导通,第二时钟信号通过第八晶体管T8输出至输出端SOUT,第二时钟信号作为扫描电路的扫描信号。当第二控制模块120设置为断路时,第二控制端CTRL2的电位为浮动状态,可以通过第三电容C3维持第二控制端CTRL2的电位。另外,第三电容C3具有耦合作用。当第二时钟信号由高电平跳变为低电平时,扫描电路的输出端SOUT输出的扫描信号由高电平跳变为低电平,第三电容C3的耦合作用使得第八晶体管T8的栅极电位低于第二时钟信号的低电平电位,从而可以保证第八晶体管T8的导通状态,并可以消除第八晶体管T8传输第二时钟信号时的阈值电压损失,保证了输出端SOUT输出的第二时钟信号的电平比较低,保证了扫描电路输出的扫描信号的可靠性。

图10为本申请实施例提供的另一种扫描电路的结构示意图。如图10所示,第一输出单元131包括第七晶体管T7和第二电容C2;第七晶体管T7的栅极和第二电容C2的第一极连接,连接处的引出线作为第一控制端CTRL1,第七晶体管T7的第一极和第二电容C2的第二极与第一电源输入端VH连接,第七晶体管T7的第二极作为扫描电路的输出端SOUT;第二输出单元132包括第八晶体管T8、第九晶体管T9和第三电容C3;第八晶体管T8的栅极和第九晶体管T9的栅极与第三电容C3的第一极连接,连接处的引出线作为第二控制端CTRL2,第八晶体管T8的第一极和第九晶体管T9的第一极均与第二时钟信号输入端CLK2连接,第九晶体管T9的第二极与第三电容C3的第二极连接,第八晶体管T8的第二极作为扫描电路的输出端SOUT。

与图9相比,图10的区别在于第二输出单元132的结构以及部件之间连接关系不同。在第二控制信号为低电平时,第八晶体管T8和第九晶体管T9同时导通,第八晶体管T8输出第二时钟信号至输出端SOUT,第九晶体管T9输出第二时钟信号至第三电容C3的第二极。当第二时钟信号由高电平跳变为低电平时,第三电容C3可以直接耦合第二时钟信号至第八晶体管T8的栅极,提高了耦合速度,有利于进一步地提高扫描电路输出扫描信号的可靠性。

图11为本申请实施例提供的另一种扫描电路的结构示意图。如图11所示,扫描电路还包括第十晶体管T10;第十晶体管T10的栅极与第二电源输入端VL连接,第二控制模块120通过第十晶体管T10与第二控制端CTRL2连接。

图 11 示例性地示出了第十晶体管 T10 为 P 型晶体管，第二电源输入端 VL 提供的第二电源为低电平。当第二控制信号为高电平时，第十晶体管 T10 处于导通状态。第二控制信号为低电平时，第十晶体管 T10 处于临近截止状态。在第二时钟信号由高电平跳变为低电平，第二控制端 CTRL2 的电位由于耦合作用小于低电平电位时，可以避免该低电位传输至第二控制模块 120，避免第二控制模块 120 内的器件损坏。例如，第二控制模块 120 包括第四晶体管 T4 和第六晶体管 T6 时，可以避免第四晶体管 T4 和第六晶体管 T6 的第二极电位太低，导致第四晶体管 T4 和第六晶体管 T6 的栅极电位与第二极电位差值太大造成的器件损坏。

图 12 为图 11 提供的扫描电路对应的一种信号时序图。参考图 11 和图 12，以第一电源为高电平，第二电源为低电平为例进行说明。其中，sin 为输入信号端 SIN 提供的输入信号的时序，clk1 为第一时钟信号输入端 CLK1 提供的第一时钟信号的时序，clk2 为第二时钟信号输入端 CLK2 提供的第二时钟信号的时序，sout 为扫描电路的输出端 SOUT 输出的扫描信号的时序。以下通过图 11 和图 12 说明扫描电路的工作原理。

在第一阶段 t1，输入信号为低电平，第一时钟信号为低电平，第二时钟信号为高电平。第一晶体管 T1、第二晶体管 T2 和第四晶体管 T4 导通，第六晶体管 T6 截止。第一电源通过第一晶体管 T1 传输至第一控制端 CTRL1，控制第五晶体管 T5 和第七晶体管 T7 截止。同时第一电源通过第二晶体管 T2 传输至第三晶体管 T3 的栅极，控制第三晶体管 T3 截止。输入信号通过第四晶体管 T4 和第十晶体管 T10 输出至第二控制端 CTRL2，控制第八晶体管 T8 和第九晶体管 T9 导通，第八晶体管 T8 输出第二时钟信号至输出端 SOUT，在该第一阶段 t1 扫描信号为高电平。另外，第九晶体管 T9 直接将第二时钟信号输出至第三电容 C3，可以提高耦合速度，有利于进一步地提高扫描电路输出扫描信号的可靠性。

在第二阶段 t2，输入信号为高电平，第一时钟信号为高电平，第二时钟信号为低电平。第一晶体管 T1、第二晶体管 T2 和第四晶体管 T4 截止，第六晶体管 T6 导通。在第一时钟信号由低电平跳变为高电平时，在第一电容 C1 的耦合作用下，第三晶体管 T3 的栅极为高电平，第三晶体管 T3 截止，此时第一控制端 CTRL1 为浮动状态，第二电容 C2 的维持作用使得第一控制端 CTRL1 的电位维持为第一阶段 t1 的电位，为高电平，第五晶体管 T5 和第七晶体管 T7 继续截止。第二控制端 CTRL2 为浮动状态。当第二时钟信号由高电平跳变为低电平时，第三电容 C3 的耦合作用维持使得第二控制端 CTRL2 的电位小于低电平，第八晶体管 T8 和第九晶体管 T9 持续导通，可以消除第八晶体管 T8 传输第二时钟信号时的阈值电压损失，保证了输出端 SOUT 输出的第二时钟信号的电平比较低，保证了扫描电路输出的扫描信号的可靠性。由于第一阶段 t1 第一控制端 CTRL1

的电位为高电平，在第二阶段 t2，第一控制端 CTRL1 的电位维持为高电平。当第二时钟信号由高电平跳变为低电平时，可以保证第七晶体管 T7 一直处于截止状态，从而避免了时钟信号的中间态的出现，以避免第七晶体管 T7 在第二时钟信号由高电平跳变为低电平时误输出第一电源，增加了扫描电路输出的扫描信号的脉冲宽度，有利于提高显示面板的显示效果。

在第三阶段 t3，输入信号为高电平，第一时钟信号为低电平，第二时钟信号为高电平。第一晶体管 T1、第二晶体管 T2 和第六晶体管 T6 截止，第四晶体管 T4 导通，第四晶体管 T4 将输入信号传输至第二控制端 CTRL2，控制第八晶体管 T8 和第九晶体管 T9 截止。在第一时钟信号由高电平跳变为低电平时，第一电容 C1 耦合第一时钟信号至第三晶体管 T3 的栅极，使得第三晶体管 T3 的栅极为低电平，控制第三晶体管 T3 导通，第三晶体管 T3 输出第一控制信号至第一控制端 CTRL1，第一控制信号的电平与第一时钟信号的电平相同，均为低电平。控制第七晶体管 T7 和第五晶体管 T5 导通，第一电源通过第七晶体管 T7 输出至输出端 SOUT，在该第三阶段 t3 扫描信号为高电平。

在第四阶段 t4，输入信号为高电平，第一时钟信号为高电平，第二时钟信号为低电平。第一晶体管 T1、第二晶体管 T2 和第四晶体管 T4 截止，第六晶体管 T6 导通。在第一时钟信号由低电平跳变为高电平时，在第一电容 C1 的耦合作用下，第三晶体管 T3 的栅极为高电平，第三晶体管 T3 截止，此时第一控制端 CTRL1 为浮动状态，第二电容 C2 的维持作用使得第一控制端 CTRL1 的电位维持为第三阶段 t3 的电位，为低电平，控制第七晶体管 T7 和第五晶体管 T5 导通，第一电源通过第七晶体管 T7 输出至输出端 SOUT，在该第四阶段 t4 扫描信号为高电平。同时第一电源作为第二控制信号通过第五晶体管 T5 和第六晶体管 T6 传输至第二控制端 CTRL2，即第二控制信号的电平与第一电源的电平相同，均为高电平，控制第八晶体管 T8 和第九晶体管 T9 截止。

本申请实施例还提供了一种显示面板。图 13 为本申请实施例提供的一种显示面板的结构示意图。如图 13 所示，该显示面板包括像素驱动电路 10 和本申请任意实施例提供的扫描电路 20；扫描电路 20 与像素驱动电路 10 连接，扫描电路 20 设置为为像素驱动电路 10 提供扫描信号。

该显示面板例如可以为有机发光二极管显示面板、液晶显示面板或电子纸显示面板等。显示面板可以包括多行像素驱动电路 10、多个扫描电路 20 和输入信号线 30。多行扫描电路 20 进行级联，第一级扫描电路 20 的输入信号端与输入信号线 30 连接，并将输入信号线 30 提供的输入信号进行移位后输出。下一级扫描电路 20 的输入信号端与上一级扫描电路 20 的输出端连接，从而可以实

现输入信号的逐级输出。每个扫描电路 20 与一行像素驱动电路 10 连接，每个扫描电路 20 设置为为一行像素驱动电路 10 提供扫描信号。当级联的扫描电路 20 逐级输出扫描信号时，可以实现逐行输出扫描信号至像素驱动电路 10，控制像素驱动电路 10 正常工作。

本申请实施例还提供了一种显示装置。图 14 为本申请实施例提供的一种显示装置的结构示意图。如图 14 所示，该显示装置包括本申请任意实施例提供的显示面板 1。该显示装置例如可以是手机、平板电脑、智能穿戴设备、公共场所大厅的信息查询机等。该显示装置包括本申请任意实施例所提供的显示面板 1，其技术原理和产生的技术效果类似，这里不再赘述。

1、一种扫描电路，包括第一控制模块、第二控制模块和输出模块；

所述第一控制模块与所述输出模块的第一控制端连接，所述第一控制模块设置为根据输入信号、第一时钟信号和第一电源输出第一控制信号至所述第一控制端；所述第二控制模块与所述输出模块的第二控制端连接，所述第二控制模块设置为根据所述输入信号、所述第一时钟信号、所述第一控制信号、所述第一电源和第二时钟信号输出第二控制信号至所述第二控制端；其中，所述第一控制信号的电平和所述第二控制信号的电平相反；所述输出模块设置为根据所述第一控制信号输出所述第一电源和根据所述第二控制信号输出所述第二时钟信号。

2、根据权利要求1所述的扫描电路，其中，所述第一控制模块包括输入反相单元和时钟跟随单元；所述输入反相单元的工作阶段和所述时钟跟随单元的工作阶段不同。

3、根据权利要求2所述的扫描电路，其中，所述输入反相单元的控制端设置为输入所述输入信号，所述输入反相单元的输入端与接入所述第一电源的第一电源输入端连接，所述输入反相单元的输出端与所述第一控制端连接，所述输入反相单元设置为在所述输入信号有效的情况下反相所述输入信号。

4、根据权利要求2所述的扫描电路，其中，所述时钟跟随单元的控制端与接入所述输入信号的输入信号端连接，所述时钟跟随单元的第一输入端与所述第一电源输入端连接，所述时钟跟随单元的第二输入端与第一时钟信号输入端连接，所述时钟跟随单元的输出端与所述第一控制端连接，所述时钟跟随单元设置为在所述第一时钟信号有效的情况下输出所述第一时钟信号。

5、根据权利要求2、3或4所述的扫描电路，其中，所述输入反相单元包括第一晶体管，所述时钟跟随单元包括第二晶体管、第三晶体管和第一电容；

所述第一晶体管的栅极和所述第二晶体管的栅极均设置为输入所述输入信号，所述第一晶体管的第一极和所述第二晶体管的第一极均与所述第一电源输入端连接，所述第一晶体管的第二极和所述第三晶体管的第二极均与所述第一控制端连接，所述第二晶体管的第二极与所述第三晶体管的栅极和所述第一电容的第一极连接，所述第三晶体管的第一极和所述第一电容的第二极均与所述第一时钟信号输入端连接。

6、根据权利要求5所述的扫描电路，其中，所述第二控制模块包括输入跟随单元；

所述输入跟随单元的控制端与所述第一时钟信号输入端连接，所述输入跟随单元的输入端与所述输入信号端连接，所述输入跟随单元的输出端与所述第

二控制端连接，所述输入跟随单元设置为在所述第一时钟信号有效的情况下输出所述输入信号。

7、根据权利要求6所述的扫描电路，其中，所述第二控制模块还包括节点控制单元；

所述节点控制单元的第三控制端与所述第一控制端连接，所述节点控制单元的第四控制端与第二时钟信号输入端连接，所述节点控制单元的输入端与所述第一电源输入端连接，所述节点控制单元的输出端与所述第二控制端连接，所述节点控制单元设置为根据所述第一控制信号和所述第二时钟信号控制所述第二控制端的电位。

8、根据权利要求7所述的扫描电路，其中，所述输入跟随单元包括第四晶体管，所述节点控制单元包括第五晶体管和第六晶体管；

所述第四晶体管的栅极与所述第一时钟信号输入端连接，所述第四晶体管的第一极与所述输入信号端连接，所述第四晶体管的第二极和所述第六晶体管的第一极与所述第二控制端连接；所述第五晶体管的栅极与所述第一控制端连接，所述第五晶体管的第一极与所述第一电源输入端连接，所述第五晶体管的第二极与所述第六晶体管的第一极连接，所述第六晶体管的栅极与所述第二时钟信号输入端连接。

9、根据权利要求5所述的扫描电路，其中，所述第一晶体管的栅极与接入所述输入信号的输入信号端连接。

10、根据权利要求8所述的扫描电路，其中，所述第一晶体管的栅极与所述第四晶体管的第二极连接。

11、根据权利要求1-10任一项所述的扫描电路，其中，所述输出模块包括第一输出单元和第二输出单元；

所述第一输出单元的控制端作为所述第一控制端，所述第一输出单元的输入端与所述第一电源输入端连接，所述第一输出单元的输出端与所述第二输出单元的输入端连接，连接处的引出线作为所述扫描电路的输出端；所述第二输出单元的控制端作为所述第二控制端，所述第二输出单元的输入端与所述第二时钟信号输入端连接。

12、根据权利要求11所述的扫描电路，其中，所述第一输出单元包括第七晶体管和第一电容；所述第七晶体管的栅极和所述第一电容的第一极连接，连接处的引出线作为所述第一控制端，所述第七晶体管的第一极和所述第一电容的第二极与所述第一电源输入端连接，所述第七晶体管的第二极作为所述扫描电路的输出端。

13、根据权利要求 11 或 12 所述的扫描电路，其中，所述第二输出单元包括第八晶体管和第三电容；所述第八晶体管的栅极与所述第三电容的第一极连接，连接处的引出线作为所述第二控制端，所述第八晶体管的第一极与所述第二时钟信号输入端连接，所述第八晶体管的第二极与所述第三电容的第二极连接，连接处的引出线作为所述扫描电路的输出端。

14、根据权利要求 11 或 12 所述的扫描电路，其中，所述第二输出单元包括第八晶体管、第九晶体管和第三电容；所述第八晶体管的栅极和所述第九晶体管的栅极与所述第三电容的第一极连接，连接处的引出线作为所述第二控制端，所述第八晶体管的第一极和所述第九晶体管的第一极均与所述第二时钟信号输入端连接，所述第九晶体管的第二极与所述第三电容的第二极连接，所述第八晶体管的第二极作为所述扫描电路的输出端。

15、根据权利要求 1 所述的扫描电路，还包括第十晶体管；所述第十晶体管的栅极与接入所述第二电源的第二电源输入端连接，所述第二控制模块通过所述第十晶体管与所述第二控制端连接。

16、一种显示面板，包括像素驱动电路和权利要求 1-15 任一项所述的扫描电路；所述扫描电路与所述像素驱动电路连接，所述扫描电路设置为为所述像素驱动电路提供扫描信号。

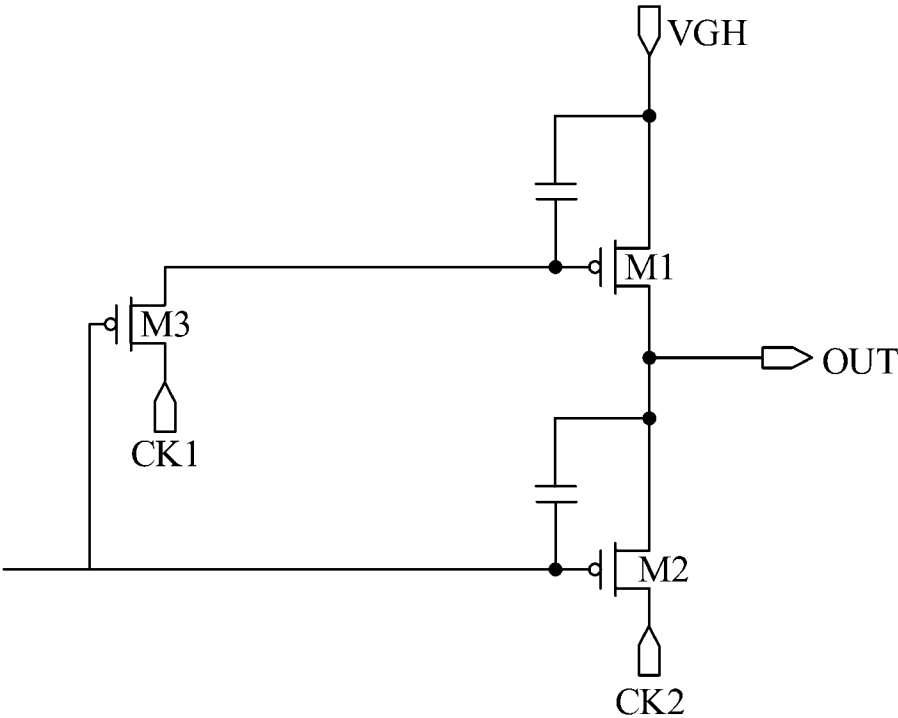


图 1

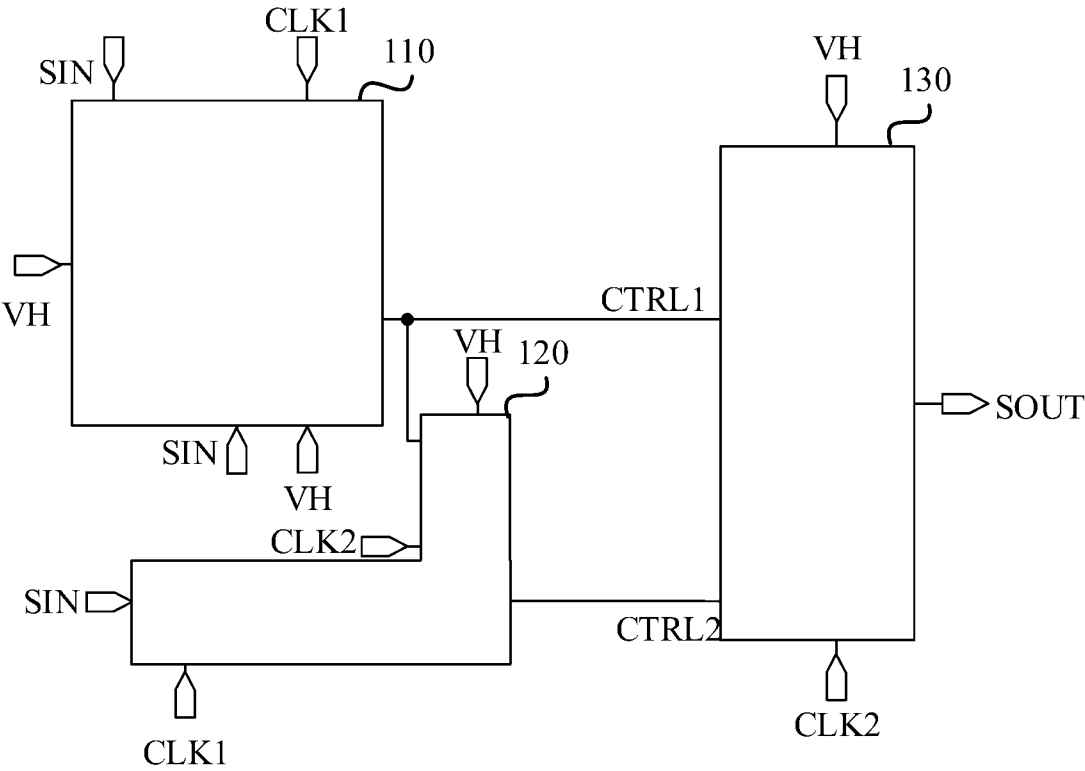


图 2

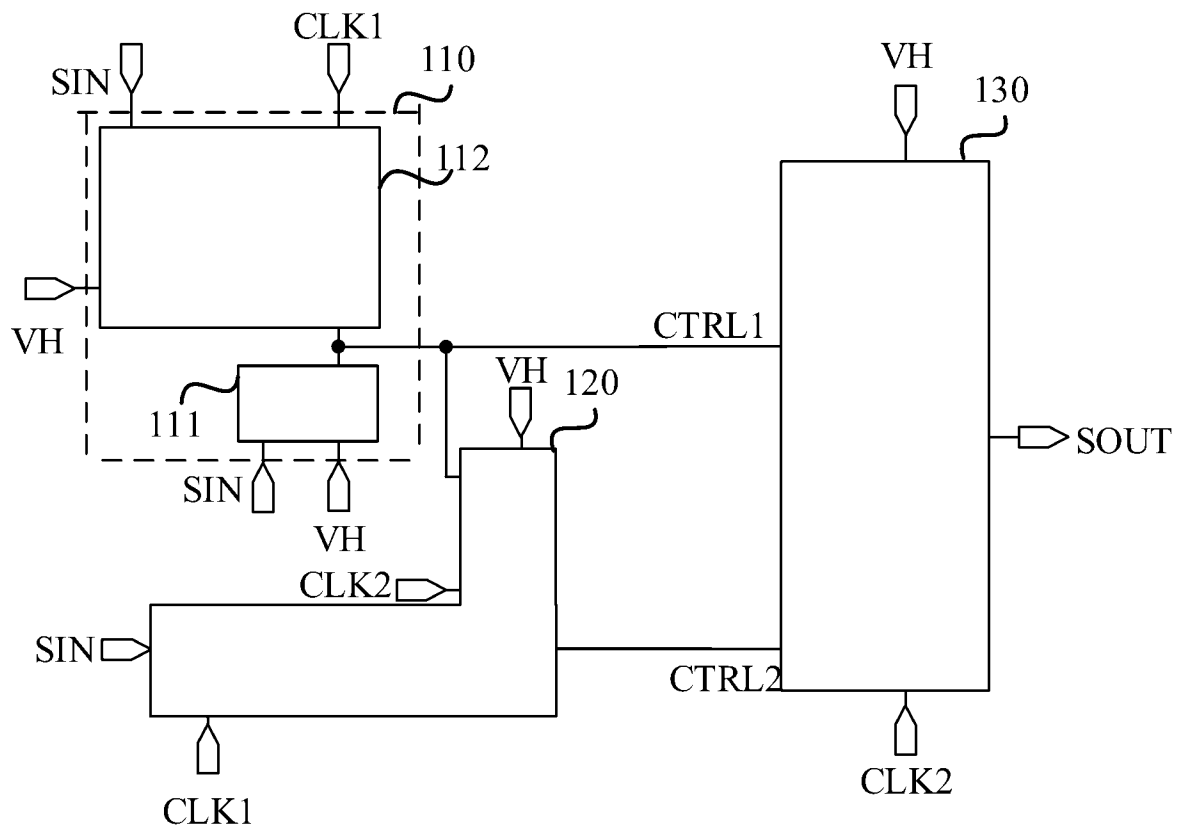


图 3

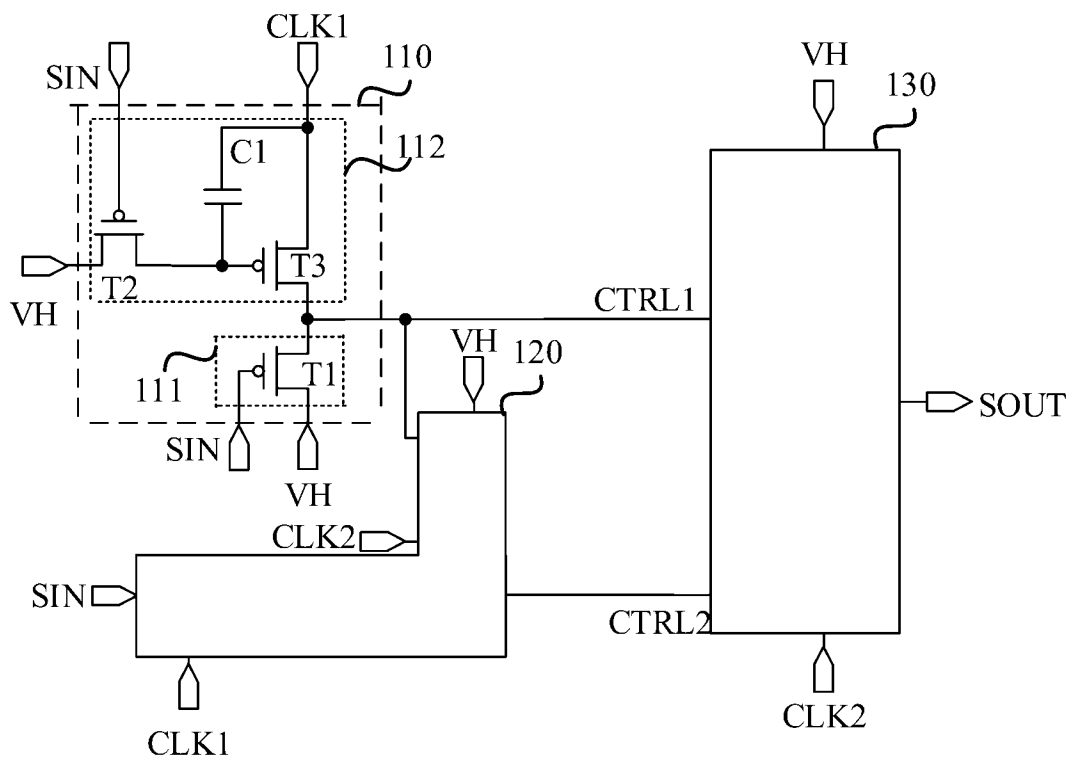


图 4

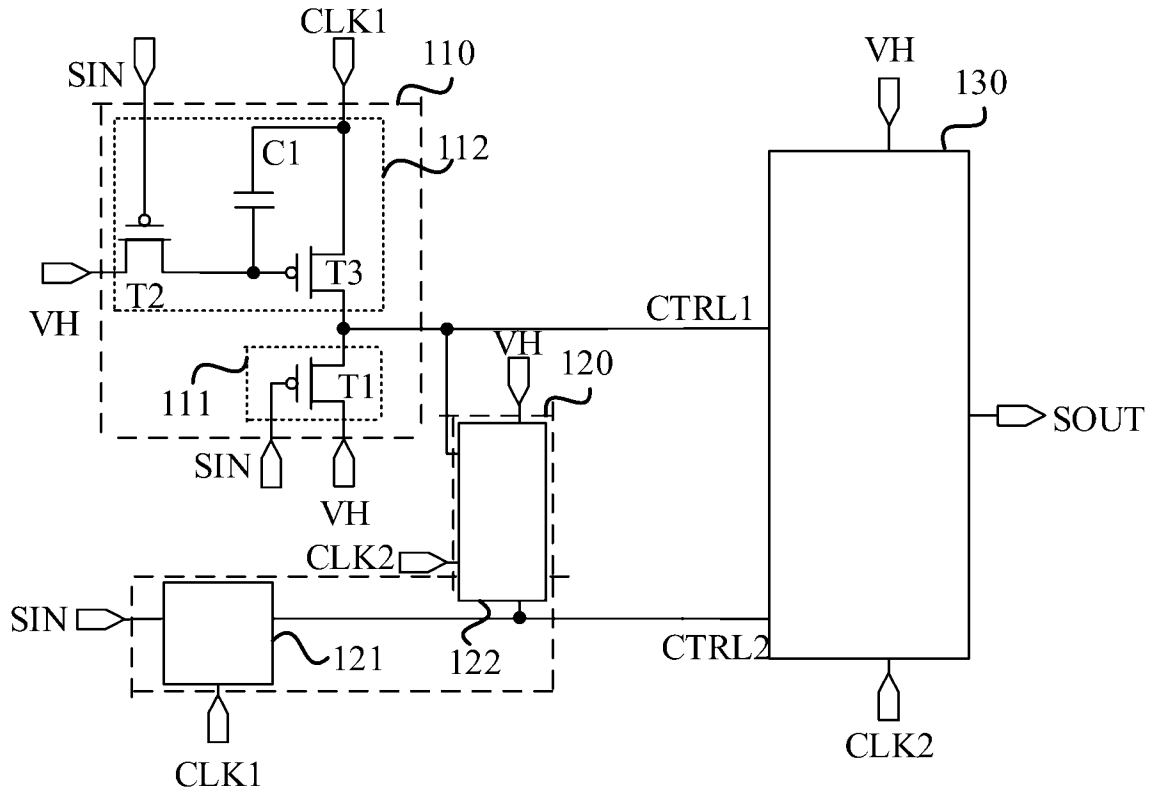


图 5

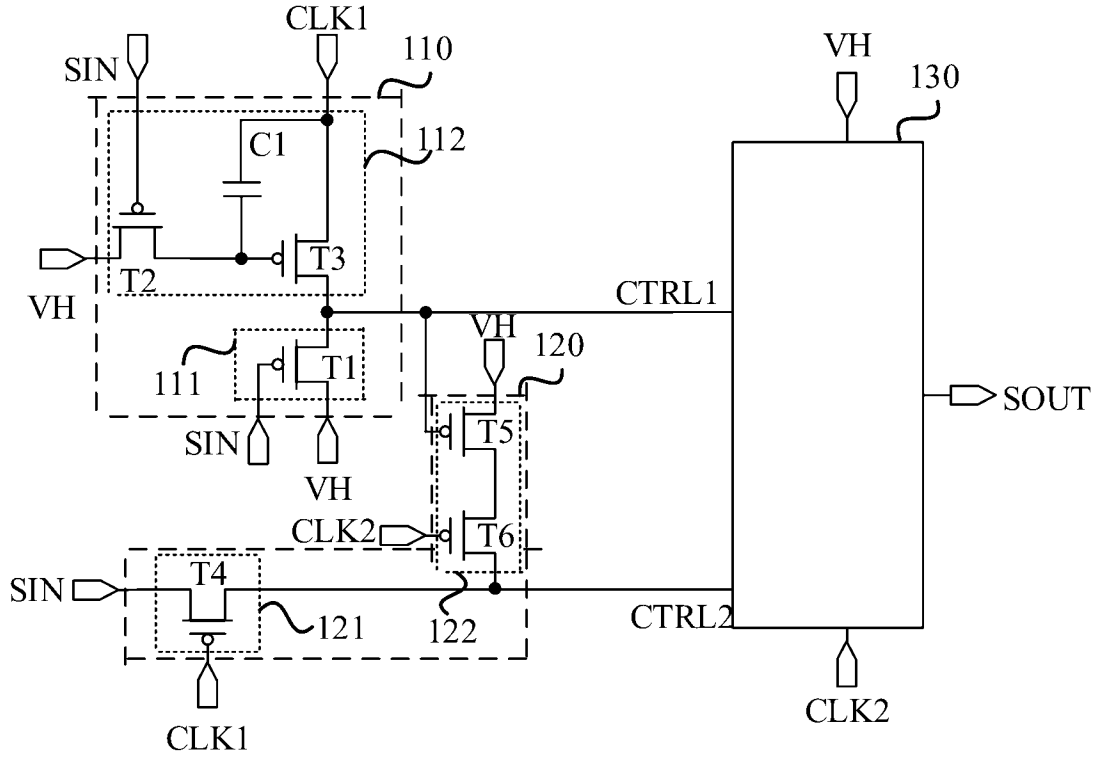


图 6

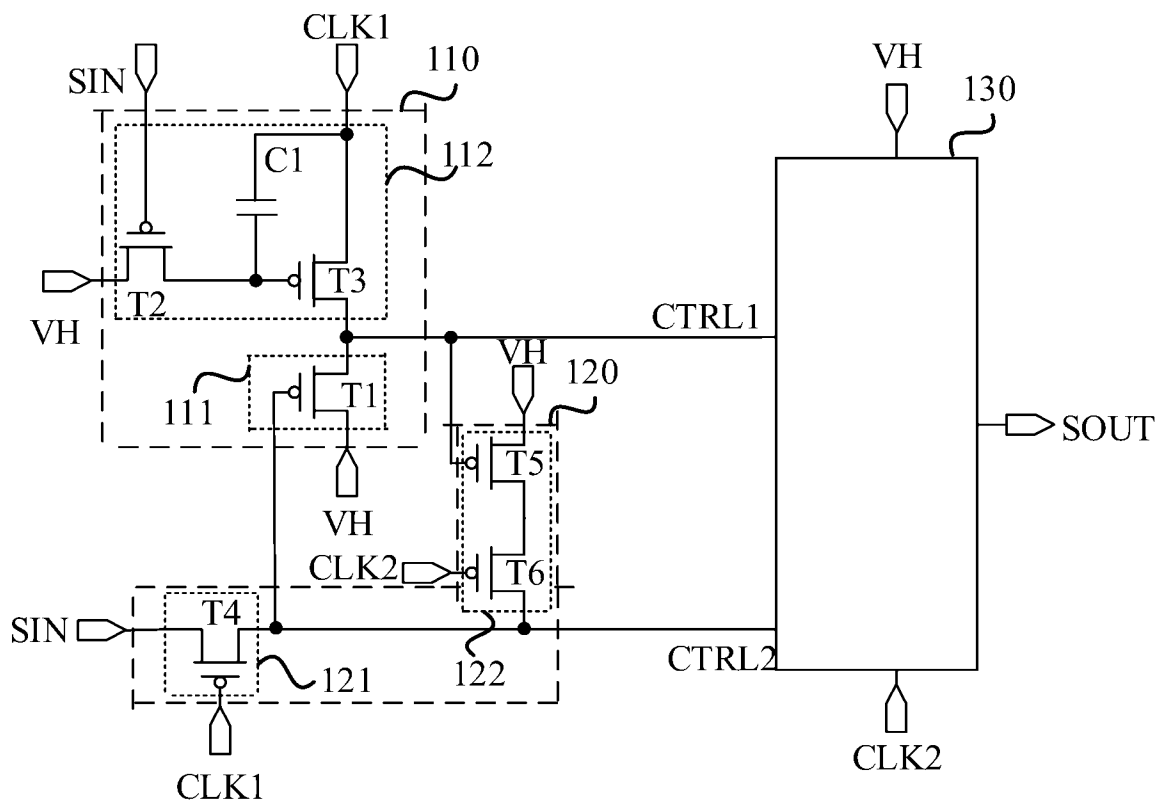


图 7

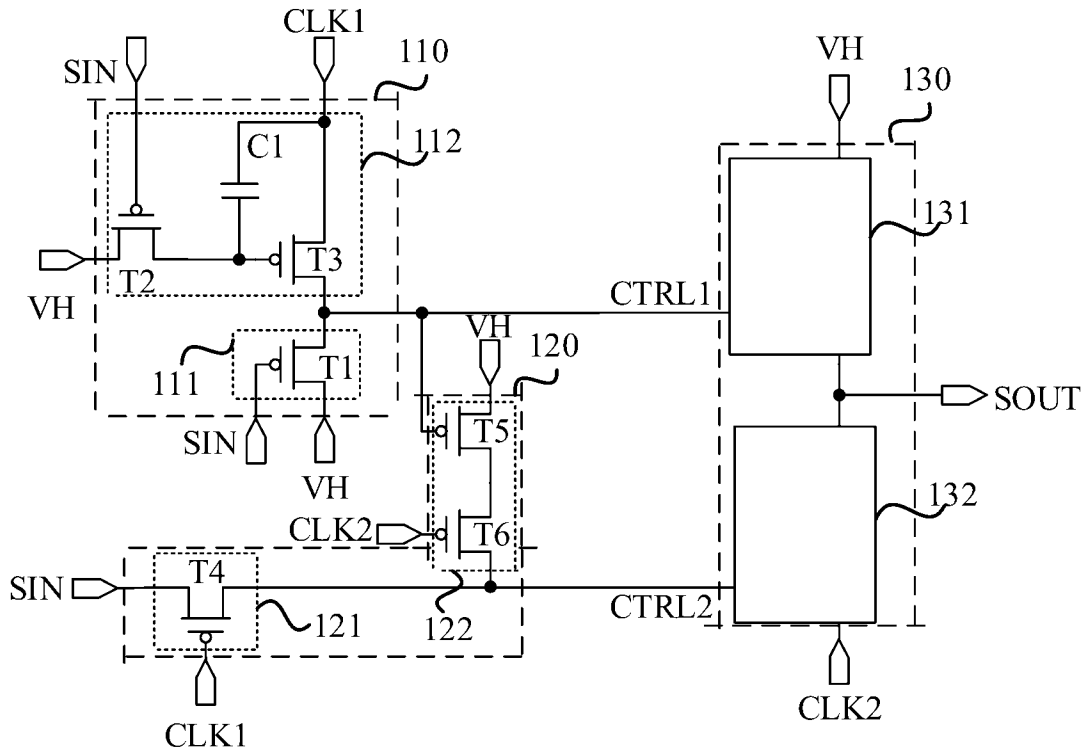


图 8

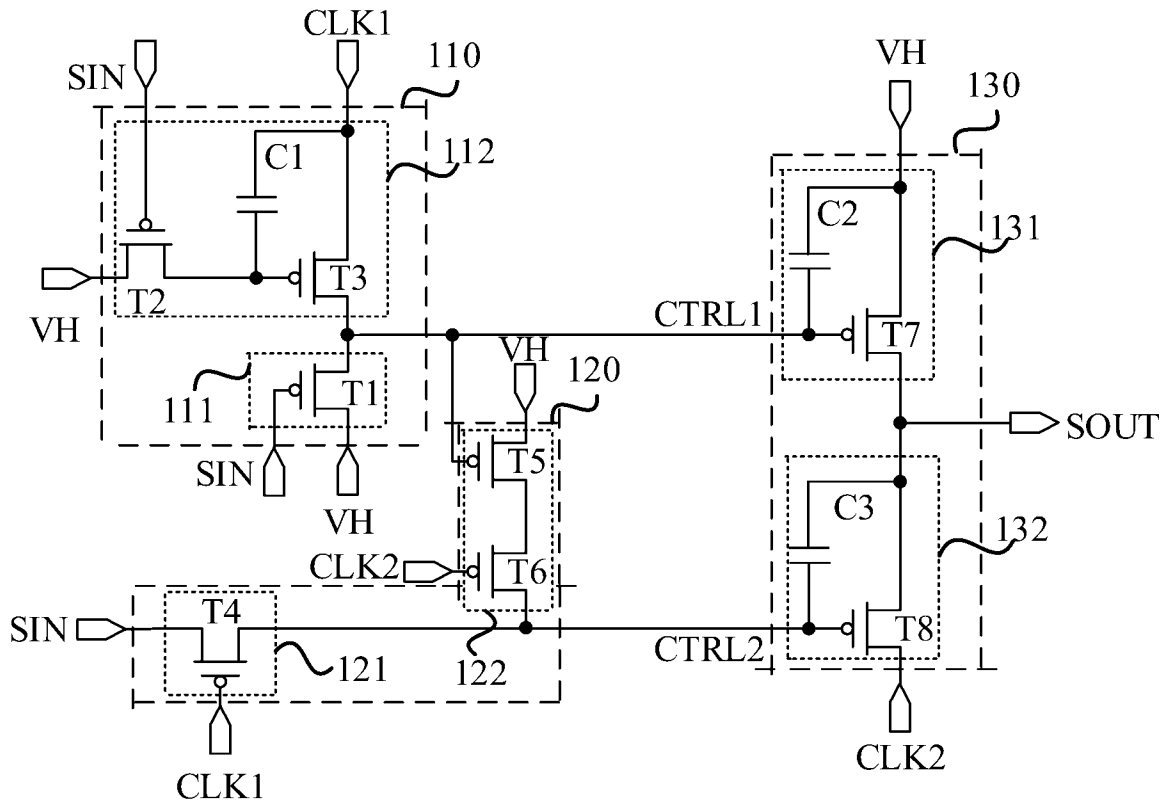


图 9

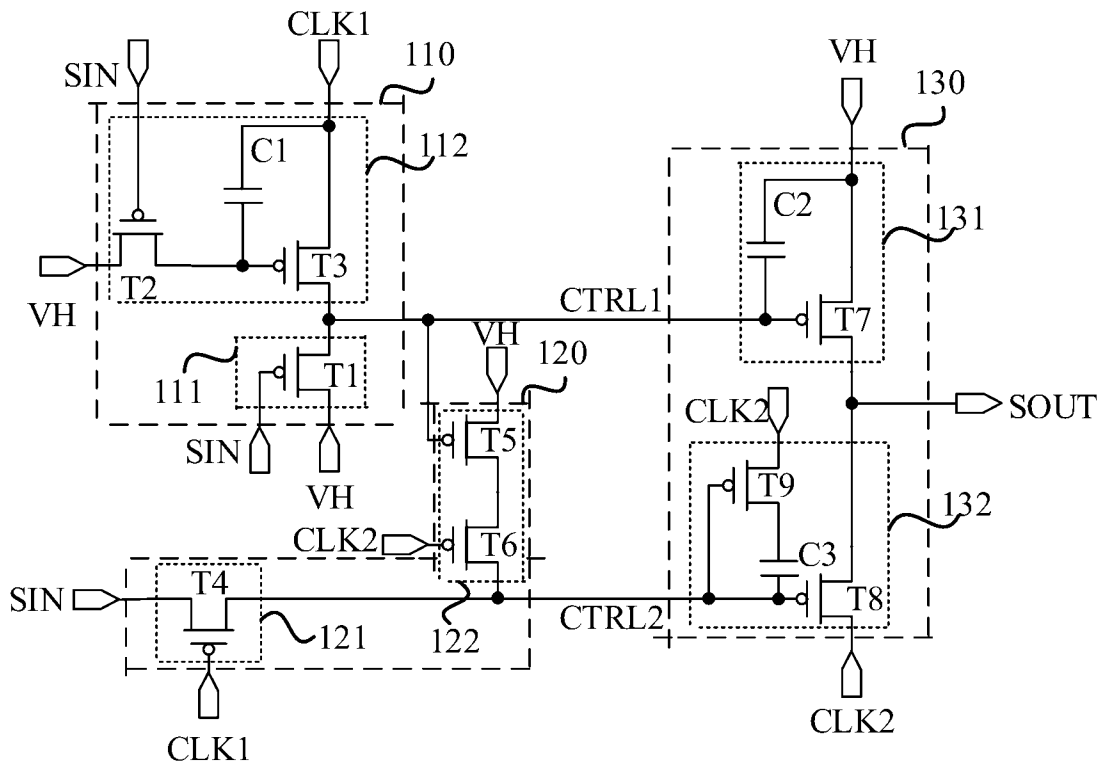


图 10

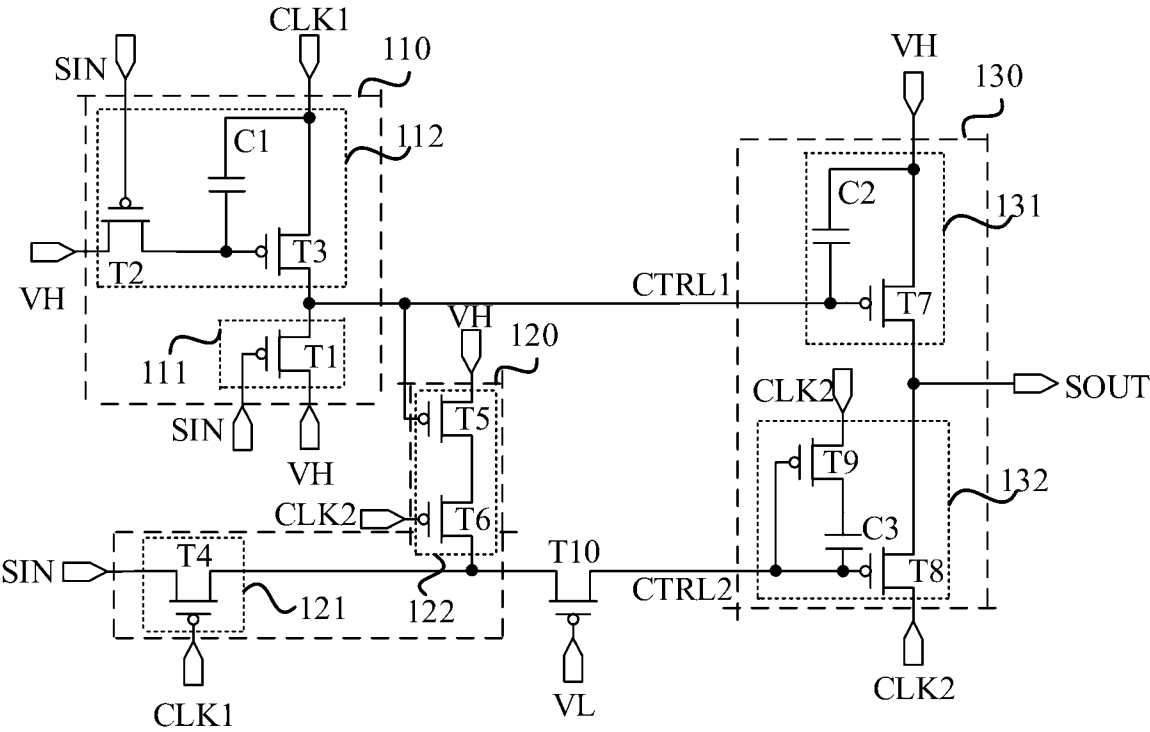


图 11

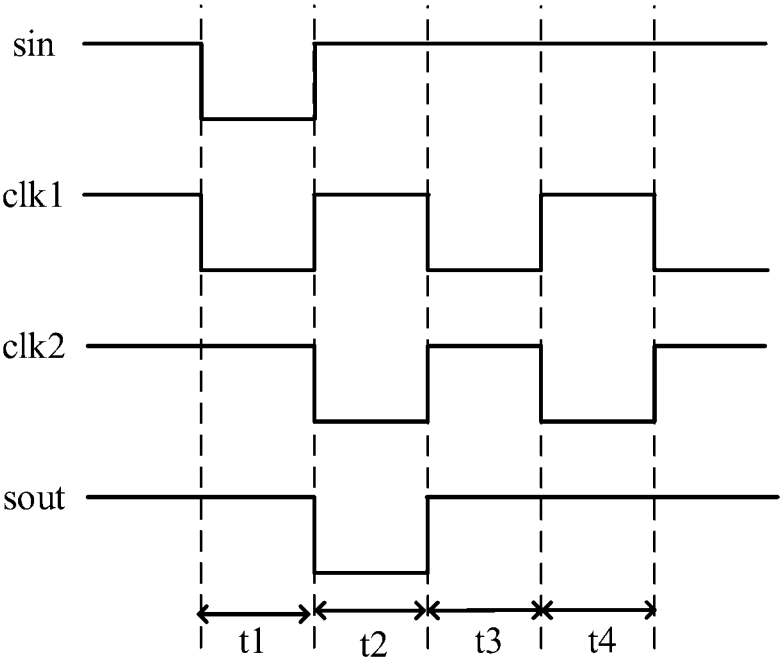


图 12

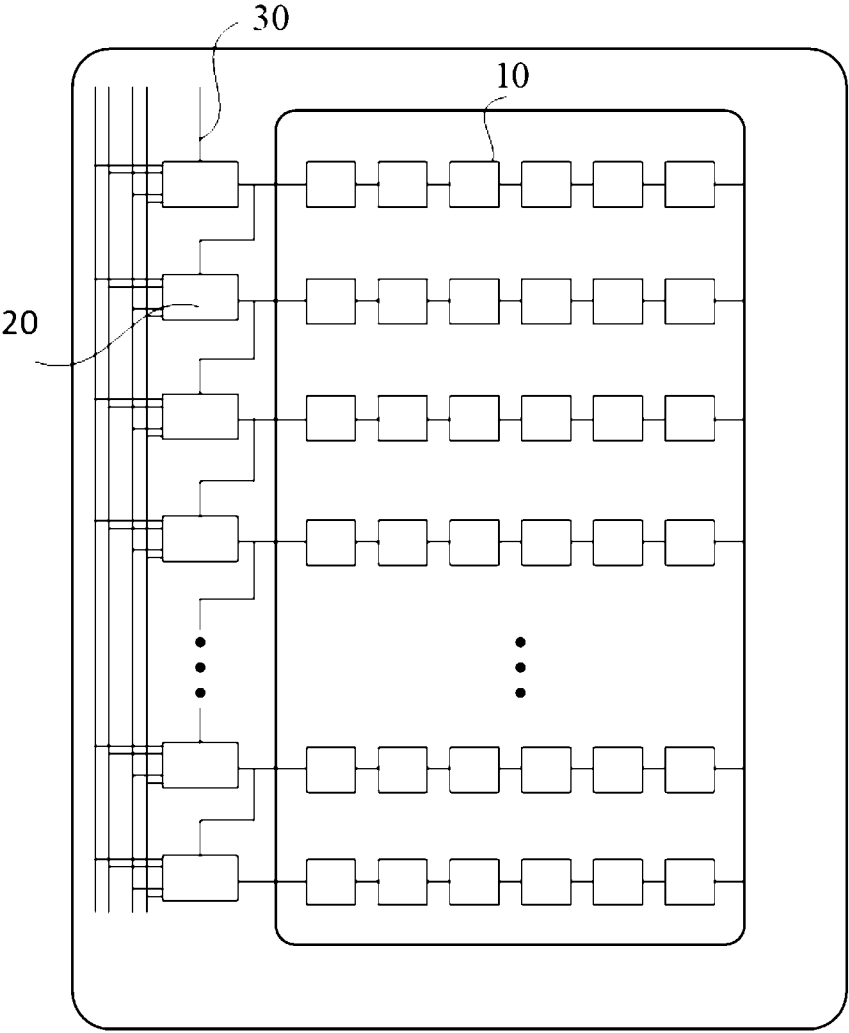


图 13

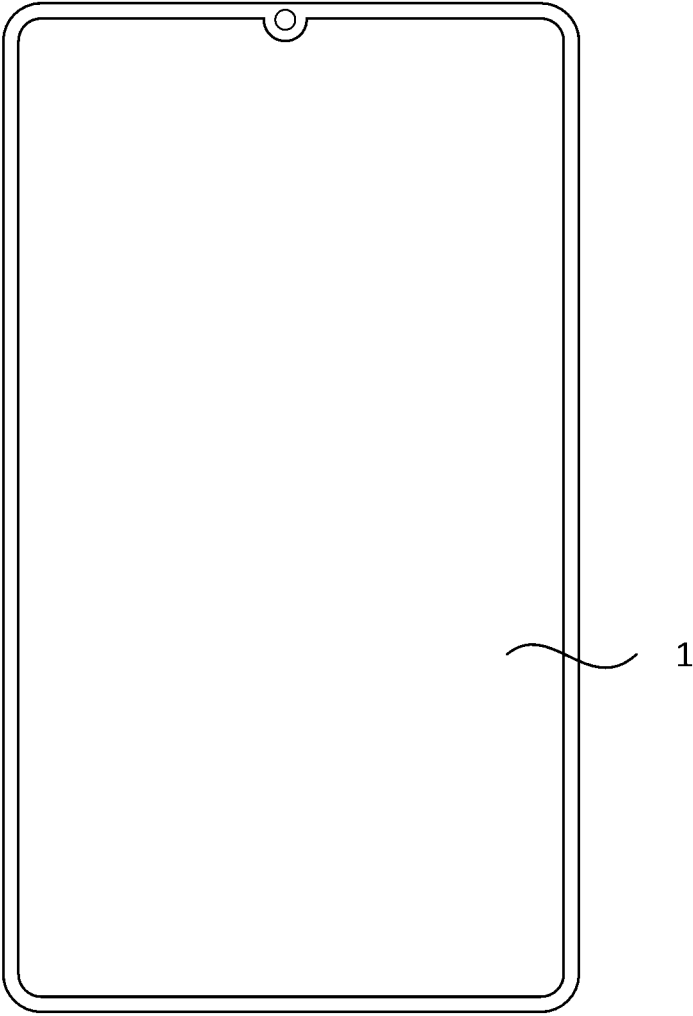


图 14

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2023/110193

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/20(2006.01)i; G09G3/36(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; VEN; CNTXT; USTXT; EPTXT; WOTXT; CNKI: 移位寄存器, 移位暂存器, 扫描电路, 栅极电路, 跳变, 中间态, 时钟, 控制, 输出, shift register, scan circuit, gate circuit, trip, intermediate state, clock, control, output

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 116030747 A (KUNSHAN GOVISIONOX OPTOELECTRONICS CO., LTD.) 28 April 2023 (2023-04-28) description, paragraphs [0004]-[0074], and figures 1-14	1-16
Y	CN 112802422 A (YUNGU (GU'AN) TECHNOLOGY CO., LTD.) 14 May 2021 (2021-05-14) description, paragraphs [0087] and [0088], and figures 1-12	1, 11-16
Y	CN 112802424 A (HEFEI VISIONOX TECHNOLOGY CO., LTD.) 14 May 2021 (2021-05-14) description, paragraphs [0065]-[0067], and figure 3	1, 11-16
A	CN 110364121 A (KUNSHAN GOVISIONOX OPTOELECTRONICS CO., LTD.) 22 October 2019 (2019-10-22) entire document	1-16
A	CN 110675836 A (HEFEI VISIONOX TECHNOLOGY CO., LTD.) 10 January 2020 (2020-01-10) entire document	1-16



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

14 September 2023

Date of mailing of the international search report

23 October 2023

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
China No. 6, Xitucheng Road, Jimenqiao, Haidian District,
Beijing 100088

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2023/110193

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 111696469 A (KUNSHAN GOVISIONOX OPTOELECTRONICS CO., LTD.) 22 September 2020 (2020-09-22) entire document	1-16
A	CN 111916016 A (KUNSHAN GOVISIONOX OPTOELECTRONICS CO., LTD.) 10 November 2020 (2020-11-10) entire document	1-16
A	CN 112634805 A (YUNGU (GU'AN) TECHNOLOGY CO., LTD.) 09 April 2021 (2021-04-09) entire document	1-16
A	CN 215895935 U (HEFEI VISIONOX TECHNOLOGY CO., LTD.) 22 February 2022 (2022-02-22) entire document	1-16

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2023/110193

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
CN	116030747	A	28 April 2023	None	
CN	112802422	A	14 May 2021	None	
CN	112802424	A	14 May 2021	None	
CN	110364121	A	22 October 2019	None	
CN	110675836	A	10 January 2020	None	
CN	111696469	A	22 September 2020	None	
CN	111916016	A	10 November 2020	None	
CN	112634805	A	09 April 2021	CN 112634805	B 21 October 2022
CN	215895935	U	22 February 2022	None	

A. 主题的分类 G09G3/20(2006.01)i; G09G3/36(2006.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类		
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) IPC: G09G 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNABS;VEN;CNTXT;USTXT;EPTXT;WOTXT;CNKI:移位寄存器, 移位暂存器, 扫描电路, 栅极电路, 跳变, 中间态, 时钟, 控制, 输出, shift register, scan circuit, gate circuit, trip, intermediate state, clock, control, output		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 116030747 A (昆山国显光电有限公司) 2023年4月28日 (2023 - 04 - 28) 说明书第[0004]-[0074]段, 图1-14	1-16
Y	CN 112802422 A (云谷(固安)科技有限公司) 2021年5月14日 (2021 - 05 - 14) 说明书第[0087]、[0088]段, 图1-12	1、11-16
Y	CN 112802424 A (合肥维信诺科技有限公司) 2021年5月14日 (2021 - 05 - 14) 说明书第[0065]-[0067]段, 图3	1、11-16
A	CN 110364121 A (昆山国显光电有限公司) 2019年10月22日 (2019 - 10 - 22) 全文	1-16
A	CN 110675836 A (合肥维信诺科技有限公司) 2020年1月10日 (2020 - 01 - 10) 全文	1-16
A	CN 111696469 A (昆山国显光电有限公司) 2020年9月22日 (2020 - 09 - 22) 全文	1-16
A	CN 111916016 A (昆山国显光电有限公司) 2020年11月10日 (2020 - 11 - 10) 全文	1-16
☒ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “D” 申请人在国际申请中引证的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期 2023年9月14日		国际检索报告邮寄日期 2023年10月23日
ISA/CN的名称和邮寄地址 中国国家知识产权局 中国北京市海淀区蓟门桥西土城路6号 100088		授权官员 金浩 电话号码 (+86) 0512-88997087

C. 相关文件		
类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	CN 112634805 A (云谷（固安）科技有限公司) 2021年4月9日 (2021 - 04 - 09) 全文	1-16
A	CN 215895935 U (合肥维信诺科技有限公司) 2022年2月22日 (2022 - 02 - 22) 全文	1-16

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2023/110193

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN	116030747	A	2023年4月28日	无	
CN	112802422	A	2021年5月14日	无	
CN	112802424	A	2021年5月14日	无	
CN	110364121	A	2019年10月22日	无	
CN	110675836	A	2020年1月10日	无	
CN	111696469	A	2020年9月22日	无	
CN	111916016	A	2020年11月10日	无	
CN	112634805	A	2021年4月9日	CN 112634805	B 2022年10月21日
CN	215895935	U	2022年2月22日	无	