

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2018年9月7日(07.09.2018)



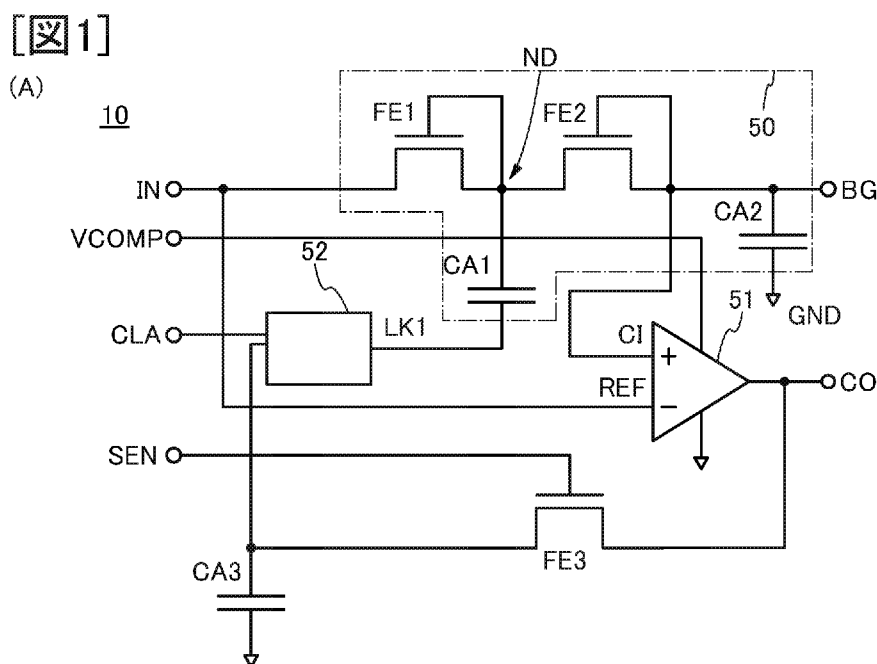
(10) 国際公開番号

WO 2018/158650 A1

- (51) 国際特許分類:  
H03K 19/00 (2006.01) H01L 27/04 (2006.01)  
H01L 21/822 (2006.01)
- (21) 国際出願番号: PCT/IB2018/051015
- (22) 国際出願日: 2018年2月20日(20.02.2018)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2017-040312 2017年3月3日(03.03.2017) JP
- (71) 出願人: 株式会社半導体エネルギー研究所  
(SEMICONDUCTOR ENERGY LABORATORY  
CO., LTD.) [JP/JP]; 〒2430036 神奈川県厚木  
市長谷 3 9 8 Kanagawa (JP).
- (72) 発明者: 松 寄 隆 徳 (MATSUZAKI, Takanori);  
〒2430036 神奈川県厚木市長谷 3 9 8 株式会社  
半導体エネルギー研究所内 Kanagawa (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保  
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,  
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,  
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,  
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,  
HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH,  
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,  
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,  
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,  
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: SEMICONDUCTOR DEVICE AND DRIVE METHOD FOR SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置、および半導体装置の駆動方法



(57) Abstract: Provided is a semiconductor device that highly precisely generates stable negative potential and has been made to consume less power. The present invention has a voltage conversion circuit, a comparator, a logic circuit, a transistor, and a capacitive element. In accordance with a clock signal that is outputted by the logic circuit, the voltage conversion circuit outputs, as a second signal, a signal that is generated by converting the voltage of an inputted first signal. The supply or suspension of power-supply voltage to the comparator is controlled in accordance with a power-gating signal. When the transistor is not conducting, the transistor holds output voltage from the comparator in the capacitance element.

[続葉有]



WO 2018/158650 A1



SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,  
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

---

When the power-supply voltage to the comparator is suspended, the logic circuit switches the supply or suspension of the clock signal on the basis of the voltage held by the capacitance element.

(57) 要約: 要約書 安定した負電位を高精度に生成するとともに、低消費電力化が図られた半導体装置を提供すること。電圧変換回路と、コンパレータと、論理回路と、トランジスタと、容量素子と、を有する。電圧変換回路は、論理回路が出力するクロック信号に応じて、入力される第1の信号の電圧を変換した信号を第2の信号として出力する機能を有する。コンパレータは、パワーゲーティング信号に応じて電源電圧の供給または停止が制御される機能を有する。トランジスタは、当該トランジスタを非導通状態とする期間において容量素子にコンパレータの出力電圧を保持する機能を有する。論理回路は、コンパレータへの電源電圧が停止する期間において、容量素子に保持された電圧を基にクロック信号の供給または停止を切り替える機能を有する構成とする。

## 明細書

## 発明の名称

半導体装置、および半導体装置の駆動方法

## 技術分野

[0001]

本発明の一態様は、半導体装置、および半導体装置の駆動方法に関する。

[0002]

本明細書等において、半導体装置とは、半導体特性を利用した装置であり、半導体素子（トランジスタ、ダイオード等）を含む回路、同回路を有する装置等をいう。また、半導体特性を利用することで機能しうる装置全般をいう。例えば、集積回路、集積回路を備えたチップは、半導体装置の一例である。また、記憶装置、表示装置、発光装置、照明装置及び電子機器等は、それ自体が半導体装置である場合があり、又は半導体装置を有している場合がある。

## 背景技術

[0003]

チャネル形成領域に金属酸化物を有するトランジスタ（以下、「酸化物半導体トランジスタ」、または「OSTランジスタ」と呼ぶ場合がある。）が知られている。特許文献1には第1ゲート電極と第2ゲート電極を有するOSTランジスタにおいて第2ゲート電極に負電圧を印加する構成について開示している。特許文献1では、OSTランジスタのしきい値電圧をプラス側にシフトさせて、OSTランジスタをオフにした際のリーク電流（オフ電流）を小さくしている。

[0004]

第2ゲート電極に与える負電圧は、チャージポンプ回路によって生成される。特許文献2および特許文献3には、負電圧を高精度に生成するためのチャージポンプ回路の技術が開示されている。特許文献2および特許文献3では、チャージポンプ回路から出力される負電圧を正電圧に変換し、この正電圧と正の基準電圧との差異をコンパレータ回路によって検出し、検出結果をフィードバックすることでチャージポンプ回路の動作を制御している。

[0005]

[先行技術文献]

[特許文献]

[0006]

[特許文献1] 米国特許出願公開第2012/0051118号公報

[特許文献2] 特開平7-231647号公報

[特許文献3] 特開平11-150230号公報

## 発明の概要

## 発明が解決しようとする課題

[0007]

精度の高い負電圧の生成によってOSTランジスタの特性を安定化させることができる。しかしながら、コンパレータ回路を常時動作させる場合、コンパレータ回路における消費電流が大きいと、消費電力が大きくなってしまふといった問題がある。

[0008]

消費電力を低減するためには、コンパレータ回路のパワーゲーティングが有効である。しかしながら、パワ

ーゲーティングの前後、つまり電源供給の停止と再開の前後でコンパレータ回路の出力が不安定になり、O  
Sトランジスタを有する回路の動作が不安定になる虞がある。

[0009]

本発明の一態様は、消費電力の低減することができる、新規な半導体装置を提供することを課題の一つとする。または、本発明の一態様は、パワーゲーティングの前後におけるコンパレータの出力を安定したものとすることができる、新規な記憶装置を提供することを課題の一つとする。または、本発明の一態様は、パワーゲーティングの前後におけるコンパレータの出力の安定化と、低消費電力化との両立を図ることができる、新規な記憶装置を提供することを課題の一つとする。または、本発明の一態様は、新規な半導体装置を提供することを課題の一つとする。

[0010]

なお、本発明の一形態はこれらの課題の全てを解決する必要はない。複数の課題の記載は互いの課題の存在を妨げるものではない。列記した以外の課題は本明細書等の記載から自ずと明らかになり、これらの課題も本発明の一形態の課題となり得る。

課題を解決するための手段

[0011]

本発明の一態様は、電圧変換回路と、コンパレータと、論理回路と、トランジスタと、容量素子と、を有し、電圧変換回路は、論理回路が出力するクロック信号に応じて、入力される第1の信号の電圧を変換した信号を第2の信号として出力する機能を有し、コンパレータは、パワーゲーティング信号に応じて電源電圧の供給または停止が制御される機能を有し、トランジスタは、トランジスタを非導通状態とする期間において容量素子にコンパレータの出力電圧を保持する機能を有し、論理回路は、コンパレータへの電源電圧が停止する期間において、容量素子に保持された電圧を基にクロック信号の供給または停止を切り替える機能を有する半導体装置である。

[0012]

本発明の一態様において、トランジスタは、チャネル形成領域が酸化物半導体を有する半導体装置が好ましい。

[0013]

本発明の一態様において、コンパレータは、トランジスタを導通状態とする期間において、電源電圧の供給が行われる半導体装置が好ましい。

[0014]

または本発明の一態様は、上記半導体装置の駆動方法であって、トランジスタの非導通状態から導通状態への切り替えは、コンパレータの電源電圧の停止状態から供給状態への切り替えよりも前に行う半導体装置の駆動方法である。

発明の効果

[0015]

本発明の一態様は、消費電力を低減することができる、新規な半導体装置を提供することができる。または、本発明の一態様は、パワーゲーティングの前後におけるコンパレータの出力を安定したものとすることができる、新規な記憶装置を提供することができる。または、本発明の一態様は、パワーゲーティングの前後におけるコンパレータの出力の安定化と、低消費電力化との両立を図ることができる、新規な記憶装置を提供することができる。または、本発明の一態様は、新規な半導体装置を提供することができる。

[0016]

本発明の一形態は、必ずしも、例示した効果の全てを有する必要はない。複数の効果の記載は、他の効果の存在を妨げるものではない。また、本発明の一形態について、上記以外の課題、効果、および新規な特徴については、本明細書の記載および図面から自ずと明らかになるものである。

#### 図面の簡単な説明

[0017]

[図1] 半導体装置の構成例を示す回路図。

[図2] 半導体装置の動作例を示すタイミングチャート。

[図3] 半導体装置の構成例を示す回路図。

[図4] 半導体装置の構成例を示すブロック図。

[図5] 半導体装置の動作例を示すタイミングチャート。

[図6] 半導体装置の構成例を示す回路図。

[図7] 半導体装置の構成例を示す回路図。

[図8] 電圧生成回路の構成例を示す回路図。

[図9] 電圧生成回路の構成例を示す回路図。

[図10] メモリセルの構成を説明する図。

[図11] メモリセルの構成を説明する図。

[図12] 比較回路の構成例を示す回路図、およびトランジスタのドレイン電流ーゲート電圧特性を模式的に示す図。

[図13] 比較回路の構成例を示す回路図。

[図14] 比較回路の構成例を示す回路図。

[図15] 電子部品の作製方法例を示すフローチャート、半導体ウエハの上面図とその拡大図、チップの構成例を示す模式図、および電子部品の構成例を示す斜視模式図。

[図16] 電子機器の構成例を示す図。

[図17] 電子機器の構成例を示す図。

#### 発明を実施するための形態

[0018]

以下に本発明の実施の形態を示す。ただし、本明細書に記載された実施の形態を適宜組み合わせることが可能である。また、1つの実施の形態の中に複数の構成例(動作例、製造方法例も含む)が示される場合は、互いに構成例を適宜組み合わせることが可能である。また、本発明は、多くの異なる形態で実施することが可能であり、趣旨及びその範囲から逸脱することなく、その形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。

[0019]

図面において、大きさ、層の厚さ、および領域等は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。図面は、理想的な例を模式的に示したものであり、図面に示す形状又は値などに限定されない。例えば、ノイズによる信号、電圧、若しくは電流のばらつき、又は、タイミングのずれによる信号、電圧、若しくは電流のばらつきなどを含むことが可能である。

[0020]

本明細書において、「上に」、「下に」などの配置を示す語句は、構成同士的位置関係を、図面を参照して説明するために、便宜上用いている場合がある。また、構成同士的位置関係は、各構成を描写する方向に

応じて適宜変化するものである。従って、明細書で説明した語句に限定されず、状況に応じて適切に言い換えることができる。

[0021]

図面に記載したブロック図の各回路ブロックの配置は、説明のため位置関係を特定するものであり、本発明の一形態の回路ブロックの配置は、これに限定されない。ブロック図において、異なる回路ブロックで別々の機能を実現するよう示していても、実際の回路ブロックにおいては同じ回路ブロック内で別々の機能を実現するように設けられている場合もある。また各回路ブロックの機能は、説明のため機能を特定するものであり、一つの回路ブロックとして示していても、実際の回路ブロックにおいては一つの回路ブロックで行う処理を、複数の回路ブロックで行うように設けられている場合もある。

[0022]

また、本明細書等において、チャンネルが形成される半導体層に酸化物半導体を用いたトランジスタを「OSトランジスタ」ともいう。また、本明細書等において、チャンネルが形成される半導体層にシリコンを用いたトランジスタを「Siトランジスタ」ともいう。また、本明細書等において、チャンネルが形成される半導体層に結晶性を有するシリコンを用いたトランジスタを「結晶性Siトランジスタ」ともいう。結晶性Siトランジスタは、OSTランジスタよりも比較的高い移動度を得やすい。一方で、結晶性Siトランジスタは、OSTランジスタのように極めて少ないオフ電流の実現が困難である。よって、半導体層に用いる半導体材料は、目的や用途に応じて適宜使い分けることが肝要である。例えば、目的や用途に応じて、OSTランジスタと結晶性Siトランジスタなどを組み合わせて用いてもよい。

[0023]

本明細書等において、XとYとが接続されている、と明示的に記載されている場合は、XとYとが電氣的に接続されている場合と、XとYとが機能的に接続されている場合と、XとYとが直接接続されている場合とが、本明細書等に開示されているものとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも、図または文章に記載されているものとする。X、Yは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

[0024]

本明細書等において、“第1”、“第2”、“第3”という序数詞は構成要素の混同を避けるために付す場合があり、その場合は数的に限定するものではなく、また順序を限定するものでもない。

[0025]

(実施の形態1)

本実施の形態は、本発明の一態様の半導体装置について説明する。

[0026]

<半導体装置の一例>

図1(A)に示す半導体装置10は、電圧変換回路50、コンパレータ51、論理回路52、入力端子である端子IN、出力端子である端子BG、入力端子である端子CLA、トランジスタFE3、容量素子CA3、端子SEN、端子VCOMPを有する。電圧変換回路50は、トランジスタFE1、容量素子CA1、トランジスタFE2、および容量素子CA2を有する。

[0027]

半導体装置10は、コンパレータ51を用いて端子BG側から出力される電位の変動を測定し、変動が生じた際に端子IN側より電位を供給する。論理回路52は、容量素子CA1の一方の電極にクロック信号を与え

て容量素子CA1の他方の電極の電位を変化させることで、端子BGの電位を調整する。

[0028]

コンパレータ51は、入力端子である端子CIおよび端子REFと、出力端子である端子COと、を有する。端子REFには参照電位( $V_{ref}$ )が入力される。端子CIは例えば非反転入力端子であり、端子REFは例えば反転入力端子である。

[0029]

コンパレータ51は、端子CIに与えられる電位(以下、 $V_{bg}$ )と $V_{ref}$ との比較結果に応じた電位(コンパレータの出力電圧)を端子COより出力する。端子COは例えば、 $V_{bg}$ が $V_{ref}$ より大きい場合には高電位(以下、 $V_{CH}$ )を出力し、 $V_{bg}$ が $V_{ref}$ 以下である場合には低電位を出力する。後述する図5に示すタイミングチャートの例では、端子COより出力される低電位として接地電位(以下GND)を用いる。またコンパレータ51は、電源電圧の供給または停止を制御する端子VCOMPに接続される。端子VCOMPは、電位を切り替えることで、コンパレータ51への電源電圧の供給または停止を制御する。端子VCOMPに与える信号は、パワーゲーティング信号ともいう。

[0030]

トランジスタFE3は、ゲートに接続された端子SENより与えられる信号によって導通状態または非導通状態が制御される。トランジスタFE3のソースまたはドレインの一方が端子COに接続される。トランジスタFE3のソースまたはドレインの他方が容量素子CA3および論理回路52に接続される。トランジスタFE3が導通状態となることで端子COの電位が容量素子CA3および論理回路52に与えられる。トランジスタFE3が非導通状態となることで容量素子CA3に蓄積された電荷が保持される。

[0031]

トランジスタFE3はnチャネル型MOSトランジスタであることが好ましく、カットオフ電流(例えばフロントゲートとソースが同電位における電流)が小さいことが好ましい。よって、トランジスタFE3のしきい値は、カットオフ電流が充分小さく抑えられる程度に大きいことが好ましい。例えばしきい値は、0.5V以上6V以下、あるいは1V以上4V以下である。

[0032]

論理回路52には端子CLAの電位と容量素子CA3に蓄積された電荷に応じた電位とが与えられる。論理回路52は出力端子であるLK1を有する。論理回路52は、容量素子CA3に蓄積された電荷に応じた電位が高電位である場合に、端子CLAの電位を端子LK1より出力する。

[0033]

容量素子CA3の容量は、容量素子CA1の容量よりも大きいことが好ましい。例えば容量素子CA3の容量は、容量素子CA1の容量の3倍、あるいは5倍、あるいは10倍である。当該構成とすることで容量素子CA3に保持される電荷に応じた電位の変動を小さくすることができる。

[0034]

また、図1(B)に示すようにトランジスタFE1およびトランジスタFE2は第2のゲート(以下、バックゲートと呼ぶ)を有してもよい。トランジスタFE1のバックゲートはトランジスタFE1のソースおよびドレインの一方と接続することが好ましい。トランジスタFE2のバックゲートはトランジスタFE2のソースおよびドレインの一方と接続することが好ましい。ここで、第1のゲートをフロントゲートと呼ぶ場合がある。

[0035]

また各トランジスタにおいて、バックゲートをフロントゲートと導通させ、同電位を与えてもよい。あるいは、バックゲートに与える電位は、フロントゲートに与える電位と異なってもよい。バックゲートに電位を与えるこ

とによりトランジスタのしきい値をシフトさせることができる。例えばnチャネル型トランジスタのバックゲートに負の定電位を与えると、トランジスタのしきい値がプラスシフトする場合がある。また、バックゲートに電位を与えることにより電流駆動能力が向上する場合がある。また、ゲート電極とバックゲート電極は導電層で形成されるため、トランジスタの外部で生じる電界が、チャンネルが形成される半導体層に作用しないようにする機能(特に静電気などに対する電界遮蔽機能)を有する。なお、平面視において、バックゲート電極を半導体層よりも大きく形成し、バックゲート電極で半導体層を覆うことで、電界遮蔽機能を高めることができる。

[0036]

トランジスタFE2のソースおよびドレインの一方は、容量素子CA2の第1の電極、端子CI、および端子BGと電氣的に接続される。容量素子CA2の第2の電極には例えばGNDが与えられる。

[0037]

トランジスタFE2の第1のゲートはトランジスタFE2のソースおよびドレインの一方と接続される。

[0038]

ここで、トランジスタFE2のソースおよびドレインの他方を、ノードNDと呼ぶ。トランジスタFE1の第1のゲートおよび容量素子CA1の第1の電極は、ノードNDと電氣的に接続される。

[0039]

トランジスタFE1のソースおよびドレインの他方と、コンパレータの入力端子REFと、は端子INと電氣的に接続される。よって、図1(A)および図1(B)において、Vrefは、端子INに与えられる電位(以下、Vbg\_in)と共通である。容量素子CA1の第2の電極は、論理回路52の端子LK1と電氣的に接続される。トランジスタFE1は、ダイオードとして機能する。ここで、図1(A)、(B)に示す半導体装置10においてはトランジスタFE1をダイオード接続させて用いたが、ダイオードとして機能する他の半導体素子に置き換えても構わない。

[0040]

容量素子CA2の容量は、容量素子CA1の容量よりも大きいことが好ましい。例えば容量素子CA2の容量は、容量素子CA1の容量の3倍、あるいは5倍、あるいは10倍である。また、容量素子CA1として例えば、トランジスタFE1が有する寄生容量、あるいはトランジスタFE1と配線との寄生容量、など用いても構わない。

[0041]

トランジスタFE2としてOSTランジスタを用いることにより、電荷の保持に優れる半導体装置を実現することができる。図1(A)および(B)に示す半導体装置10は、トランジスタFE2のオフ電流が極めて小さいため、電位を安定に供給することができる。また、OSTランジスタは、ソースとドレイン間の絶縁耐圧が高い。よって、半導体装置10の出力電圧の絶対値を大きくすることができる。

[0042]

また、ソースとドレイン間の絶縁耐圧が高いため、信頼性の良好なトランジスタを提供できる。よって、信頼性の良好な半導体装置などを提供できる。

[0043]

また、半導体装置10がトランジスタFE1を有することにより、端子INに与えられる電位を変化させることができる。すなわち、半導体装置10の中で、電位の調整を行うことができる。電位の調整は、論理回路52の端子LK1からの信号により制御される。半導体装置10の中に電位を調整する機能を有することにより、回路設計の自由度が向上する。

[0044]

図1(B)に示す半導体装置10は、図6(A)に示す半導体装置10と比較して、端子数を削減できる。また、

配線を減らせる。また、電圧の生成を行う回路が端子ごとに必要な場合には、端子数の削減に伴い、該回路の数を減らせる。

[0045]

図6(A)に示す半導体装置10は、図1(B)と比較して、コンパレータ51の端子REFが端子INと電氣的に接続されていない点異なる。図1(B)に示す半導体装置10は、図6(A)に示す半導体装置10と比較して、面積をより小さくできる。なお、図6(A)に示す半導体装置10においては、端子REFと端子INとに異なる電位を与えることができる。

[0046]

図6(B)に示す半導体装置10は、トランジスタFE1および容量素子CA1を有さない例を示す。図6(B)において端子INと端子REFを電氣的に接続させる場合には、 $V_{bg}$ はトランジスタFE2のしきい値分だけ上昇する。図1(B)や図6(A)のようにトランジスタFE1および容量素子CA1を有することにより、出力される $V_{bg}$ の調整(ここでは降圧)が可能となる。

[0047]

ここで、トランジスタFE1およびFE2はnチャネル型MOSトランジスタであることが好ましく、カットオフ電流(例えばフロントゲートとソースが同電位における電流)が小さいことが好ましい。よって、トランジスタFE1およびFE2のしきい値は、カットオフ電流が充分小さく抑えられる程度に大きいことが好ましい。例えばしきい値は、0.5V以上6V以下、あるいは1V以上4V以下である。

[0048]

図1等において、半導体装置10として負電圧を保持する回路の例を示すが、トランジスタのダイオード接続の向きを変えることにより、半導体装置10を正電圧保持回路とすることができる。図7に示すように、トランジスタFE1のゲートを、ノードNDではなく、端子INに接続することにより、容量素子CA1およびトランジスタFE1を用いて正電圧を生成することができる。よって、半導体装置10は正電圧を保持する回路とすることができる。

[0049]

図2にはコンパレータ51に接続される端子VCOMP、およびトランジスタFE3に接続される端子SENに与えられる信号を説明するためのタイミングチャートを図示する。コンパレータ51への電源電圧の供給は、端子VCOMPの電位を高電位に切り替えることで行われる。またコンパレータ51への電源電圧の停止は、端子VCOMPの電位を低電位に切り替えることで行われる。トランジスタFE3を導通状態とする場合、端子SENの電位は高電位に切り替えられる。またトランジスタFE3を非導通状態とする場合、端子SENの電位は低電位に切り替えられる。

[0050]

図2において、時刻 $t_{11}$ から $t_{21}$ まではコンパレータ51への電源電圧の供給を行って一旦停止させた後、再度電源電圧の供給を行う期間 $T_{pow}$ を図示している。期間 $T_{pow}$ での端子VCOMPの電位を低電位とする期間は、コンパレータ51への電源電圧が停止する期間に相当する。論理回路52は、当該期間で容量素子CA3に蓄積された電荷に応じた電圧を基にクロック信号CLKの端子LK1への供給または停止を切り替える。

[0051]

図2において時刻 $t_{11}$ では端子VCOMPの電位を高電位とし、コンパレータ51を動作させる。コンパレータ51を動作させることで、端子COでの電位を更新することができる。次いで図2において時刻 $t_{12}$ では端子SENの電位を高電位とし、トランジスタを導通状態とする。トランジスタを導通状態とすることで、端子COの電位に応じた電荷を容量素子CA3に蓄積させることができる。次いで図2において時刻 $t_{13}$ では端子SENの

電位を低電位とし、トランジスタを非導通状態とする。トランジスタを非導通状態とすることで、端子COの電位に応じた電荷を容量素子CA3に保持し続けさせることができる。次いで図2において時刻 $t_{14}$ では端子VCOMPの電位を低電位とし、コンパレータ51の動作を停止させる。コンパレータ51を停止させることで、端子COでの電位が更新されなくなるもののコンパレータ51における消費電力を低くすることができる。コンパレータ51を動作させて端子COの電位を確定させたのちに、端子SENの電位を高電位として容量素子CA3に端子COの電位に応じた電荷を蓄積させることでパワーゲーティングの前後におけるコンパレータ51の出力を安定したものとするすることができる。

[0052]

本発明の一態様の構成では、コンパレータ51における消費電力を低くするとともに、端子COの電位に応じた電荷を容量素子CA3に保持し続けさせる構成とする。コンパレータ51への電源電圧の供給を停止し、端子COの電位が更新されなくても容量素子CA3に蓄積された電荷に応じた電位として端子COでの電位を論理回路52に与え続けることができる。トランジスタFE3をOSTランジスタとすることでカットオフ電流を小さくできるため、容量素子CA3に蓄積された電荷を保持できる期間を長くすることができる。コンパレータ51をパワーゲーティングした状態でも端子COの電位を論理回路52に与え続けることができるため、パワーゲーティングの前後におけるコンパレータの出力の安定と、低消費電力化との両立を図ることができる。

[0053]

図3(A)に示す半導体装置10は、トランジスタFE1とトランジスタFE2との間に、トランジスタFE4を有する点が、図1(B)と異なる。また、図3(A)に示す半導体装置10は容量素子CA4を有する点が、図1(B)と異なる。

[0054]

トランジスタFE4のソースおよびドレインの一方はノードNDと電氣的に接続され、他方はトランジスタFE1のソースおよびドレインの一方と電氣的に接続される。容量素子CA4の一方の電極はトランジスタFE4のソースおよびドレインの一方に電氣的に接続される。容量素子CA1の他方の電極は、インバータを介して端子LK1と電氣的に接続される。容量素子CA4の他方の電極は、2段のインバータを介して、端子LK1と電氣的に接続される。

[0055]

図3(B)は、端子INと端子REFが電氣的に接続されない点が図3(A)と異なる。

[0056]

#### <半導体装置10の適用例>

図4(A)に示す半導体装置300は、制御部41と、電圧生成部42と、電圧保持部43と、セルアレイ44と、を有する。セルアレイ44は例えば、記憶装置、CPU、または撮像装置、等の一部を構成する。セルアレイ44は一以上のOSTランジスタを有することが好ましい。また、電圧保持部43より出力される電位は、該OSTランジスタのバックゲートに与えられる。

[0057]

電圧生成部42は、チャージポンプ80aを有する。電圧生成部42は複数のチャージポンプを有してもよい。例えばチャージポンプ80aと、第2のチャージポンプと、を有し、それぞれから、異なる電位を出力してもよい。また後述するように、電圧生成部42はクロックバッファ回路を有してもよい。

[0058]

電圧保持部43は、半導体装置10を有する。なお半導体装置10が有する容量素子CA3(具体的には容量素子CA3に蓄積された電荷に応じた電位を与える端子;以下端子CAO)は論理回路52に接続される構

成の他、図4(B)に示すように端子CAOからの信号を制御部41に入力し、制御部41を介してチャージポンプに信号(図中の信号S1)を与えてもよい。図4(A)および図4(B)において、半導体装置10が有する端子INは電圧保持部43の入力端子として機能し、端子BGは、電圧保持部43の出力端子として機能する。

[0059]

制御部41は、論理回路56およびクロック生成回路57を有する。クロック生成回路57は、信号CL1および信号CL2等のクロック信号を生成することができる。

[0060]

制御部41は、チャージポンプ80aに信号CL2を与える。また、制御部41は、電圧保持部43が有する半導体装置10の論理回路52の端子CLAに信号CL1を与える。

[0061]

ここで、電圧保持部43が有するトランジスタFE1およびトランジスタFE2は耐圧が高い。また、電圧保持部43は、半導体装置10を用いて降圧を行うことができる。よって、半導体装置300は、電圧生成部42の耐圧よりも絶対値の大きな電圧を得ることができる。

[0062]

セルアレイ44は、バックゲートを有するOSTランジスタを一以上有することが好ましい。該バックゲートには、電圧保持部43が有する半導体装置10から出力される電位が与えられる。図4に示すセルアレイ44は、トランジスタMWと、容量素子CSと、配線WLと、を有する。トランジスタMWは、バックゲートを有するOSTランジスタである。トランジスタMWのフロントゲートは配線WLと電氣的に接続される。トランジスタMWのソースおよびドレインの一方は、容量素子CSの一方の電極に電氣的に接続される。容量素子CSの他方の電極は例えば、GND等に接続される。電圧保持部43が有する半導体装置10の端子BGと、トランジスタMWと、は電氣的に接続される。

[0063]

ここで、電圧保持部43が有する半導体装置10の端子BGと、トランジスタMWと、は間にバッファ回路等を介して電氣的に接続されてもよい。

[0064]

#### <半導体装置300の動作例>

図5には、図4(B)に示す半導体装置300の動作の一例を説明するタイミングチャートを示す。

[0065]

時刻t0における半導体装置300の動作を説明する。電圧保持部43が有する半導体装置10において、 $V_{bg}$ と $V_{ref}$ の比較結果に応じた電位が端子COから出力される。端子COの電位は論理回路52へ与えられる。図5では、半導体装置10において $V_{bg}$ が $V_{ref}$ より大きい例を示し、端子COから $V_{cH}$ が出力され、論理回路52へ $V_{cH}$ が与えられる。

[0066]

また、半導体装置10の端子CAOから $V_{cH}$ が制御部41に与えられる。端子CAOの電位が $V_{cH}$ の場合には、制御部41から半導体装置10の論理回路52に信号CL1が与えられる。上述したように端子CAOの電位は、コンパレータ51に接続された端子COの出力信号を間欠的に取得した電位に相当する。なおコンパレータ51は上述したように間欠的にパワーゲーティングするよう制御されるため、端子COの電位は不定値(unknown)となる。本発明の一態様の構成では、コンパレータ51への電源電圧の供給を停止させても、端子COの電位( $V_{cH}$ )に応じた電荷を容量素子CA3に保持し続けさせる構成とすることができるため、動作の安定化と、低消費電力化との両立を図ることができる。端子CAOが $V_{cH}$ の場合には、制御部41から

半導体装置10の論理回路52に信号CL1が与えられる。

[0067]

制御部41に $V_{cH}$ が与えられると、制御部41から電圧生成部42へ信号CL2が与えられ、チャージポンプ80aが動作状態になる。時刻 $t_0$ から時刻 $t_1$ までの期間で、端子INに与えられる電位(以下、 $V_{bg\_in}$ )は、チャージポンプ80aの動作に伴い、徐々に上昇あるいは降下する(図5に示す例では1クロック毎に電位が降下する)。図1(A)、図1(B)および図3(A)に示す半導体装置10を用いる場合には、 $V_{ref}$ と $V_{bg\_in}$ の電位は、同じチャージポンプから供給することができる。よって、半導体装置300が有するチャージポンプの数を減らすことができ、回路面積の縮小が可能となる。また、消費電力を低減できる。

[0068]

時刻 $t_0$ 以前は論理回路52の端子LK1の電位は高電位で保持されている。時刻 $t_0$ において、論理回路52に $V_{cH}$ が与えられると、論理回路52は端子LK1より信号CL1を出力し、容量素子CA1の他方の電極に信号CL1が与えられる。信号CL1が高電位から低電位に切り替わることにより、容量素子CA1の他方の電極の電位が下がる。例えば、容量素子CA1の他方の電極が $\Delta V_c$ 低下する。それに伴いノードNDに与えられる電位(以下、 $V_{bg\_nd}$ )と、端子BGの電位( $V_{bg}$ )が下がる。トランジスタFE1のしきい値を $V_{t1}$ 、トランジスタFE2のしきい値を $V_{t2}$ とする。 $V_{bg\_nd}$ は $[V_{bg\_in} + V_{t1} - \Delta V_c]$ となる。 $V_{bg}$ は $[V_{bg\_nd} + V_{t2}]$ となる。ここでは半導体装置10が負電圧を生成する例として、電圧が降下する場合を例として示すが、半導体装置10が正電圧を生成する場合には、端子LK1から信号を出力することによりノードNDの電位が上昇してもよい。

[0069]

次に、時刻 $t_1$ において、半導体装置10で端子BGの $V_{bg}$ が $V_{ref}$ より低くなると端子COからGNDが出力され、端子CAOの電位もGNDとなる。そのため、論理回路52の端子LK1は信号CL1の出力を停止し、高電位が保持される。また、制御部41において信号CL1の生成が停止される。

[0070]

コンパレータ51は上述したように間欠的にパワーゲーティングするよう制御されるため、端子COの電位は間欠的に不定値(unknown)となる。本発明の一態様の構成では、コンパレータ51への電源電圧の供給を停止(パワーゲーティング)させても、端子COの電位(GND)に応じた電荷を容量素子CA3に保持し続けさせる構成とすることができるため、動作の安定化と、低消費電力化との両立を図ることができる。

[0071]

例えば時刻 $t_1$ において、 $V_{bg\_in}$ は $-5V$ 、 $V_{bg\_nd}$ は $-8V$ 、 $V_{bg}$ は $-5V$ である。

[0072]

時刻 $t_1$ から $t_2$ までの間、 $V_{bg}$ および $V_{bg\_nd}$ は、セルアレイ44等のリーク電流により少しずつ変動する。

[0073]

時刻 $t_2$ において、半導体装置10において $V_{bg}$ が $V_{ref}$ より大きくなる。すると、半導体装置10が有するコンパレータ51から、制御部41と、該半導体装置が有する論理回路52と、に $V_{cH}$ が与えられる。

[0074]

時刻 $t_2$ で、端子COから $V_{cH}$ が出力され、端子CAOの電位も $V_{cH}$ となり、論理回路52に $V_{cH}$ が与えられる。その後、時刻 $t_3$ において論理回路52は、端子LK1から、ノードNDに低電位を与える。

[0075]

半導体装置10で $V_{bg}$ が $V_{ref}$ 以下となると端子COから $V_{cH}$ が出力され、端子CAOの電位も $V_{cH}$ となり、論理回路52の端子LK1では高電位が保持される。また、制御部41において信号CL1の生成が停止され

る。

[0076]

電圧生成部42は、チャージポンプ回路等で構成することができる。以下に、電圧生成部42の構成例を示す。

[0077]

図8(A)に示す負電位生成回路150は、チャージポンプ160、クロックバッファ回路170、を有する。負電位生成回路150は電圧生成部42に、チャージポンプ160はチャージポンプ80aに、それぞれ適用することができる。

[0078]

#### <クロックバッファ回路>

クロックバッファ回路170は、インバータ70乃至75、端子a1乃至a3を有する。クロックバッファ回路170は、信号CLK\_cpから信号CK1\_cp、CKB1\_cpを生成する機能を有する。端子a1は信号CLK\_cpの入力端子であり、端子a2、a3は、信号CK1\_cp、CKB1\_cpの出力端子である。信号CLK\_cpは、制御部41から出力されるクロック信号である。例えば、制御部41は、基準クロック信号を分周して、信号CLK\_cpを生成する。信号CK1\_cpと信号CKB1\_cpとは相補関係にあるクロック信号である。

[0079]

レベルシフタ(LS)をクロックバッファ回路に設けてもよい。そのような構成例を図8(B)に示す。図8(B)に示すクロックバッファ回路171は、LS172、インバータ76乃至79を有する。LS172は信号CLK\_cpをレベルシフトし、信号CK1\_LS、CKB1\_LSを生成する。インバータ77から信号CK1\_cpが出力され、インバータ79から信号CKB1\_cpが出力される。

[0080]

ここでは、クロックバッファ回路170に、6個のインバータを設けているが、インバータの数は6に限定されない。クロックバッファ回路170は、少なくともインバータ70、71を有していればよい。クロックバッファ回路170は、信号CLK\_cpの遅延回路としての機能をもたせることができる。そのため、遅延時間に応じて、インバータの数を決めればよい。例えば、クロックバッファ回路171についても同様である。

[0081]

#### <チャージポンプ>

チャージポンプ160は、降圧型チャージポンプであり、電位GNDを降圧して、電位Vcp1を生成する機能を有する。なお、入力電位は電位GNDに限定されない。チャージポンプ160は、トランジスタMN61乃至MN65、容量素子C61乃至C65を有する。チャージポンプ160の段数は5であるが、段数はこれに限定されない。

[0082]

トランジスタMN61乃至MN65はダイオード接続されたnチャネル型Siトランジスタである。トランジスタMN61乃至MN65に代えて、ダイオード接続されたpチャネル型Siトランジスタを設けてもよいし、ダイオード接続されたOSTランジスタを設けてもよい。OSTランジスタを設ける場合、バックゲートを有するOSTランジスタを設けてもよい。そのような構成例を図8(C)、(D)、(E)に示す。

[0083]

図8(C)に示すチャージポンプ161は、トランジスタM61乃至M65、容量素子C61乃至C65を有する。図8(D)、(E)に示すチャージポンプ162、163は、チャージポンプ161の変形例である。チャージポンプ161、162および163はそれぞれ、チャージポンプ80aに適用することができる。

[0084]

ここでは、負電位生成部に、ディクソン型チャージポンプを設ける例を示したが、コッククロフトーウォルトン型チャージポンプを設けてもよい。

[0085]

また、OSTランジスタは、ソースとドレイン間の絶縁耐圧が高い。よって、チャージポンプ161、162、163等にOSTランジスタを用いることが好ましい。

[0086]

また、Siトランジスタと、OSTランジスタを併用することもできる。より高い電圧がソースードレイン間に印加される後段のトランジスタに、OSTランジスタを用いることが好ましい。また、OSTランジスタはバックゲートを有することが好ましい。例えば、図9(A)、図9(D)および図9(E)に示すチャージポンプ161、162および163はそれぞれ図8(A)、(B)および(C)に示すチャージポンプ161、162および163において、トランジスタM61およびM62にSiトランジスタ、トランジスタM63乃至M65にOSTランジスタを用いる例を示す。

[0087]

ここで、トランジスタがバックチャネル側の半導体層と絶縁層の界面、あるいは絶縁層内に有する電荷(例えば固定電荷等)は、しきい値のばらつきや変動の要因になる場合がある。すなわち、トランジスタの安定性を低下させる要因になり得る。バックゲートを設けることにより、優れた信頼性のトランジスタを実現でき、チャージポンプの信頼性を向上させることができる。また、バックゲートに例えばフロントゲートと同じ電位を与えることにより、トランジスタの電流駆動能力が向上し、チャージポンプが有する容量への充電速度が向上する場合がある。

[0088]

ここで、本発明の一態様の半導体装置において、Siトランジスタを用いた回路上にOSTランジスタを積層して配置することができる。積層して配置することにより、上面から見た回路面積を縮小することができる。

[0089]

図9(B)は、容量素子C62、C64およびC65がGNDに電氣的に接続される例を示す。

[0090]

図9(C)は、トランジスタM62とM63の間にSiトランジスタであるトランジスタM66を有する例を示す。トランジスタM66のソースまたはドレインには、容量素子C66が接続される。Siトランジスタが3段直列に接続され、その後段にOSTランジスタが3段直列に接続される。3段目および6段目の容量素子C66および容量素子C65はGNDに電氣的に接続される。

[0091]

#### <メモリセルの構成例>

図10(A)乃至(E)には、図4(A)で説明したセルアレイ44のセル(以下一例としてメモリセル)が取り得る回路構成の一例を示す。図10(A)乃至(E)に示すメモリセルの回路図では、ソース線SLあるいはビット線BLからデータ電圧を書きこみ、書き込みワード線WWL及び読み出しワード線RWLの電圧を制御することで、データ電圧の書き込みあるいは読み出しを制御することができる。

[0092]

図10(A)に示すメモリセルMC\_\_Aは、トランジスタM1と、トランジスタM2\_\_Aと、容量素子C<sub>s</sub>と、を有する。トランジスタM1はバックゲート電極を有し、バックゲート線BGLによりバックゲート電極に与える電圧を制御可能な構成としている。トランジスタM2\_\_Aは、pチャネルトランジスタである。トランジスタM1を非導通状態にすることで、ノードSNにデータ電圧に応じた電荷を保持することができる。トランジスタM2\_\_Aは、

保持されるデータ電圧に応じた電荷に応じて流れる電流が制御される。図10(A)の構成を、図4(A)のセルアレイ44に適用可能である。

[0093]

図10(B)に示すメモリセルMC\_\_Bは、トランジスタM1と、トランジスタM2\_\_Bと、容量素子C<sub>s</sub>と、を有する。図10(A)と異なる点として、トランジスタM2\_\_Bは、nチャネルトランジスタである。図10(B)の構成を、図4(A)のセルアレイ44に適用可能である。

[0094]

図10(C)に示すメモリセルMC\_\_Cは、トランジスタM1と、トランジスタM2\_\_Aと、トランジスタM3と、容量素子C<sub>s</sub>と、を有する。図10(A)と異なる点として、メモリセルMC\_\_Cは、トランジスタM3を有する。トランジスタM3は、トランジスタM2\_\_Aと同じpチャネルトランジスタである。トランジスタM3を非導通状態にすることで、ビット線BLとソース線SLとの間に流れる電流を制御できる。図10(C)の構成を、図4(A)のセルアレイ44に適用可能である。

[0095]

図10(D)に示すメモリセルMC\_\_Dは、トランジスタM1と、トランジスタM2\_\_Aと、容量素子C<sub>s</sub>と、を有する。トランジスタM1は、書き込みビット線WBLに接続され、トランジスタM2\_\_Aは、読み出しビット線RBLに接続される。図10(D)の構成では、例えば、読み出しビット線RBLをデータ電圧の読み出し用、書き込みビット線WBLをデータ電圧の書き込み用とすることができる。図10(D)の構成を、図4(A)のセルアレイ44に適用可能である。

[0096]

図10(E)に示すメモリセルMC\_\_Eは、トランジスタM1と、トランジスタM2\_\_Aと、トランジスタM3と、容量素子C<sub>s</sub>と、を有する。図10(A)と異なる点として、メモリセルMC\_\_Eは、トランジスタM3を有する。トランジスタM3は、トランジスタM2\_\_Aと同じpチャネルトランジスタである。トランジスタM3を非導通状態にすることで、ビット線BLとソース線SLとの間に流れる電流を制御できる。加えて図10(E)に示すメモリセルMC\_\_Eは、トランジスタM1は、書き込みビット線WBLに接続され、トランジスタM2\_\_Aは、読み出しビット線RBLに接続される。図10(E)の構成では、例えば、読み出しビット線RBLをデータ電圧の読み出し用、書き込みビット線WBLをデータ電圧の書き込み用とすることができる。図10(E)の構成を、図4(A)のセルアレイ44に適用可能である。

[0097]

図11(A)に示すメモリセルMC\_\_Fは、SRAM(Static RAM)を構成するトランジスタM4、M5、インバータINV1、INV2と、トランジスタM1\_\_Q、M1\_\_QBと、容量素子C<sub>s</sub>と、を有する。

[0098]

メモリセルMC\_\_Fは、制御線ENLを制御して、SRAMのノードQ、QBのデータ電圧のノードSN1、SN2へのバックアップ、及びノードQ、QBへのノードSN1、SN2からのデータ電圧のリカバリーを制御する。トランジスタM1\_\_Q、M1\_\_QBは、バックゲート電極を有し、バックゲート線BGLによりバックゲート電極に与える電圧を制御可能な構成としている。トランジスタM1\_\_Q、M1\_\_QBを非導通状態にすることで、ノードSN1、SN2にデータ電圧に応じた電荷を保持することができる。図11(A)の構成を、図4(A)のセルアレイ44に適用可能である。

[0099]

図11(B)に示すメモリセルMC\_\_Gは、SRAM(Static RAM)を構成するトランジスタM4、M5、インバータINV1、INV2と、トランジスタM1、M6と、容量素子C<sub>s</sub>と、インバータINV3と、を有する。

[0100]

メモリセルMC\_\_Gは、書き込み制御線WENを制御して、SRAMのノードQのデータ電圧のノードSNへのバックアップを制御する。またメモリセルMC\_\_Gは、読み出し制御線RENを制御して、ノードQBへのノードSNからのインバータINV3を介したデータ電圧のリカバリーを制御する。トランジスタM1は、バックゲート電極を有し、バックゲート線BGL\_\_Aによりバックゲート電極に与える電圧を制御可能な構成としている。トランジスタM6は、バックゲート電極を有し、バックゲート線BGL\_\_Bによりバックゲート電極に与える電圧を制御可能な構成としている。トランジスタM1を非導通状態にすることで、ノードSNにデータ電圧に応じた電荷を保持することができる。トランジスタM6を非導通状態にすることで、ノードQBからのリーク電流を抑制できる。図11(B)の構成を、図4(A)のセルアレイ44に適用可能である。

[0101]

以上説明したように、本発明の一態様は、様々な構成に適用することができる。

[0102]

(実施の形態2)

本実施の形態では、実施の形態1に示すコンパレータ51等に用いることができるコンパレータとして、2つの負電圧を直接的に比較する機能を備える半導体装置などについて説明する。本実施の形態に示すコンパレータの端子IN1、端子IN2および端子OUT1には、実施の形態1に示す端子CI、端子REFおよび端子COを適用することができる。

[0103]

また、本実施の形態に示すコンパレータは、OSTランジスタを有することが好ましい。また、該OSTランジスタは、バックゲートを有することが好ましい。該OSTランジスタと、実施の形態1に示すトランジスタFE1およびトランジスタFE2を有する半導体装置の構造例については、後述の実施の形態に述べる。

[0104]

&lt;コンパレータの構成例1&gt;

図12(A)は、コンパレータの構成例を示す回路図である。コンパレータ20は、端子IN1、IN2、OUT1、VH1、VL1、BIS、OSG1、およびOSG3を有する。コンパレータ20は、端子IN1の電位Vi1と端子IN2の電位Vi2とを比較する機能、および、比較結果に応じた電位レベルを持つ電位Vcmpを端子OUT1から出力する機能を有する。

[0105]

図12(A)の例では、端子IN1が非反転入力端子(端子(+))であり、端子IN2が反転入力端子(端子(-))であるため、Vi1<Vi2であれば、端子OUT1から出力される電位Vcmpは低レベルであり、Vi1>Vi2であれば、電位Vcmpは高レベルである。

[0106]

端子VH1は、高電源電位Vdd(以下、電位Vddと呼ぶ。)用の入力端子である。端子VL1は、低電源電位Vss(以下、電位Vssと呼ぶ。)用の入力端子である。端子BIS、OBG1、OBG3は、それぞれ、バイアス電位用の入力端子である。

[0107]

図12(B)にコンパレータ20のより具体的な構成例を示す。図12(B)は、コンパレータ20を、差動対を有する差動増幅回路で構成した例である。コンパレータ20はトランジスタMP1、MP2、M1乃至M3、を有する。これらトランジスタにより差動増幅回路が構成されている。

[0108]

トランジスタM1、M2は差動対を構成するトランジスタである。トランジスタM1のゲートは端子IN1に電氣的に接続され、トランジスタM2のゲートは端子IN2に電氣的に接続されている。トランジスタM1、M2のバックゲートは端子OBG1に電氣的に接続されている。トランジスタM2のドレインは端子OUT1に電氣的に接続されている。

[0109]

トランジスタM3は、電流 $I_{ss}$ を供給する電流源として機能する。トランジスタM3のゲートは端子BISに、バックゲートは端子OBG3に、ソースは端子VL1に、それぞれ電氣的に接続されている。端子OBG3には、トランジスタM3のバックゲート電位を制御するバイアス電位 $V_{bg3}$ （以下、電位 $V_{bg3}$ と呼ぶ。）が入力される。例えば、端子OBG3に電位 $V_{ss}$ が入力される。端子BISには、電流 $I_{ss}$ の大きさを決めるバイアス電位 $V_{bs}$ （以下、電位 $V_{bs}$ と呼ぶ。）が入力される。

[0110]

トランジスタMP1はトランジスタM1の負荷として機能し、トランジスタMP2はトランジスタM2の負荷として機能する。ここでは、トランジスタMP1とトランジスタMP2とは、カレントミラー回路が構成されている。

[0111]

トランジスタMP1、MP2はpチャネル型トランジスタであり、トランジスタの種類に特段の制約はない。トランジスタMP1、MP2は、例えば、Siトランジスタである。

[0112]

トランジスタM1－M3は、バックゲートを有するnチャネル型トランジスタである。トランジスタM1－M3には、チャネル形成領域を挟んでバックゲートとゲートとが対向しているトランジスタを用いることができる。

[0113]

トランジスタM1、トランジスタM2およびトランジスタM3のチャネル形成領域に用いられる半導体としては、金属酸化物でなる半導体（酸化物半導体）、シリコン等を上げることができる。トランジスタM1、トランジスタM2およびトランジスタM3は、OSトランジスタであることが好ましい。

[0114]

#### <コンパレータの動作例>

ここで、トランジスタM1乃至M3がバックゲートを有さない場合を考える。トランジスタM1乃至M3のしきい値電圧（以下、 $V_t$ と呼ぶ場合がある。）は0Vよりも大きい。

[0115]

コンパレータ20が、電位 $V_{i1}$ と電位 $V_{i2}$ とを比較する機能を発現するには、トランジスタM1、MN2が導通し、かつトランジスタM3が電流 $I_{ss}$ を流すことが必要である。例えば、電位 $V_{dd}$ は3V、電位 $V_{bs}$ は3V、電位 $V_{i1}$ は－2V、電位 $V_{i2}$ は－3Vである場合、電位 $V_{ss}$ は－3Vよりも低くする必要がある。つまり、電位 $V_{i1}$ 、 $V_{i2}$ が負電位であることで、コンパレータ20の電位 $V_{ss}$ が負電位となってしまう。コンパレータ20が高精度の比較を行うためには、高精度に電位 $V_{ss}$ を供給することが要求されるが、電位 $V_{ss}$ が負電位であることは、比較精度の向上の低下の原因となる。そのため、2つの負電位を高精度に比較するには、コンパレータ20よりも複雑なコンパレータを用いることとなる。

[0116]

コンパレータ20において、基板電位が接地電位（＝0V）であると、nチャネル型トランジスタ（トランジスタM3）のソースに負の電位 $V_{ss}$ を入力する場合、p型ウエルとソース領域との間の寄生ダイオード（pn接合ダイオード）には順方向バイアス電位が印加される。そのため、基板からソース領域に大電流が逆流することとなる。電流の逆流を防止するために、通常、nチャネル型トランジスタを、n型ウエルで取り囲むトリプル

ウエル構造としている。しかしながら、nチャネル型トランジスタをトリプルウエル構造とすることで、コンパレータ20の面積が大きくなってしまふ。

[0117]

本実施の形態により、上掲の問題点を解消したコンパレータ20を提供することが可能である。図12(B)、図12(C)を用いて、コンパレータ20の動作例を説明する。ここでは、電位V<sub>dd</sub>が3V、電位V<sub>bs</sub>が3V、電位V<sub>i1</sub>が-2V、電位V<sub>i2</sub>が-3Vである場合を例に、コンパレータ20の動作について説明する。

[0118]

図12(C)は、トランジスタM1、M2のドレイン電流-ゲート電圧( $I_d-V_g$ )特性を模式的に示した図である。曲線5は、電位V<sub>bg1</sub>が0Vのときの $I_d-V_g$ 特性を表し、曲線6は、電位V<sub>bg1</sub>が正電位のときの $I_d-V_g$ 特性を表す。

[0119]

電位V<sub>bg1</sub>が0Vである場合、電位V<sub>ss</sub>が接地電位(以下、電位GNDと呼ぶ場合がある。)であるときは、トランジスタM1、M2のV<sub>t</sub>が電位V<sub>i1</sub>、V<sub>i2</sub>よりも高いので、コンパレータ20は動作しない。

[0120]

端子OBG1に正電位を入力することで、トランジスタM1、M2のV<sub>t</sub>を負電位側にシフトさせ、電位V<sub>i1</sub>、V<sub>i2</sub>よりも低くすることができる。例えば、端子OBG1、OBG3にそれぞれ電位V<sub>dd</sub>を入力することで、動作に必要な電位の数を増やさずに、トランジスタM1乃至M3のV<sub>t</sub>を負電位側にシフトさせることができる。

[0121]

トランジスタM1、M2が曲線6に示す電気特性を持つことで、電位V<sub>ss</sub>が0V(接地電位)であっても、トランジスタM1、M2をオン状態にできる。したがって、コンパレータ20は動作可能であり、電位V<sub>i1</sub>と電位V<sub>i2</sub>との差分を検出する。ここでは、V<sub>i1</sub> > V<sub>i2</sub>であるので、コンパレータ20は高レベルの電位V<sub>cmp</sub>を出力する。

[0122]

上掲したように、コンパレータ20は、複雑な回路構成を持たずに、2つの負電位を直接的に比較することが可能である。電位V<sub>ss</sub>を0V(接地電位)にすることができるため、コンパレータ20の精度を向上できる。トランジスタM1乃至M3をOSトランジスタとすることで、トリプルウエル構造を採用せずに、トランジスタM1-M3のチャネル形成領域を基板から絶縁した状態とすることができる。そのため、コンパレータ20の回路面積を縮小できる。

[0123]

以下、図12(A)乃至図14(B)を参照して、コンパレータの他の構成例を説明する。

[0124]

#### <コンパレータの構成例2乃至4>

ここでは、コンパレータ20の電流源として機能するトランジスタM3の変形例について示す。図12(B)に示すトランジスタM3において、バックゲートがフロントゲート、またはドレインと電氣的に接続されてもよい。また、図12(B)に示すトランジスタM3に代えてバックゲートを有さないトランジスタを用いてもよい。電流源に、バックゲートを備えるトランジスタM3を用いることで、例えば、次のような効果が得られる。図12(C)から理解できるように、トランジスタM3のバックゲートに正の電位V<sub>bg3</sub>を入力することで、電位V<sub>bs</sub>を低くすることができる、例えばGNDとすることが可能である。電位V<sub>bg3</sub>によって、コンパレータ20のトランスコンダクタンスを制御することができるので、コンパレータ20の高速化が図れる。

[0125]

### ＜コンパレータの構成例5＞

ここでは、差動対の変形例を示す。図12(B)においては、端子OBG1よりトランジスタM1およびM2に同じ電位が与えられるが、2つの端子を設け、トランジスタM1のバックゲートと、トランジスタM2のバックゲートと、に異なる電位が与えられてもよい。例えば、トランジスタM1のバックゲートおよびトランジスタM2のバックゲートに電位Vg1および電位Vbg2が与えられる。このような構成とすることで、トランジスタM1のバックゲート電位とトランジスタM2のバックゲート電位とを独立して制御することができる。トランジスタM1とトランジスタM2は、同じ電気特性をもつように設計されるが、実際には、プロセスばらつきによりトランジスタM1とトランジスタM2の電気特性は完全に一致しない。そのため、オフセット電圧がキャンセルされるように、電位Vbg1、Vbg2を決めればよい。ここで、端子OBG3に、電位Vss、Vbg1、Vbg2の何れかを入力することで、コンパレータ20が使用する電位の数进行低減できる。また、電位Vbg1、電位Vbg2の一方が電位Vdであることで、コンパレータ20が使用する電位の数进行低減できる。

[0126]

また、トランジスタM1、M2のバックゲートにバイアス電位Vbs2を与えて、定電流源として機能されることもできる。または、トランジスタM1、M2をそれぞれダイオード接続させてもよい。または、トランジスタM1、M2をそれぞれ抵抗素子に置き換えてもよい。

[0127]

また、図13(A)乃至(B)に、コンパレータの変形例を示す。

[0128]

図13(A)乃至図13(B)に示すコンパレータは、負荷を2個のnチャネル型トランジスタで構成した例である。

[0129]

図13(A)に示すコンパレータ30では、端子OBG4、およびトランジスタM4、M5を有する。トランジスタM4、M5は、ダイオード接続されたトランジスタであり、負荷として機能する。

[0130]

トランジスタM4、M5はバックゲートを有する。トランジスタM4、M5は、トランジスタM1と同様、OSトランジスタとすることができる。トランジスタM4、M5のバックゲートは端子OBG4に電氣的に接続されている。端子OBG4はバイアス電位入力用の端子であり、電位Vbg4が入力される。電位Vbg4によって、トランジスタM4、M5のバックゲート電位を調節することで、トランジスタM4、M5を流れるドレイン電流を調整することができる。例えば電位Vbg4を正電位とすることで、トランジスタM4、M5の電流駆動能力を向上することができる。

[0131]

図13(B)に示すコンパレータ31は、コンパレータ30の変形例である。コンパレータ31は、端子OBG5を有し、トランジスタM5のバックゲートが端子OBG5電氣的に接続されている。端子OBG5はバイアス電位入力用の端子であり、電位Vbg5が入力される。

[0132]

コンパレータ31では、トランジスタM4のバックゲート電位とトランジスタM5のバックゲート電位とを独立して制御することができる。つまり、電位Vbg4、Vbg5の入力によって、トランジスタM4のVtのシフト量と、トランジスタM5のVtのシフト量を独立して設定することができる。トランジスタM4とトランジスタM5の電気特性のばらつきがキャンセルされるように、電位Vbg4、Vbg5を決めるとよい。

[0133]

図13(C)に示すコンパレータ32は、コンパレータ30の変形例である。コンパレータ32には、トランジスタM4、M5に代えて、バックゲートを有さないトランジスタM14、M15が設けられている。トランジスタM14、M15は、トランジスタM1と同様にOSTランジスタであってもよい、Siトランジスタであってもよい。

[0134]

<コンパレータの構成例6、7>

図14(A)、図14(B)に、リセットが可能なコンパレータの構成例を示す。

[0135]

図14(A)に示すコンパレータ35は、コンパレータ20に、トランジスタMN30を設けた回路に相当する。図14(B)に示すコンパレータ36は、コンパレータ20に、トランジスタMN31、MN32を設けた回路に相当する。なお、コンパレータ35として、他の構成のコンパレータを設けてもよい。コンパレータ36も同様である。

[0136]

コンパレータ35のトランジスタMN30は、端子IN1と端子IN2とを等電位にするためのスイッチとして機能する。トランジスタMN30のゲートには信号RST(リセット信号)が入力される。

[0137]

コンパレータ36のトランジスタMN31は、端子IN1の電位を電位Vrstにリセットする機能を有し、トランジスタMN32は、端子IN2の電位を電位Vrstにリセットする機能を有する。トランジスタMN31、MN32のゲートには信号RSTが入力される。例えば、電位Vrstとして、電位Vssを入力する。

[0138]

トランジスタMN30はSiトランジスタでもよいし、OSTランジスタでもよい。OSTランジスタである場合、トランジスタMN30に、ゲートに電氣的に接続されているバックゲートを設けることができる。トランジスタMN30はpチャネル型トランジスタであってもよい。トランジスタMN31、MN32についても同様である。

[0139]

(実施の形態3)

本実施の形態では、半導体装置の適用例として、ICチップ、電子部品、電子機器等について説明する。

[0140]

<電子部品の作製方法例>

図15(A)は、電子部品の作製方法例を示すフローチャートである。電子部品は、半導体パッケージ、またはIC用パッケージともいう。この電子部品は、端子取り出し方向や、端子の形状に応じて、複数の規格や名称が存在する。そこで、本実施の形態では、その一例について説明することにする。

[0141]

トランジスタで構成される半導体装置は、組み立て工程(後工程)を経て、プリント基板に脱着可能な部品が複数合わさることで完成する。後工程については、図15(A)に示す各工程を経ることで完成させることができる。具体的には、前工程で得られる素子基板が完成(ステップST71)した後、基板の裏面を研削する。この段階で基板を薄膜化して、前工程での基板の反り等を低減し、部品の小型化を図る。次に、基板を複数のチップに分離するダイシング工程を行う(ステップST72)。

[0142]

図15(B)は、ダイシング工程が行われる前の半導体ウエハ7100の上面図である。図15(C)は、図15(B)の部分拡大図である。半導体ウエハ7100には、複数の回路領域7102が設けられている。回路領域7102には、本発明の形態に係る半導体装置が設けられている。

[0143]

複数の回路領域7102は、それぞれが分離領域7104に囲まれている。分離領域7104と重なる位置に分離線(「ダイシングライン」ともいう。)7106が設定される。ダイシング工程(ステップST72)では、分離線7106に沿って半導体ウエハ7100切断することで、回路領域7102を含むチップ7110を半導体ウエハ7100から切り出す。図15(D)にチップ7110の拡大図を示す。

[0144]

分離領域7104に導電層や半導体層を設けてもよい。分離領域7104に導電層や半導体層を設けることで、ダイシング工程時に生じるESDを緩和し、ダイシング工程に起因する歩留まりの低下を防ぐことができる。また、一般にダイシング工程は、基板の冷却、削りくずの除去、帯電防止などを目的として、炭酸ガスなどを溶解させて比抵抗を下げた純水を切削部に供給しながら行なう。分離領域7104に導電層や半導体層を設けることで、当該純水の使用量を削減することができる。よって、半導体装置の生産コストを低減することができる。また、半導体装置の生産性を高めることができる。

[0145]

ステップST72を行った後、分離したチップを個々にピックアップしてリードフレーム上に搭載し接合する、ダイボンディング工程を行う(ステップST73)。ダイボンディング工程におけるチップとリードフレームとの接合方法は製品に適した方法を選択すればよい。例えば、接着は樹脂やテープによって行えばよい。ダイボンディング工程は、インターポーザ上にチップを搭載し接合してもよい。ワイヤーボンディング工程で、リードフレームのリードとチップ上の電極とを金属の細線(ワイヤー)で電氣的に接続する(ステップST74)。金属の細線には、銀線や金線を用いることができる。ワイヤーボンディングは、ボールボンディングとウェッジボンディングの何れでもよい。

[0146]

ワイヤーボンディングされたチップは、エポキシ樹脂等で封止される、モールド工程が施される(ステップST75)。モールド工程を行うことで電子部品の内部が樹脂で充填され、機械的な外力による内蔵される回路部やワイヤーに対するダメージを低減することができ、また水分や埃による特性の劣化を低減することができる。リードフレームのリードをメッキ処理する。そしてリードを切断及び成形加工する(ステップST76)。めっき処理によりリードの錆を防止し、後にプリント基板に実装する際にはんだ付けをより確実に行うことができる。パッケージの表面に印字処理(マーキング)を施す(ステップST77)。検査工程(ステップST78)を経て、電子部品が完成する(ステップST79)。上掲した実施の形態の半導体装置を組み込むことで、低消費電力で、小型な電子部品を提供することができる。

[0147]

完成した電子部品の斜視模式図を図15(E)に示す。図15(E)では、電子部品の一例として、QFP(Quad Flat Package)の斜視模式図を示している。図15(E)に示すように、電子部品7000は、リード7001及びチップ7110を有する。

[0148]

電子部品7000は、例えばプリント基板7002に実装される。このような電子部品7000が複数組み合わせられて、それぞれがプリント基板7002上で電氣的に接続されることで電子機器に搭載することができる。完成した回路基板7004は、電子機器等の内部に設けられる。電子部品7000を搭載することで、電子機器の消費電力を削減することができる。または、電子機器を小型化することが容易になる。

[0149]

電子部品7000は、デジタル信号処理、ソフトウェア無線、アビオニクス(通信機器、航法システム、自動操縦装置、飛行管理システム等の航空に関する電子機器)、ASICのプロトタイプング、医療用画像処理、

音声認識、暗号、バイオインフォマティクス(生物情報科学)、機械装置のエミュレータ、および電波天文学における電波望遠鏡等、幅広い分野の電子機器の電子部品(ICチップ)に適用することが可能である。このような電子機器としては、カメラ(ビデオカメラ、デジタルスチルカメラ等)、表示装置、パーソナルコンピュータ(PC)、携帯電話、携帯型を含むゲーム機、携帯型情報端末(スマートフォン、タブレット型情報端末など)、電子書籍端末、ウェアラブル型情報端末(時計型、ヘッドマウント型、ゴーグル型、眼鏡型、腕章型、ブレスレット型、ネックレス型等)、ナビゲーションシステム、音響再生装置(カーオーディオ、デジタルオーディオプレーヤー等)、複写機、ファクシミリ、プリンタ、プリンタ複合機、現金自動預け入れ払い機(ATM)、自動販売機、家庭用電化製品などが挙げられる。

[0150]

以下に、図16(A)乃至図17(E)を参照して、電子機器の構成例を示す。図16(A)等の電子機器の表示部には、タッチセンサを有するタッチパネル装置を用いることが好ましい。タッチパネル装置を用いることで、表示部を電子機器の入力部としても機能させることができる。

[0151]

図16(A)に示す情報端末2010は、筐体2011に組み込まれた表示部2012の他、操作ボタン2013、外部接続ポート2014、スピーカ2015、マイクロフォン2016を有する。ここでは、表示部2012の表示領域は、湾曲している。情報端末2010は、バッテリーで駆動する携帯型情報端末であり、タブレット型情報端末、あるいはスマートフォンとして使用することができる。情報端末2010は、電話、電子メール、手帳、インターネット接続、音楽再生等の機能を有する。指などで表示部2012に触れることで、情報を入力することができる。また、電話を掛ける、文字を入力する、表示部2012の画面切り替え動作などの各種の操作は、指などで表示部2012に触れることで行われる。また、マイクロフォン2016から音声を入力することで、情報端末2010を操作することもできる。操作ボタン2013の操作により、電源のオン/オフ動作や、表示部2012の画面切り替え動作などの各種の操作を行うこともできる。

[0152]

図16(B)に腕時計型の情報端末の一例を示す。情報端末2030は、筐体2031、表示部2032、リュウズ2033、ベルト2034、検知部2035を有する。リュウズ2033を回転することで情報端末2030を操作することができる。表示部2032を指で触れることで、情報端末2030を操作することができる。

[0153]

検知部2035は、例えば、使用環境の情報、生体情報を取得する機能を備える。マイクロフォン、撮像素子、加速度センサ、方位センサ、圧力センサ、温度センサ、湿度センサ、照度センサ、測位センサ(例えば、GPS(全地球測位システム))等を検知部2035に設けてもよい。

[0154]

情報端末2010および情報端末2030に同じ規格の無線通信装置を組み込み、無線信号2020により双方向の通信を行うようにしてもよい。例えば、情報端末2010が電子メール、電話などを着信すると、情報端末2030の表示部2032に着信を知らせる情報が表示される。

[0155]

図16(C)に、眼鏡型の情報端末の例を示す。情報端末2040は、装着部2041、筐体2042、ケーブル2045、バッテリー2046、表示部2047を有する。バッテリー2046は装着部2041に収納されている。表示部2047は筐体2042に設けられている。筐体2042は、プロセッサ、無線通信装置、記憶装置、各種の電子部品を内蔵する。ケーブル2045を介してバッテリー2046から筐体2042内の表示部2047および電子部品に電力が供給される。表示部2047には無線によって送信された映像等の各種の情報が表示される。

[0156]

筐体2042にカメラを設けてもよい。カメラによって、使用者の眼球やまぶたの動きを検知し知ること、情報端末2040を操作することができる。

[0157]

装着部2041に、温度センサ、圧力センサ、加速度センサ、生体センサ等の各種センサを設けてもよい。例えば、生体センサによって、使用者の生体情報を取得し、筐体2042内の記憶装置に記憶させる。例えば、無線信号2021によって、情報端末2010と情報端末2040間で双方向の通信可能にする。情報端末2040は、記憶している生体情報を情報端末2010に送信する。情報端末2010は、受信した生体情報から使用者の疲労度、活動量などを算出する。

[0158]

図17(A)に示すノート型PC(パーソナルコンピュータ)2050は、筐体2051、表示部2052、キーボード2053、ポインティングデバイス2054を有する。表示部2052のタッチ操作で、ノート型PC2050を操作することができる。

[0159]

図17(B)示すビデオカメラ2070は、筐体2071、表示部2072、筐体2073、操作キー2074、レンズ2075、接続部2076を有する。表示部2072は筐体2071に設けられ、操作キー2074およびレンズ2075は筐体2073に設けられている。筐体2071と筐体2073とは、接続部2076により接続されており、筐体2071と筐体2073間の角度は、接続部2076により変更が可能である。接続部2076における筐体2071と筐体2073間の角度に従って、表示部2072の映像を切り替える構成としてもよい。表示部2072のタッチ操作によって、録画の開始および停止の操作、倍率ズーム調整、撮影範囲の変更などの各種の操作を実行できる。

[0160]

図17(C)に示す携帯型遊技機2110は、筐体2111、表示部2112、スピーカ2113、LEDランプ2114、操作キーボタン2115、接続端子2116、カメラ2117、マイクロフォン2118、記録媒体読込部2119を有する。

[0161]

図17(D)に示す電気冷凍冷蔵庫2150は、筐体2151、冷蔵室用扉2152、および冷凍室用扉2153等を有する。

[0162]

図17(E)に示す自動車2170は、車体2171、車輪2172、ダッシュボード2173、およびライト2174等を有する。

[符号の説明]

[0163]

- a1 端子
- a2 端子
- a3 端子
- C61 容量素子
- C62 容量素子
- C63 容量素子
- C64 容量素子

C65 容量素子  
C66 容量素子  
CA1 容量素子  
CA2 容量素子  
CA3 容量素子  
CA4 容量素子  
CK1\_\_cp 信号  
CK1\_\_LS 信号  
CKB1\_\_cp 信号  
CL1 信号  
CL2 信号  
FE1 トランジスタ  
FE2 トランジスタ  
FE3 トランジスタ  
FE4 トランジスタ  
INV1 インバータ  
INV2 インバータ  
INV3 インバータ  
LK1 端子  
M1 トランジスタ  
M1\_\_Q トランジスタ  
M1\_\_QB トランジスタ  
M2\_\_A トランジスタ  
M2\_\_B トランジスタ  
M3 トランジスタ  
M4 トランジスタ  
M5 トランジスタ  
M6 トランジスタ  
M61 トランジスタ  
M62 トランジスタ  
M63 トランジスタ  
M64 トランジスタ  
M65 トランジスタ  
M66 トランジスタ  
MN61 トランジスタ  
MN62 トランジスタ  
MN63 トランジスタ  
MN64 トランジスタ  
MN65 トランジスタ  
2050 ノート型PC

S1 信号  
SEN 端子  
SN1 ノード  
SN2 ノード  
t0 時刻  
t1 時刻  
t2 時刻  
t3 時刻  
Vcp1 電位  
10 半導体装置  
20 コンパレータ  
30 コンパレータ  
31 コンパレータ  
32 コンパレータ  
35 コンパレータ  
36 コンパレータ  
41 制御部  
42 電圧生成部  
43 電圧保持部  
44 セルアレイ  
50 電圧変換回路  
51 コンパレータ  
52 論理回路  
56 論理回路  
57 クロック生成回路  
70 インバータ  
71 インバータ  
72 インバータ  
73 インバータ  
74 インバータ  
75 インバータ  
76 インバータ  
77 インバータ  
78 インバータ  
79 インバータ  
80a チャージポンプ  
150 負電位生成回路  
160 チャージポンプ  
161 チャージポンプ  
162 チャージポンプ

163 チャージポンプ  
170 クロックバッファ回路  
171 クロックバッファ回路  
172 LS  
300 半導体装置  
2010 情報端末  
2011 筐体  
2012 表示部  
2013 操作ボタン  
2014 外部接続ポート  
2015 スピーカ  
2016 マイクロフォン  
2020 無線信号  
2021 無線信号  
2030 情報端末  
2031 筐体  
2032 表示部  
2033 リュウズ  
2034 ベルト  
2035 検知部  
2040 情報端末  
2041 装着部  
2042 筐体  
2045 ケーブル  
2046 バッテリ  
2047 表示部  
2051 筐体  
2052 表示部  
2053 キーボード  
2054 ポインティングデバイス  
2070 ビデオカメラ  
2071 筐体  
2072 表示部  
2073 筐体  
2074 操作キー  
2075 レンズ  
2076 接続部  
2110 携帯型遊技機  
2111 筐体  
2112 表示部

2113 スピーカ  
2114 LEDランプ  
2115 操作キーボタン  
2116 接続端子  
2117 カメラ  
2118 マイクロフォン  
2119 記録媒体読込部  
2150 電気冷凍冷蔵庫  
2151 筐体  
2152 冷蔵室用扉  
2153 冷凍室用扉  
2170 自動車  
2171 車体  
2172 車輪  
2173 ダッシュボード  
2174 ライト  
7000 電子部品  
7001 リード  
7002 プリント基板  
7004 回路基板  
7100 半導体ウエハ  
7102 回路領域  
7104 分離領域  
7106 分離線  
7110 チップ

## 請求の範囲

## [特許請求の範囲]

## [請求項1]

電圧変換回路と、コンパレータと、論理回路と、トランジスタと、容量素子と、を有し、

前記電圧変換回路は、前記論理回路が出力するクロック信号に応じて、入力される第1の信号の電圧を変換した信号を第2の信号として出力する機能を有し、

前記コンパレータは、パワーゲーティング信号に応じて電源電圧の供給または停止が制御される機能を有し、

前記トランジスタは、前記トランジスタを非導通状態とする期間において前記容量素子に前記コンパレータの出力電圧を保持する機能を有し、

前記論理回路は、前記コンパレータへの電源電圧が停止する期間において、前記容量素子に保持された電圧を基に前記クロック信号の供給または停止を切り替える機能を有する、ことを特徴とする半導体装置。

## [請求項2]

請求項1において、前記トランジスタは、チャネル形成領域が酸化物半導体を有することを特徴とする半導体装置。

## [請求項3]

請求項1または請求項2において、

前記コンパレータは、前記トランジスタを導通状態とする期間において、電源電圧の供給が行われることを特徴とする半導体装置。

## [請求項4]

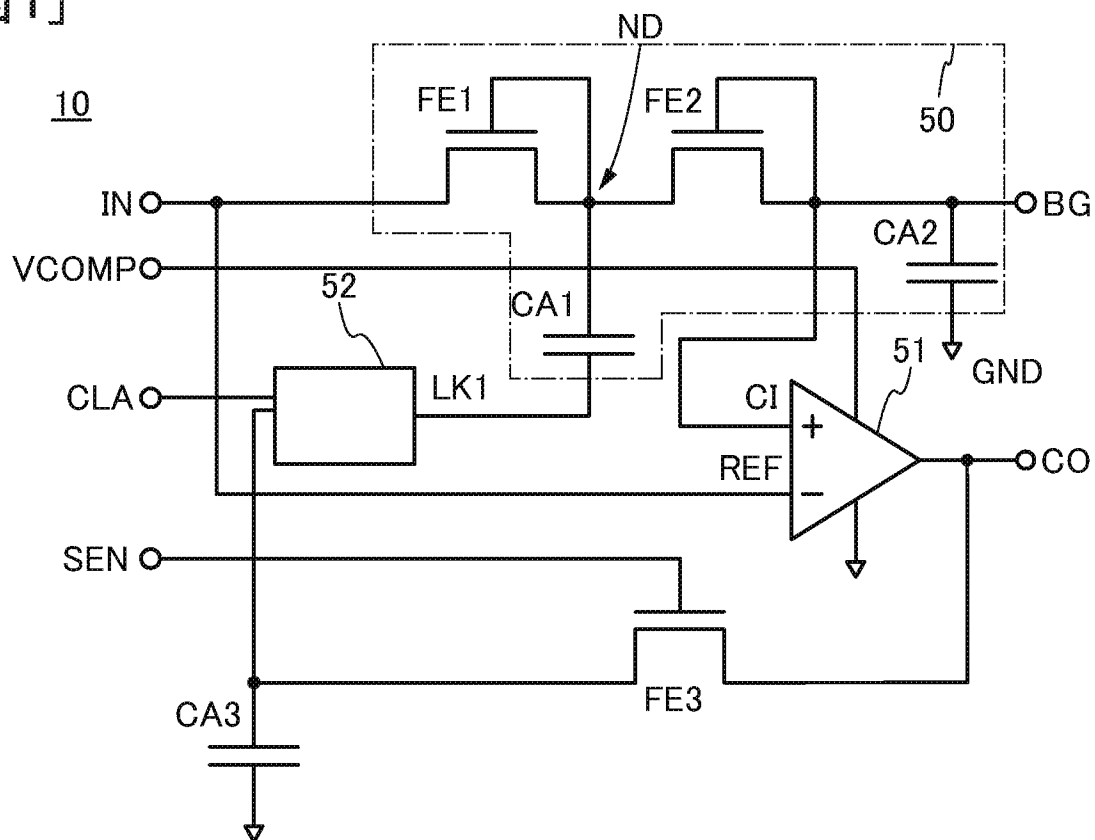
請求項1または請求項2に記載の半導体装置の駆動方法であって、

前記トランジスタの非導通状態から導通状態への切り替えは、前記コンパレータの電源電圧の停止状態から供給状態への切り替えよりも前に行うことを特徴とする半導体装置の駆動方法。

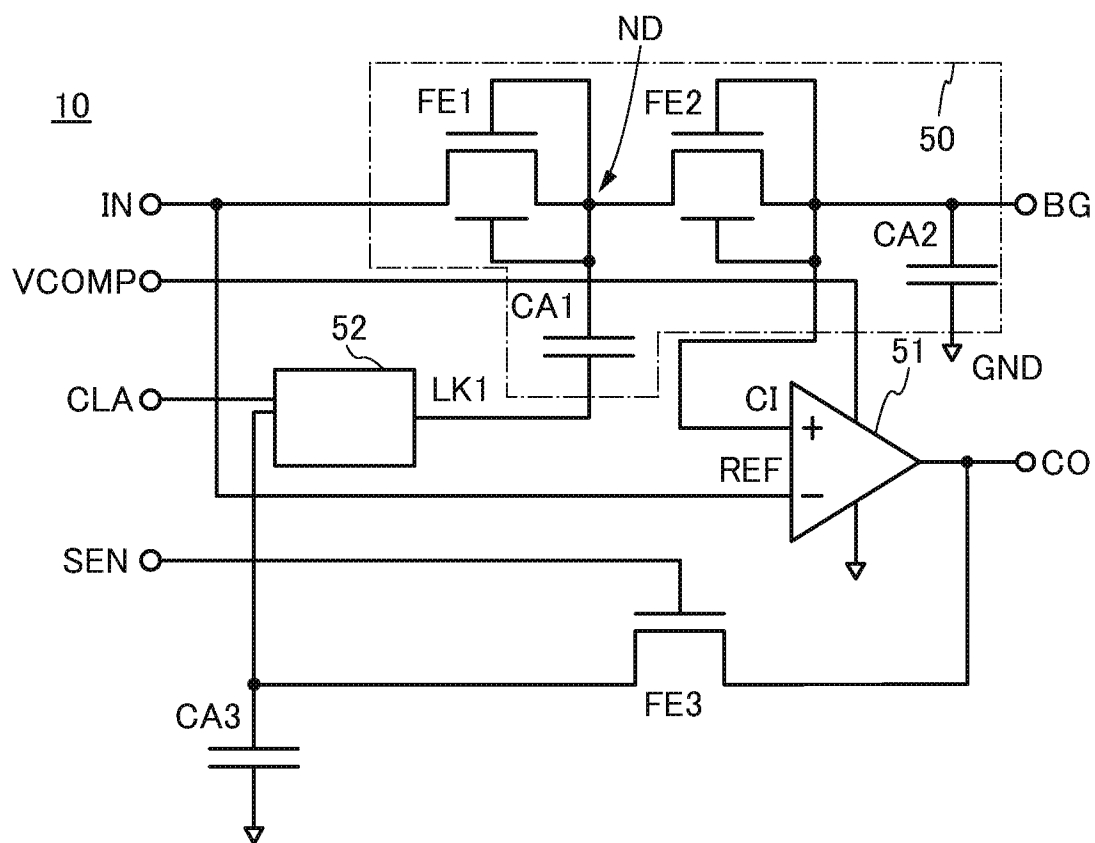
[図 1]

1/17

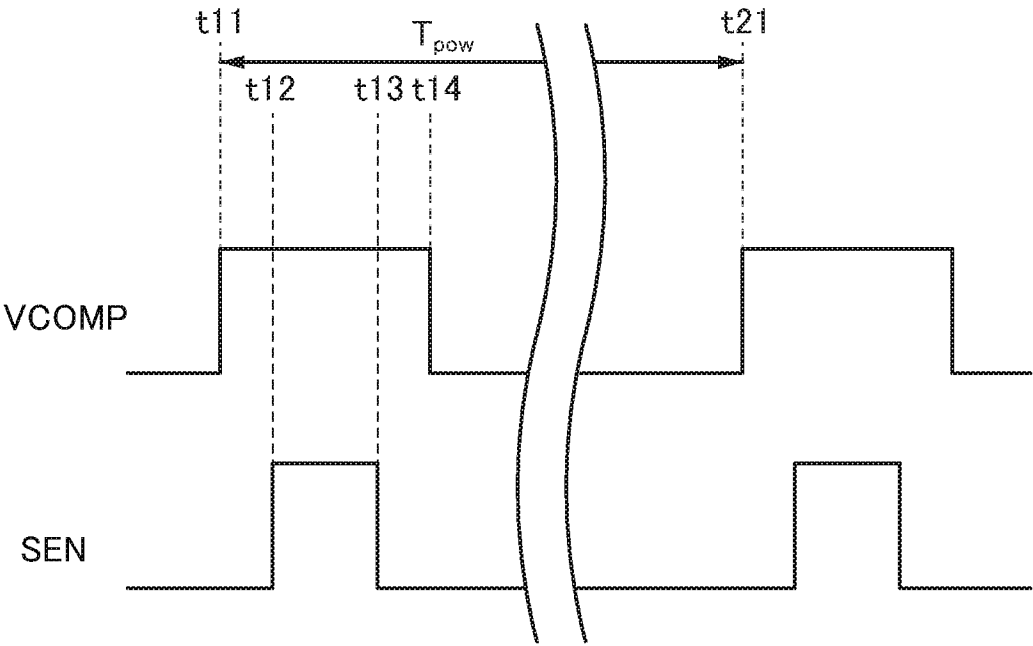
(A)



(B)



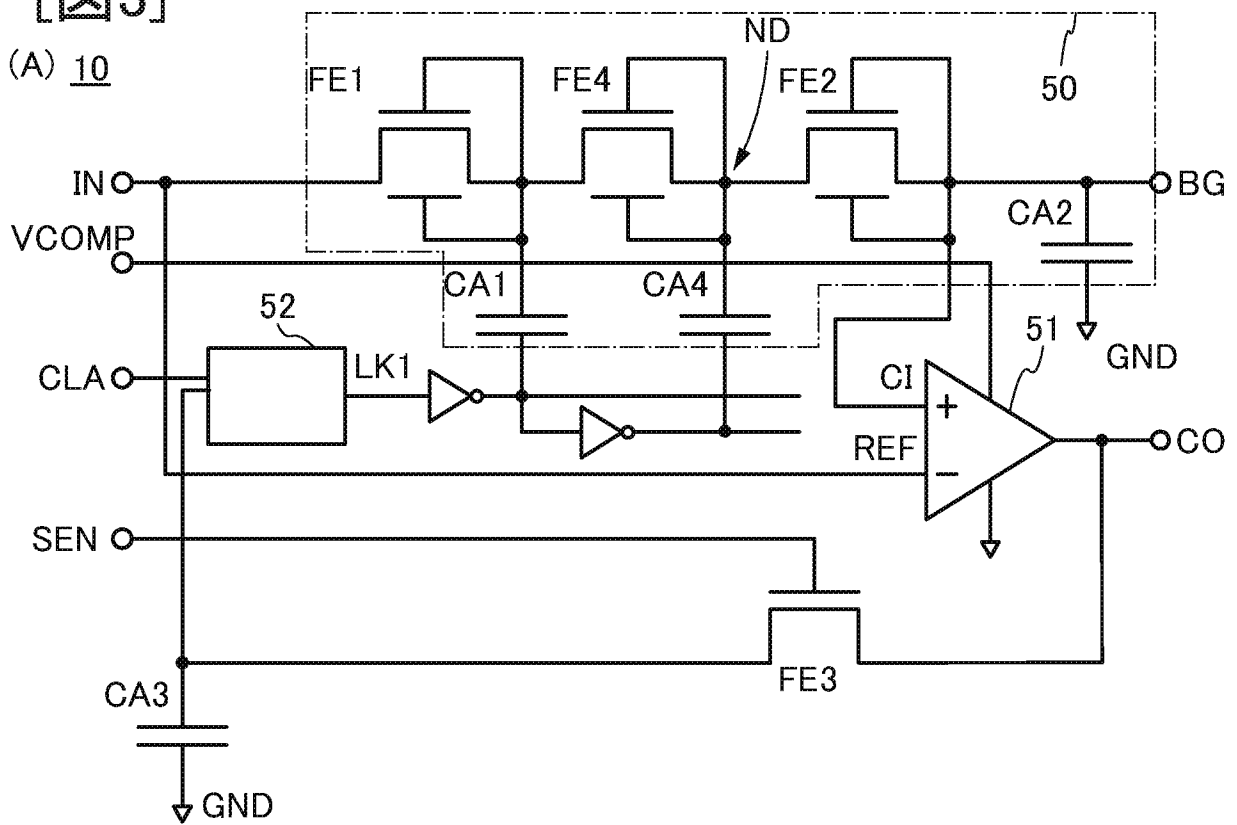
[図2]



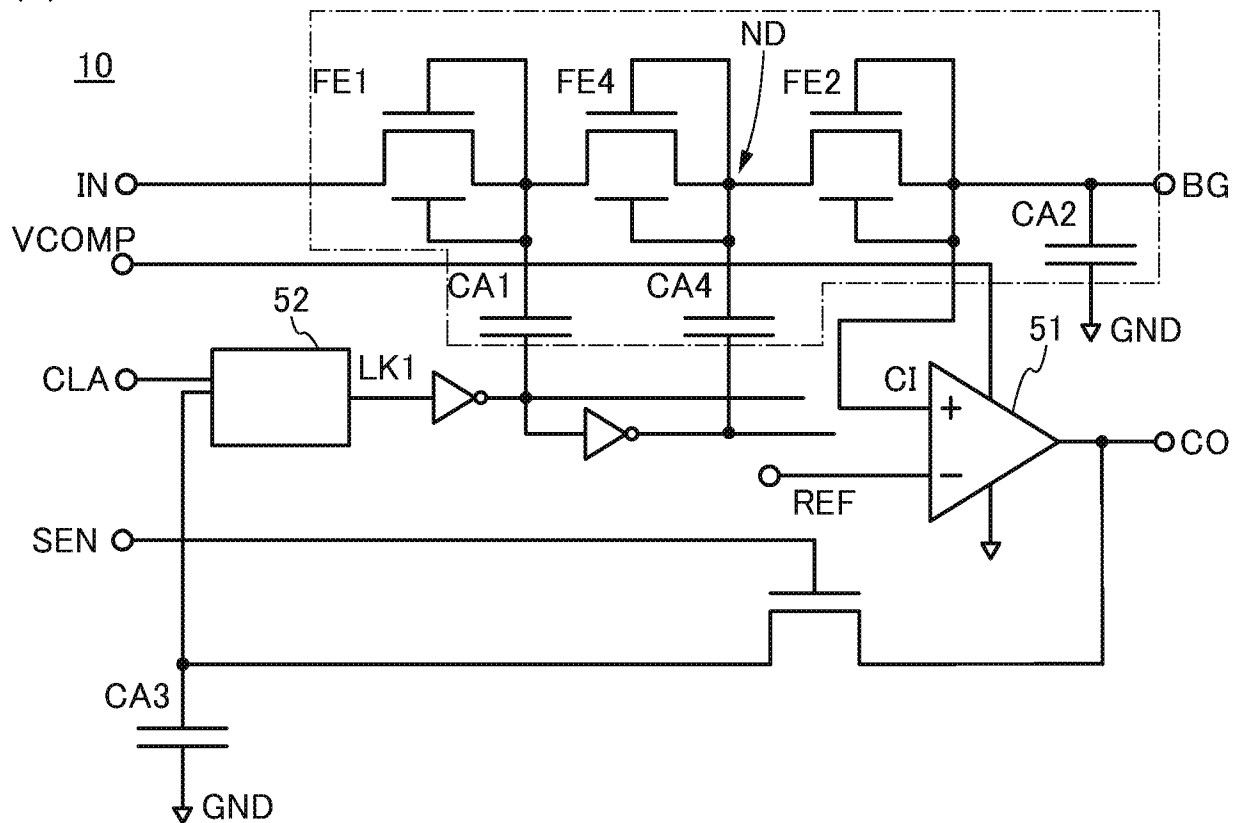
[図3]

3/17

(A) 10

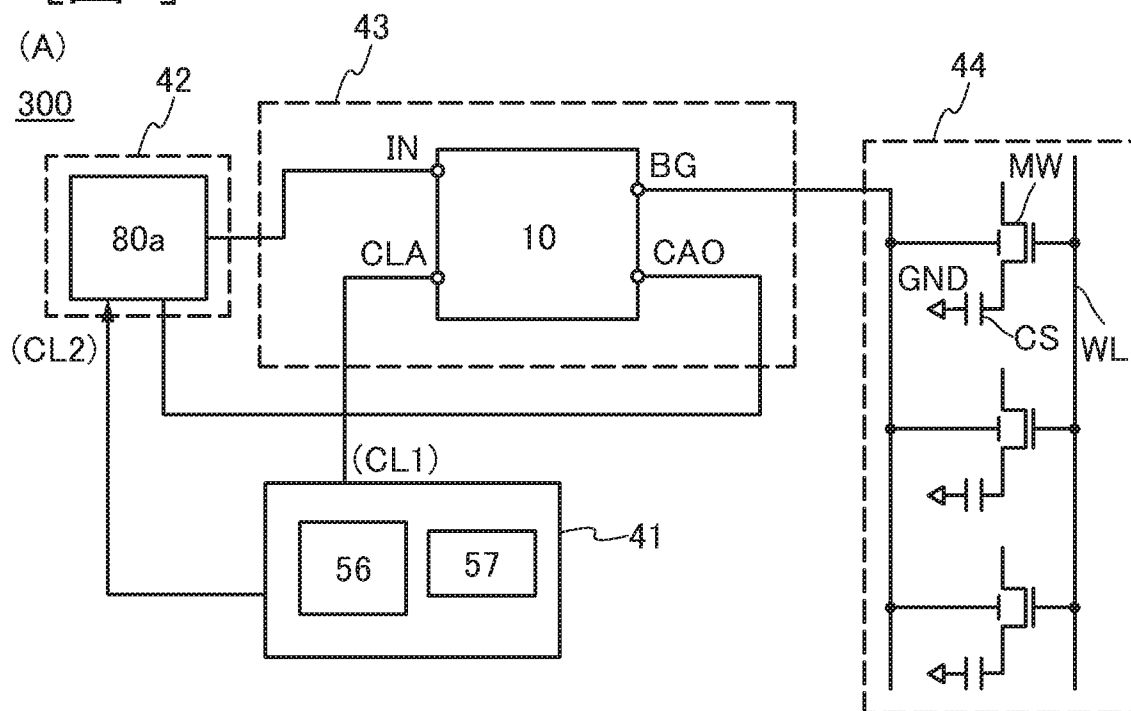


(B)



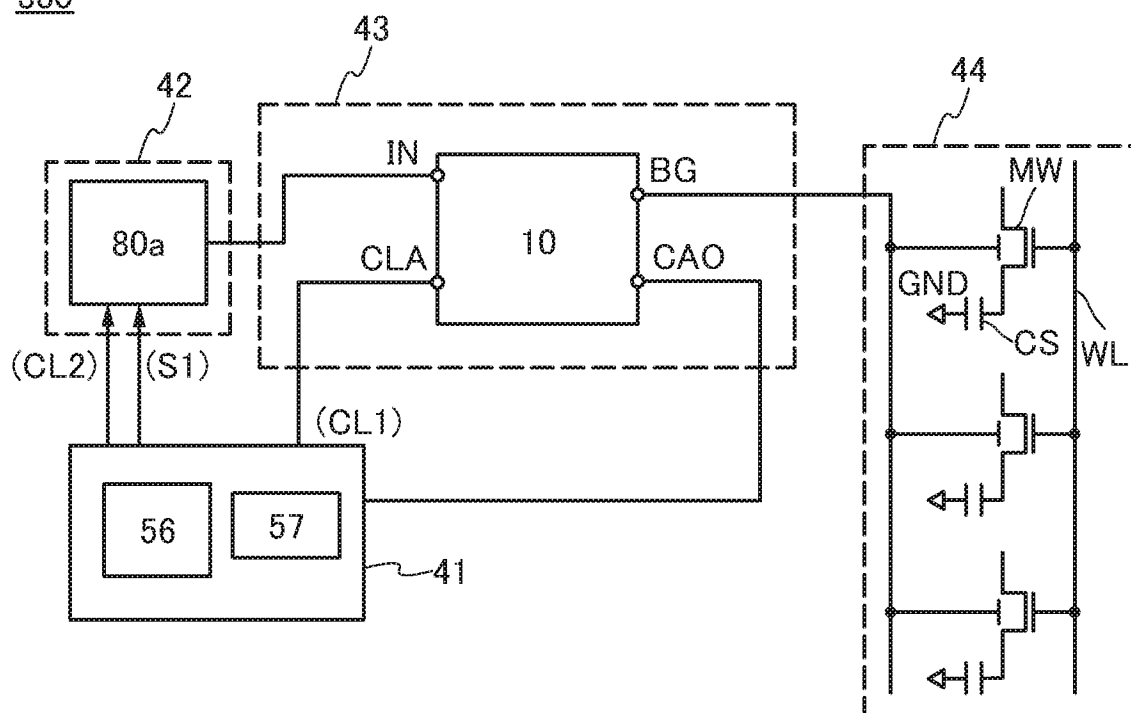
[図 4]

4/17



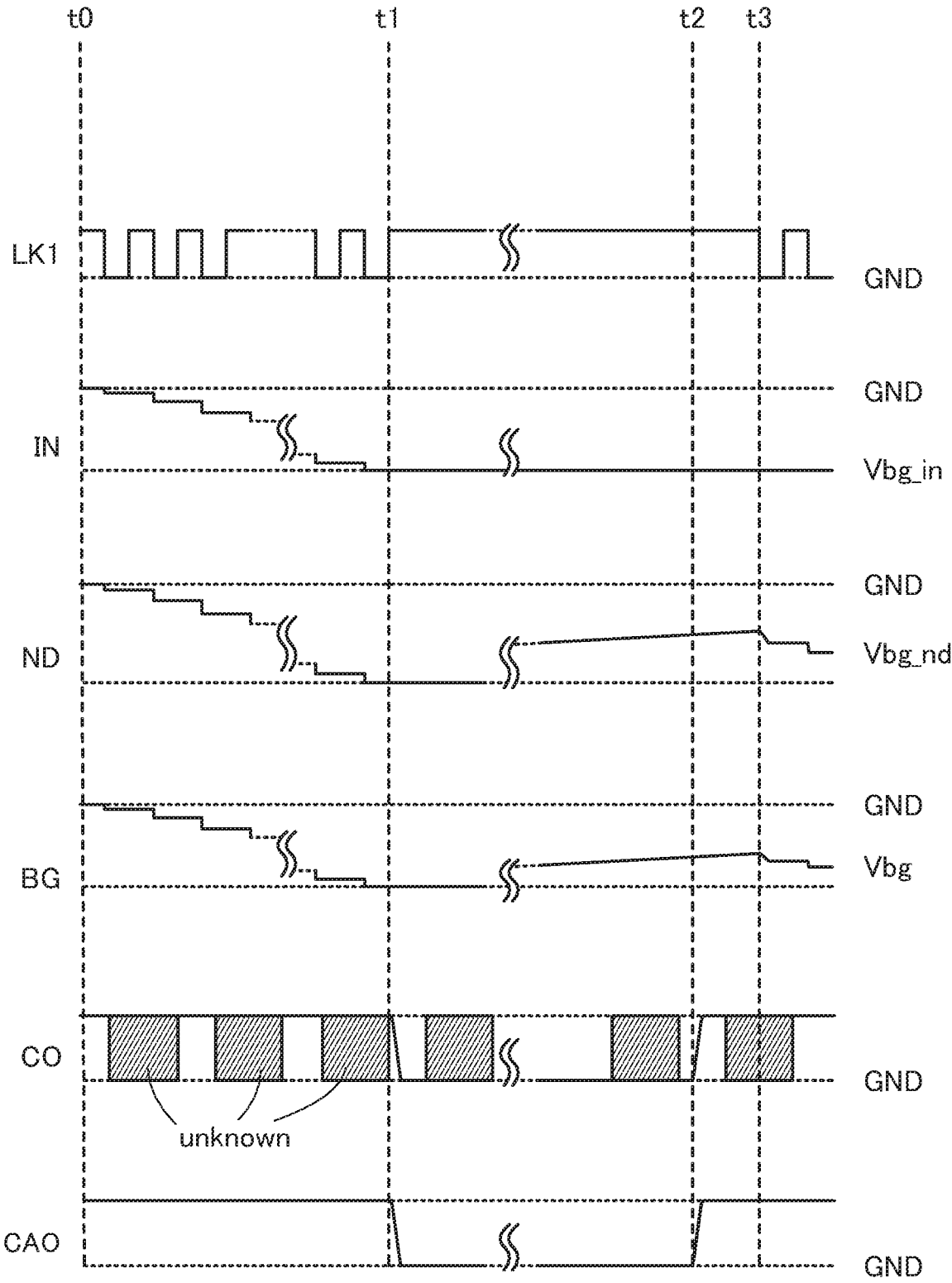
(B)

300



[図5]

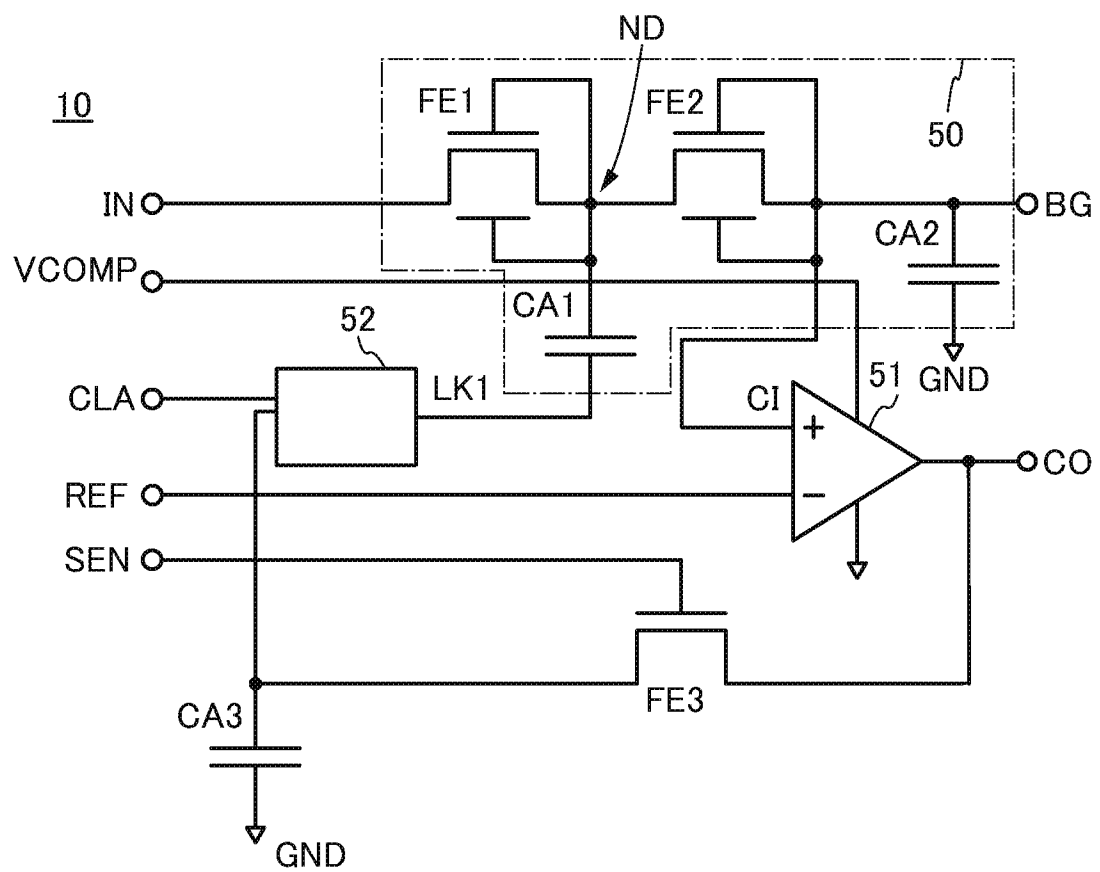
5/17



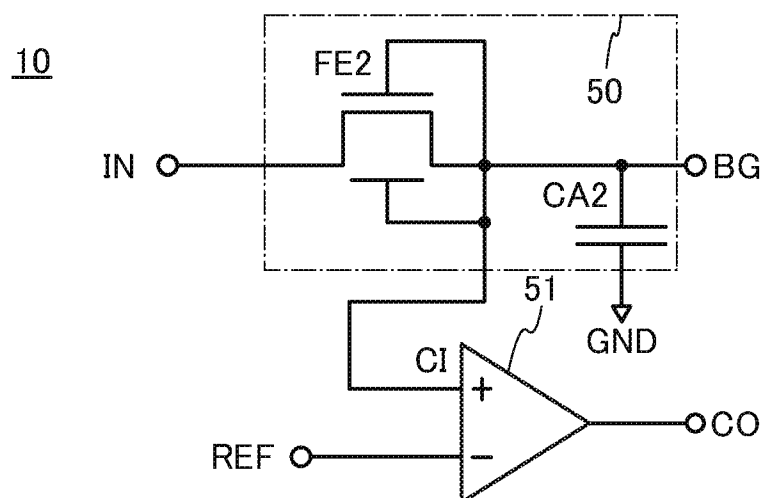
[図6]

6/17

(A)

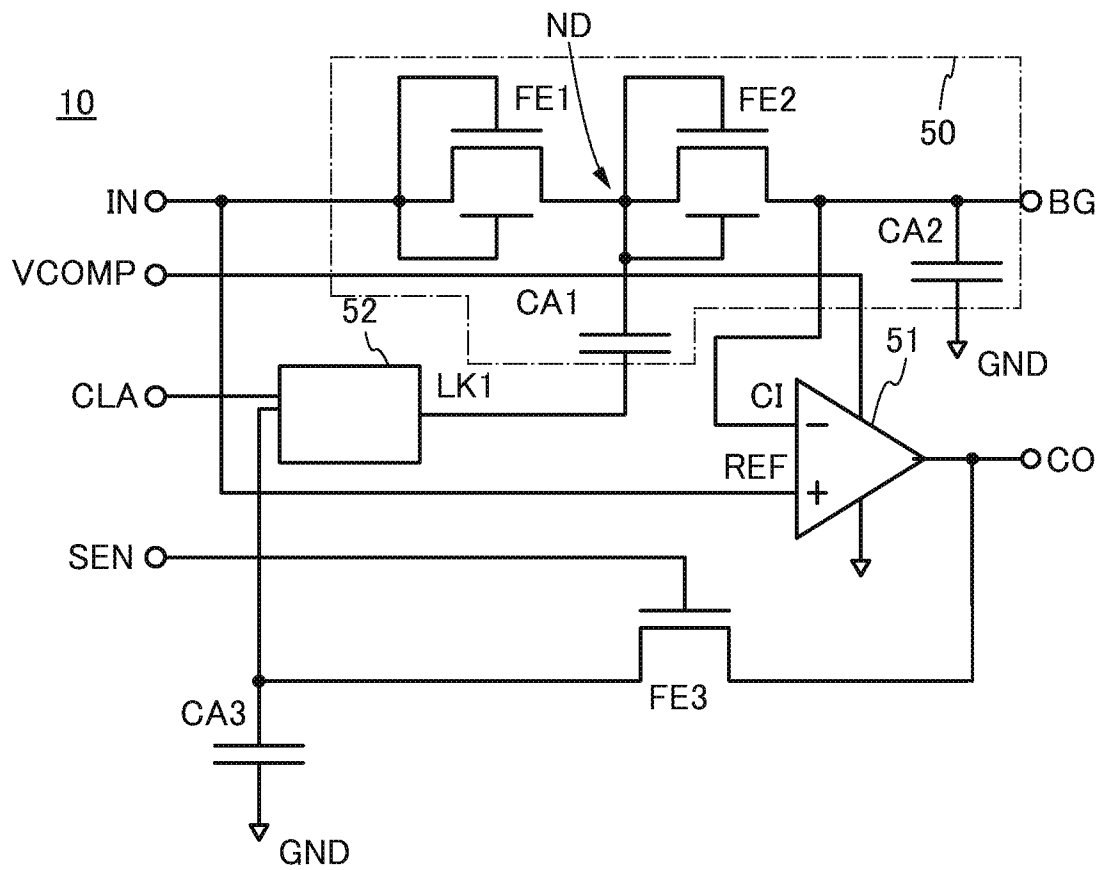


(B)



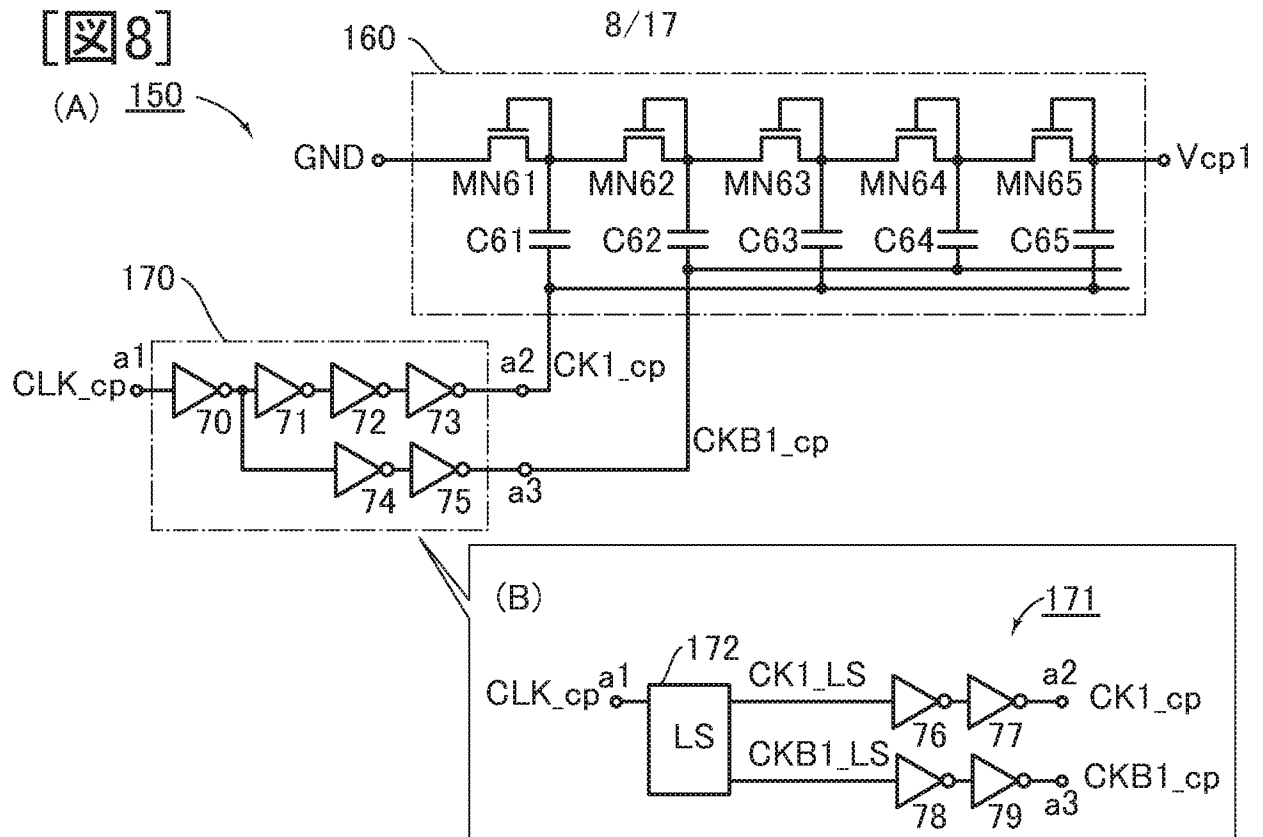
[図 7]

7/17

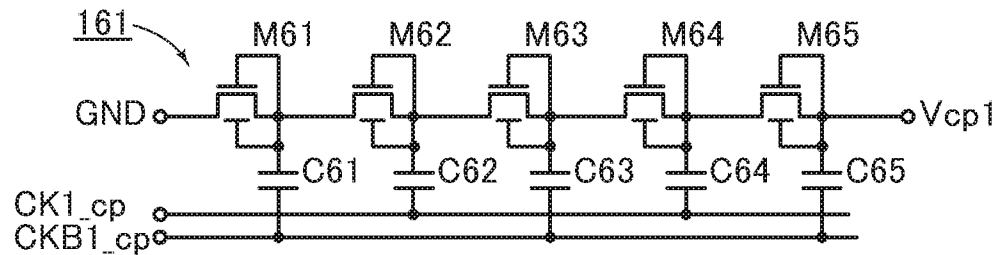


[図 8]

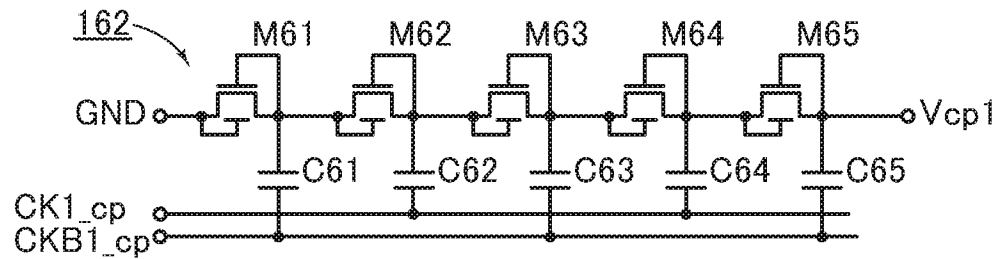
(A) 150



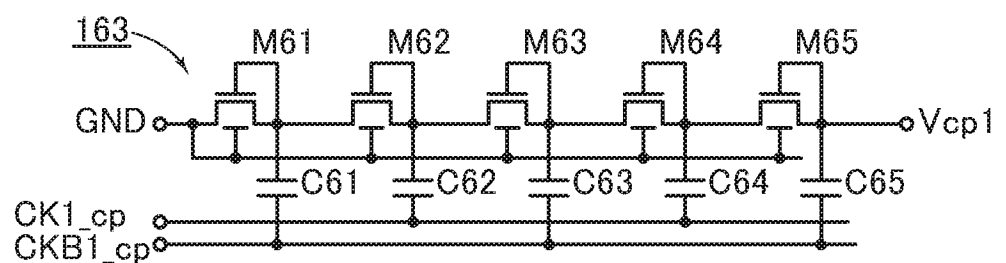
(C)



(D)



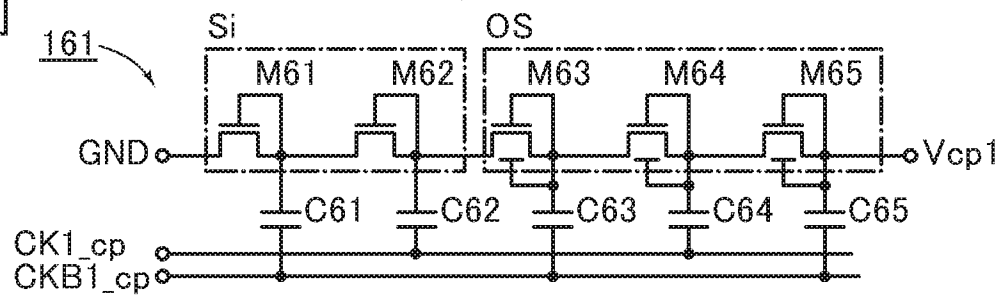
(E)



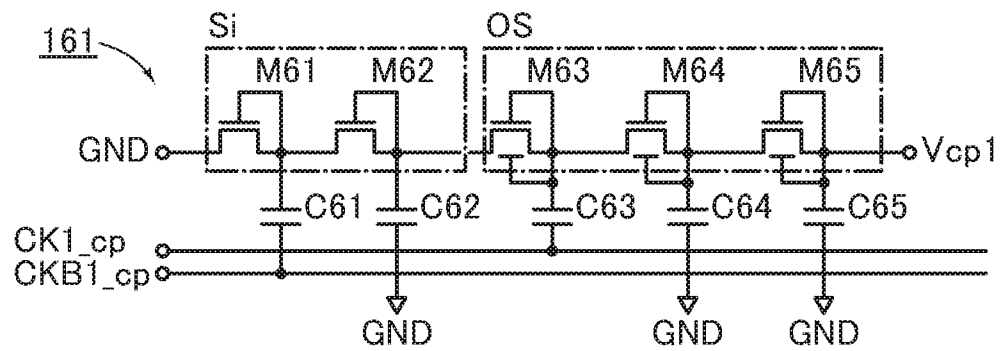
[ 9]

9/17

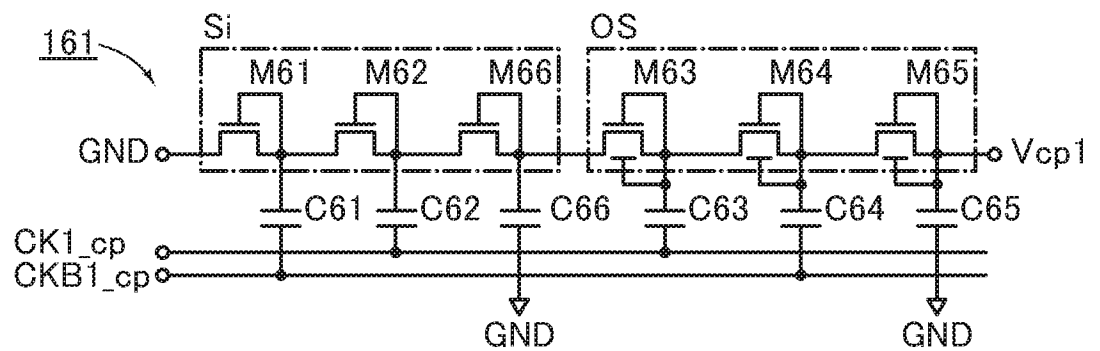
(A)



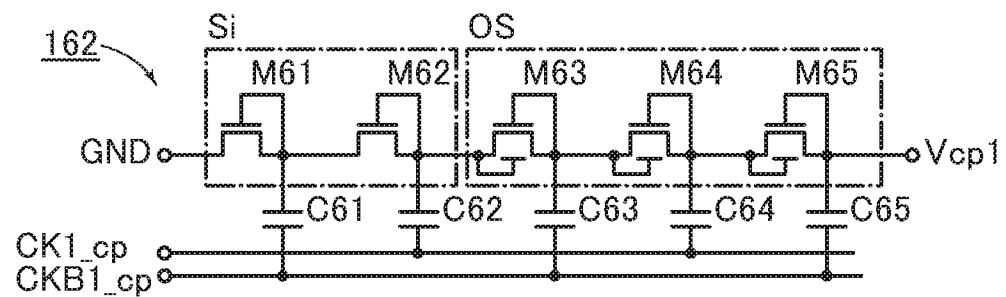
(B)



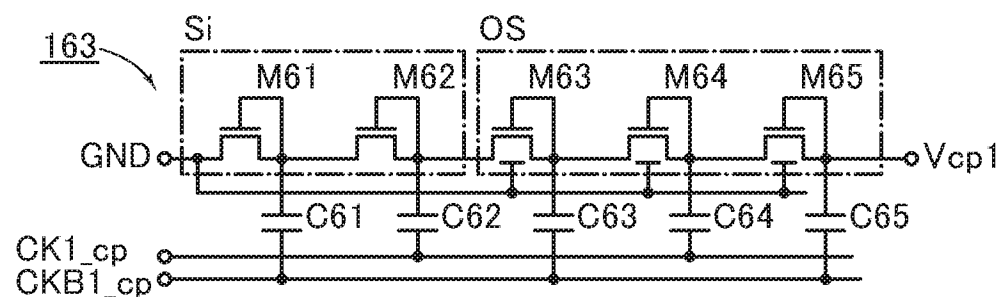
(C)



(D)



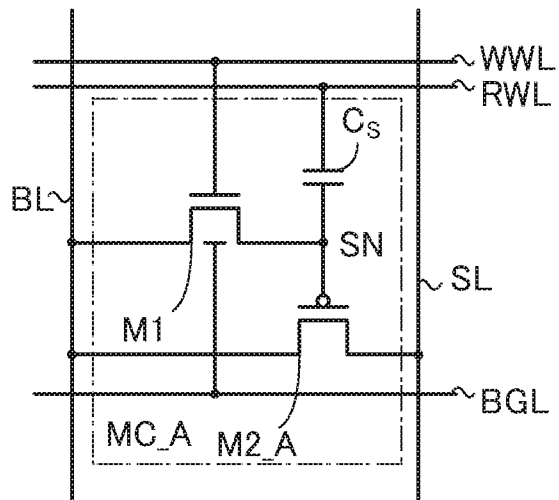
(E)



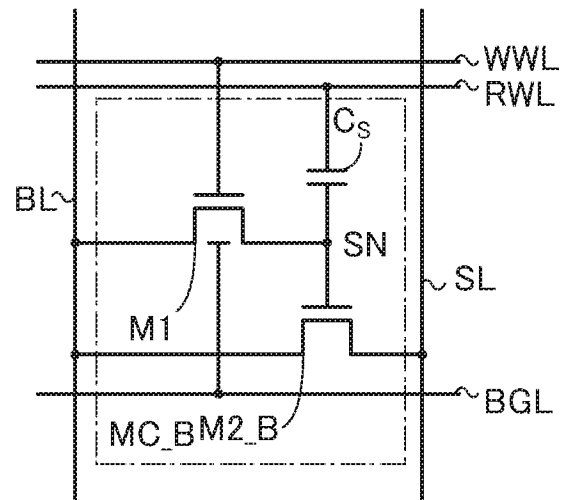
[図10]

10/17

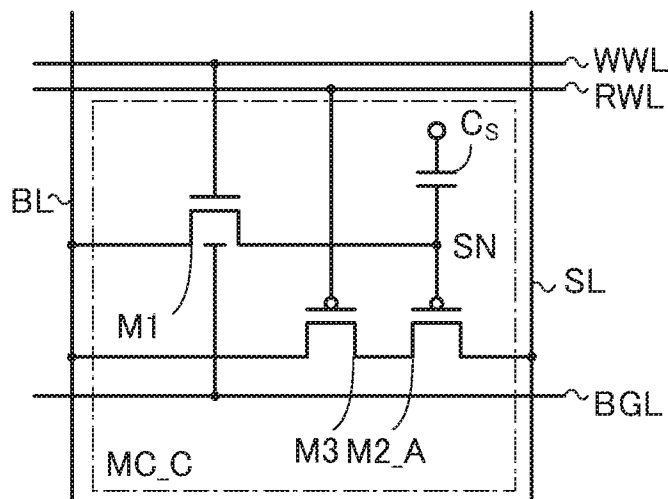
(A)



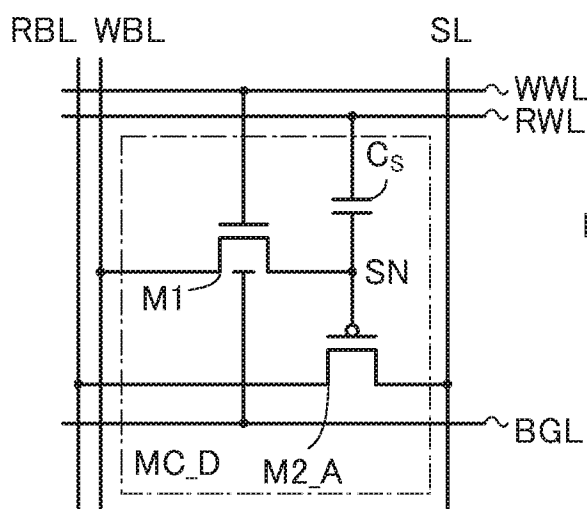
(B)



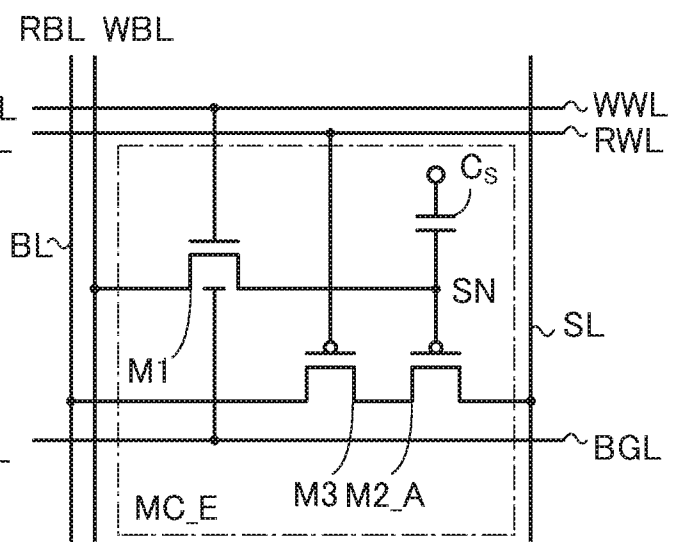
(C)



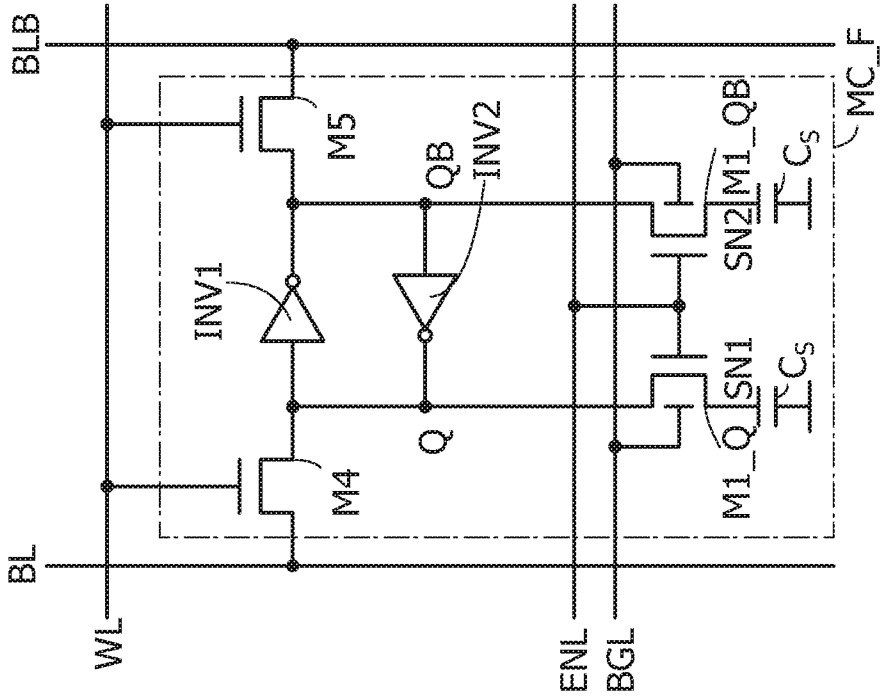
(D)



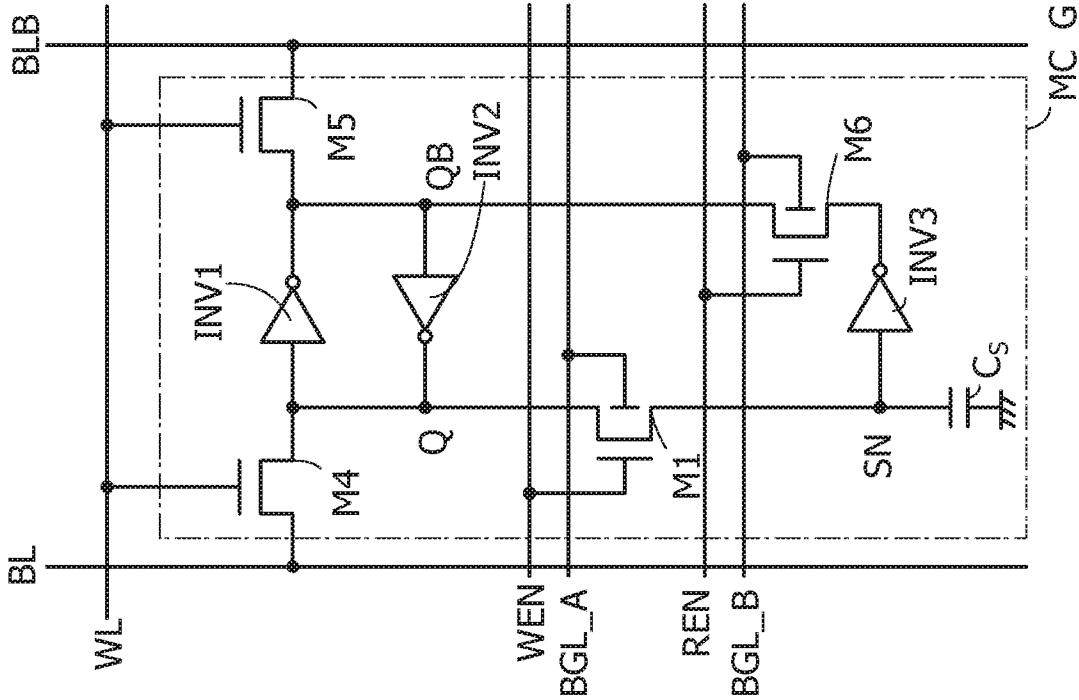
(E)



[Figure 11] (A)

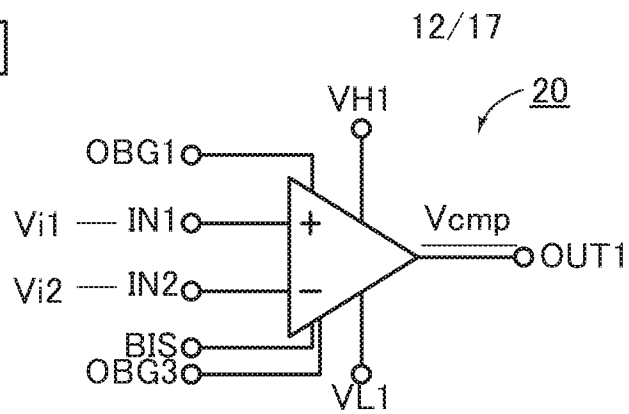


(B)

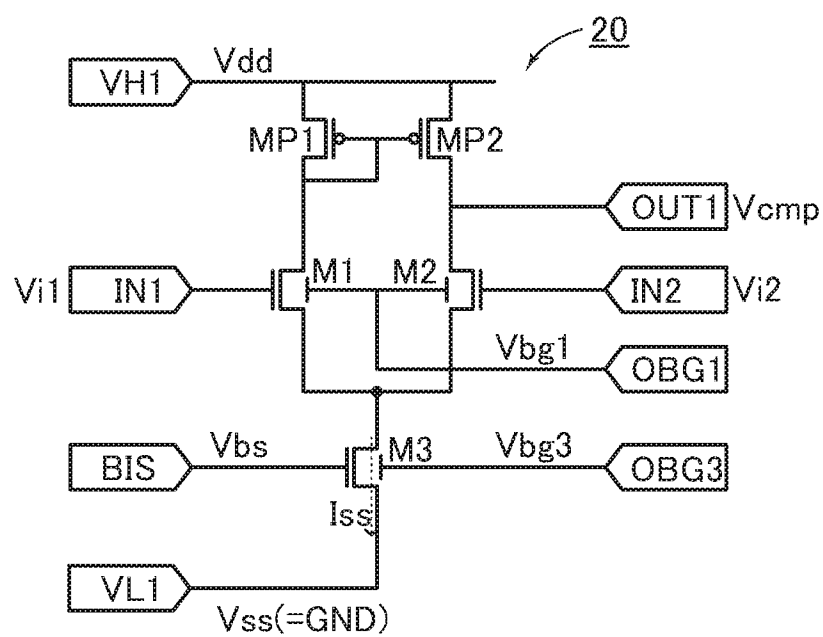


[図 12]

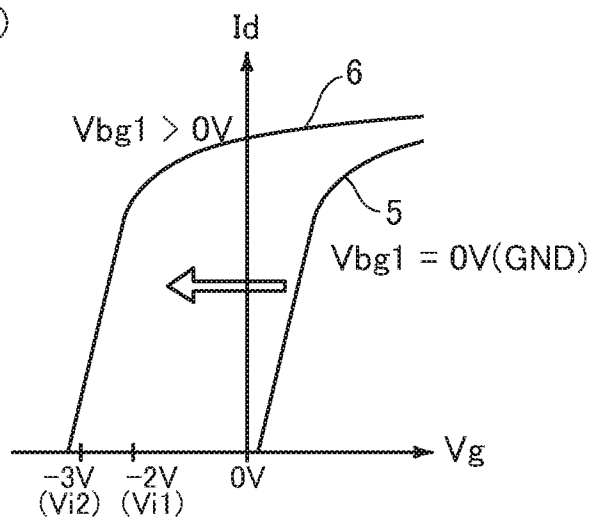
(A)



(B)

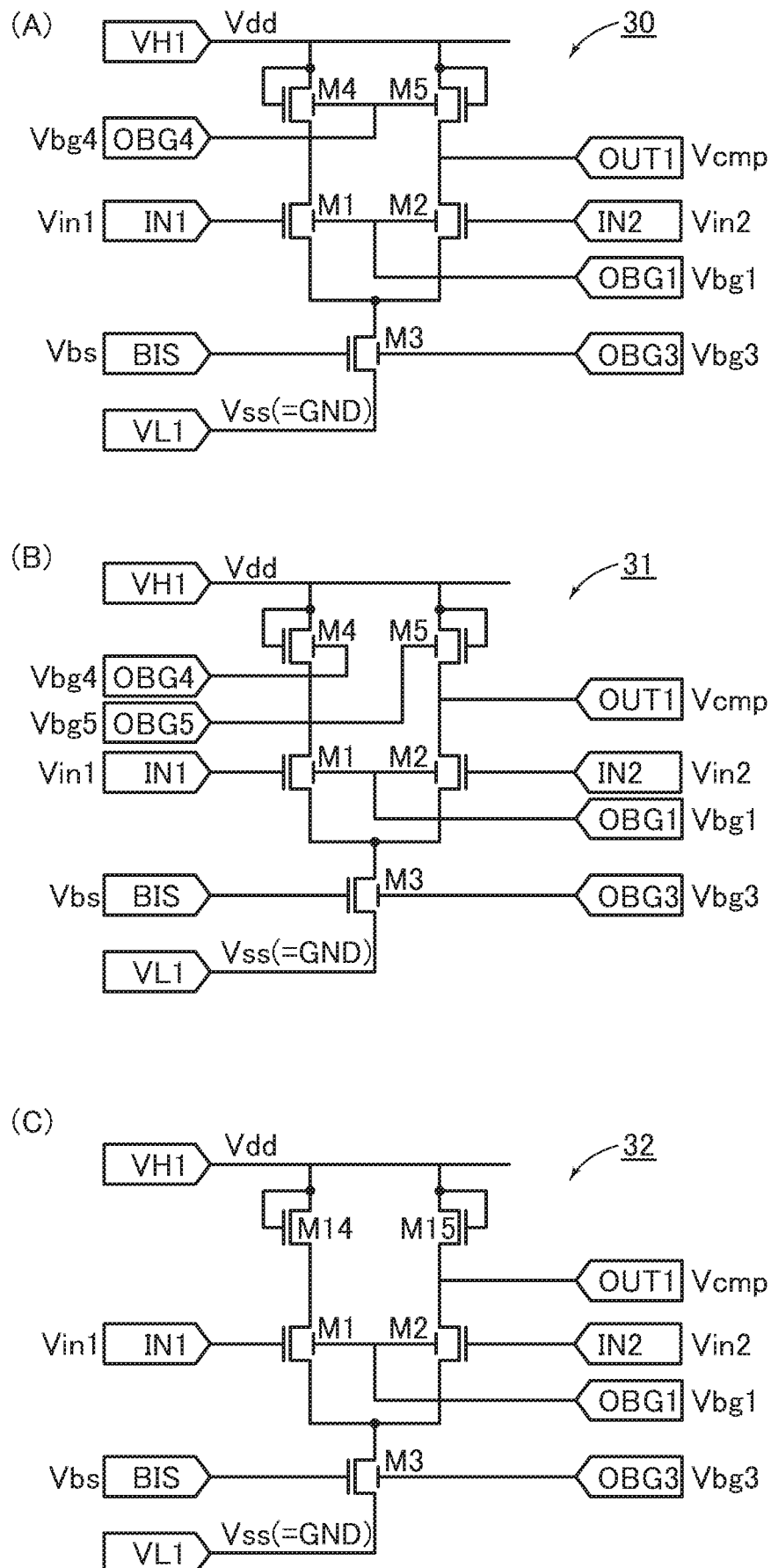


(C)

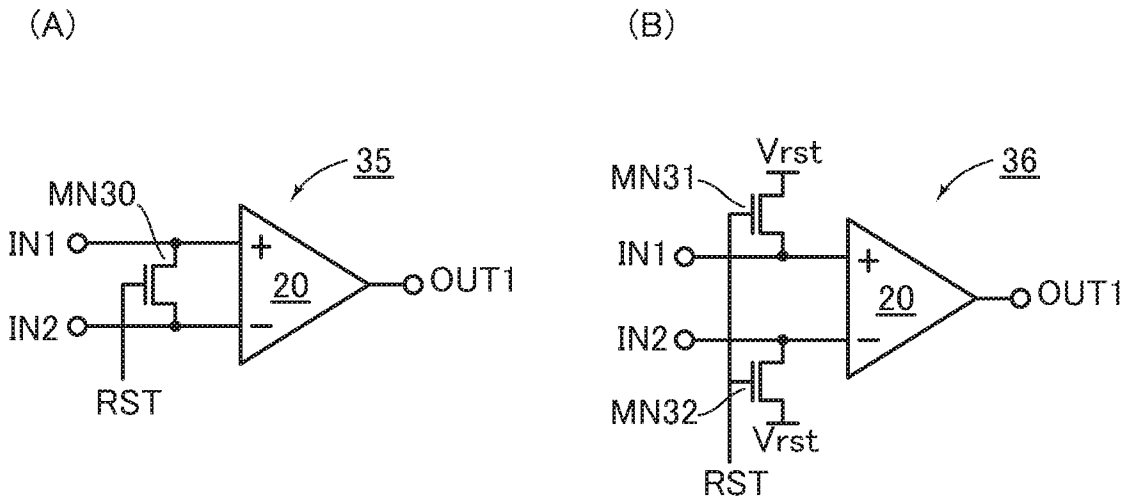


[図 13]

13/17

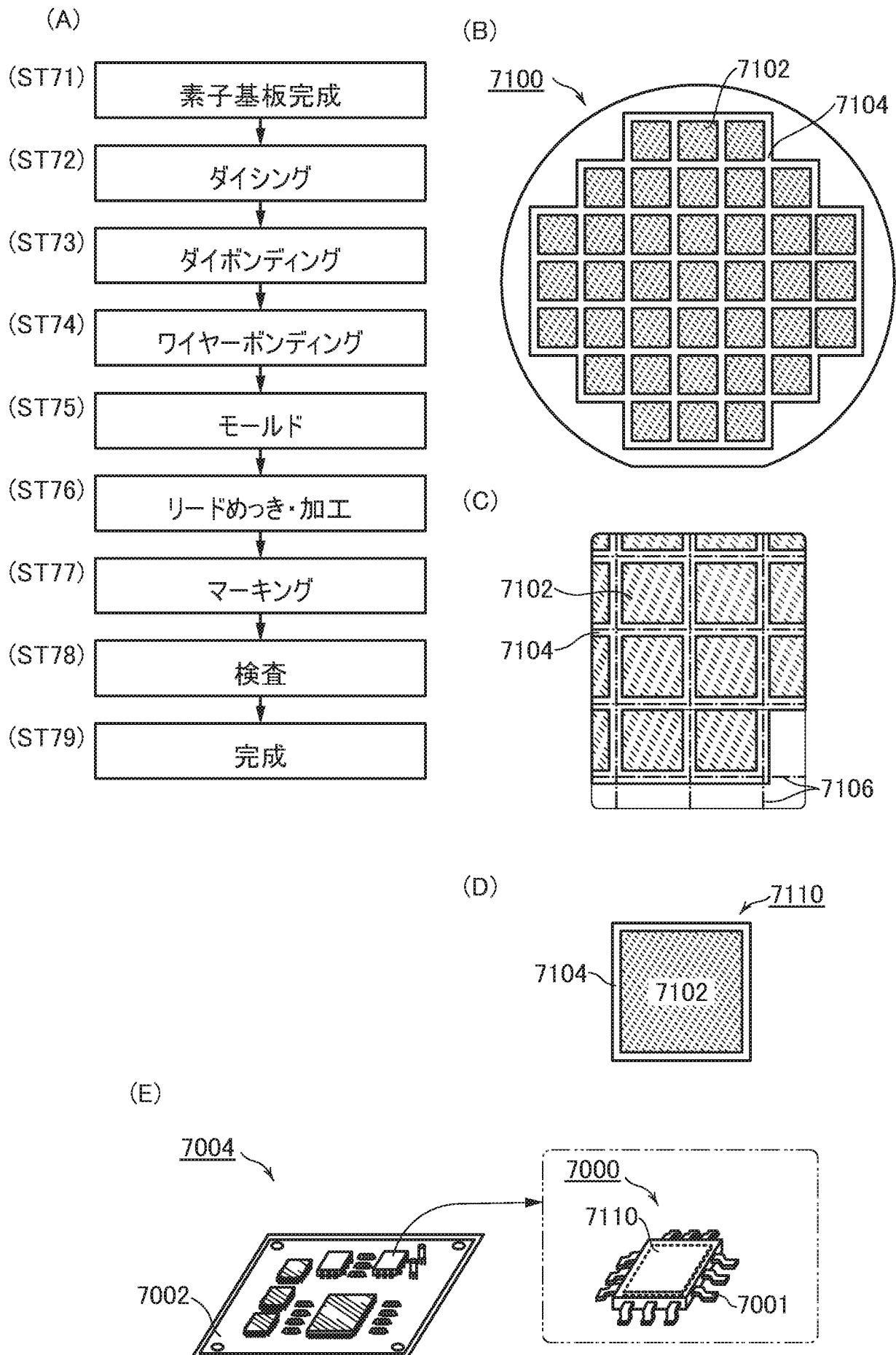


[図 14]



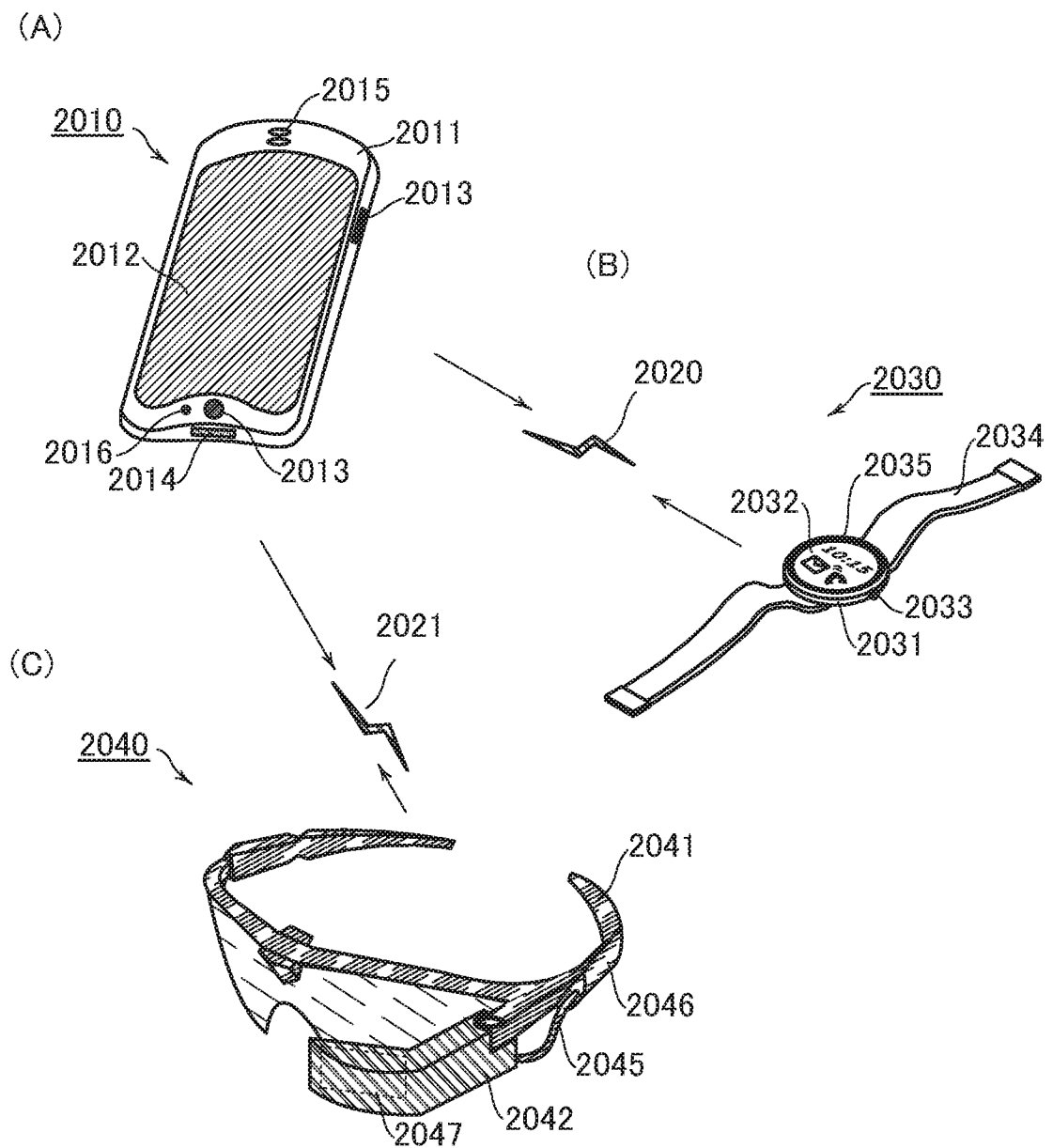
## [図15]

15/17



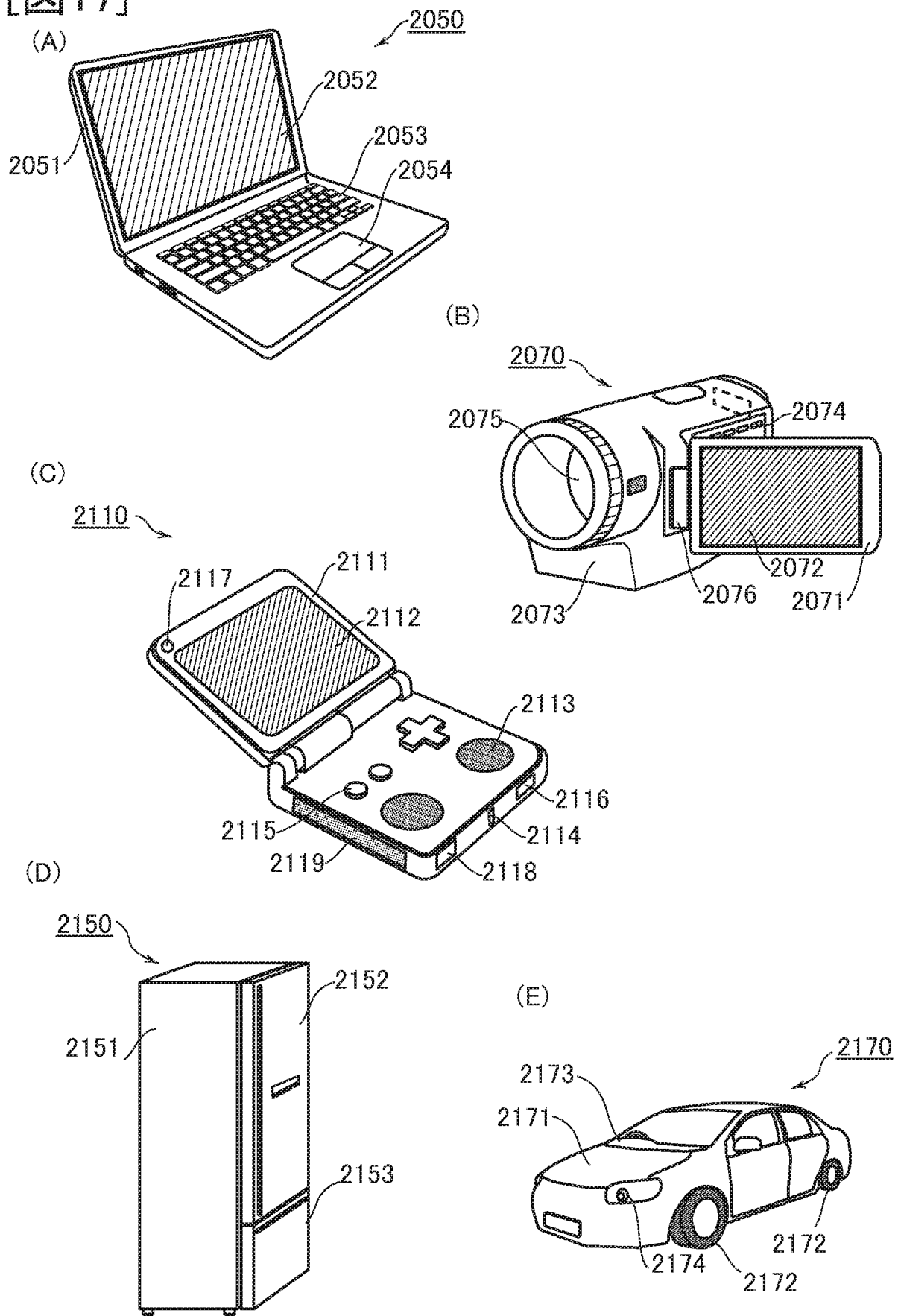
[図16]

16/17



[図 17]

17/17



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2018/051015

| <b>A. CLASSIFICATION OF SUBJECT MATTER</b><br>Int.Cl. H03K19/00 (2006.01) i, H01L21/822 (2006.01) i, H01L27/04 (2006.01) i<br><br>According to International Patent Classification (IPC) or to both national classification and IPC                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                |                                                                                                                                                        |                                                                                |
|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|--------------------------------------------------------------------------------------------------------------------------------------------------------|--------------------------------------------------------------------------------|
| <b>B. FIELDS SEARCHED</b><br>Minimum documentation searched (classification system followed by classification symbols)<br>Int.Cl. H03K19/00, H01L21/822, H01L27/04, H02M3/07<br><br>Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched<br>Published examined utility model applications of Japan 1922-1996<br>Published unexamined utility model applications of Japan 1971-2018<br>Registered utility model specifications of Japan 1996-2018<br>Published registered utility model applications of Japan 1994-2018<br><br>Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                |                                                                                                                                                        |                                                                                |
| <b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                      |                                                                                                                                                        |                                                                                |
| Category*                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                          | Citation of document, with indication, where appropriate, of the relevant passages                                                                     | Relevant to claim No.                                                          |
| Y<br>A                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                             | JP 07-231647 A (MITSUBISHI ELECTRIC CORP.) 29 August 1995, fig. 1, 3, 6-7 & US 6069518 A, fig. 1, 3, 6-7                                               | 1-3<br>4                                                                       |
| Y<br>A                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                             | JP 2012-239166 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 06 December 2012, fig. 1, paragraph [0022] & US 2012/0274401 A1, fig. 1, paragraph [0034] | 1-3<br>4                                                                       |
| <input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                              |                                                                                                                                                        |                                                                                |
| * Special categories of cited documents:<br>"A" document defining the general state of the art which is not considered to be of particular relevance<br>"E" earlier application or patent but published on or after the international filing date<br>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)<br>"O" document referring to an oral disclosure, use, exhibition or other means<br>"P" document published prior to the international filing date but later than the priority date claimed<br>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention<br>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone<br>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art<br>"&" document member of the same patent family |                                                                                                                                                        |                                                                                |
| Date of the actual completion of the international search<br>21 May 2018 (21.05.2018)                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                              |                                                                                                                                                        | Date of mailing of the international search report<br>29 May 2018 (29.05.2018) |
| Name and mailing address of the ISA/<br>Japan Patent Office<br>3-4-3, Kasumigaseki, Chiyoda-ku,<br>Tokyo 100-8915, Japan                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                           |                                                                                                                                                        | Authorized officer<br><br>Telephone No.                                        |

## A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H03K19/00(2006.01)i, H01L21/822(2006.01)i, H01L27/04(2006.01)i

## B. 調査を行った分野

## 調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H03K19/00, H01L21/822, H01L27/04, H02M3/07

## 最小限資料以外の資料で調査を行った分野に含まれるもの

|             |            |
|-------------|------------|
| 日本国実用新案公報   | 1922-1996年 |
| 日本国公開実用新案公報 | 1971-2018年 |
| 日本国実用新案登録公報 | 1996-2018年 |
| 日本国登録実用新案公報 | 1994-2018年 |

## 国際調査で利用した電子データベース（データベースの名称、調査に使用した用語）

## C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                                    | 関連する<br>請求項の番号 |
|-----------------|------------------------------------------------------------------------------------------------------|----------------|
| Y<br>A          | JP 07-231647 A（三菱電機株式会社）1995.08.29, 図1, 3, 6-7<br>& US 6069518 A, 図1, 3, 6-7                         | 1-3<br>4       |
| Y<br>A          | JP 2012-239166 A（株式会社半導体エネルギー研究所）2012.12.06,<br>図1, 段落 [0022]<br>& US 2012/0274401 A1, 図1, 段落 [0034] | 1-3<br>4       |

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」国際出願日前の出願または特許であるが、国際出願日後に公表されたもの  
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）  
「O」口頭による開示、使用、展示等に言及する文献  
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」同一パテントファミリー文献

## 国際調査を完了した日

21.05.2018

## 国際調査報告の発送日

29.05.2018

## 国際調査機関の名称及びあて先

日本国特許庁（ISA/JP）  
郵便番号100-8915  
東京都千代田区霞が関三丁目4番3号

## 特許庁審査官（権限のある職員）

白井 亮

5W

3363

電話番号 03-3581-1101 内線 3576