(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0107477
(43) 공개일자 2023년07월17일

(51) 국제특허분류(Int. Cl.)
H01J 37/32 (2006.01) *H03H 7/38* (2006.01)
H03H 7/40 (2006.01)
(52) CPC특허분류
H01J 37/32183 (2022.08)
H03H 7/383 (2013.01)
(21) 출원번호 10-2022-7044609
(22) 출원일자(국제) 2021년11월02일
심사청구일자 없음
(85) 번역문제출일자 2022년12월19일
(86) 국제출원번호 PCT/US2021/057787
(87) 국제공개번호 WO 2022/108754
국제공개일자 2022년05월27일
(30) 우선권주장
63/115,469 2020년11월18일 미국(US)

(71) 출원인
램 리써치 코포레이션
미국 94538 캘리포니아주 프레몬트 쿠싱 파크웨이 4650
(72) 발명자
마라크타노브, 알렉세이, 엠.
미국, 94538 캘리포니아, 프레몬트, 쿠싱 파크웨이 4650
코자케비치, 펠릭스, 레이브
미국, 94538 캘리포니아, 프레몬트, 쿠싱 파크웨이 4650
(뒷면에 계속)
(74) 대리인
특허법인인벤싱크

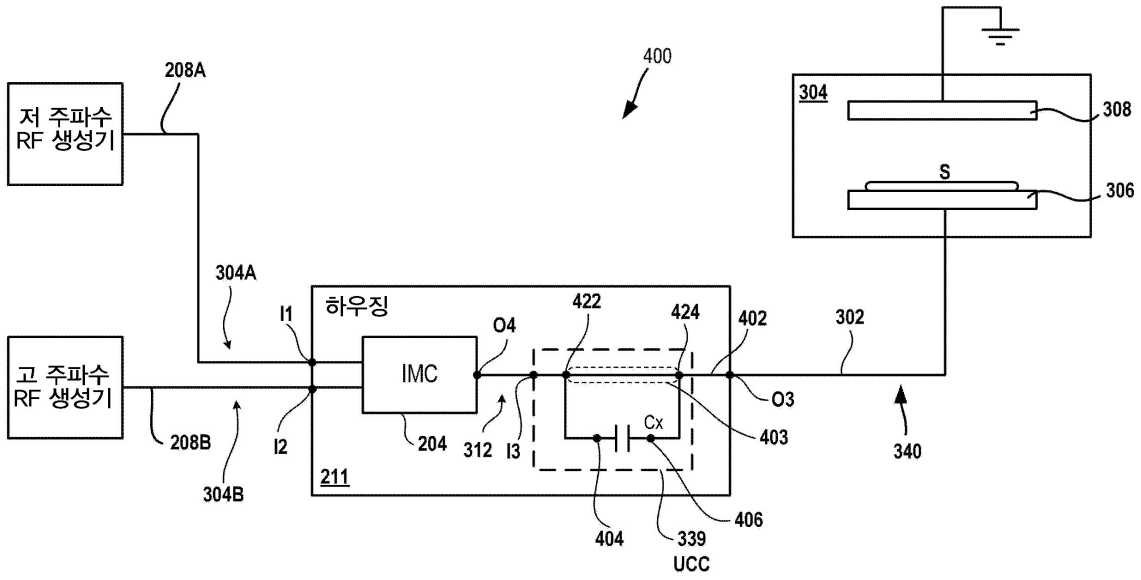
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 **임피던스 매칭을 위한 균일도 제어 회로**

(57) 요 약

임피던스 매칭부 하우징이 기술된다. 임피던스 매칭부 하우징은 무선 주파수 (radio frequency; RF) 생성기에 커플링된 입력부를 갖는 임피던스 매칭 회로를 포함한다. 임피던스 매칭 회로는 제 1 RF 스트랩에 커플링된 출력부를 갖는다. 임피던스 매칭부 하우징은 기판이 플라즈마 챔버 내에서 프로세싱될 때 기판의 프로세싱 레이트의 균일도를 수정하도록 제 1 RF 스트랩의 부분에 병렬로 커플링된 균일도 제어 회로를 포함한다.

대 표 도



(52) CPC특허분류
H03H 7/40 (2013.01)
(72) 발명자
지, 빙
미국, 94538 캘리포니아, 프레몬트, 쿠싱 파크웨이 4650
홀랜드, 존, 피.
미국, 94538 캘리포니아, 프레몬트, 쿠싱 파크웨이 4650

명 세 서

청구범위

청구항 1

무선 주파수 (radio frequency; RF) 생성기에 커플링되도록 구성된 입력부 및 제 1 RF 스트랩에 커플링된 출력부를 갖는 임피던스 매칭 회로; 및

기판이 플라즈마 챔버 내에서 프로세싱될 때 상기 기판의 프로세싱 레이트의 균일도를 수정하기 위해 상기 제 1 RF 스트랩의 부분에 병렬로 커플링된 균일도 제어 회로 (uniformity control circuit; UCC) 를 포함하는, 임피던스 매칭 하우징.

청구항 2

제 1 항에 있어서,

상기 제 1 RF 스트랩은 RF 송신 라인에 커플링되도록 구성되는, 임피던스 매칭부 하우징.

청구항 3

제 1 항에 있어서,

상기 균일도 제어 회로는 상기 제 1 RF 스트랩의 상기 부분에 병렬로 커플링되는 커패시터를 포함하는, 임피던스 매칭부 하우징.

청구항 4

제 1 항에 있어서,

상기 균일도 제어 회로는 커패시터를 포함하고, 상기 커패시터는 제 1 단부 및 제 2 단부를 갖고, 상기 제 1 단부는 상기 제 1 RF 스트랩 상의 제 1 지점에 커플링되고, 그리고 상기 제 2 단부는 상기 제 1 RF 스트랩 상의 제 2 지점에 커플링되는, 임피던스 매칭부 하우징.

청구항 5

제 4 항에 있어서,

상기 균일도 제어 회로는 제 2 RF 스트랩 및 제 3 RF 스트랩을 포함하고, 상기 커패시터의 상기 제 1 단부는 상기 제 2 RF 스트랩을 통해 상기 제 1 RF 스트랩 상의 상기 제 1 지점에 커플링되고, 그리고 상기 커패시터의 상기 제 2 단부는 상기 제 3 RF 스트랩을 통해 상기 제 1 RF 스트랩 상의 상기 제 2 지점에 커플링되는, 임피던스 매칭부 하우징.

청구항 6

제 5 항에 있어서,

상기 제 1 RF 스트랩은 내부 인덕턴스를 갖고, 상기 제 2 RF 스트랩은 내부 인덕턴스를 갖고, 그리고 상기 제 3 RF 스트랩은 내부 인덕턴스를 갖는, 임피던스 매칭부 하우징.

청구항 7

제 5 항에 있어서,

상기 제 1 RF 스트랩, 상기 제 2 RF 스트랩, 및 상기 제 3 RF 스트랩 각각은 세장형 (elongated) 금속 피스 (piece) 인, 임피던스 매칭부 하우징.

청구항 8

제 5 항에 있어서,

상기 제 1 RF 스트랩, 상기 제 2 RF 스트랩, 및 상기 제 3 RF 스트랩 각각은 유도 코일이 아닌, 임피던스 매칭 부 하우징.

청구항 9

제 1 항에 있어서,

상기 균일도 제어 회로는 가변 커패시터를 포함하는, 임피던스 매칭부 하우징.

청구항 10

제 1 항에 있어서,

상기 균일도 제어 회로는 가변 커패시터의 커패시턴스를 가변시키기 위해 모터에 커플링되도록 구성된 상기 가변 커패시터를 포함하는, 임피던스 매칭부 하우징.

청구항 11

제 10 항에 있어서,

상기 가변 커패시터의 상기 커패시턴스는 상기 기판의 상단 표면에 걸쳐 프로세싱 레이트의 균일도를 달성하기 위해 수정되도록 구성되는, 임피던스 매칭부 하우징.

청구항 12

제 10 항에 있어서,

상기 가변 커패시터의 상기 커패시턴스는 상기 기판의 상단 표면에 걸친 프로세싱 레이트의 균일도의 측정 값에 기초하여 수정되도록 구성되는, 임피던스 매칭부 하우징.

청구항 13

제 1 항에 있어서,

상기 제 1 RF 스트랩은 세장형 금속 피스이고 그리고 RF 코일이 아닌, 임피던스 매칭부 하우징.

청구항 14

제 1 RF (radio frequency) 스트랩;

상기 제 1 RF 스트랩에 커플링된 제 2 RF 스트랩;

상기 제 2 RF 스트랩에 커플링된 커패시터; 및

상기 커패시터에 그리고 상기 제 1 RF 스트랩에 커플링된 제 3 RF 스트랩을 포함하고, 상기 제 1 RF 스트랩은 임피던스 매칭 회로의 출력부와 플라즈마 챔버에 커플링된 RF 송신 라인 사이에 커플링되도록 구성되는, 균일도 제어 회로.

청구항 15

제 14 항에 있어서,

상기 제 1 RF 스트랩은 제 1 지점 및 제 2 지점을 갖고, 상기 제 2 RF 스트랩은 제 1 단부 및 제 2 단부를 갖고, 상기 제 2 RF 스트랩의 상기 제 1 단부는 상기 제 1 RF 스트랩 상의 상기 제 1 지점에 커플링되는, 균일도 제어 회로.

청구항 16

제 15 항에 있어서,

상기 커패시터는 제 1 단부 및 제 2 단부를 갖고, 상기 커패시터의 상기 제 1 단부는 상기 제 2 RF 스트랩의 상기 제 2 단부에 커플링되는, 균일도 제어 회로.

청구항 17

제 16 항에 있어서,

상기 제 3 RF 스트랩은 제 1 단부 및 제 2 단부를 갖고, 상기 제 3 RF 스트랩의 상기 제 1 단부는 상기 커패시터의 상기 제 2 단부에 커플링되고, 상기 제 3 RF 스트랩의 상기 제 2 단부는 상기 제 1 RF 스트랩 상의 상기 제 2 지점에 커플링되는, 균일도 제어 회로.

청구항 18

제 17 항에 있어서,

상기 커패시터는 커패시턴스를 갖는 가변 커패시터이고, 상기 가변 커패시터는 상기 커패시턴스를 수정하기 위해 모터에 커플링되도록 구성되고, 상기 커패시턴스는 기판의 상단 표면에 걸쳐 프로세싱 레이트의 균일도를 달성하도록 수정되는, 균일도 제어 회로.

청구항 19

제 14 항에 있어서,

상기 커패시터는 제 1 고정 커패시터이고, 상기 제 1 고정 커패시터는 기판의 상단 표면에 걸쳐 프로세싱 레이트의 균일도를 달성하기 위해 제 2 고정 커패시터로 대체되도록 구성되는, 균일도 제어 회로.

청구항 20

제 14 항에 있어서,

상기 커패시터는 커패시턴스를 갖는 가변 커패시터이고, 상기 가변 커패시터는 상기 커패시턴스를 수정하기 위해 모터에 커플링되도록 구성되고, 상기 커패시턴스는 기판의 상단 표면에 걸친 프로세싱 레이트의 균일도의 측정 값에 기초하여 수정되는, 균일도 제어 회로.

발명의 설명

기 술 분 야

[0001] 본 실시 예들은 임피던스 매칭부의 출력부에서 균일도 제어 회로 (uniformity control circuit; UCC) 를 사용하기 위한 시스템들 및 방법들에 관한 것이다.

배 경 기 술

[0002] 플라즈마 툴은 많은 웨이퍼들을 프로세싱하기 위해 사용된다. 웨이퍼 각각은 플라즈마 챔버에 배치된다. 무선 주파수 (radio frequency; RF) 신호는 플라즈마 챔버에 공급되고 플라즈마는 플라즈마 챔버 내에 생성된다. 플라즈마는 웨이퍼들을 프로세싱하는 데 사용된다.

[0003] 웨이퍼들을 프로세싱하는 동안, 일부 피처들은 다른 피처들보다 더 많이 에칭된다. 예를 들어, 일 피처는 또 다른 피처와 비교하여 더 높은 레이트로 에칭된다. 웨이퍼 각각의 상부 표면에 걸친 정밀한 에칭 없이, 부가적인 층들의 제조는 웨이퍼 각각의 상부 표면의 표면 토포그래피 (topography) 의 증가된 변동들로 인해 실질적으로 더 어려워진다.

[0004] 이러한 맥락에서 본 개시에 기술된 실시 예들이 발생한다.

[0005] 본 명세서에 제공된 배경기술 기술 (description) 은 본 개시의 맥락을 일반적으로 제시할 목적이다. 이 배경기술 섹션에 기술된 정도의 본 명세서에 명명된 발명자들의 업적, 뿐만 아니라 출원 시 종래 기술로서 달리 인증되지 않을 수도 있는 본 기술의 양태들은 본 개시에 대한 종래 기술로서 명시적으로나 암시적으로 인정되지 않는다.

발명의 내용

[0006] 본 개시의 실시 예들은 임피던스 매칭부의 출력부에서 균일도 제어 회로 (uniformity control circuit; UCC) 를 사용하기 위한 시스템들, 장치, 방법들 및 컴퓨터 프로그램들을 제공한다. 본 실시 예들은 다수의 방식들, 예

를 들어, 프로세스, 장치, 시스템, 디바이스, 또는 컴퓨터 판독 가능 매체 상의 방법으로 구현될 수 있다는 것이 인식되어야 한다. 몇몇 실시 예들이 이하에 기술된다.

[0007] 일 실시 예에서, 임피던스 매칭부 하우징이 기술된다. 임피던스 매칭부 하우징은 무선 주파수 (radio frequency; RF) 생성기에 커플링된 입력부를 갖는 임피던스 매칭 회로를 포함한다. 임피던스 매칭 회로는 제 1 RF 스트랩에 커플링된 출력부를 갖는다. 임피던스 매칭부 하우징은 기판이 플라즈마 챔버 내에서 프로세싱될 때 기판의 프로세싱 레이트의 균일도를 수정하도록 제 1 RF 스트랩의 부분에 병렬로 커플링된 균일도 제어 회로를 포함한다.

[0008] 일 실시 예에서, 균일도 제어 회로가 기술된다. 균일도 제어 회로는 제 1 RF 스트랩, 제 1 RF 스트랩에 커플링된 제 2 RF 스트랩, 및 제 2 RF 스트랩에 커플링된 커패시터를 포함한다. 균일도 제어 회로는 또한 커패시터에 그리고 제 1 RF 스트랩에 커플링된 제 3 RF 스트랩을 포함한다. 제 1 RF 스트랩은 임피던스 매칭 회로의 출력부와 플라즈마 챔버에 커플링된 RF 송신 라인 사이에 커플링된다.

[0009] 임피던스 매칭부의 출력부에서 균일도 제어 회로를 사용하기 위한 본 명세서에 기술된 시스템들 및 방법들의 일부 장점들은 기판의 상단 표면에 걸쳐 균일도를 달성하는 것을 포함한다. 균일도 제어 회로는 임피던스 매칭 회로의 출력부에 커플링된다. 균일도를 달성하기 위해 균일도 제어 회로의 커패시턴스가 수정된다. 예를 들어, 균일도 제어 회로는 가변 커패시터를 포함하고 그리고 가변 커패시터의 커패시턴스가 변화된다. 또 다른 예로서, 균일도 제어 회로는 고정 커패시터를 포함하고 그리고 고정 커패시터는 균일도를 달성하기 위해 또 다른 고정 커패시터로 대체된다. 균일도를 달성함으로써, 균일한 토포그래피 (topography) 가 기판의 상단 표면에 걸쳐 생성된다. 그 결과, 상단 표면 상에 제조된 부가적인 층들은 또한 균일할 수 있다.

[0010] 다른 양태들은 첨부된 도면들과 함께 취해진, 이하의 상세한 기술로부터 자명해질 것이다.

도면의 간단한 설명

[0011] 실시 예들은 첨부된 도면들과 함께 취해진 이하의 기술을 참조하여 가장 잘 이해될 수도 있다.

도 1a는 도 1b를 참조하여 본 명세서에 기술된 다른 플라즈마 툴들에 의해 소비된 것보다 더 많은 양의 플로어 (floor) 공간을 소비하는 복수의 플라즈마 툴들을 예시하기 위한 시스템의 평면도의 일 실시 예의 다이어그램 (diagram) 이다.

도 1b는 도 1a의 플라즈마 툴들에 의해 소비된 것보다 더 적은 양의 플로어 공간을 소비하는 복수의 플라즈마 툴들을 예시하기 위한 시스템의 일 실시 예의 다이어그램이다.

도 2는 도 1b의 플라즈마 툴들 중 임의의 플라즈마 툴과 같은, 플라즈마 툴의 컴포넌트들의 스택 가능한 배열 (stackable arrangement) 을 예시하기 위한 시스템의 일 실시 예의 다이어그램이다.

도 3은 균일도 제어 회로 (uniformity control circuit; UCC) 의 사용을 예시하기 위한 시스템의 일 실시 예의 다이어그램이다.

도 4a는 임피던스 매칭 회로의 하우징 내에 위치된 균일도 제어 회로를 예시하기 위한 시스템의 일 실시 예의 다이어그램이다.

도 4b는 도 4a의 균일도 제어 회로의 동작을 예시하기 위한 시스템의 일 실시 예이다.

도 4c는 RF 송신 라인에 커플링되고 하우징 외부에 위치되는 균일도 제어 회로를 예시하기 위한 시스템의 일 실시 예의 다이어그램이다.

도 5a는 도 4a의 균일도 제어 회로의 상세들을 예시하기 위한 시스템의 일 실시 예의 다이어그램이다.

도 5b는 균일도 제어 회로의 가변 커패시터의 제어를 예시하기 위한 시스템의 일 실시 예의 다이어그램이다.

도 5c는 기판의 상단 표면에 걸쳐 프로세싱 레이트의 미리 결정된 균일도를 달성하기 위해 가변 커패시터를 제어하도록 사용된 인-시츄 (in-situ) 방법을 예시하기 위한 시스템의 일 실시 예의 다이어그램이다.

도 5d는 기판의 상단 표면에 걸쳐 프로세싱 레이트의 미리 결정된 균일도를 달성하기 위해 가변 커패시터를 제어하도록 사용된 엑스-시츄 (ex-situ) 방법을 예시하기 위한 시스템의 일 실시 예의 다이어그램이다.

도 6은 임피던스 매칭 회로에 대한 도 4a의 균일도 제어 회로의 커플링을 예시하기 위한 임피던스 매칭 회로의 일 실시 예의 다이어그램이다.

도 7은 가변 커패시터의 커패시턴스 변화 또는 고정 커패시터의 커패시턴스 변화에 따른 에칭 레이트의 균일도 변화를 예시하기 위한 그래프의 일 실시 예이다.

도 8은 가변 커패시터의 커패시턴스 변화 또는 고정 커패시터의 커패시턴스 변화에 따른 에칭 레이트의 균일도 변화를 예시하기 위한 그래프의 일 실시 예이다.

발명을 실시하기 위한 구체적인 내용

[0012] 이하의 실시 예들은 임피던스 매칭부의 출력부에서 균일도 제어 회로 (uniformity control circuit; UCC) 를 사용하기 위한 시스템들 및 방법들을 기술한다. 본 실시 예들은 이들 구체적인 상세들 중 일부 또는 전부가 없이 실시될 수도 있다는 것이 자명할 것이다. 다른 예들에서, 공지된 동작들은 본 실시 예들을 불필요하게 모호하게 하지 않도록 상세히 기술되지 않았다.

[0013] 도 1a는 도 1b를 참조하여 본 명세서에 기술된 다른 플라즈마 툴들에 의해 소비된 것보다 더 많은 양의 플로어 (floor) 공간을 소비하는 복수의 플라즈마 툴들을 예시하기 위한 시스템 (100) 의 평면도의 일 실시 예의 다이어그램 (diagram) 이다. 시스템 (100) 은 복수의 플라즈마 툴들 (102A, 102B, 102C, 102D, 102E, 102F, 102G 및 102H) 을 포함한다.

[0014] 본 명세서에 기술된 플라즈마 툴 각각은 길이, 폭 및 깊이를 갖는다. 예를 들어, 플라즈마 툴 (102A) 은 폭 (105A) 을 갖고 그리고 플라즈마 툴 (102B) 은 폭 (105B) 을 갖는다. 폭 (105A) 은 x-축을 따라 측정된다. 플라즈마 툴 (102A) 은 z-축을 따라 측정되는, 깊이 (107A) 를 갖는다. 플라즈마 툴들 (102A 내지 102H) 은 도 1b를 참조하여 이하에 기술된 플라즈마 툴들보다 플로어 (104) 상에서 더 많은 공간을 점유하는 팔각형 배열 (arrangement) 을 형성하기 위해 제조 설비의 플로어 (104) 상에 위치된다. 플라즈마 툴 (102A 내지 102H) 각각은 플라즈마 툴들 (102A 내지 102H) 중 임의의 다른 플라즈마 툴과 동일한 치수들, 예를 들어, 폭, 깊이 및 높이를 갖는다.

[0015] 임의의 2 개의 인접한 플라즈마 툴들 (102A 내지 102H) 사이에 공간이 있다는 것을 주의해야 한다. 예를 들어, 플라즈마 툴 (102A) 의 측면 (103A) 은 플라즈마 툴 (102B) 의 측면 (103B) 에 인접하지 않고 두 측면들 (103A 및 103B) 사이에 빈 공간이 있고, 그리고 예각이 측면들 (103A 및 103B) 사이에 형성된다. 빈 공간은 사람이 플라즈마 툴 (102A) 또는 플라즈마 툴 (102B) 을 개방하기 위해 공간으로 들어가기에 충분하다.

[0016] 일 실시 예에서, 용어 플로어 공간 및 풋 프린트 (footprint) 는 본 명세서에서 상호 교환 가능하게 사용된다.

[0017] 도 1b는 플라즈마 툴들 (102A 내지 102H) (도 1a) 에 의해 소비된 것보다 더 적은 양의 플로어 공간을 소비하는 복수의 플라즈마 툴들을 예시하기 위한 시스템 (110) 의 일 실시 예의 다이어그램이다. 시스템 (110) 은 복수의 플라즈마 툴들 (110A, 110B, 110C, 110D, 110E, 110F, 110G 및 110H) 을 포함한다. 플라즈마 툴 (110A 내지 110H) 각각은 동일한 치수들, 예를 들어, 폭, 깊이 및 높이를 갖는다.

[0018] 플라즈마 툴 (110A) 은 폭 (113A) 을 갖고 그리고 플라즈마 툴 (110B) 은 폭 (113B) 을 갖는다. 폭 (113A) 은 z-축을 따라 측정된다. 또한, 플라즈마 툴 (110A) 은 깊이 (115A) 를 갖는다. 깊이 (115A) 는 플라즈마 툴 (102A) (도 1a) 의 깊이 (107A) 보다 더 작다. 깊이 (115A) 는 x-축을 따라 측정된다.

[0019] 플라즈마 툴들 (110A 내지 110H) 은 직사각형 배열을 형성하기 위해 플로어 (104) 상에 위치되고, 그리고 직사각형 배열은 도 1a를 참조하여 상기 예시된 팔각형 배열에 의해 취해진 것보다 더 적은 공간을 차지한다. 예를 들어, 사람은 플라즈마 툴들 (110A 내지 110H) 중 임의의 2 개의 인접한 플라즈마 툴들 사이의 공간으로 들어갈 수 없다. 또 다른 예로서, 플라즈마 툴 (110A) 의 측면 (111A) 은 측면들 (111A 및 111B) 사이에 무시할 만한 양의 공간이 있거나 공간이 없도록 플라즈마 툴 (110B) 의 측면 (111B) 에 인접하다. 또 다른 예로서, 깊이 (115A) 는 깊이 (107A) 보다 더 작고 그리고 폭 (113A) 은 폭 (105A) 보다 더 작다.

[0020] 일 실시 예에서, 8 개의 플라즈마 툴들 대신, 4 또는 5 또는 6과 같은, 임의의 다른 수의 툴들이 플로어 (104) 상에 배열될 수 있다.

[0021] 일 실시 예에서, 플라즈마 툴 (110A) 의 깊이는 플라즈마 툴 (102A) 의 깊이보다 더 크다. 일 실시 예에서, 플라즈마 툴 (110A) 의 폭은 플라즈마 툴 (102A) 의 폭보다 더 크다.

[0022] 도 2는 도 1b의 플라즈마 툴들 (110A 내지 110H) 중 임의의 플라즈마 툴과 같은, 플라즈마 툴의 컴포넌트들의 스택 가능한 (stackable) 배열을 예시하기 위한 시스템 (200) 의 일 실시 예의 다이어그램이다. 시스템 (200)

은 시스템 (202) 및 임피던스 매칭 회로 시스템 (impedance matching circuit system; IMCS) (203) 을 포함한다. 시스템 (200) 은 플라즈마 툴들 (110A 내지 110H) (도 1b) 중 임의의 플라즈마 툴의 일 예이다.

[0023] IMCS (203) 는 하우징 (211) 을 포함하는 하우징 구조체이다. 본 명세서에 사용된, 하우징 또는 하우징 구조체의 예들은 컴파트먼트 (compartment), 인클로저 (enclosure), 박스, 컨테이너, 등을 포함한다. 예시를 위해, 하우징 (211) 은 알루미늄, 알루미늄의 합금, 스틸, 스틸의 합금, 또는 알루미늄과 스틸의 합금과 같은 금속으로 이루어진다. 하우징 (211) 은 임피던스 매칭 회로 (impedance matching circuit; IMC) (204) 를 인클로징한다 (enclose). IMCS (203) 는 튜닝 가능한 에지 시스 (tunable edge sheath; TES) 매칭부 인클로저 (205), 척 전력 공급부 (power supply; PS) 및 필터 인클로저 (207) 및 정전 척 (electrostatic chuck; ESC) 을 위한 가스 전달 컴포넌트들의 세트 (209) 를 더 포함한다. 본 명세서에 사용된 바와 같이, 인클로저의 예들은 컴파트먼트, 하우징, 박스, 컨테이너, 등을 포함한다. 척 PS 및 필터 인클로저 (207) 는 척에 DC 전력을 공급하는 척 전력 공급부를 포함한다. 척 PS 및 필터 인클로저 (207) 는 RF 전력과 DC 전력의 간섭 기회들을 감소시키기 위해 DC 전력에 커플링되는 것으로부터 RF 전력을 필터링하는 필터를 더 포함한다. TES 매칭부 인클로저 (205) 는 척을 둘러싸는 튜닝 가능한 에지 링 (tunable edge ring) 에 커플링되는 TES 매칭부를 포함한다. TES 매칭부는 하나 이상의 인덕터들, 하나 이상의 레지스터들, 또는 하나 이상의 커패시터들, 또는 이들의 조합과 같은, 전기적 컴포넌트들을 포함하고, 그리고 전기적 컴포넌트들은 서로 커플링된다. TES 매칭부의 전기적 컴포넌트들은 TES 매칭부의 출력부에 커플링된 튜닝 가능한 에지 링과 같은, 부하 (load) 의 임피던스와 TES 매칭부의 입력부에 커플링된 소스 사이 매칭을 제공하는 임피던스들을 갖는다. TES 매칭부의 입력부에 커플링된 소스의 일 예는 RF 생성기 및 RF 생성기를 TES 매칭부의 입력부에 커플링하는 RF 케이블을 포함한다.

[0024] 하우징 (211) 은 상단 부분 (211A) 및 하단 부분 (211B) 을 갖는다. 상단 부분 (211A) 의 형상은 세장형 (elongated) 이다. 예를 들어, 상단 부분 (211A) 의 형상은 TES 매칭부 인클로저 (205) 가 IMCS (203) 내에 피팅되는 (fit) 것을 용이하게 하기 위해 하단 부분 (211B) 의 형상보다 실질적으로 더 좁다. 더욱이, 상단 부분 (211A) 의 세장형 형상은 척 PS 및 필터 인클로저 (207) 및 TES 매칭부 인클로저 (205) 로 하여금 IMCS (203) 내에 피팅되게 한다. TES 매칭부 인클로저 (205) 는 하단 부분 (211B) 위에 위치되고 그리고 척 PS 및 필터 인클로저 (207) 는 TES 매칭부 인클로저 (205) 위에 위치된다. 세트 (209) 는 TES 매칭부 인클로저 (205) 가 위치되는 측면과 반대되는 측면 상의 IMC (204) 의 하우징 (211) 옆에 위치된다.

[0025] 세트 (209) 는 플라즈마 챔버의 척의 온도를 제어하기 위한 냉각제 가스의 통과를 위한, 헬륨 채널들과 같은 복수의 도관들을 포함한다. 복수의 도관들은 플라즈마 챔버의 상부 전극과 척 사이의 갭 내의 상이한 존들을 냉각하도록 척으로 연장한다. 온도는 척으로의 냉각제 가스의 플로우를 상승시키거나 감소시킴으로써 제어된다. 예를 들어, 온도는 척으로의 냉각제 가스의 플로우가 상승될 때 상승되고 그리고 온도는 척으로의 냉각 가스의 플로우가 감소될 때 감소된다. 냉각제 가스의 일 예는 헬륨을 포함하고 그리고 척의 예들은 정전 척 (ESC) 을 포함한다.

[0026] 더욱이, 세트 (209) 에 인접한 영역은 플라즈마 챔버의 하부 전극과 척 사이의 갭의 양을 제어하기 위해, 예컨대 증가시키거나 감소시키기 위해, 전자 기판들 (electronics boards) 의 세트 및 모터를 포함하는, 갭 드라이버를 포함한다. 세트 (209) 에 인접한 영역은 IMCS (203) 의 부분을 형성하도록 IMCS (203) 내에 있다. 세트 (209) 는 IMC (204) 의 출력부에서 또는 IMC (204) 의 입력부에서 변수를 센싱하기 (sense) 위해, 복소 (complex) 전류 및 전압 센서들, 전압 센서들, 전력 센서들, 등과 같은, 센서들을 더 포함한다. 변수의 예들은 복소 전압 및 전류, 임피던스, 전압, 전력, 전류, 반사된 전력 및 공급된 전력을 포함한다.

[0027] 일 실시 예에서, 유전체 링은 척과 튜닝 가능한 에지 링 사이에 위치된다.

[0028] 시스템 (202) 은 저 주파수 (low frequency; LF) RF 생성기 및 고 주파수 (high frequency; HF) RF 생성기를 포함하고, 그리고 IMCS (203) 위에 위치된다. 저 주파수 RF 생성기의 일 예는 400 ㎑ RF 생성기의 저 동작 주파수를 갖는 RF 생성기이고 그리고 고 주파수 RF 생성기의 일 예는 13.56 ㎒, 27 ㎒ 또는 60 ㎒ RF 생성기의 고 동작 주파수를 갖는 RF 생성기이다. 저 주파수 RF 생성기의 또 다른 예는 2 ㎒의 저 동작 주파수를 갖는 RF 생성기이다. 저 주파수 RF 생성기의 또 다른 예는 100 ㎑의 저 동작 주파수를 갖는 RF 생성기이다. 시스템 (202) 은 플로어 (104) (도 1a 및 도 1b) 상의 공간을 절약하기 위해 IMCS (203) 의 상단에 위치된다.

[0029] IMC (204) 의 하우징 (211) 은 하단 벽 (206B) 을 갖는다. 시스템 (202) 의 저 주파수 RF 생성기는 하단 벽 (206B) 의 개구부를 통해 임피던스 매칭 회로 (204) 의 회로 컴포넌트들에 연결된다. 예를 들어, 저 주파수 RF 생성기는 임피던스 매칭 회로 (204) 의 회로 컴포넌트들에 커플링하기 위해 하단 벽 (206B) 의 개구부를 통과하는 RF 케이블 (208A) 을 통해 커플링된다. 유사하게, 시스템 (202) 의 고 주파수 RF 생성기는 하단 벽 (206B)

의 개구부를 통해 임피던스 매칭 회로 (204) 의 회로 컴포넌트들에 연결된다. 예를 들어, 고 주파수 RF 생성기는 임피던스 매칭 회로 (204) 의 회로 컴포넌트들에 커플링하기 위해 하단 벽 (206B) 의 개구부를 통과하는 RF 케이블 (208B) 을 통해 커플링된다.

[0030] 일 실시 예에서, 용어들 임피던스 매칭 회로, 임피던스 매칭 네트워크, 매칭부, 임피던스 매칭부, 매칭 네트워크, 매치 (match) 회로 및 매치 네트워크는 본 명세서에서 상호 교환 가능하게 사용된다.

[0031] 일 실시 예에서, 시스템 (202) 은 IMCS (203) 의 상단이 아니라 IMCS (203) 위에 위치된다. 예를 들어, 지지 로드들 (rods) 의 네트워크와 같은, 캐리어가 IMCS (203) 위에 제공되고, 그리고 시스템 (202) 은 캐리어에 의해 지지된다.

[0032] 일 실시 예에서, 시스템 (202) 은 IMCS (203) 내에 위치된다.

[0033] 일 실시 예에서, 용어들 기판 지지부, 척 및 전력 공급된 전극은 본 명세서에서 상호 교환 가능하게 사용된다.

[0034] 도 3은 균일도 제어 회로 (338) 의 사용을 예시하기 위한 시스템 (300) 의 일 실시 예의 다이어그램이다. 시스템 (300) 은 호스트 컴퓨터 (318), 저 주파수 RF 생성기 (LF RFG), 고 주파수 RF 생성기 (HF RFG), RF 케이블들 (208A 및 208B), 하우징 (211), RF 송신 라인 (302), 플라즈마 챔버 (304), 및 균일도 제어 회로 (338) 를 포함한다. 시스템 (300) 은 TES RF 생성기와 같은, 또 다른 RF 생성기를 더 포함한다. 또한, 시스템 (300) 은 RF 케이블 (311), TES 매칭부 인클로저 (205), 및 RF 송신 라인 (317) 을 포함한다.

[0035] 균일도 제어 회로 (338) 의 일 예는 고정 커패시터 또는 가변 커패시터와 같은 커패시터를 포함한다. 균일도 제어 회로 (338) 의 또 다른 예는 복수의 커패시터들을 포함한다. 예시를 위해, 균일도 제어 회로 (338) 는 서로 직렬로 커플링된 2 개 이상의 커패시터들을 포함한다. 또 다른 예시로서, 균일도 제어 회로 (338) 는 서로 병렬로 커플링된 2 개 이상의 커패시터들을 포함한다. 또 다른 예시로서, 균일도 제어 회로 (338) 는 서로 직렬로 커플링된 제 1 그룹의 커패시터들을 포함하고 그리고 서로 병렬로 커플링된 제 2 그룹의 커패시터들을 포함한다. 제 1 그룹은 제 2 그룹에 직렬로 커플링된다.

[0036] TES RF 생성기는 저 주파수 또는 고 주파수 RF 생성기이다. 예를 들어, TES RF 생성기는 저 주파수 또는 고 주파수를 갖고, 그리고 저 주파수 및 고 주파수의 예들은 상기에 제공된다. TES 매칭부는 TES 매칭부 인클로저 (205) 내에 위치된다.

[0037] RF 송신 라인 (302) 은 RF 로드 및 RF 터널을 포함한다. RF 로드는 RF 송신 라인 (302) 의 절연체 재료에 의해 둘러싸이고, 그리고 절연체 재료는 RF 송신 라인 (302) 의 RF 터널에 의해 둘러싸인다. 유사하게, RF 송신 라인 (317) 은 RF 로드 및 RF 로드를 둘러싸는 RF 터널을 포함한다. 또한, RF 송신 라인 (317) 의 절연체 재료는 RF 송신 라인 (317) 의 RF 로드를 둘러싸고, 그리고 RF 송신 라인 (317) 의 RF 터널은 RF 송신 라인 (317) 의 절연체 재료를 둘러싼다.

[0038] 플라즈마 챔버 (304) 는 기판 지지부 (306) 및 상부 전극 (308) 을 포함한다. 기판 지지부 (306) 의 일 예는 하부 전극을 포함하는, 척이다. 하부 전극은 알루미늄 또는 알루미늄 합금과 같은, 금속으로 이루어진다. 기판 지지부 (306) 는 금속 및 알루미늄 옥사이드 (Al_2O_3) 와 같은, 세라믹으로 이루어진다. 상부 전극 (308) 은 실리콘으로 제조되고 그리고 접지 연결부에 커플링된다. 플라즈마 챔버 (304) 는 기판 지지부 (306) 를 둘러싸는 TES 링 (307) 을 더 포함한다. TES 링 (307) 은 하나 이상의 재료들, 예를 들어, 결정 실리콘, 다결정 실리콘, 실리콘 카바이드, 석영, 알루미늄 옥사이드, 알루미늄 나이트라이드, 실리콘 나이트라이드, 등으로 이루어진다. TES 링 (307) 은 기판 지지부 (306) 상에 기판 (S) 을 포지셔닝하는 것 및 기판 (S) 에 의해 차폐되지 않은, 플라즈마 챔버 (304) 의 커플링 링과 같은, 아래에 놓인 (underlying) 컴포넌트들이 플라즈마 챔버 (304) 내에 형성된 플라즈마의 이온들에 의해 손상되는 것으로부터 차폐하는 것을 포함하는, 많은 기능들을 수행한다. TES 링 (307) 은 또한 플라즈마를 기판 (S) 위의 영역으로 한정하고 (confine) 그리고 플라즈마에 의한 부식으로부터 기판 지지부 (306) 를 보호한다.

[0039] 호스트 컴퓨터 (318) 는 프로세서 (320) 및 메모리 디바이스 (322) 를 포함한다. 프로세서 (320) 는 메모리 디바이스 (322) 에 커플링된다. 일 예로서, 프로세서는 제어기, 또는 ASIC (application specific integrated circuit), 또는 PLD (programmable logic device), 또는 CPU (central processing unit), 또는 마이크로제어기, 또는 마이크로프로세서이고, 이들 용어들은 본 명세서에서 상호 교환 가능하게 사용된다. 본 명세서에 사용된 바와 같이, 메모리 디바이스의 예들은 RAM (random access memory), ROM (read-only memory),

및 이들의 조합을 포함한다.

[0040] 프로세서 (320) 는 전송 케이블 (324) 을 통해 LF RF 생성기에 커플링되고, 전송 케이블 (326) 을 통해 HF RF 생성기에 커플링되고, 그리고 또 다른 전송 케이블 (328) 을 통해 TES RF 생성기에 커플링된다. 본 명세서에 사용된 바와 같이, 전송 케이블의 일 예는 직렬 방식으로 데이터를 전송하는 케이블, 또는 병렬 방식으로 데이터를 전송하는 케이블, 또는 USB (Universal Serial Bus) 프로토콜을 사용하여 데이터를 전송하는 케이블을 포함한다.

[0041] LF RF 생성기의 출력부 (O1) 는 RF 케이블 (208A) 및 하우징 (211) 의 입력부 (I1) 를 통해 하우징 (211) 내의 임피던스 매칭 회로 (204) 의 제 1 분기 회로에 커플링되고 그리고 HF RF 생성기의 출력부 (O2) 는 RF 케이블 (208B) 및 하우징 (211) 의 또 다른 입력부 (I2) 를 통해 임피던스 매칭 회로 (204) 의 제 2 분기 회로에 커플링된다. 입력부 (I1) 의 일 예는 RF 케이블 (208A) 과 제 1 분기 회로 사이의 땜납 또는 용접부와 같은 연결부이다. 입력부 (I2) 의 일 예는 RF 케이블 (208B) 과 제 2 분기 회로 사이의 땜납 또는 용접부와 같은 연결부이다. 하우징 (211) 의 입력부 (I1) 는 또한 임피던스 매칭 회로 (204) 의 제 1 분기 회로의 입력부이다. 또한, 하우징 (211) 의 입력부 (I2) 는 또한 임피던스 매칭 회로 (204) 의 제 2 분기 회로의 입력부이다.

[0042] 임피던스 매칭 회로 (204) 의 제 1 분기 회로 및 제 2 분기 회로는 임피던스 매칭 회로 (204) 의 출력부 (O4) 에 커플링된다. 임피던스 매칭 회로 (204) 의 출력부 (O4) 는 균일도 제어 회로 (338) 의 입력부 (I3) 에 커플링된다. 출력부 (O4) 의 일 예는 제 1 분기 회로와 제 2 분기 회로 사이의 연결부, 예컨대 용접부이다. 하우징 (211) 및 균일도 제어 회로 (338) 의 출력부 (O3) 는 RF 송신 라인 (302) 의 RF 로드를 통해 기판 지지부 (306) 의 하부 전극에 커플링된다. 예를 들어, 균일도 제어 회로 (338) 의 출력부 (O3) 는 커넥터를 통해 RF 송신 라인 (302) 의 RF 로드에 커플링된다. 커넥터의 예들이 본 명세서에 제공된다.

[0043] TES RF 생성기는 RF 케이블 (311) 을 통해 TES 매칭부 인클로저 (205) 의 입력부에 커플링된다. TES 매칭부 인클로저 (205) 의 출력부는 RF 송신 라인 (317) 을 통해 TES 링 (307) 에 커플링된다.

[0044] 프로세서 (320) 는 레시피 신호 (330) 를 생성하고 전송 케이블 (324) 을 통해 LF RF 생성기로 레시피 신호 (330) 를 전송한다. 일 예로서, 본 명세서에 사용된 바와 같이, RF 생성기로 전송된 레시피 신호는 RF 신호의 하나 이상의 전력 레벨들 및 RF 생성기에 의해 생성될 RF 신호의 하나 이상의 주파수 레벨들에 관한 레시피 정보를 포함한다. 레시피 정보는 전력 레벨 각각 및 주파수 레벨 각각의 듀티 사이클을 더 포함한다. 일 예로서, 전력 레벨은 하나 이상의 전력 값들, 및 전력 레벨의 하나 이상의 전력 값들을 포함하거나 또 다른 전력 레벨의 하나 이상의 전력 값들로부터 배타적이다 (exclusive). 예시를 위해, 제 1 전력 레벨의 복수의 값들의 최소 값은 제 2 전력 레벨의 복수의 값들의 최대 값보다 더 크다. 제 2 전력 레벨은 제 1 전력 레벨보다 더 크다. 레시피 신호 (330) 의 수신 시, LF RF 생성기는 레시피 신호 (330) 내에서 수신된 레시피 정보를 LF RF 생성기의 하나 이상의 메모리 디바이스들에 저장한다.

[0045] 유사하게, 프로세서 (320) 는 레시피 신호 (332) 를 생성하고 그리고 전송 케이블 (326) 을 통해 HF RF 생성기로 레시피 신호 (332) 를 전송한다. 레시피 신호 (332) 의 수신 시, HF RF 생성기는 레시피 신호 (332) 내에서 수신된 레시피 정보를 HF RF 생성기의 하나 이상의 메모리 디바이스들에 저장한다.

[0046] 또한, 프로세서 (320) 는 레시피 신호 (334) 를 생성하고 그리고 전송 케이블 (328) 을 통해 TES RF 생성기로 레시피 신호 (334) 를 전송한다. 레시피 신호 (334) 의 수신 시, TES RF 생성기는 레시피 신호 (334) 내에서 수신된 레시피 정보를 TES RF 생성기의 하나 이상의 메모리 디바이스들에 저장한다.

[0047] 이에 더하여, 프로세서 (320) 는 트리거 (trigger) 신호 (336) 를 생성하고, 그리고 전송 케이블 (324) 을 통해 LF RF 생성기로 트리거 신호 (336) 를 전송한다. 또한, 프로세서 (320) 는 전송 케이블 (326) 을 통해 HF RF 생성기로 트리거 신호 (336) 를 전송하고 그리고 전송 케이블 (328) 을 통해 TES RF 생성기로 트리거 신호 (336) 를 전송한다.

[0048] 트리거 신호 (336) 의 수신 시, LF RF 생성기는 레시피 신호 (330) 내에서 수신된 레시피 정보에 기초하여 저 주파수 RF 신호 (304A) 를 생성하고, 그리고 RF 케이블 (208A) 을 통해 임피던스 매칭 회로 (204) 의 입력부 (I1) 로 저 주파수 RF 신호 (304A) 를 전송한다. 유사하게, 트리거 신호 (336) 의 수신에 응답하여, HF RF 생성기는 레시피 신호 (332) 내에서 수신된 레시피 정보에 기초하여 고 주파수 RF 신호 (304B) 를 생성하고, 그리고 RF 케이블 (208B) 에 의해 임피던스 매칭 회로 (204) 의 입력부 (I2) 에 고 주파수 RF 신호 (304B) 를 전송한다.

[0049] 임피던스 매칭 회로 (204) 의 제 1 분기 회로는 입력부 (I1) 로부터 저 주파수 RF 신호 (304A) 를 수신하고, 그

리고 제 1 수정된 RF 신호를 출력하기 위해 입력부 (I1) 에 커플링된 소스의 임피던스와 출력부 (04) 에 커플링된 부하의 임피던스를 매칭시키도록 저 주파수 RF 신호 (304A) 의 임피던스를 수정한다. 출력부 (04) 에 커플링된 부하의 일 예는 플라즈마 챔버 (304), RF 송신 라인 (302), 균일도 제어 회로 (338) 를 포함한다. 입력부 (I1) 에 커플링된 소스의 일 예는 LF RF 생성기 및 RF 케이블 (208A) 을 포함한다.

[0050] 유사하게, 임피던스 매칭 회로 (204) 의 제 2 분기 회로는 입력부 (I2) 로부터 고 주파수 RF 신호 (304B) 를 수신하고, 그리고 제 2 수정된 RF 신호를 출력하기 위해 입력부 (I2) 에 커플링된 소스의 임피던스와 출력부 (04) 에 커플링된 부하의 임피던스를 매칭시키도록 고 주파수 RF 신호 (304B) 의 임피던스를 수정한다. 제 1 수정된 RF 신호 및 제 2 수정된 RF 신호는 출력부 (04) 에서 결합된 RF 신호 (312) 를 출력하기 위해 임피던스 매칭 회로 (204) 에 의해 출력부 (04) 에서 결합, 예컨대 합산된다. 입력부 (I2) 에 커플링된 소스의 일 예는 HF RF 생성기 및 RF 케이블 (208B) 을 포함한다.

[0051] 결합된 RF 신호 (312) 는 출력부 (04) 로부터 균일도 제어 회로 (338) 의 입력부 (I3) 로 공급된다. 균일도 제어 회로 (338) 는 출력부 (03) 에서 수정된 RF 신호 (340) 를 출력하기 위해 기판 (S) 의 프로세싱 레이트의 균일도를 달성하도록 결합된 RF 신호 (312) 의 임피던스를 수정한다. 예를 들어, 균일도 제어 회로 (338) 는 출력부 (04) 에 제공된 공진 회로이다. 예시를 위해, 균일도 제어 회로 (338) 의 리액턴스 (reactance) 는 기판 (S) 의 프로세싱 레이트의 균일도를 달성하도록 조정된다. 수정된 RF 신호 (340) 는 플라즈마 챔버 (304) 내에서 플라즈마를 스트라이킹하거나 (strike) 유지하도록 출력부 (03) 로부터 RF 송신 라인 (302) 을 통해 플라즈마 챔버 (304) 의 하부 전극으로 공급된다. 예를 들어, 수정된 RF 신호 (340) 의 공급으로 하나 이상의 프로세스 가스들, 예컨대 산소 함유 가스 또는 불소 함유 가스가 상부 전극 (308) 과 기판 지지부 (306) 사이의 갭에 공급될 때, 플라즈마는 플라즈마 챔버 (304) 내에서 스트라이킹되거나 유지된다.

[0052] 이에 더하여, 트리거 신호 (336) 의 수신 시, TES RFG는 레시피 신호 (334) 내에서 수신된 레시피 정보에 기초하여 RF 신호 (313) 를 생성하고, 그리고 RF 케이블 (311) 을 통해 TES 매칭부 인클로저 (205) 의 입력부로 RF 신호 (313) 를 전송한다. RF 신호 (313) 의 수신 시, TES 매칭부 인클로저 (205) 의 TES 매칭부는 TES 매칭부 인클로저 (205) 의 출력부에서 수정된 RF 신호 (315) 를 출력하기 위해 TES 매칭부 인클로저 (205) 의 출력부에 커플링된 부하의 임피던스와 TES 매칭부 인클로저 (205) 의 입력부에 커플링된 소스의 임피던스를 매칭한다. TES 매칭부 인클로저 (205) 의 입력부에 커플링된 소스의 일 예는 TES RFG 및 RF 케이블 (311) 을 포함하고 그리고 TES 매칭부 인클로저 (205) 의 출력부에 커플링된 부하의 일 예는 TES 링 (307) 및 RF 송신 라인 (317) 을 포함한다. TES 링 (307) 은 기판 (S) 의 에지 영역을 프로세싱하도록 수정된 RF 신호 (315) 를 수신한다.

[0053] 일 실시 예에서, 커플링 링은 TES 링 (307) 아래에 위치되고 기판 지지부 (306) 를 둘러싼다. 커플링 링은 전기 절연체 재료, 예를 들어, 유전체 재료, 세라믹, 유리, 합성 폴리머, 알루미늄 옥사이드, 등으로 이루어진다.

[0054] 일 실시 예에서, 용어 TES 링 및 튜닝 가능한 에지 링은 본 명세서에서 상호 교환 가능하게 사용된다.

[0055] 도 4a는 균일도 제어 회로 (339) 를 예시하기 위한 시스템 (400) 의 일 실시 예의 다이어그램이다. 시스템 (400) 은 LF RF 생성기, HF RF 생성기, 하우징 (211), 및 플라즈마 챔버 (304) 를 포함한다. 하우징 (211) 은 균일도 제어 회로 (338) (도 3) 의 일 예인 균일도 제어 회로 (339) 를 포함한다. 출력부 (04) 는 RF 스트랩 (402) 을 통해 출력부 (03) 에 커플링된다. 일 예로서, RF 스트랩은 편평하고 세장형인 금속 스트랩이다. 예를 들어, RF 스트랩은 구리 또는 구리의 합금으로 이루어지고, 그리고 RF 스트랩의 폭 및 깊이보다 더 긴 길이를 갖는다. 또 다른 예로서, RF 스트랩은 하나 이상의 턴들 (turns) 을 갖는 유도 코일과 같은 RF 코일이 아니다.

[0056] 균일도 제어 회로 (339) 는 커패시터 (Cx) 및 RF 스트랩 (402) 의 부분 (443) 을 포함한다. 일 예로서, 커패시터 (Cx) 의 커패시턴스 값은 3 pF (picoFarads) 내지 200 pF 범위이다. 커패시터 (Cx) 는 고정 커패시터이고 RF 스트랩 (402) 의 부분 (403) 에 병렬로 커플링된다. 예를 들어, 커패시터 (Cx) 의 단부 (404) 는 RF 스트랩 (402) 상의 지점 (422) 에 커플링되고 그리고 커패시터 (Cx) 의 반대편 단부 (406) 는 RF 스트랩 (402) 상의 지점 (424) 에 커플링된다. 예를 들어, 단부 (404) 는 커넥터를 통해 지점 (422) 에 커플링되고 그리고 단부 (406) 는 커넥터를 통해 단부 (424) 에 커플링된다. 단부 (422) 는 출력부 (04) 에 커플링되고 단부 (424) 는 출력부 (03) 에 커플링된다. 또한, 커패시터 (Cx) 의 단부들 (404 및 406) 중 어느 것도 접지 전위에 커플링되지 않는다. 부분 (403) 은 지점들 (422 및 424) 사이에 위치된다.

[0057] 일 실시 예에서, RF 스트랩 (402) 대신, 2 개 이상의 RF 스트랩들이 사용된다. 예를 들어, 2 개 이상의 RF 스

트랩들은 제 1 RF 스트랩 및 제 2 RF 스트랩을 포함한다. 제 1 RF 스트랩은 커넥터를 통해 제 2 RF 스트랩에 직렬로 커플링되고, 이들의 예들은 이하에 제공된다. 이 예에서, 지점 (422) 은 제 1 RF 스트랩 상에 위치되고 그리고 지점 (424) 은 제 2 RF 스트랩 상에 위치된다.

[0058] 도 4b는 균일도 제어 회로 (339) 의 동작을 예시하기 위한 시스템 (420) 의 일 실시 예이다. RF 스트랩 (402) 은 RF 스트랩 (402) 의 단부 (E1) 로부터 RF 스트랩 (402) 의 반대편 단부 (E2) 로 연장한다. 단부 (E1) 는 균일도 제어 회로 (338) (도 3) 의 입력부 (I3) 의 일 예이다. 단부 (E1) 는 커넥터를 통해 출력부 (O4) 에 커플링된다. 또한, 단부 (E2) 는 커넥터를 통해 출력부 (O3) 에 커플링된다. 커넥터의 일 예는 하나 이상의 스크루들을 포함한다. 커넥터의 또 다른 예는 2 개의 컴포넌트들을 함께 고정하기 위해 하나 이상의 스크루들 및 하나 이상의 너트들을 포함한다.

[0059] 또한, 균일도 제어 회로 (339) 는 RF 스트랩 (432) 의 단부 (E3) 로부터 RF 스트랩 (432) 의 반대편 단부 (E4) 로 연장하는, 또 다른 RF 스트랩 (432) 을 포함한다. 단부 (E3) 는 하나 이상의 스크루들과 같은 커넥터를 통해 지점 (422) 에 커플링된다. 단부 (E4) 는 커넥터를 통해 가변 커패시터 (Cx) 의 단부 (404) 에 커플링된다.

[0060] 균일도 제어 회로 (339) 는 RF 스트랩 (434) 의 단부 (E5) 로부터 RF 스트랩 (434) 의 반대편 단부 (E6) 로 연장하는, 또 다른 RF 스트랩 (434) 을 포함한다. 단부 (E6) 는 커넥터를 통해 지점 (424) 에 커플링된다. 단부 (E5) 는 커넥터를 통해 가변 커패시터 (Cx) 의 단부 (406) 에 커플링된다.

[0061] 결합된 RF 신호 (312) 는 결합된 RF 신호 (426) 및 또 다른 결합된 RF 신호 (428) 로 지점 (422) 에서 분할된다. RF 스트랩 (402) 상의 지점 (422) 은 출력부 (O4) 에 그리고 커패시터 (Cx) 의 단부 (404) 에 커플링된다. 지점 (422) 은 RF 스트랩 (432) 을 통해 커패시터 (Cx) 의 단부 (404) 에 커플링된다. 결합된 RF 신호 (426) 가 RF 스트랩 (402) 을 통과할 때, RF 스트랩 (402) 은 지점 (424) 에서 또 다른 결합된 RF 신호 (430) 를 출력하도록 결합된 RF 신호 (426) 의 임피던스를 수정한다. RF 스트랩 (402) 상의 지점 (424) 은 출력부 (O3) 에 그리고 커패시터 (Cx) 의 단부 (406) 에 커플링된다. 지점 (424) 은 RF 스트랩 (434) 을 통해 커패시터 (Cx) 의 단부 (406) 에 커플링된다.

[0062] 결합된 RF 신호 (428) 가 RF 스트랩 (432) 을 통과할 때, RF 스트랩 (432) 은 단부 (E4) 에서 결합된 RF 신호 (436) 를 출력하도록 결합된 RF 신호 (428) 의 임피던스를 수정한다. 결합된 RF 신호 (436) 가 커패시터 (Cx) 를 통과할 때, 커패시터 (Cx) 는 단부 (406) 에서 결합된 RF 신호 (438) 를 출력하도록 결합된 RF 신호 (436) 의 임피던스를 변화시킨다. 결합된 RF 신호 (438) 는 RF 스트랩 (434) 을 통과한다. 결합된 RF 신호 (438) 가 RF 스트랩 (434) 을 통과할 때, RF 스트랩 (434) 은 단부 (E6) 에서 결합된 RF 신호 (440) 를 출력하도록 RF 신호 (438) 의 임피던스를 변화시킨다. 결합된 RF 신호 (430) 는 출력부 (O3) 에서 수정된 RF 신호 (340) 를 출력하도록 지점 (424) 에서 결합된 RF 신호 (440) 에 결합, 예컨대 합산된다.

[0063] 일 실시 예에서, 커패시터 (Cx) 는 RF 스트랩 (402) 에 병렬로 커플링된다. 예를 들어, 커패시터 (Cx) 는 RF 스트랩 (432) 에 커플링되고, 그리고 RF 스트랩 (432) 은 RF 스트랩 (402) 상의 지점 (422) 대신 RF 스트랩 (402) 의 단부 (E1) 에 커넥터를 통해 커플링된다. 또한, 커패시터 (Cx) 는 RF 스트랩 (434) 에 커플링되고, 그리고 RF 스트랩 (434) 은 RF 스트랩 (402) 상의 지점 (424) 대신 RF 스트랩 (402) 의 단부 (E2) 에 커넥터를 통해 커플링된다.

[0064] 일 실시 예에서, RF 스트랩 (402) 의 단부 (E2) 는 균일도 제어 회로 (338) (도 3) 의 출력부 (O3) 와 동일하고 그리고 단부 (E1) 는 임피던스 매칭 회로 (204) 의 출력부 (O4) 와 동일하다. 예를 들어, 단부 (E2) 는 커넥터를 통해 RF 송신 라인 (302) 의 RF 로드에 커플링된다.

[0065] 도 4c는 RF 송신 라인 (302) 에 커플링되고 하우징 (211) 외부에 위치되는 균일도 제어 회로 (341) 를 예시하기 위한 시스템 (450) 의 일 실시 예의 다이어그램이다. 시스템 (450) 은 LF RF 생성기, HF RF 생성기, 하우징 (211), 균일도 제어 회로 (341), 및 플라즈마 챔버 (304) 를 포함한다. 균일도 제어 회로 (341) 는 균일도 제어 회로 (341) 가 RF 스트랩 (402) (도 4b) 을 배제하는 것을 제외하고, 균일도 제어 회로 (339) (도 4b) 와 구조 및 기능이 동일하다. 균일도 제어 회로 (341) 는 RF 스트랩 (432), 커패시터 (Cx), RF 스트랩 (434), 및 RF 송신 라인 (302) 의 RF 로드의 부분 (455) 을 포함한다.

[0066] 균일도 제어 회로 (341) 는 하우징 (211) 의 출력부 (O3) 와 플라즈마 챔버 (304) 사이에 커플링된다. 예를 들어, 커패시터 (Cx) 의 단부 (404) 는 RF 스트랩 (432) 에 커플링되고, 그리고 RF 스트랩 (432) 의 단부 (E3) 는 RF 송신 라인 (302) 의 RF 로드 상의 지점 (452) 에 커플링된다. 예를 들어, 단부 (E3) 는 커넥터를 통해

지점 (452) 에 커플링된다. 또한, 커패시터 (Cx) 의 단부 (406) 는 RF 스트랩 (434) 에 커플링되고, 그리고 RF 스트랩 (434) 의 단부 (E6) 는 RF 송신 라인 (302) 의 RF 로드 상의 또 다른 지점 (454) 에 커플링된다. 예를 들어, 단부 (E6) 는 커넥터를 통해 지점 (454) 에 커플링된다. 커패시터 (Cx) 는 지점들 (452 및 454) 사이에서 송신 라인 (302) 의 RF 로드의 부분 (455) 에 병렬로 커플링된다.

[0067] 도 5a는 균일도 제어 회로 (339) 의 상세들을 예시하기 위한 시스템 (500) 의 일 실시 예의 다이어그램이다. 균일도 제어 회로 (339) 의 RF 스트랩 (402) 은 내부 인덕턴스 (Lx) 를 갖는다. 또한, RF 스트랩 (432) 은 내부 인덕턴스 (Ly) 를 갖고 RF 스트랩 (434) 은 내부 인덕턴스 (Lz) 를 갖는다. 내부 인덕턴스 (Lx) 는 적은 양이다. 유사하게, 내부 인덕턴스 (Ly) 및 내부 인덕턴스 (Lz) 는 적은 양이다. 예시를 위해, 내부 인덕턴스 (Lx) 는 5 nH (nanoHenries) 내지 50 nH 범위이고, 내부 인덕턴스 (Ly) 는 5 nH 내지 20 nH 범위이고, 그리고 내부 인덕턴스 (Lz) 는 5 nH 내지 20 nH 범위이다. 더 예시하기 위해, 내부 인덕턴스들 (Lx, Ly, 및 Lz) 각각은 동일하다. 또 다른 예시로서, 내부 인덕턴스들 (Lx, Ly, 및 Lz) 은 서로 상이하다.

[0068] 적은 양의 내부 인덕턴스 (Lx) 는 결합된 RF 신호 (426) 의 고 주파수에 적은 양의 임피던스를 제공한다. 또한, 적은 양의 내부 인덕턴스 (Ly) 는 결합된 RF 신호 (428) 의 고 주파수에 적은 양의 임피던스를 제공하고, 그리고 적은 양의 내부 인덕턴스 (Lz) 는 결합된 RF 신호 (438) 의 고 주파수에 적은 양의 임피던스를 제공한다. 결합된 RF 신호 (426, 428, 및 438) 각각은 결합된 RF 신호의 저 주파수를 수정하는 고 주파수를 갖는다. 저 주파수는 RF 신호 (304A) 의 주파수이다.

[0069] 유사하게, 결합된 RF 신호 (312, 436, 430, 및 440) 각각은 결합된 RF 신호의 저 주파수를 수정하는 고 주파수를 갖는다. 또한, 수정된 RF 신호 (340) 는 수정된 RF 신호 (340) 의 저 주파수를 수정하는 고 주파수를 갖는다.

[0070] 고 주파수의 일 예는 ㎒ 주파수를 포함한다. 예시를 위해, 고 주파수는 27 ㎒ 이상의 주파수를 포함한다. 더 예시하기 위해, 고 주파수는 27 ㎒ 내지 100 ㎒ 범위의 주파수를 포함한다. 또 다른 예시로서, 고 주파수는 50 ㎒ 내지 65 ㎒ 범위의 주파수를 포함한다. 내부 인덕턴스들 (Lx, Ly 및 Lz) 에 의해 제공된 적은 양의 임피던스들은 수정된 RF 신호 (340) 에 의해 기판 지지부 (306) 의 하부 전극으로 전달된 제 1 전력량을 발생시킨다. 기판 지지부 (306) 의 하부 전극으로 전달된 제 1 전력량은 하부 전극으로 전달된 제 2 전력량보다 더 크다. 제 2 전력량은 내부 인덕턴스들 (Lx, Ly 및 Lz) 보다 더 큰 인덕턴스들을 갖는 하나 이상의 유도 코일들에 의해 제공된 더 높은 양의 임피던스들로 전달된다. 고 주파수는 HF RF 생성기 (도 3) 에 의해 생성되는 RF 신호 (304B) 의 주파수이다. 또한, 고 주파수는 HF RF 생성기의 동작 주파수이다.

[0071] 커패시터 (Cx) 의 커패시턴스 (C1a) 는 기판 (S) 의 상단 표면 (502) 에 걸친 프로세싱 레이트, 예를 들어, 에칭 레이트, 증착 레이트, 등의 균일도 (UNFM1) 에 대응한다. 상단 표면 (502) 은 상부 전극 (308) 의 하단 표면 (504) 을 대면한다. 또한, 기판 (S) 의 상단 표면 (502) 은 기판 (S) 이 기판 지지부 (306) 상에 배치될 때 기판 지지부 (306) 와 접촉하지 (touch) 않는다. 상단 표면 (502) 은 기판 (S) 의 하단 표면에 반대되는 측면 상에 위치되고, 그리고 기판 (S) 의 하단 표면은 기판 지지부 (306) 와 접촉한다. 커패시터 (Cx) 는 커패시터 (Cx) 의 커패시턴스를 또 다른 커패시턴스 (C2a) 로 변화시키기 위해, 고정 커패시터와 같은 또 다른 커패시터로 사용자에 의해 수동으로 대체된다. 다른 커패시턴스 (C2a) 는 프로세싱 레이트의 또 다른 균일도, 예를 들어, 균일도 (UNFM2) 에 대응한다.

[0072] 일 실시 예에서, RF 스트랩 (402) 대신 1 차 유도 코일, RF 스트랩 (432) 대신 2 차 유도 코일, 및 RF 스트랩 (434) 대신 3 차 유도 코일의 사용이 없다. 1 차 유도 코일, 2 차 유도 코일, 및 3 차 유도 코일은 RF 스트랩들 (402, 432, 및 434) 에 의해 제공된 인덕턴스들과 비교하여 더 많은 양의 인덕턴스를 제공한다. 예를 들어, 1 차 유도 코일은 RF 스트랩 (402) 의 인덕턴스보다 더 높은 양의 인덕턴스를 갖고, 2 차 유도 코일은 RF 스트랩 (432) 의 인덕턴스보다 더 높은 양의 인덕턴스를 갖고, 그리고 3 차 유도 코일은 RF 스트랩 (434) 의 인덕턴스보다 더 높은 양을 갖는다.

[0073] 일 실시 예에서, 제 1 유도 코일이 RF 스트랩 (402) 대신 사용되고, 제 2 유도 코일이 RF 스트랩 (432) 대신 사용되고, 그리고 제 3 유도 코일이 RF 스트랩 (434) 대신 사용된다. 제 1 유도 코일, 제 2 유도 코일, 및 제 3 유도 코일은 RF 스트랩들 (402, 432, 및 434) 에 의해 제공된 것과 동일한 양의 인덕턴스들을 제공한다. 예를 들어, 제 1 유도 코일은 RF 스트랩 (402) 의 인덕턴스와 동일한 양의 인덕턴스를 갖고, 제 2 유도 코일은 RF 스트랩 (432) 의 인덕턴스와 동일한 양의 인덕턴스를 갖고, 그리고 제 3 유도 코일은 RF 스트랩 (434) 의 인덕턴스와 동일한 양을 갖는다.

[0074] 도 5b는 균일도 제어 회로 (512) 의 가변 커패시터 (Cvx) 의 제어를 예시하기 위한 시스템 (510) 의 일 실시 예의 다이어그램이다. 균일도 제어 회로 (512) 는 균일도 제어 회로 (512) 가 커패시터 (Cx) 대신 가변 커패시터 (Cvx) 를 포함하는 것을 제외하고, 균일도 제어 회로 (339) (도 4a) 와 구조 및 기능이 동일하다.

[0075] 균일도 제어 회로 (512) 는 RF 스트랩 (402) 의 부분 (403), 및 RF 스트랩들 (432 및 434) 을 포함한다. RF 스트랩 (402) 은 가변 커패시터 (Cvx) 의 단부 (514) 에 커플링되고 그리고 RF 스트랩 (434) 은 가변 커패시터 (Cvx) 의 반대편 단부 (516) 에 커플링된다. 시스템 (510) 은 모터 (518), 드라이버 (520), 및 호스트 컴퓨터 (318) 를 포함한다. 모터 (518) 의 일 예는 DC (direct current) 전기 모터이다. 모터 (518) 의 또 다른 예는 AC (alternating current) 전기 모터이다. 드라이버 (520) 의 일 예는 하나 이상의 트랜지스터들을 포함하고, 그리고 트랜지스터들은 서로 커플링된다.

[0076] 프로세서 (320) 는 모터 (518) 에 커플링되는 드라이버 (520) 에 커플링된다. 모터 (518) 는 연결 메커니즘 (522) 을 통해 가변 커패시터 (Cvx) 에 커플링된다. 연결 메커니즘 (522) 의 일 예는 하나 이상의 로드들, 또는 2 개 이상의 로드들과 하나 이상의 기어들의 조합을 포함한다. 기어 각각은 일 로드를 또 다른 로드에 커플링한다.

[0077] 프로세서 (320) 는 메모리 디바이스 (322) 로부터 가변 커패시터 (Cvx) 의 커패시턴스 (C1a) 에 액세스하고, 그리고 가변 커패시터 (Cvx) 의 커패시턴스 (C1a) 를 나타내는 제어 신호를 생성한다. 가변 커패시터 (Cvx) 의 커패시턴스 (C1a) 는 균일도 (UNFM1) 에 대응한다. 프로세서 (320) 는 드라이버 (520) 로 제어 신호를 전송한다. 제어 신호의 수신에 응답하여, 드라이버 (520) 는 제어 신호에 기초하여 전류 신호를 생성하고, 그리고 모터 (518) 로 전류 신호를 전송한다. 모터 (518) 의 회전자는 모터 (518) 를 동작시키기 위해 모터 (518) 의 고정자에 대해 회전한다. 모터 (518) 가 동작할 때, 가변 커패시터 (Cvx) 는 프로세서 (320) 로부터 드라이버 (520) 로 전송된 제어 신호에 의해 표현되는 커패시턴스 (C1a) 를 달성하도록 제어된다. 예를 들어, 가변 커패시터 (Cvx) 의 일 플레이트는 커패시턴스 (C1a) 를 달성하기 위해 2 개의 플레이트들 사이의 오버랩 (overlap) 영역을 변화시키도록 가변 커패시터 (Cvx) 의 또 다른 플레이트에 대해 회전한다. 가변 커패시터 (Cvx) 가 균일도 (UNFM1) 에 대응하는 커패시턴스 (C1a) 를 가질 때, 결합된 RF 신호 (436) 의 임피던스가 수정되고 그리고 가변 커패시터 (Cvx) 는 결합된 RF 신호 (438) 를 출력한다. 유사하게, 프로세서 (320) 는 균일도 (UNFM2) 를 달성하기 위해 커패시턴스 (C1a) 를 다른 커패시턴스 (C2a) 로 변화시키도록 가변 커패시터 (Cvx) 를 제어한다.

[0078] 도 5c는 기판 (S) 의 상단 표면 (502) 에 걸쳐 프로세싱 레이트의 미리 결정된 균일도를 달성하기 위한 가변 커패시터 (Cvx) 의 제어를 예시하기 위한 시스템 (530) 의 일 실시 예의 다이어그램이다. 시스템 (530) 은 기판 (S) 이 플라즈마 챔버 (304) 내에서 프로세싱되는 동안 기판 (S) 의 상단 표면 (502) 에 걸쳐 프로세싱 레이트의 균일도를 달성하기 위한 인 시츄 (in situ) 방법을 예시하기 위해 사용된다. 균일도는 가변 커패시터 (Cvx) 의 커패시턴스를 제어함으로써 달성된다.

[0079] 시스템 (530) 은 하우징 (211), 호스트 컴퓨터 (318), 및 플라즈마 챔버 (304) 를 포함한다. 플라즈마 챔버 (304) 는 복수의 윈도우들 (532, 534, 및 536) 을 포함한다. 예를 들어, 윈도우 (532) 는 좌측 측벽 (538) 내에 임베딩된다 (embed). 또한, 윈도우들 (534 및 536) 은 플라즈마 챔버 (304) 의 우측 측벽 (540) 내에 임베딩된다.

[0080] 에칭 레이트 측정 디바이스 (etch rate measurement device; ERMD) 가 플라즈마 챔버 (304) 의 윈도우 각각에 배치된다. 예를 들어, ERMD (542) 는 플라즈마 챔버 (304) 의 내부 볼륨에 대한 가시선을 갖도록 윈도우 (532) 에 인접하게 배치되거나 윈도우 (532) 에 고정된다. 유사하게, ERMD (544) 는 플라즈마 챔버 (304) 의 내부 볼륨에 대한 가시선을 갖도록 윈도우 (534) 에 인접하게 배치되거나 윈도우 (534) 에 고정되고 그리고 ERMD (546) 는 플라즈마 챔버 (304) 의 내부 볼륨에 대한 가시선을 갖도록 윈도우 (536) 에 인접하게 배치되거나 윈도우 (536) 에 고정된다. 예시를 위해, ERMD (542) 는 기판 (S) 의 중앙 영역에 대한 가시선을 갖도록 수평 레벨 위, ERMD들 (544 및 546) 이 배치되는 수평 레벨 위에 배치된다. ERMD (544) 는 기판 (S) 의 우측 에지 영역에 대한 가시선을 갖도록 측벽 (540) 에 인접하게 배치된다. 또한, ERMD (546) 는 기판 (S) 의 좌측 에지 영역에 대한 가시선을 갖도록 측벽 (538) 에 인접하게 배치된다. 기판 (S) 의 좌측 에지 영역 및 우측 에지 영역은 기판 (S) 의 중앙 영역의 반대편 측면들 상에 위치된다. ERMD의 일 예는 광 방출 분광계 (optical emission spectrometer; OES) 이다.

[0081] ERMD (546) 는 케이블을 통해 프로세서 (320) 에 커플링된다. 유사하게, ERMD (542) 는 케이블을 통해 프로세

서 (320) 에 커플링되고 그리고 ERMD (544) 는 케이블을 통해 프로세서 (320) 에 커플링된다.

[0082] 프로세싱 레이트들의 균일도들과 가변 커패시터 (Cvx) 의 커패시턴스들 사이의 대응 관계들 (correspondences) 을 포함하는 표 (533) 가 메모리 디바이스 (322) 내에 저장된다. 예를 들어, 표 (533) 는 균일도 (UNFM1) 와 커패시턴스 (C1a) 사이의 일대일 (one-to-one) 링크 또는 일대일 연관 또는 일대일 맵핑 (mapping) 과 같은 대응 관계를 포함한다. 또한, 표 (533) 는 균일도 (UNFM2) 와 커패시턴스 (C2a) 사이의 대응 관계 및 균일도 (UNFMn) 와 커패시턴스 (Cna) 사이의 대응 관계를 포함하고, 여기서 n은 양의 정수이다.

[0083] 도 5b에 대해 설명된 바와 같이, 프로세서 (320) 는 기판 (S) 의 프로세싱 동안 커패시턴스 (C1a) 를 달성하도록 가변 커패시터 (Cvx) 를 제어한다. 예를 들어, 기판 (S) 의 제조 동안 기판 (S) 은 세정되고, 폴리싱되고, 에칭되고, 또는 기판 (S) 상에 재료들이 증착된다.

[0084] 기판 (S) 이 플라즈마 챔버 (304) 내에서 생성되는 플라즈마에 의해 프로세싱되는 동안, ERMD (546) 는 ERMD (546) 에 의해 검출되는 광의 강도를 나타내는 전기 신호를 생성한다. ERMD (546) 에 의해 검출된 광은 기판 (S) 의 좌측 영역으로부터 ERMD (546) 를 향해 반사된다. ERMD (546) 로부터 출력된 전기 신호는 프로세서 (320) 로 전송된다.

[0085] 유사하게, ERMD (542) 는 ERMD (542) 에 의해 검출되는 광의 강도를 나타내는 전기 신호를 생성한다. ERMD (542) 에 의해 검출된 광은 기판 (S) 의 중앙 영역으로부터 ERMD (542) 를 향해 반사된다. ERMD (542) 로부터 출력된 전기 신호는 프로세서 (320) 로 전송된다. 또한, ERMD (544) 는 ERMD (544) 에 의해 검출되는 광의 강도를 나타내는 전기 신호를 생성한다. ERMD (544) 에 의해 검출된 광은 기판 (S) 의 우측 영역으로부터 ERMD (544) 를 향해 반사된다. ERMD (544) 로부터 출력된 전기 신호는 프로세서 (320) 로 전송된다. ERMD들 (546, 542, 및 544) 로부터 출력된 전기 신호들은 기판 (S) 의 좌측 영역, 중앙 영역, 및 우측 영역으로부터 반사된 광의 강도들을 나타낸다.

[0086] 프로세서 (320) 는 ERMD들 (542, 544, 및 546) 로부터 전기 신호들을 수신하고 그리고 전기 신호들로부터 시간 (t1) 에서 좌측 영역, 중앙 영역, 및 우측 영역에 남겨진 기판 (S) 의 양을 결정한다. 유사한 방식으로, 프로세서 (320) 는 ERMD들 (542, 544, 및 546) 로부터 부가적인 전기 신호들을 수신하고 그리고 부가적인 전기 신호들로부터 시간 (t2) 에서 좌측 영역, 중앙 영역, 및 우측 영역에 남겨진 기판 (S) 의 양을 결정한다. ERMD들 (542, 544, 및 546) 로부터 수신된 부가적인 전기 신호들은 기판 (S) 의 좌측 영역, 중앙 영역, 및 우측 영역으로부터 반사된 광의 강도들을 나타낸다.

[0087] 프로세서 (320) 는 제 1 차와 제 2 차의 비로서 기판의 좌측 영역에서 제 1 프로세싱 레이트를 결정한다. 제 1 차는 시간 (t2) 에서 좌측 영역에서 남겨진 기판 (S) 의 양과 시간 (t1) 에서 좌측 영역에서 남겨진 기판 (S) 의 양 사이의 차다. 제 2 차는 시간 (t2) 과 시간 (t1) 사이의 차다. 유사하게, 프로세서 (320) 는 제 3 차와 제 2 차의 비로서 기판의 중앙 영역에서 제 2 프로세싱 레이트를 결정한다. 제 3 차는 시간 (t2) 에서 중앙 영역에서 남겨진 기판 (S) 의 양과 시간 (t1) 에서 중앙 영역에서 남겨진 기판 (S) 의 양 사이의 차다. 또한, 프로세서 (320) 는 제 4 차와 제 2 차의 비로서 기판의 우측 영역에서 제 3 프로세싱 레이트를 결정한다. 제 4 차는 시간 (t2) 에 우측 영역에서 남겨진 기판 (S) 의 양과 시간 (t1) 에 우측 영역에서 남겨진 기판 (S) 의 양 사이의 차다.

[0088] 프로세서 (320) 는 제 1 프로세싱 레이트, 제 2 프로세싱 레이트 및 제 3 프로세싱 레이트를 가진 것으로 기판 (S) 의 상단 표면 (502) 에 걸쳐 균일도, 예컨대 측정된 균일도를 결정한다. 프로세서 (320) 는 표 (533) 로부터 커패시턴스 (C1a) 에 대응하는 균일도 (UNFM1) 에 액세스하고, 그리고 측정된 균일도가 균일도 (UNFM1) 로부터 미리 결정된 범위 내에 있는지, 예컨대 ± 0.5 % 이내인지 여부를 결정한다. 예를 들어, 프로세서 (320) 는 측정된 균일도가 균일도 (UNFM1) 와 매칭한다는 것을 결정하기 위해 측정된 균일도를 균일도 (UNFM1) 와 비교한다. 미리 결정된 범위의 일 예는 균일도 (UNFM1) 의 -0.25 %로부터 균일도 (UNFM1) 의 0.25 %까지 측정된 균일도 값들의 범위이다. 미리 결정된 범위의 또 다른 예는 균일도 (UNFM1) 의 -0.5 %로부터 균일도 (UNFM1) 의 0.5 %까지 측정된 균일도 값들의 범위이다. 측정된 균일도가 균일도 (UNFM1) 와 매칭한다는 결정 시, 프로세서 (320) 는 측정된 균일도가 균일도 (UNFM1) 로부터 미리 결정된 범위 내에 있다고 결정한다. 다른 한편, 측정된 균일도가 균일도 (UNFM1) 와 매칭하지 않는다는 결정 시, 프로세서 (320) 는 측정된 균일도가 균일도 (UNFM1) 로부터 미리 결정된 범위 내에 있지 않다고 결정한다. 또 다른 예로서, 프로세서 (320) 는 측정된 균일도의 미리 결정된 수의 값들, 예컨대 70 % 또는 75 % 또는 80 % 초과 값들이 균일도 (UNFM1) 의 미리 결정된 수의 값들로부터 미리 결정된 범위 내에 있다는 것을 결정하도록 측정된 균일도와 균일도 (UNFM1) 를 비교한다. 그렇게 결정 시, 프로세서 (320) 는 측정된 균일도가 균일도 (UNFM1) 로부터 미리 결정된 범위 내에

있다고 결정한다. 다른 한편, 측정된 균일도의 미리 결정된 수의 값들이 균일도 (UNFM1) 의 미리 결정된 수의 값들로부터 미리 결정된 범위 내에 있지 않다고 결정 시, 프로세서 (320) 는 측정된 균일도가 균일도 (UNFM1) 로부터 미리 결정된 범위 내에 있지 않다고 결정한다.

[0089] 한편, 측정된 균일도가 균일도 (UNFM1) 로부터 미리 결정된 범위 내에 있다는 결정 시, 프로세서 (320) 는 가변 커패시터 (Cvx) 의 커패시턴스 (C1a) 를 변화시키도록 가변 커패시터를 더 제어하지 않는다. 다른 한편, 측정된 균일도가 균일도 (UNFM1) 로부터 미리 결정된 범위 내에 있지 않다는 결정에 응답하여, 프로세서 (320) 는 가변 커패시터 (Cvx) 의 커패시턴스를 변화시키기 위해 가변 커패시터 (Cvx) 를 제어하고, 그리고 기판 (S) 의 상단 표면 (502) 에 걸쳐 프로세싱 레이트의 균일도가 다시 측정되고 균일도 (UNFM1) 와 비교된다. 이러한 방식으로, 프로세서 (320) 는 균일도의 측정 값이 균일도 (UNFM1) 로부터 미리 결정된 범위 내에 있을 때까지 가변 커패시터 (Cvx) 를 계속해서 제어한다. 이러한 방식으로, 프로세서 (320) 는 기판 (S) 의 상단 표면 (502) 에 걸쳐 프로세싱 레이트들의 대응하는 균일도들 (UNFM2 내지 UNFMn) 을 달성하기 위해 커패시턴스 값들 (C2a 내지 Cna) 을 달성하도록 가변 커패시터 (Cvx) 를 제어한다.

[0090] 일 실시 예에서, 플라즈마 챔버 (304) 는 환형 형상의 측벽을 갖는다. 이 실시 예에서, 좌측 측벽 (538) 은 측벽의 좌측 부분이고 우측 측벽 (540) 은 측벽의 우측 부분이다.

[0091] 일 실시 예에서, 도 5c를 참조하여 상기 기술된 인 시츄 방법은 커패시턴스들 (C1a 내지 Cna) 및 대응하는 균일도들 (UNFM1 내지 UNFMn) 을 결정하기 위해 랩 (lab) 에서 수행된다. 예를 들어, 기판 (S) 대신 더미 (dummy) 기판 (S) 이 사용된다. 더미 기판은 플라즈마 챔버 (304) 내에서 프로세싱될 복수의 기판들을 나타낸다. 예를 들어, 더미 기판은 복수의 기판들과 동일한 구조, 예를 들어, 층들의 세트를 갖는다. 더미 기판이 플라즈마 챔버 (304) 내에 배치될 때, 프로세서 (320) 는 커패시턴스 (C1a) 를 달성하도록 가변 커패시터 (Cvx) 를 제어한다. 일단 커패시턴스 (C1a) 가 달성되면, ERMD들 (542, 544, 및 546) 은 전기 신호들을 출력하기 위해 더미 기판의 우측 영역, 중앙 영역, 및 좌측 영역에서 광 강도들을 측정한다. 전기 신호들에 기초하여, 프로세서 (320) 는 더미 기판의 상단 표면에 걸쳐 프로세싱 레이트의 균일도 (UNFM1) 를 결정하고, 그리고 균일도 (UNFM1) 를 커패시턴스 (C1a) 에 맵핑한다. 균일도 (UNFM1) 와 커패시턴스 (C1a) 사이의 맵핑은 프로세서 (320) 에 의해 메모리 디바이스 (322) 의 표 (533) 에 저장된다. 유사한 방식으로, 프로세서 (320) 는 더미 기판에 대한 커패시턴스들 (C2a 내지 Cna) 과 균일도들 (UNFM2 내지 UNFMn) 사이에 복수의 맵핑들을 생성하고, 그리고 맵핑들을 표 (533) 에 저장한다. 균일도들 사이의 맵핑들을 갖는 표 (533) 가 랩에서 생성되면, 프로세서 (320) 는 균일도들 (UNFM1 내지 UNFMn) 중 일 균일도를 달성하기 위해 복수의 기판들을 프로세싱하도록 표 (533) 를 적용한다. 예를 들어, 복수의 기판들 중 일 기판을 프로세싱하는 동안, 프로세서 (320) 는 입력 디바이스를 통해 사용자로부터 입력을 수신한다. 입력은 균일도 (UNFM1) 를 나타낸다. 프로세서 (320) 는 균일도 (UNFM1) 에 대응하는 커패시턴스 (C1a) 를 달성하도록 가변 커패시터 (Cvx) 를 제어한다. 입력 디바이스는 프로세서 (320) 에 커플링된다. 입력 디바이스의 예들은 터치스크린, 키보드, 키패드 및 스타일러스를 포함한다.

[0092] 일 실시 예에서, 측정된 균일도는 3 개보다 더 많거나 더 적은 영역들에서 남겨진 기판 (S) 의 양들을 포함한다. 예를 들어, 측정된 균일도는 기판 (S) 의 중앙 영역과 기판 (S) 의 우측 영역 사이의 기판 (S) 의 영역에서 남겨진 기판 (S) 의 양 및 기판 (S) 의 중앙 영역과 기판 (S) 의 좌측 영역 사이의 영역에서 남겨진 기판 (S) 의 양을 포함한다.

[0093] 일 실시 예에서, 플라즈마 챔버 (304) 는 측벽 (538 또는 540) 상에 임의의 다른 수의 윈도우들, 및 동일한 수의 ERMD들을 갖는다. ERMD 각각은 플라즈마 챔버 (304) 내의 플라즈마로부터 광 방출들을 검출하기 위해 윈도우들 중 대응하는 윈도우에 대해 배치된다. 예를 들어, 측벽 (538) 은 2 개의 윈도우들 및 2 개의 ERMD들을 갖고, 그리고 측벽 (540) 은 일 윈도우 및 일 ERMD를 갖는다.

[0094] 도 5d는 기판 (S) 의 프로세싱 레이트의 균일도를 달성하기 위한 엑스 시츄 (ex situ) 프로세스를 예시하기 위한 시스템 (550) 의 일 실시 예의 다이어그램이다. 시스템 (550) 은 시스템 (550) 에서, 두께 측정 디바이스 (552) 가 ERMD들 (542, 544, 및 546) (도 5c) 대신 사용된다는 것을 제외하고 도 5c의 시스템 (530) 과 구조 및 기능에서 유사하거나 동일하다. 두께 측정 디바이스 (552) 는 엑스 시츄 프로세스를 용이하게 한다.

[0095] 두께 측정 디바이스 (552) 의 예들은 전자 현미경 및 KLA쪠 Corporation으로부터 입수 가능한 계측 툴을 포함한다. 두께 측정 디바이스 (552) 는 케이블을 통해 프로세서 (320) 에 커플링된다.

[0096] 프로세서 (320) 는 플라즈마 챔버 (304) 내에서 프로세싱되는 기판 (S) 의 상단 표면 (502) 에 걸쳐 균일도

(UNFM1) 를 더 달성하기 위해 커패시턴스 (C1a) 를 달성하도록 가변 커패시터 (Cvx) 를 제어한다. 기판 (S) 이 플라즈마 챔버 (304) 내에서 프로세싱된 후, 기판 (S) 은 플라즈마 챔버 (304) 로부터 측벽 (540) 내의 개구부 (552) 를 통해 제거된다. 사용자는 기판 (S) 의 좌측 영역에서 기판 (S) 의 두께 (TL), 기판 (S) 의 중앙 영역에서 기판 (S) 의 두께 (TC), 및 기판 (S) 의 우측 영역에서 기판 (S) 의 두께 (TR) 를 측정하도록 두께 측정 디바이스 (552) 를 사용한다. 사용자는 입력 디바이스를 통해 프로세서 (320) 로 두께들 (TL, TC, 및 TR) 을 포함하는, 계산된 균일도를 제공한다.

[0097] 프로세서 (320) 는 계산된 균일도가 균일도 (UNFM1) 로부터 미리 결정된 범위 내에 있는지 여부를 결정한다. 예를 들어, 프로세서 (320) 는 계산된 균일도가 균일도 (UNFM1) 와 매칭한다는 것을 결정하기 위해 계산된 균일도와 균일도 (UNFM1) 를 비교한다. 계산된 균일도가 균일도 (UNFM1) 와 매칭한다는 결정 시, 프로세서 (320) 는 계산된 균일도가 균일도 (UNFM1) 로부터 미리 결정된 범위 내에 있다고 결정한다. 다른 한편, 계산된 균일도가 균일도 (UNFM1) 와 매칭하지 않는다고 결정 시, 프로세서 (320) 는 계산된 균일도가 균일도 (UNFM1) 로부터 미리 결정된 범위 내에 있지 않다고 결정한다. 또 다른 예로서, 프로세서 (320) 는 계산된 균일도의 미리 결정된 수의 값들, 예컨대 70 % 또는 75 % 또는 80 % 초과 값들이 균일도 (UNFM1) 의 미리 결정된 수의 값들로부터 미리 결정된 범위 내에 있다는 것을 결정하도록 계산된 균일도와 균일도 (UNFM1) 를 비교한다. 그렇게 결정 시, 프로세서 (320) 는 계산된 균일도가 균일도 (UNFM1) 로부터 미리 결정된 범위 내에 있다고 결정한다. 다른 한편, 계산된 균일도의 미리 결정된 수의 값들이 균일도 (UNFM1) 의 미리 결정된 수의 값들로부터 미리 결정된 범위 내에 있지 않다고 결정 시, 프로세서 (320) 는 계산된 균일도가 균일도 (UNFM1) 로부터 미리 결정된 범위 내에 있지 않다고 결정한다.

[0098] 한편, 계산된 균일도가 균일도 (UNFM1) 로부터 미리 결정된 범위 내에 있다는 결정 시, 프로세서 (320) 는 가변 커패시터 (Cvx) 의 커패시턴스 (C1a) 를 변화시키도록 가변 커패시터를 더 제어하지 않는다. 다른 한편, 계산된 균일도가 균일도 (UNFM1) 로부터 미리 결정된 범위 내에 있지 않다는 결정에 응답하여, 프로세서 (320) 는 가변 커패시터 (Cvx) 의 커패시턴스를 변화시키기 위해 가변 커패시터 (Cvx) 를 제어하고, 그리고 기판 (S) 의 상단 표면 (502) 에 걸쳐 프로세싱 레이트의 균일도가 다시 계산되고 균일도 (UNFM1) 와 비교된다. 이러한 방식으로, 프로세서 (320) 는 균일도 계산이 균일도 (UNFM1) 로부터 미리 결정된 범위 내에 있을 때까지 가변 커패시터 (Cvx) 를 계속해서 제어한다. 이러한 방식으로, 프로세서 (320) 는 기판 (S) 의 상단 표면 (502) 에 걸쳐 프로세싱 레이트들의 대응하는 균일도들 (UNFM2 내지 UNFMn) 을 달성하기 위해 커패시턴스 값들 (C2a 내지 Cna) 을 달성하도록 가변 커패시터 (Cvx) 를 제어한다.

[0099] 일 실시 예에서, 계산된 균일도는 3 개보다 더 많거나 더 적은 영역들에서 기판 (S) 의 두께를 포함한다. 예를 들어, 계산된 균일도는 기판 (S) 의 중앙 영역과 기판 (S) 의 우측 영역 사이의 기판 (S) 의 영역에서 남겨진 기판 (S) 의 두께 및 기판 (S) 의 중앙 영역과 기판 (S) 의 좌측 영역 사이의 영역에서 남겨진 기판 (S) 의 두께를 포함한다.

[0100] 일 실시 예에서, 도 5d를 참조하여 상기 기술된 엑스 시츄 방법은 커패시턴스들 (C1a 내지 Cna) 및 대응하는 균일도들 (UNFM1 내지 UNFMn) 을 결정하기 위해 랩에서 수행된다. 예를 들어, 기판 (S) 대신 더미 기판 (S) 이 사용된다. 더미 기판 (S) 이 프로세싱을 위해 플라즈마 챔버 (304) 내에 배치될 때, 프로세서 (320) 는 커패시턴스 (C1a) 를 달성하도록 가변 커패시터 (Cvx) 를 제어한다. 가변 커패시터 (Cvx) 가 커패시턴스 (C1a) 를 가질 때, 사용자는 플라즈마 챔버 (304) 로부터 더미 기판 (S) 을 제거하고 그리고 더미 기판의 상단 표면에 걸쳐 프로세싱 레이트의 균일도를 결정하도록 두께 측정 디바이스 (552) 를 사용한다. 균일도는 (UNFM1) 로 결정된다. 균일도 (UNFM1) 는 가변 커패시터 (Cvx) 의 커패시턴스 (C1a) 에 대응하는 메모리 디바이스 (322) 의 표 (533) 에 저장을 위해 입력 디바이스를 통해 프로세서 (320) 로 사용자에 의해 제공된다. 유사한 방식으로, 프로세서 (320) 는 커패시턴스들 (C2a 내지 Cna) 을 달성하도록 가변 커패시터 (Cvx) 를 제어하고 그리고 더미 기판들의 세트에 대한 대응하는 균일도들이 결정된다. 커패시턴스들 (C2a 내지 Cna) 과 균일도들 (UNFM2 내지 UMFMn) 사이의 대응 관계는 표 (533) 에 저장된다. 이어서 표 (533) 는 대응하는 균일도들 (UNFM1 내지 UNFMn) 을 달성하기 위해 플라즈마 챔버 (304) 내의 복수의 기판들의 프로세싱 동안 가변 커패시터 (Cvx) 를 제어하도록 프로세서 (320) 에 의해 적용된다. 예를 들어, 프로세서 (320) 는 기판 (S) 의 상단 표면 (502) 에 걸쳐 균일도 (UNFM1) 를 달성하기 위해 커패시턴스 (C1a) 를 갖도록 가변 커패시터 (Cvx) 를 제어하고, 그리고 플라즈마 챔버 (304) 내에서 프로세싱된 또 다른 기판의 상단 표면에 걸쳐 균일도 (UNFM2) 를 달성하기 위해 커패시턴스 (C2a) 를 갖도록 가변 커패시터 (Cvx) 를 제어한다.

[0101] 도 6은 임피던스 매칭 회로 (601) 에 대한 균일도 제어 회로 (339) 의 커플링을 예시하기 위한 임피던스 매칭 회로 (601) 의 일 실시 예의 다이어그램이다. 임피던스 매칭 회로 (601) 는 임피던스 매칭 회로 (204) (도 3)

의 일 예이다.

[0102] 임피던스 매칭 회로 (601) 는 분기 회로 (602A) 및 분기 회로 (602B) 를 포함한다. 분기 회로 (602A) 는 도 3을 참조하여 상기 기술된, 제 1 분기 회로의 일 예이다. 분기 회로 (602B) 는 도 3을 참조하여 상기 기술된 제 2 분기 회로의 일 예이다. 분기 회로 (602A) 는 인덕터 (L1), 인덕터 (L2), 커패시터 (C1), 커패시터 (C4), 커패시터 (C5), 커패시터 (C6) 및 인덕터 (L3) 와 같은, 회로 컴포넌트들을 포함한다. 인덕터 (L3) 는 때때로 분기 회로 (602B) 를 통과하는 RF 신호 (304B) 의 RF 전력이 분기 회로 (602A) 의 컴포넌트들을 간섭할 가능성들을 감소시키는, 절연 코일로서 지칭된다. 커패시터들 (C5 및 C6) 은 이하에 더 기술되는, 직류 (DC) 차단 커패시터들이다. 분기 회로 (602B) 는 인덕터 (L4), 커패시터 (C2), 커패시터 (C7) 및 커패시터 (C3) 와 같은, 회로 컴포넌트들을 포함한다. 커패시터들 (C1, C2 및 C3) 은 가변 커패시터들이다. 커패시터들 (C1 및 C2) 은 주 커패시터들이고 그리고 커패시터 (C3) 는 보조 커패시터이다. 인덕터들 (L1 내지 L4) 은 인덕터를 형성하기 위해 감기는 (wind) 코일이고 그리고 RF 스트랩들이 아니다.

[0103] 분기 회로 (602B) 는 RF 스트랩 부분 (604A), RF 스트랩 부분 (604B), RF 스트랩 (604C), RF 스트랩 (604D), 및 RF 스트랩 (604E) 을 더 포함한다. 부분들 (604A 및 604B) 은 일 RF 스트랩의 부분들이다. 일 예로서, 본 명세서에 사용된 바와 같이, RF 스트랩은 구리 또는 구리의 합금과 같은, 도전체로부터 이루어진 편평한 세장형 금속 피스 (piece) 이다. 예시를 위해, RF 스트랩은 길이, 폭 및 두께를 갖는다. RF 스트랩의 길이는 RF 스트랩의 폭보다 더 크고 그리고 폭은 RF 스트랩의 두께보다 더 크다. 또 다른 예시로서, RF 스트랩은 실질적으로 직사각형 볼륨 또는 직사각형 볼륨을 점유하고 그리고 구부러지거나 재성형되도록 가요성이다. 직사각형 볼륨의 일 예는 직사각형 바 (bar) 에 의해 점유된 볼륨이다.

[0104] 인덕터 (L1) 는 하우징 (211) 의 입력부 (I1) 에 커플링되고 인덕터 (L2) 에 커플링된다. 또한, 커패시터 (C1) 는 인덕터 (L1) 를 인덕터 (L2) 에 커플링하는 지점에 커플링된다. 또한, 커패시터 (C1) 는 접지 전위에 커플링된다.

[0105] 인덕터 (L2) 는 커패시터 (C6) 에 커플링되고 그리고 커패시터 (C4) 는 인덕터 (L2) 를 커패시터 (C6) 에 커플링하는 지점에 커플링된다. 커패시터 (C4) 는 또한 접지 전위에 커플링된다. 커패시터 (C6) 는 커패시터 (C5) 에 병렬로 커플링된다. 커패시터 (C6) 는 임피던스 매칭 회로 (601) 의 출력부 (O4) 에 커플링된, 인덕터 (L3) 에 커플링된다.

[0106] 인덕터 (L4) 는 하우징 (211) 의 입력부 (I2) 에 커플링되고 접지 연결부에 커플링된다. 인덕터 (L4) 는 RF 스트랩 (604D) 상의 지점에 커플링된다. 입력부 (I2) 의 일 예는 RF 스트랩 (604D) 의 일 단부이다. 커패시터 (C2) 는 RF 스트랩들 (604D 및 604E) 사이의 지점 (P2) 에 커플링된다. RF 스트랩들 (604D 및 604E) 은 지점 (P2) 에서 서로 연결된다. 커패시터 (C2) 는 또한 접지 연결부에 커플링된다. 커패시터 (C7) 는 RF 스트랩 (604E) 및 RF 스트랩 부분 (604A) 에 커플링된다.

[0107] 커패시터 (C3) 는 분기 회로 (602B) 의 지점 (P1) 에 커플링된, RF 스트랩 (604C) 에 커플링된다. 지점 (P1) 은 RF 스트랩 부분 (604A) 을 RF 스트랩 부분 (604B) 에 커플링한다. RF 스트랩 부분 (604A) 은 지점 (P1) 에서 RF 스트랩 부분 (604B) 에 커플링된다. 커패시터 (C3) 는 또한 접지 연결부에 커플링된다. RF 스트랩 부분 (604B) 은 임피던스 매칭 회로 (601) 의 출력부 (O4) 에 커플링된다.

[0108] RF 스트랩 부분 (604A 및 604B) 각각 및 RF 스트랩 (604C 내지 604E) 각각은 각각의 인덕턴스를 갖는다. 예를 들어, RF 스트랩 부분 (604A) 은 인덕턴스 (LA) 를 갖고, RF 스트랩 부분 (604B) 은 또 다른 인덕턴스 (LB) 를 갖고, RF 스트랩 (604C) 은 또 다른 인덕턴스 (LC) 를 갖고, RF 스트랩 (604D) 은 인덕턴스 (LD) 를 갖고, 그리고 RF 스트랩 (604E) 은 인덕턴스 (LE) 를 갖는다. 일 예로서, RF 스트랩 부분 (604A), RF 스트랩 부분 (604B), RF 스트랩 (604C), RF 스트랩 (604D), 및 RF 스트랩 (604E) 중 임의의 하나는 인덕터를 형성하도록 코일로 감기지 않고, 편평한 세장형 금속 피스인 것을 주의해야 한다.

[0109] 일 예로서, 인덕터 (L1) 는 45 μH (microHenries) 내지 55 μH 범위의 인덕턴스를 갖는다. 또 다른 예로서, 인덕터 (L2) 는 35 μH 내지 41 μH 범위의 인덕턴스를 갖는다. 또 다른 예로서, 커패시터 (C1) 는 60 pF (picoFarads) 내지 2000 pF 범위의 커패시턴스를 갖는다. 또 다른 예로서, 커패시터 (C4) 는 110 pF 내지 120 pF 범위의 커패시턴스를 갖는다. 또한, 일 예로서, 커패시터 (C5) 는 2700 pF 내지 2900 pF 범위의 커패시턴스를 갖는다. 또 다른 예로서, 인덕터 (L3) 는 2.1 μH 내지 2.3 μH 범위의 인덕턴스를 갖는다.

[0110] 또 다른 예로서, 인덕터 (L4) 는 0.44 μH 내지 0.46 μH 범위의 인덕턴스를 갖는다. 또한, 일 예로서, 커패시터 (C2) 는 25 pF 내지 250 pF 범위의 커패시턴스를 갖는다. 또 다른 예로서, 커패시터 (C7) 는 7 pF 내지 17

pF 범위의 커패시턴스를 갖는다. 또 다른 예로서, 커패시터 (C3) 는 3 pF 내지 30 pF 범위의 커패시턴스를 갖는다.

[0111] UCC (339) 는 출력부 (O4) 와 출력부 (O3) 사이에 커플링된다. 예를 들어, UCC (339) 는 RF 스트랩 (402) 의 부분 (403) 에 병렬로 커플링된다. UCC (339) 의 단부 (E1) 는 임피던스 매칭 회로 (601) 의 출력부 (O4) 에 커플링되고 그리고 단부 (E2) 는 하우징 (211) 의 출력부 (O3) 에 커플링된다.

[0112] LF RF 생성기에 의해 생성된 RF 신호 (304A) 는 입력부 (I1) 에서 수신되고 그리고 인덕터 (L1), 인덕터 (L2), 커패시터들 (C5 및 C6) 및 인덕터 (L3) 를 통해 출력부 (O4) 로 전송된다. 커패시터들 (C1, C4, C5, 및 C6), 및 인덕터들 (L1 내지 L3) 은 수정된 RF 신호 (610A) 를 출력하도록 입력부 (I1) 에서 수신된 RF 신호 (304A) 의 임피던스를 변화시킨다.

[0113] 더욱이, HF RF 생성기에 의해 생성된 RF 신호 (304B) 는 입력부 (I2) 에서 수신되고 그리고 RF 스트랩 (604D), 지점 (P2), RF 스트랩 (604E), 커패시터 (C7), RF 스트랩 부분 (604A) 및 RF 스트랩 부분 (604B) 을 통해 출력부 (O4) 로 전송된다. 인덕터 (L4), RF 스트랩 (604D), 커패시터 (C2), RF 스트랩 (604E), 커패시터 (C7), RF 스트랩 부분 (604A), RF 스트랩 (604C), 커패시터 (C3), 및 RF 스트랩 부분 (604B) 은 수정된 RF 신호 (610B) 를 출력하도록 입력부 (I2) 에서 수신된 RF 신호 (304B) 의 임피던스를 수정한다.

[0114] 분기 회로 (602A) 는 임피던스 매칭 회로 (601) 를 통해 플라즈마 챔버 (304) 로부터 LF RF 생성기를 향해 반사된 전력을 감소시키기 위해 입력부 (I1) 에서 수신된 저 주파수 RF 신호 (304A) 의 임피던스를 수정한다. 임피던스는 인덕터 (L3) 의 출력부로부터 수정된 RF 신호 (610A) 를 출력하도록 출력부 (O4) 에 커플링된 부하의 임피던스를 입력부 (I1) 에 커플링된 소스의 임피던스와 매칭시키기 위해 수정된다. 수정된 신호 (610A) 는 도 3을 참조하여 상기 기술된, 제 1 수정된 RF 신호의 일 예이다. 출력부 (O4) 에 커플링된 부하의 일 예는 플라즈마 챔버 (304), 임피던스 매칭 회로 (601) 를 플라즈마 챔버 (304) 에 커플링하는 RF 송신 라인 (302), 및 균일도 제어 회로 (339) 를 포함한다. 입력부 (I1) 에 커플링된 소스의 일 예는 LF RF 생성기 및 LF RF 생성기를 입력부 (I1) 에 커플링하는 RF 케이블 (208A) 을 포함한다.

[0115] 유사하게, 분기 회로 (602B) 는 임피던스 매칭 회로 (601) 를 통해 플라즈마 챔버 (304) 로부터 HF RF 생성기를 향해 반사된 전력을 감소시키기 위해 입력부 (I2) 에서 수신된 고 주파수 RF 신호 (304B) 의 임피던스를 수정한다. 임피던스는 RF 스트랩 부분 (604B) 의 출력부로부터 수정된 RF 신호 (610B) 를 출력하도록 출력부 (O4) 에 커플링된 부하의 임피던스를 입력부 (I2) 에 커플링된 소스의 임피던스와 매칭시키기 위해 수정된다. 수정된 RF 신호 (610B) 는 도 3을 참조하여 상기 기술된, 제 2 수정된 RF 신호의 일 예이다. 입력부 (I2) 에 커플링된 소스의 일 예는 고 주파수 RF 생성기 및 HF RF 생성기를 입력부 (I2) 에 커플링하는 RF 케이블 (208B) (도 2) 을 포함한다. 인덕터 (L3) 및 RF 스트랩 부분 (604B) 으로부터 출력된 수정된 신호들 (610A 및 610B) 은 출력부 (O4) 에서 결합된 RF 신호 (312) 를 제공하기 위해, 출력부 (O4) 에서 결합, 예컨대 합산된다.

[0116] 일 실시 예에서, 도 6에 예시된 커패시터들 또는 인덕터들 중 임의의 커패시터 또는 인덕터는 고정되거나 가변적이다. 예를 들어, 커패시터들 (C4 내지 C7) 중 하나 이상은 고정 커패시터들이다. 또 다른 예로서, 인덕터 (L1 내지 L4) 중 하나 이상은 가변 인덕터들이고 그리고 이들의 인덕턴스들은 가변될 수 있다.

[0117] 일 실시 예에서, RF 스트랩의 RF 스트랩 부분들 (604A 및 604B) 대신, 2 개의 RF 스트랩들이 사용된다. 예를 들어, RF 스트랩 부분 (604A) 의 인덕턴스를 갖는 제 1 RF 스트랩은 커넥터를 통해 RF 스트랩 부분 (604B) 의 인덕턴스를 갖는 제 2 RF 스트랩에 연결된다. 커넥터의 예들은 상기에 제공된다.

[0118] 일 실시 예에서, 임피던스 매칭 회로 (601) 는 도 6에 예시된 것과 상이한 수의 커패시터들을 포함한다. 예를 들어, 커패시터들 (C5 및 C6) 대신에, 하나의 커패시터가 사용된다. 일 실시 예에서, 임피던스 매칭 회로 (601) 는 도 6에 예시된 것과 상이한 수의 인덕터들을 포함한다.

[0119] 일 실시 예에서, UCC (339) 의 고정 커패시터 (Cx) 대신, 가변 커패시터 (Cvx) 가 사용된다.

[0120] 도 7은 가변 커패시터 (Cvx) (도 5b) 의 커패시턴스 변화 또는 고정 커패시터 (Cx) (도 5a) 의 커패시턴스 변화에 따른 에칭 레이트의 균일도 변화를 예시하기 위한 그래프 (700) 의 일 실시 예이다. 그래프 (700) 는 HF RF 생성기가 동작하고 LF RF 생성기가 동작하지 않을 때 생성된다. 예시를 위해, 그래프 (700) 는 HF RF 생성기가 RF 전력을 생성하고 LF RF 생성기가 RF 전력을 생성하지 않을 때 생성된다.

[0121] 그래프 (700) 는 y-축 상에 균일도를 플롯팅하고 (plot) x-축 상에 기판 (S) 의 반경을 플롯팅한다. 커패시터의 제 2 플레이트에 대해 커패시터 (Cx) 또는 가변 커패시터 (Cvx) 와 같은 커패시터의 제 1 플레이트의 회전으

로, 기판 (S) 의 상단 표면 (502) 에 걸쳐 에칭 레이트의 균일도에 변화가 있다. 예를 들어, 커패시터 (Cx 또는 Cvx) 의 커패시터 턴들 수, 예컨대 스텝들 또는 클릭들이 CT6일 때, 에칭 레이트의 균일도는 곡선 (702) 에 의해 예시된다. 또한, 커패시터 (Cx 또는 Cvx) 의 커패시터 턴들 수가 CT7일 때, 에칭 레이트의 균일도는 곡선 (704) 에 의해 예시되고, 그리고 커패시터 (Cx 또는 Cvx) 의 커패시터 턴들 수가 CT17일 때, 에칭 레이트의 균일도는 곡선 (706) 에 의해 예시된다. 도시된 바와 같이, 곡선 (702) 은 곡선들 (702, 704, 및 706) 의 균일도들 중에서 가장 높은 균일도를 갖는다. 이와 같이, 커패시터의 제 2 플레이트에 대한 제 1 플레이트의 커패시터 턴들 수를 제어함으로써, 기판 (S) 의 상단 표면 (502) 에 걸쳐 에칭 레이트의 균일도가 제어된다.

[0122] 도 8은 가변 커패시터 (Cvx) (도 5b) 의 커패시턴스 변화 또는 고정 커패시터 (Cx) (도 5a) 의 커패시턴스 변화에 따른 에칭 레이트의 균일도 변화를 예시하기 위한 그래프 (800) 의 일 실시 예이다. 그래프 (800) 는 HF RF 생성기 및 LF RF 생성기 모두가 동작할 때 생성된다.

[0123] 그래프 (800) 는 y-축 상에 균일도를 플롯팅하고 x-축 상에 기판 (S) 의 반경을 플롯팅한다. 커패시터의 제 2 플레이트에 대해 커패시터 (Cx) 또는 가변 커패시터 (Cvx) 와 같은 커패시터의 제 1 플레이트의 커패시터 턴들 수, 예컨대 스텝들 또는 클릭들 변화로, 기판 (S) 의 상단 표면 (502) 에 걸쳐 에칭 레이트의 균일도 변화가 있다. 예를 들어, 커패시터 (Cx 또는 Cvx) 의 커패시터 턴들 수가 10일 때, 에칭 레이트의 균일도는 곡선 (802) 에 의해 예시된다. 또한, 커패시터 (Cx 또는 Cvx) 의 커패시터 턴들 수가 20일 때, 에칭 레이트의 균일도는 곡선 (804) 에 의해 예시되고, 그리고 커패시터 (Cx 또는 Cvx) 의 커패시터 턴들 수가 0일 때, 에칭 레이트의 균일도는 곡선 (806) 에 의해 예시된다. 커패시터 (Cx 또는 Cvx) 의 커패시터 턴들 수가 9일 때, 에칭 레이트의 균일도는 곡선 (808) 에 의해 예시된다. 또한, 커패시터 (Cx 또는 Cvx) 의 커패시터 턴들 수가 4일 때, 에칭 레이트의 균일도는 곡선 (810) 에 의해 예시된다. 도시된 바와 같이, 곡선 (804) 은 곡선들 (802 내지 810) 의 균일도들 중에서 가장 높은 균일도를 갖는다.

[0124] 본 명세서에 기술된 실시 예들은 휴대형 하드웨어 유닛들, 마이크로프로세서 시스템들, 마이크로프로세서-기반 또는 프로그래밍 가능한 가전제품들, 미니컴퓨터들, 메인프레임 컴퓨터들 등을 포함하는 다양한 컴퓨터 시스템 구성들로 실시될 수도 있다. 실시 예들은 또한 네트워크를 통해 링크된 원격 프로세싱 하드웨어 유닛들에 의해 태스크들이 수행되는 분산 컴퓨팅 환경들에서 실시될 수 있다.

[0125] 일부 실시 예들에서, 제어기는 상기 기술된 예들의 일부일 수도 있는 시스템의 일부이다. 이러한 시스템들은, 프로세싱 툴 또는 툴들, 챔버 또는 챔버들, 프로세싱용 플랫폼 또는 플랫폼들, 및/또는 특정 프로세싱 컴포넌트들 (웨이퍼 페데스탈, 가스 플로우 시스템, 등) 을 포함하는, 반도체 프로세싱 장비를 포함한다. 이들 시스템들은 반도체 웨이퍼 또는 기판의 프로세싱 이전에, 프로세싱 동안에 그리고 프로세싱 이후에 그들의 동작을 제어하기 위한 전자 장치와 통합된다. 전자 장치는 시스템 또는 시스템들의 다양한 컴포넌트들 또는 하위부분들을 제어할 수도 있는 "제어기"로서 지칭된다. 제어기는, 시스템의 프로세싱 요건들 및/또는 타입에 따라서, 프로세스 가스들의 전달, 온도 설정들 (예를 들어, 가열 및/또는 냉각), 압력 설정들, 진공 설정들, 전력 설정들, RF 생성기 설정들, RF 매칭부 회로 설정들, 주파수 설정들, 플로우 레이트 설정들, 유체 전달 설정들, 포지션 및 동작 설정들, 툴 및 다른 이송 툴들 및/또는 시스템과 커플링되거나 인터페이싱된 로드록들 내외로의 웨이퍼 이송들을 포함하는, 본 명세서에 개시된 프로세스들 중 임의의 프로세스들을 제어하도록 프로그래밍된다.

[0126] 일반적으로 말하면, 다양한 실시 예들에서, 제어기는 인스트럭션들을 수신하고, 인스트럭션들을 발행하고, 동작을 제어하고, 세정 동작들을 인에이블하고, 엔드포인트 측정들을 인에이블하는, 등을 하는 다양한 집적 회로들, 논리, 메모리, 및/또는 소프트웨어를 갖는 전자 장치로서 규정된다. 집적 회로들은 프로그램 인스트럭션들을 저장하는 펌웨어의 형태의 칩들, 디지털 신호 프로세서들 (DSP), ASICs, PLDs로서 규정되는 칩들, 및/또는 프로그램 인스트럭션들 (예를 들어, 소프트웨어) 을 실행하는 하나 이상의 마이크로프로세서들, 또는 마이크로제어기들을 포함한다. 프로그램 인스트럭션들은 반도체 웨이퍼 상에서 또는 반도체 웨이퍼에 대한 특정 프로세스를 실행하기 위한 파라미터들, 인자들, 변수들, 등을 규정하는, 다양한 개별 설정들 (또는 프로그램 파일들) 의 형태로 제어기로 또는 시스템으로 전달된 인스트럭션들이다. 일부 실시 예들에서, 프로그램 인스트럭션들은 하나 이상의 층들, 재료들, 금속들, 옥사이드들, 실리콘, 실리콘 다이옥사이드, 표면들, 회로들 및/또는 웨이퍼의 다이들의 제조 동안 하나 이상의 프로세싱 단계들을 달성하도록 프로세스 엔지니어들에 의해 규정된 레시피의 일부이다.

[0127] 제어기는, 일부 실시 예들에서, 시스템에 통합되거나, 시스템에 커플링되거나, 그렇지 않으면 시스템에 네트워킹되거나, 또는 이들의 조합인 컴퓨터에 커플링되거나 일부이다. 예를 들어, 제어기는 웨이퍼 프로세싱의 원격 액세스를 가능하게 하는 공장 (fab) 호스트 컴퓨터 시스템의 전부 또는 일부이거나 "클라우드" 내에 있다. 컴

퓨터는 제조 동작들의 현재 진행을 모니터링하고, 과거 제조 동작들의 이력을 조사하고, 복수의 제조 동작들로부터 경향들 또는 성능 메트릭들을 조사하고, 현재 프로세싱의 파라미터들을 변경하고, 현재 프로세싱에 후속하는 프로세싱 단계들을 설정하고, 또는 새로운 프로세스 시작하도록 시스템에 대한 원격 액세스를 인에이블한다.

[0128] 일부 실시 예들에서, 원격 컴퓨터 (예를 들어, 서버) 는 로컬 네트워크 또는 인터넷을 포함하는 네트워크를 통해 시스템에 프로세스 레시피들을 제공한다. 원격 컴퓨터는 차후에 원격 컴퓨터로부터 시스템으로 전달될 파라미터들 및/또는 설정들의 입력 또는 프로그래밍을 인에이블하는 사용자 인터페이스를 포함한다. 일부 예들에서, 제어기는 하나 이상의 동작들 동안에 수행될 프로세스 단계들 각각에 대한 파라미터들, 인자들, 및/또는 변수들을 특정하는, 데이터의 형태의 인스트럭션들을 수신한다. 파라미터들, 인자들, 및/또는 변수들은 제어기가 제어하거나 인터페이싱하도록 구성되는 툴의 타입 및 수행될 프로세스의 타입에 특정적이라는 것이 이해되어야 한다. 따라서 상기 기술된 바와 같이, 제어기는 예컨대 본 명세서에 기술된 프로세스들 및 제어들과 같은, 공동의 목적을 향해 함께 네트워킹되고 작동되는 하나 이상의 개별 제어기들을 포함함으로써 분산된다. 이러한 목적들을 위한 분산형 제어기의 예는 챔버 상의 프로세스를 제어하도록 조합되는 (예컨대 플랫폼 레벨에서 또는 원격 컴퓨터의 일부로서) 원격으로 위치한 하나 이상의 집적 회로들과 통신하는 챔버 상의 하나 이상의 집적 회로들을 포함한다.

[0129] 비한정적으로, 다양한 실시 예들에서, 방법들이 적용되는 예시적인 시스템들은 플라즈마 에칭 챔버 또는 모듈, 증착 챔버 또는 모듈, 스핀-린스 챔버 또는 모듈, 금속 도금 챔버 또는 모듈, 세정 챔버 또는 모듈, 베벨 에지 에칭 챔버 또는 모듈, PVD (Physical Vapor Deposition) 챔버 또는 모듈, CVD 챔버 또는 모듈, ALD 챔버 또는 모듈, ALE 챔버 또는 모듈, 이온 주입 챔버 또는 모듈, 트랙 (track) 챔버 또는 모듈, 및 반도체 웨이퍼들의 제조 및/또는 제작 시에 사용되거나 연관되는 임의의 다른 반도체 프로세싱 시스템들을 포함한다.

[0130] 일부 실시 예들에서, 상기 기술된 동작들은 몇몇 타입들의 플라즈마 챔버들, 예를 들어, 유도 커플링 플라즈마 (inductively coupled plasma; ICP) 반응기, 변압기 커플링 플라즈마 챔버, 도전체 툴들, 유전체 툴들, 전자 사이클로트론 공명 (electron cyclotron resonance; ECR) 반응기 등을 포함하는 플라즈마 챔버를 포함하는 플라즈마 챔버에 적용된다는 것을 또한 주의한다. 예를 들어, 하나 이상의 RF 생성기들은 ICP 반응기 내의 인덕터에 커플링된다. 인덕터의 형상의 예들은 솔레노이드, 돔 형상 코일, 편평한 형상의 코일 등을 포함한다.

[0131] 상술한 바와 같이, 툴에 의해서 수행될 프로세스 단계 또는 단계들에 따라서, 호스트 컴퓨터는, 반도체 제작 공장 내의 툴 위치들 및/또는 로드 포트들로부터/로드 포트들로 웨이퍼들의 컨테이너들을 이동시키는 재료 이송 시에 사용되는, 다른 툴 회로들 또는 모듈들, 다른 툴 컴포넌트들, 클러스터 툴들, 다른 툴 인터페이스들, 인접 툴들, 이웃하는 툴들, 공장 도처에 위치한 툴들, 메인 컴퓨터, 또 다른 제어기, 또는 툴들 중 하나 이상과 통신한다.

[0132] 상기 실시 예들을 염두에 두고, 일부 실시 예들은 컴퓨터 시스템들에 저장된 데이터를 수반하는 다양한 컴퓨터-구현된 동작들을 채용한다는 것이 이해되어야 한다. 이들 동작들은 물리적으로 물리량들을 조작하는 동작들이다. 실시 예들의 일부를 형성하는 본 명세서에 기술된 임의의 동작들은 유용한 머신 동작들이다.

[0133] 실시 예들 중 일부는 또한 이들 동작들을 수행하기 위한 하드웨어 유닛 또는 장치와 관련된다. 장치는 특수 목적 컴퓨터를 위해 특별히 구성된다. 특수 목적 컴퓨터로서 규정될 때, 컴퓨터는 특수 목적의 일부가 아닌 다른 프로세싱, 프로그램 실행 또는 루틴들을 수행하지만, 여전히 특수 목적을 위해 동작할 수 있다.

[0134] 일부 실시 예들에서, 동작들은 컴퓨터 메모리, 캐시에 저장되거나 컴퓨터 네트워크를 통해 획득될 수 있는 하나 이상의 컴퓨터 프로그램들에 의해 선택적으로 활성화되거나 구성된 컴퓨터에 의해 프로세싱될 수도 있다. 데이터가 컴퓨터 네트워크를 통해 획득될 때, 데이터는 컴퓨터 네트워크 상의 다른 컴퓨터들, 예를 들어, 컴퓨팅 리소스들의 클라우드에 의해 프로세싱될 수도 있다.

[0135] 하나 이상의 실시 예들은 또한 비일시적인 컴퓨터 판독 가능 매체 상의 컴퓨터 판독 가능 코드로서 제조될 수 있다. 비일시적 컴퓨터-판독 가능 매체는 그 후 컴퓨터 시스템에 의해 판독되는, 데이터를 저장하는 임의의 데이터 저장 하드웨어 유닛, 예를 들어, 메모리 디바이스, 등이다. 비일시적 컴퓨터 판독 가능 매체의 예들은 하드 드라이브들, NAS (network attached storage), ROM, RAM, CD-ROM들, CD-Rs (CD-recordables), CD-RWs (CD-rewritables), 자기 테이프들 및 기타 광학 및 비광학 데이터 저장 하드웨어 유닛들을 포함한다. 일부 실시 예들에서, 비일시적인 컴퓨터-판독 가능 매체는 컴퓨터-판독 가능 코드가 분산된 방식으로 저장되고 실행되도록 네트워크-커플링된 컴퓨터 시스템을 통해 분산된 컴퓨터-판독 가능 유형의 (tangible) 매체를 포함한다.

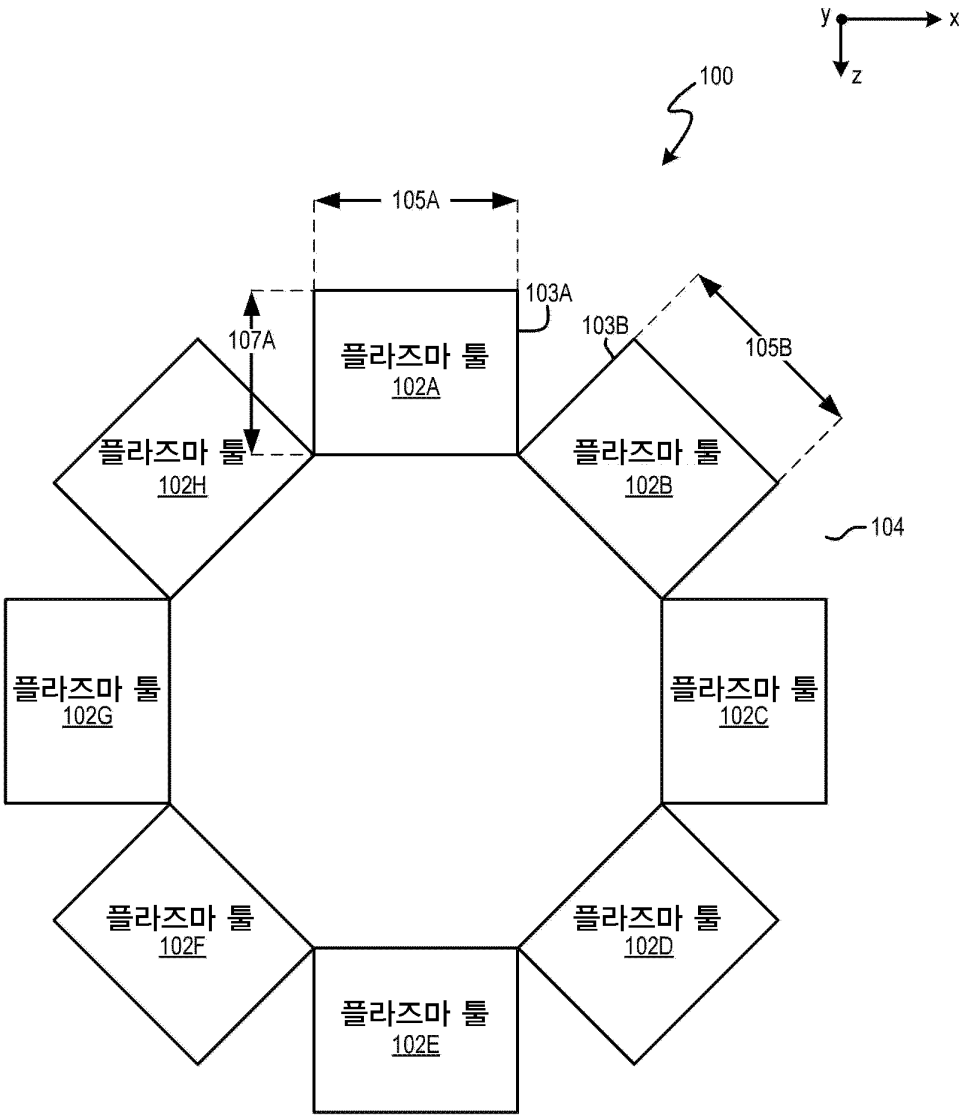
[0136] 상기 방법 동작들이 특정한 순서로 기술되었지만, 다양한 실시 예들에서, 다른 하우스 키핑 동작들이 동작들 사이에 수행되거나, 방법 동작들이 약간 상이한 시간들에 발생하도록 조정되거나, 다양한 간격들로 방법 동작들의 발생을 허용하거나 상기 기술된 것과 상이한 순서로 수행되는 시스템에 분산된다는 것이 이해되어야 한다.

[0137] 일 실시 예에서, 상기 기술된 임의의 일 실시 예로부터의 하나 이상의 특징들은 본 개시에 기술된 다양한 실시 예들에서 기술된 범위로부터 벗어나지 않고, 또한 상기 기술된, 임의의 다른 실시 예의 하나 이상의 특징들과 결합된다는 것을 또한 주의해야 한다.

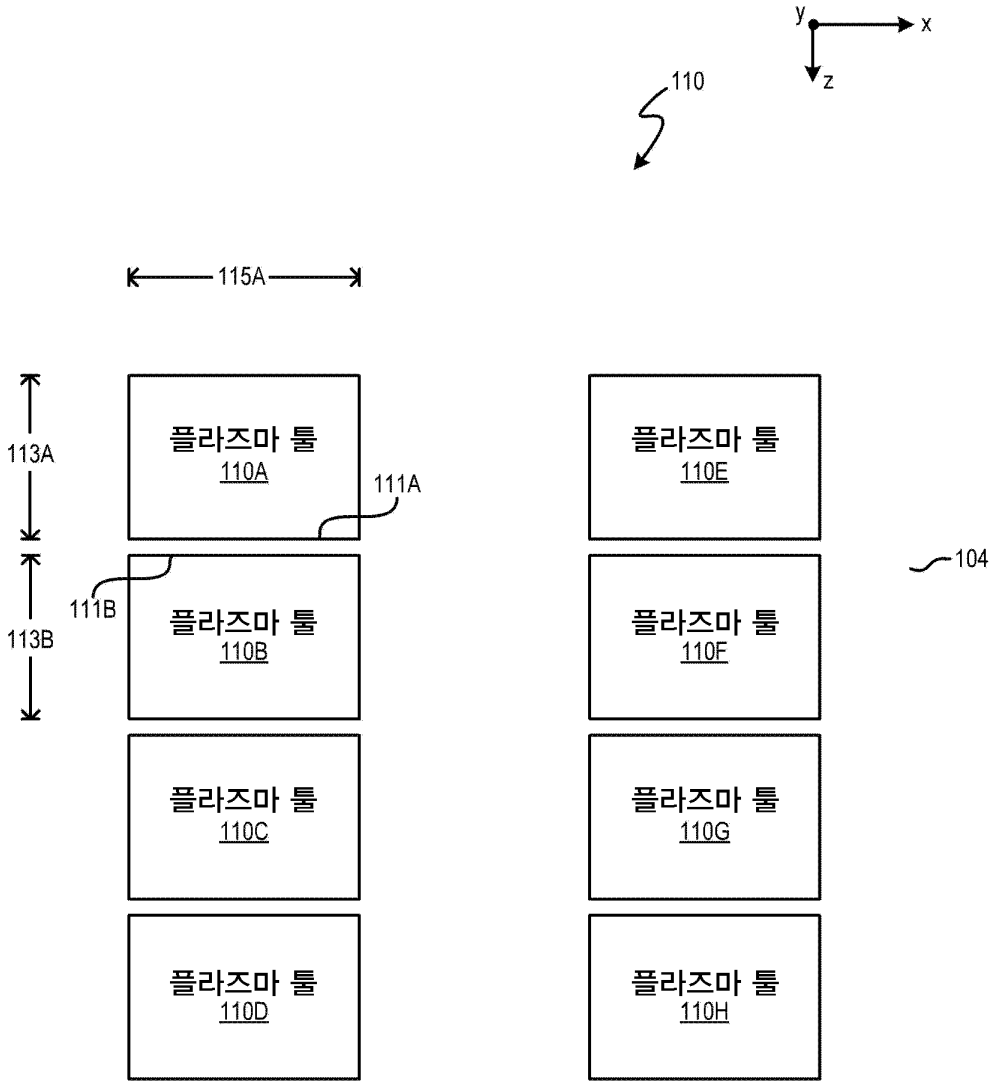
[0138] 전술한 실시 예들이 이해의 명확성의 목적들을 위해 다소 상세히 기술되었지만, 특정한 변화들 및 수정들이 첨부된 청구항들의 범위 내에서 실시될 수도 있다는 것이 자명할 것이다. 따라서, 본 실시 예들은 예시적이고, 제한적이지 않은 것으로 간주될 것이며, 실시 예들은 본 명세서에 주어진 세부사항들로 한정되지 않을 것이다.

도면

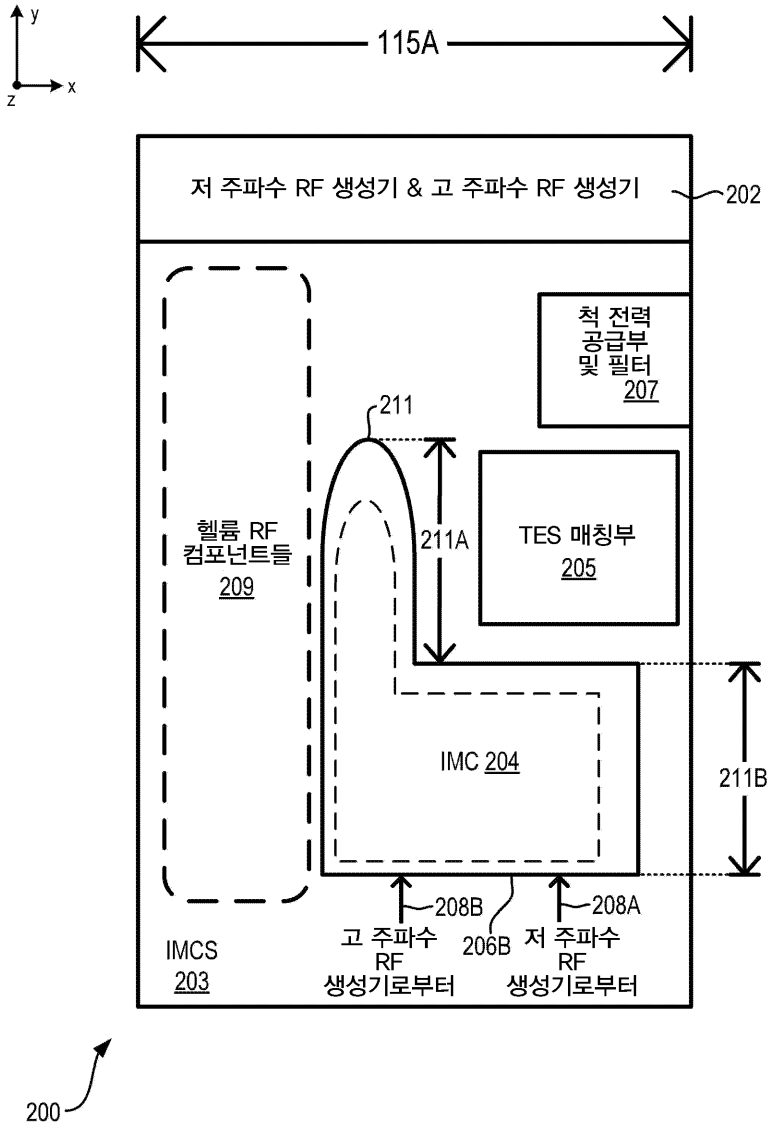
도면1a



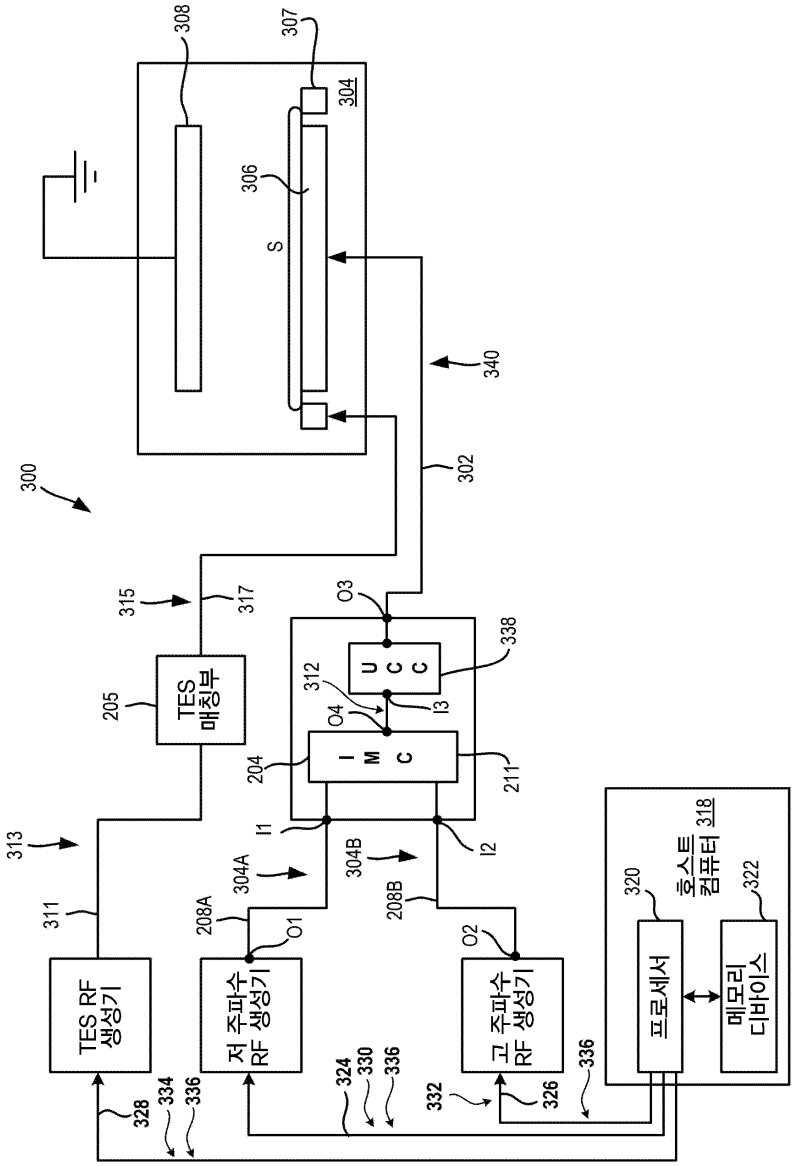
도면1b


y
x
z
110
115A
113A
113B
111A
111B
플라즈마 툴
110A
플라즈마 툴
110B
플라즈마 툴
110C
플라즈마 툴
110D
플라즈마 툴
110E
플라즈마 툴
110F
플라즈마 툴
110G
플라즈마 툴
110H
104

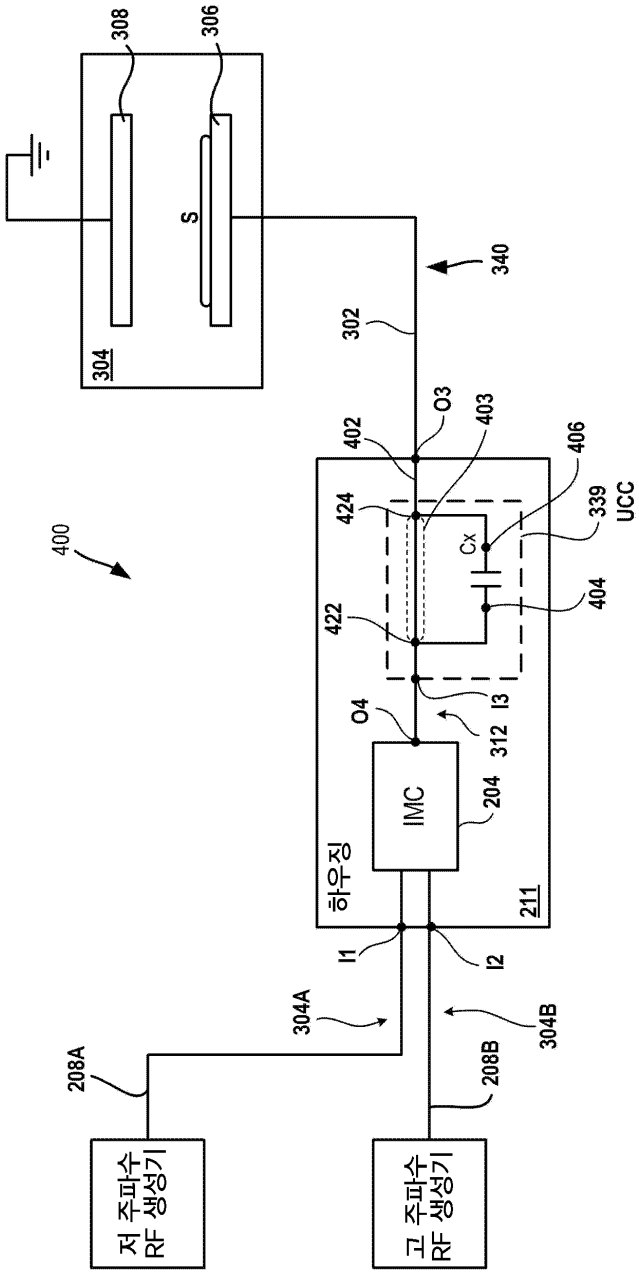
도면2


y
x
z
115A
저 주파수 RF 생성기 & 고 주파수 RF 생성기
202
척 전력 공급부 및 필터
207
211
211A
TES 매칭부
205
헬륨 RF 컴포넌트들
209
IMC 204
211B
208B
208A
206B
고 주파수 RF 생성기로부터
저 주파수 RF 생성기로부터
IMCS
203
200

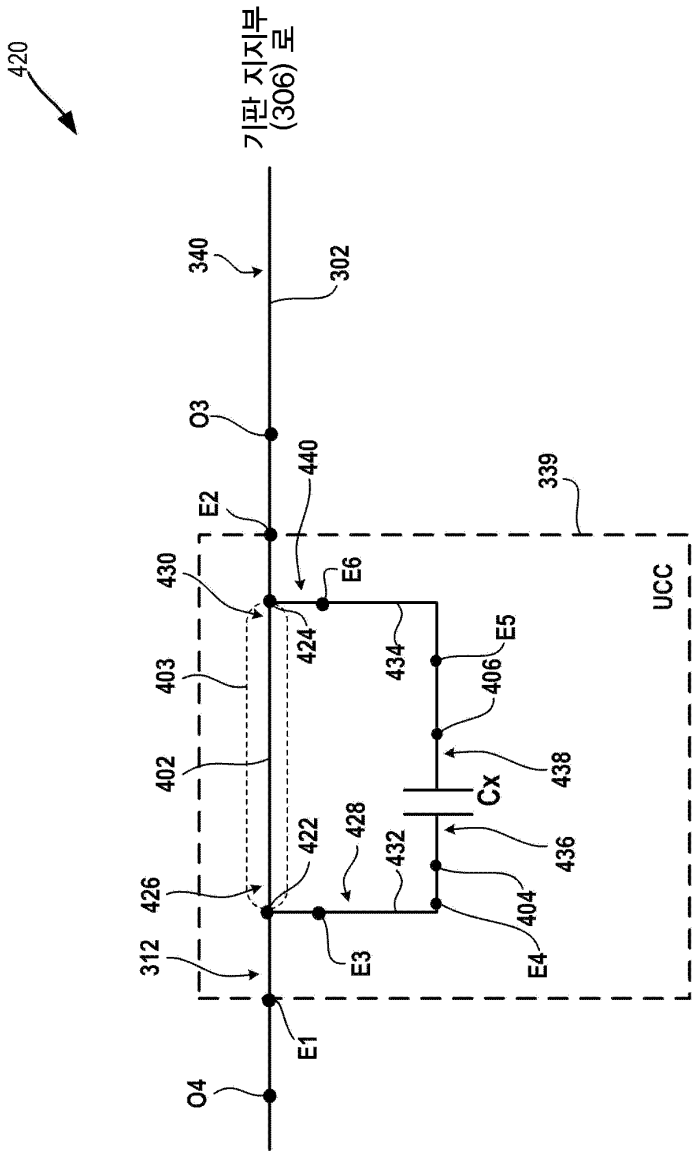
도면3


308
307
304
306
S
340
300
302
315
317
O3
205
TES 매칭부
312
UCC
338
O4
I3
204
IMC
211
313
I1
I2
304A
304B
311
208A
208B
O1
O2
320
호스트 컴퓨터 318
322
TES RF 생성기
저 주파수 RF 생성기
고 주파수 RF 생성기
프로세서
메모리 디바이스
328
334
336
324
330
336
332
326
336

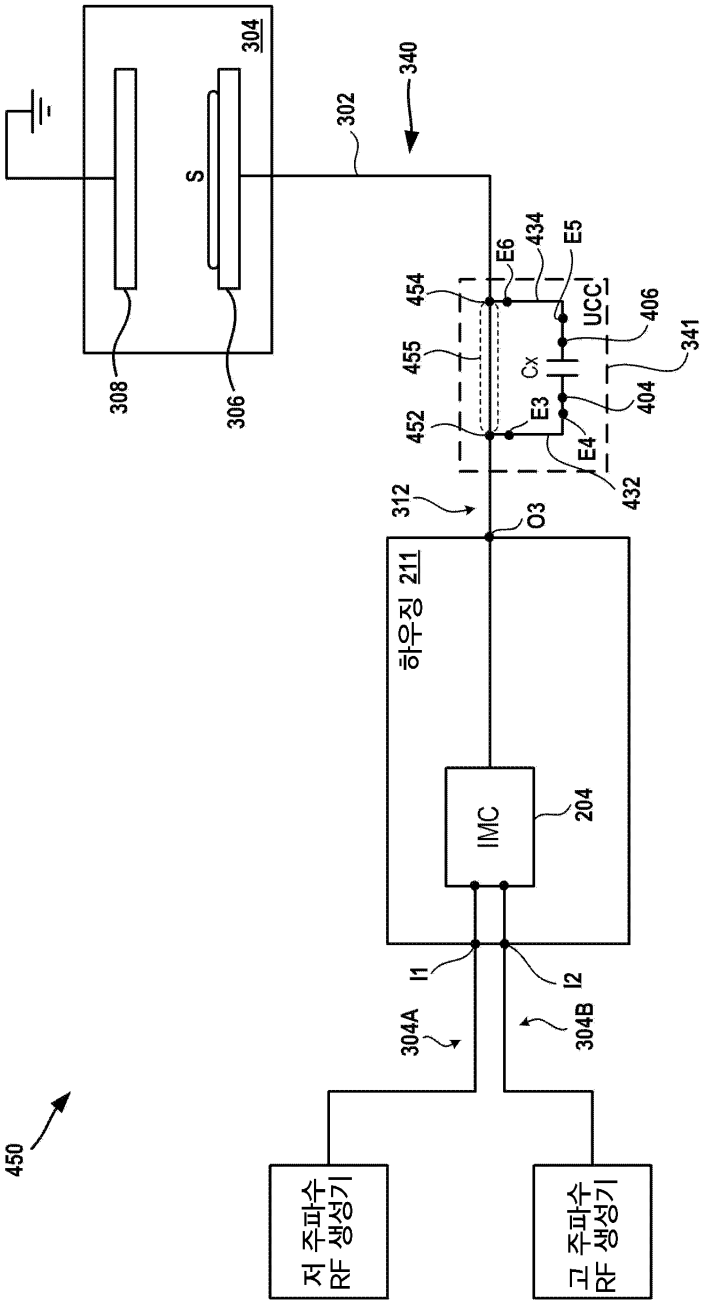
도면4a


308
306
S
304
340
302
O3
403
402
406
424
339
UCC
Cx
400
404
422
I3
O4
312
IMC
204
하우징
211
I1
I2
304A
304B
208A
208B
저 주파수 RF 생성기
고 주파수 RF 생성기

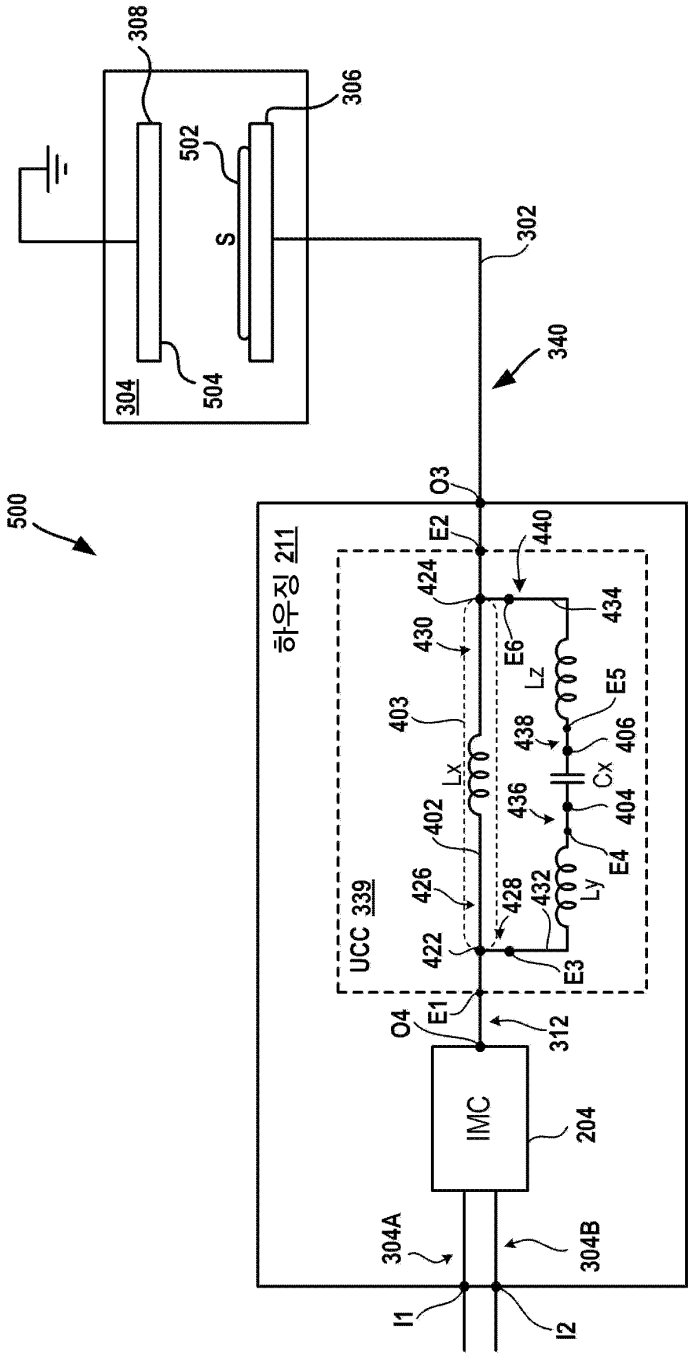
도면4b


420
기판 지지부
(306) 로
340
302
O3
440
339
E2
430
E6
UCC
424
434
E5
403
406
402
438
Cx
428
422
432
436
426
404
312
E3
E4
E1
O4

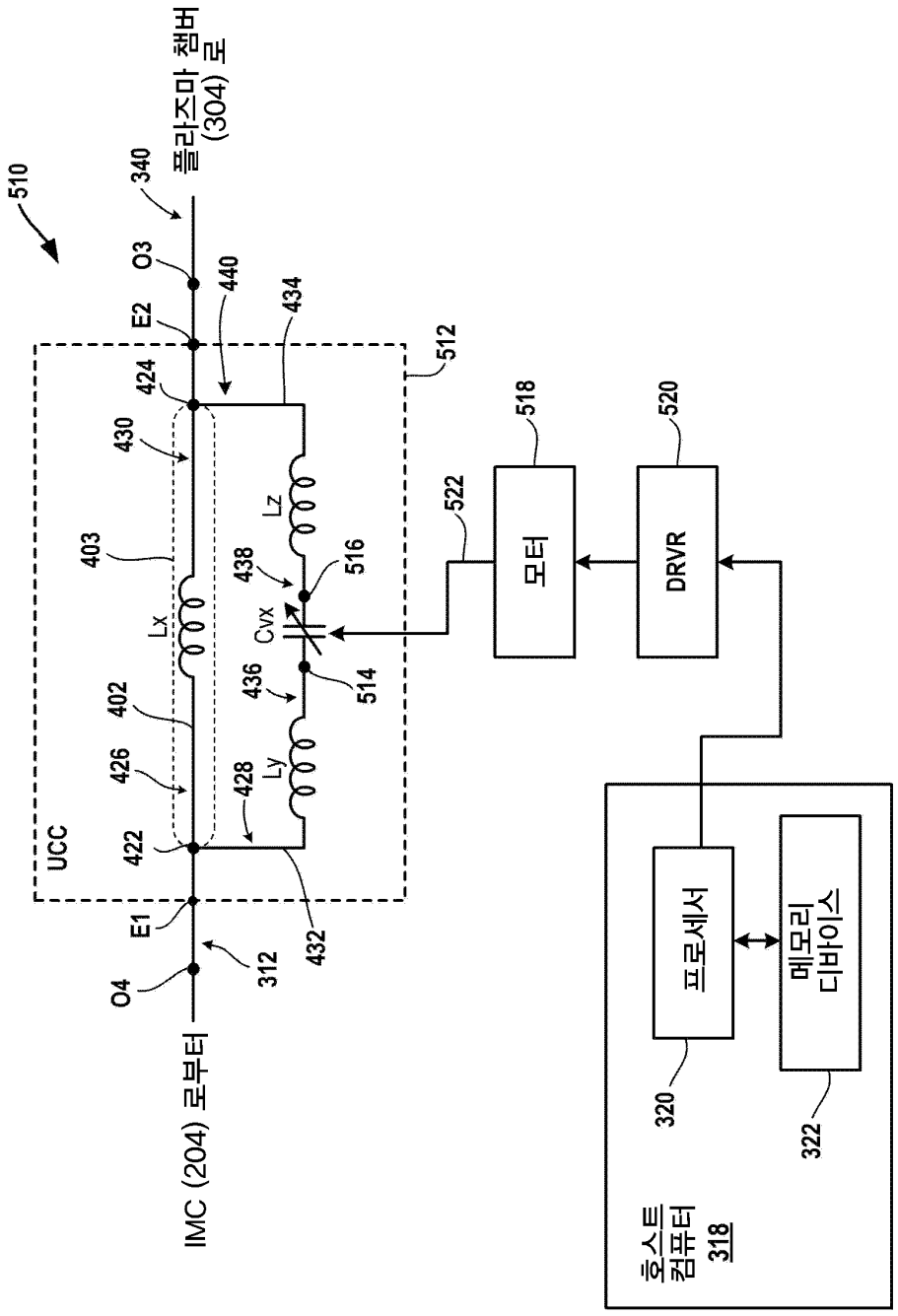
도면4c


304
340
302
S
308
306
E6
434
E5
454
UCC
406
455
Cx
341
E3
404
452
E4
432
312
O3
하우징 211
IMC
204
I1
I2
304A
304B
450
저 주파수 RF 생성기
고 주파수 RF 생성기

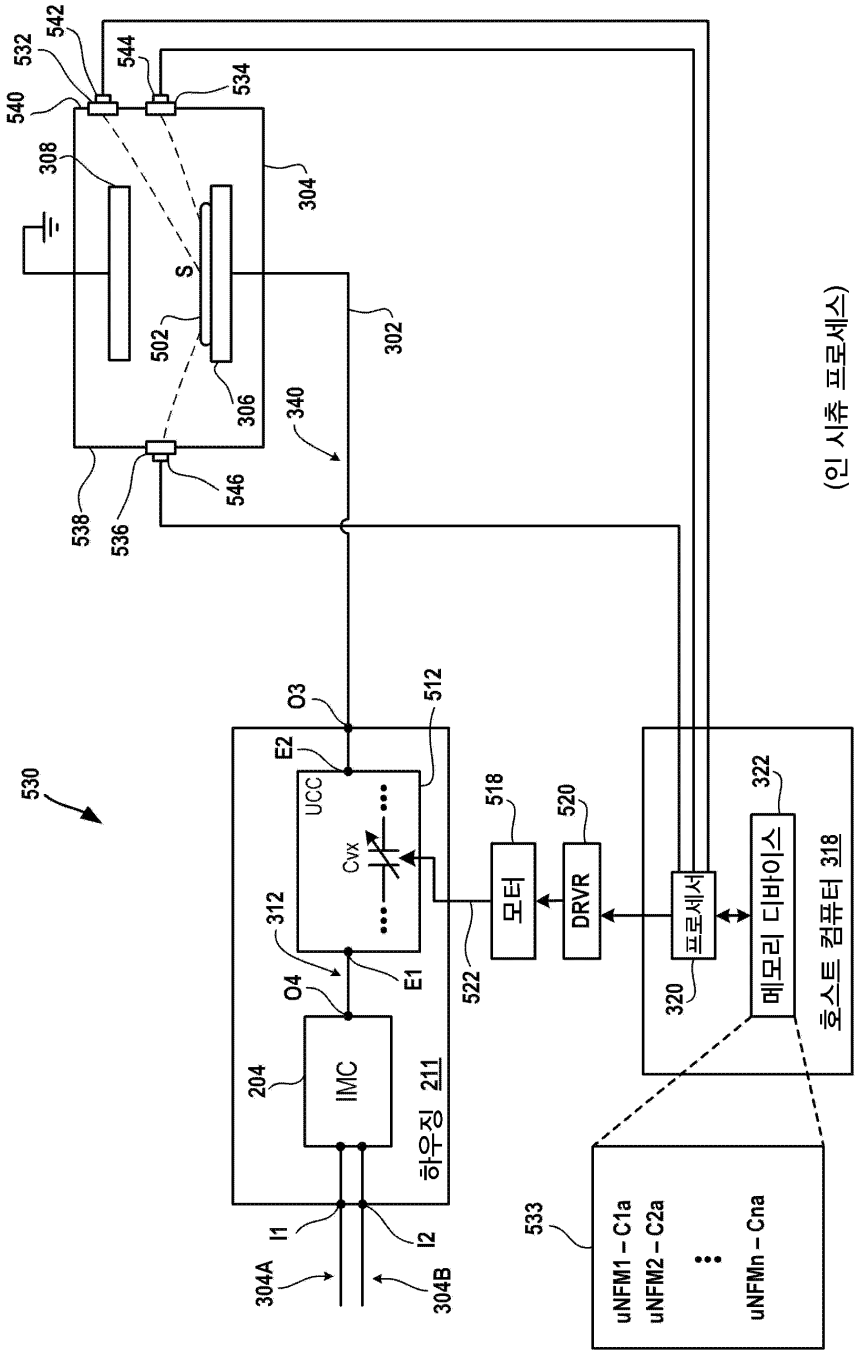
도면5a


500
308
306
502
S
302
340
304
504
하우징 211
O3
E2
440
424
434
430
E6
Lz
E5
403
438
406
Lx
Cx
436
404
402
E4
426
Ly
428
432
UCC 339
422
E3
O4
E1
312
IMC
204
304A
304B
I1
I2

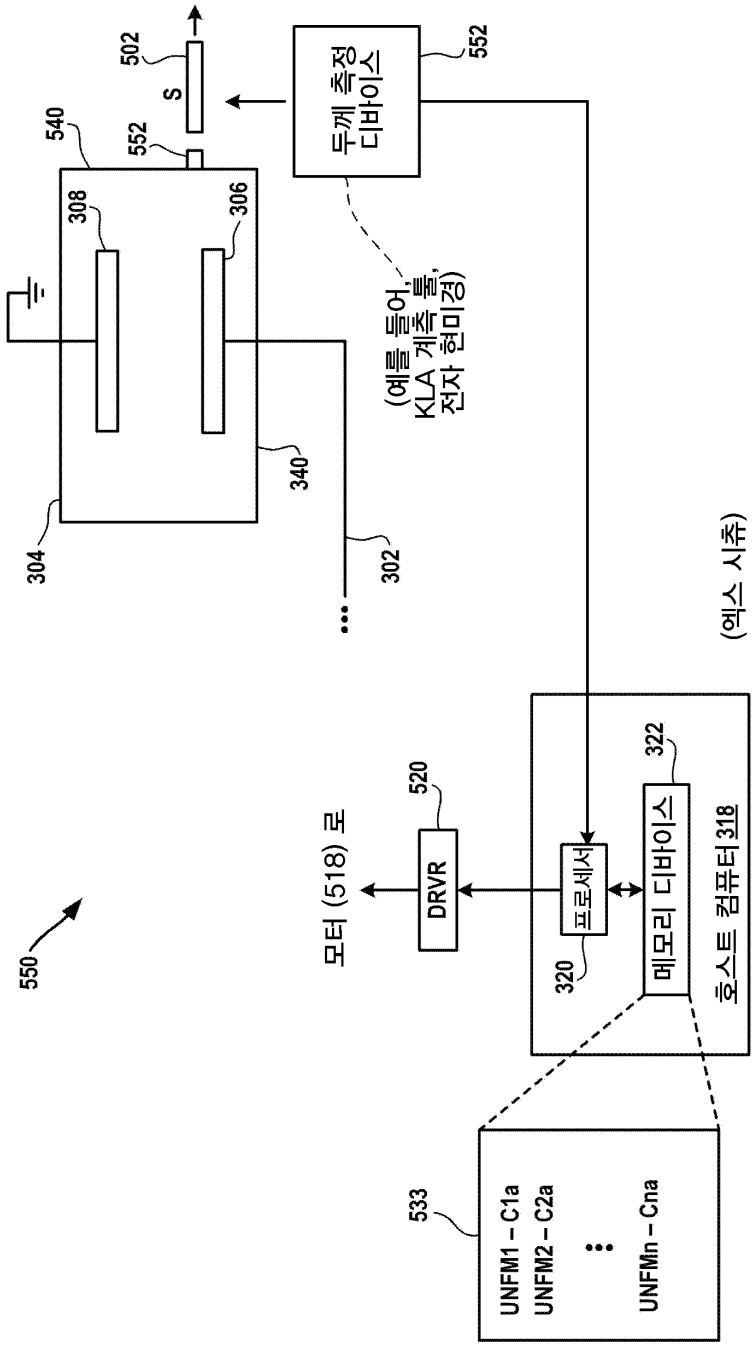
도면5b


510
340
플라즈마 챔버 (304) 로
O3
E2
440
434
512
424
430
403
Lz
438
516
Lx
Cvx
436
514
402
426
428
Ly
422
UCC
E1
O4
312
432
IMC (204) 로부터
518
520
522
모터
DRVR
프로세서
메모리 디바이스
320
322
호스트 컴퓨터 318

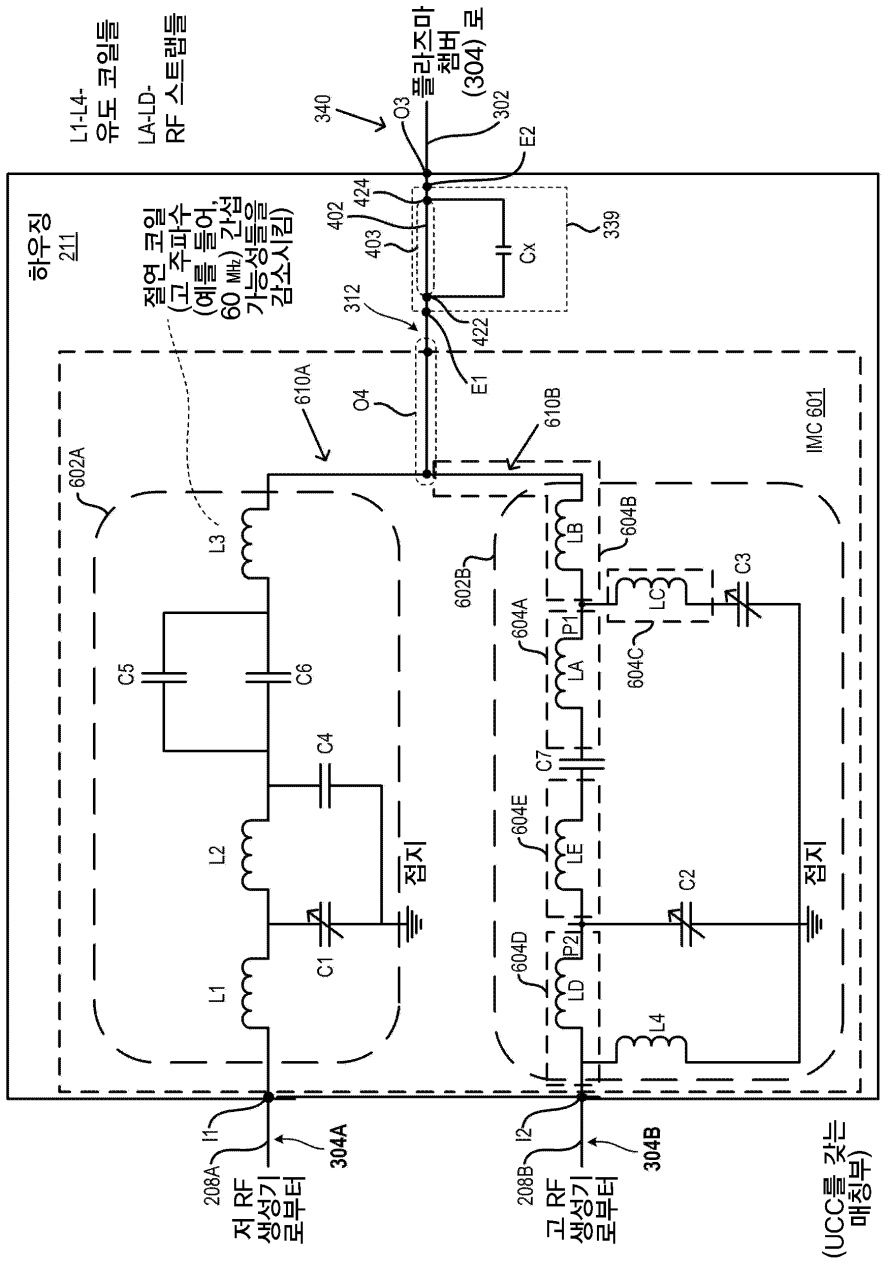
도면5c


530
532
542
544
534
540
308
304
S
502
306
302
340
538
536
546
O3
512
E2
UCC
Cvx
312
E1
O4
204
IMC
하우징 211
I1
I2
304A
304B
522
518
모터
520
DRVR
프로세서
320
322
메모리 디바이스
호스트 컴퓨터 318
533
uNFM1 – C1a
uNFM2 – C2a
uNFMn – Cna
(인 시츄 프로세스)

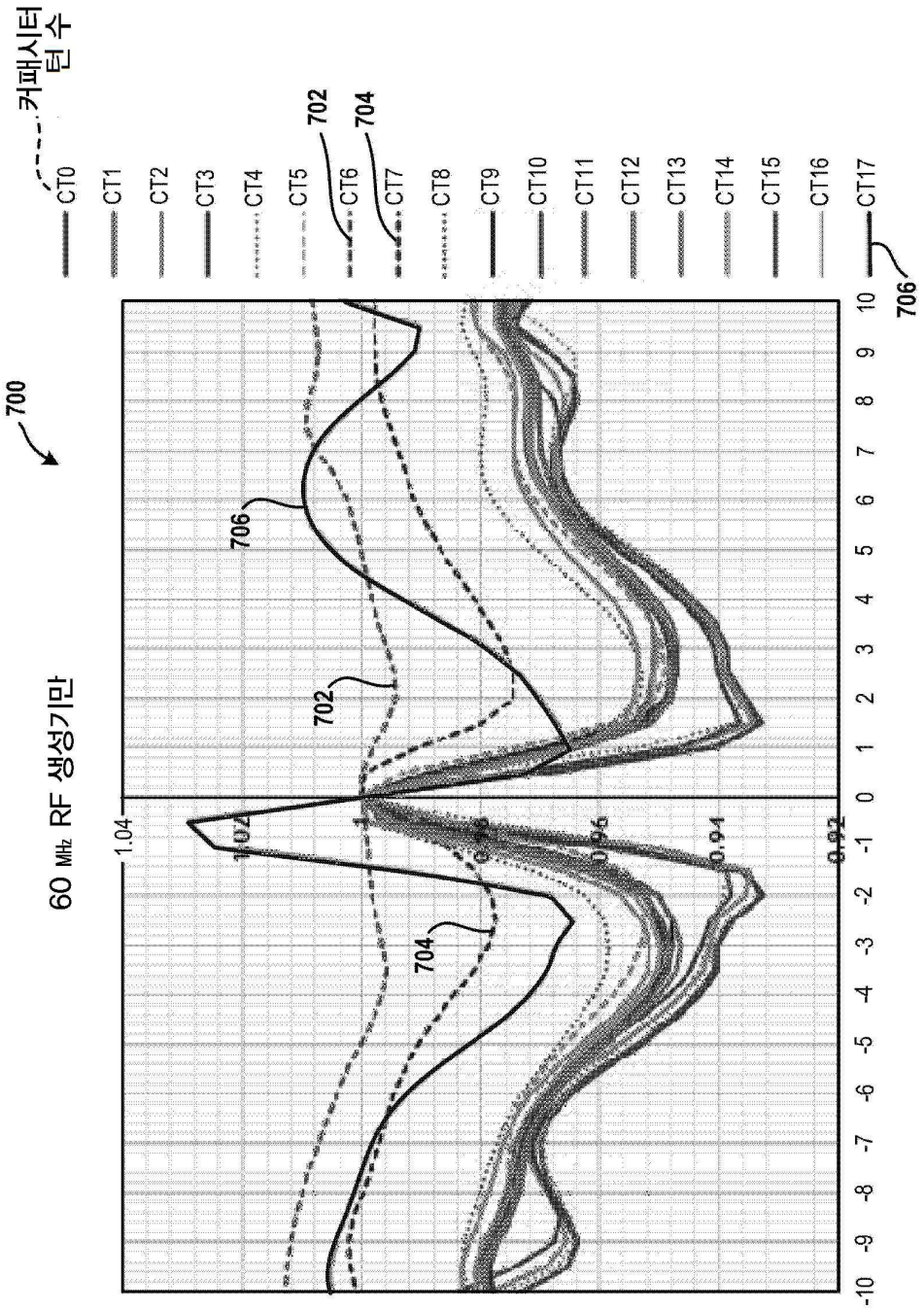
도면5d


550
304
302
340
308
306
540
552
502
S
552
두께 측정 디바이스
(예를 들어, KLA 계측툴, 전자 현미경)
(엑스 시츄)
호스트 컴퓨터 318
메모리 디바이스
322
프로세서
320
DRVR
520
모터 (518) 로
533
UNFM1 – C1a
UNFM2 – C2a
UNFMn – Cna

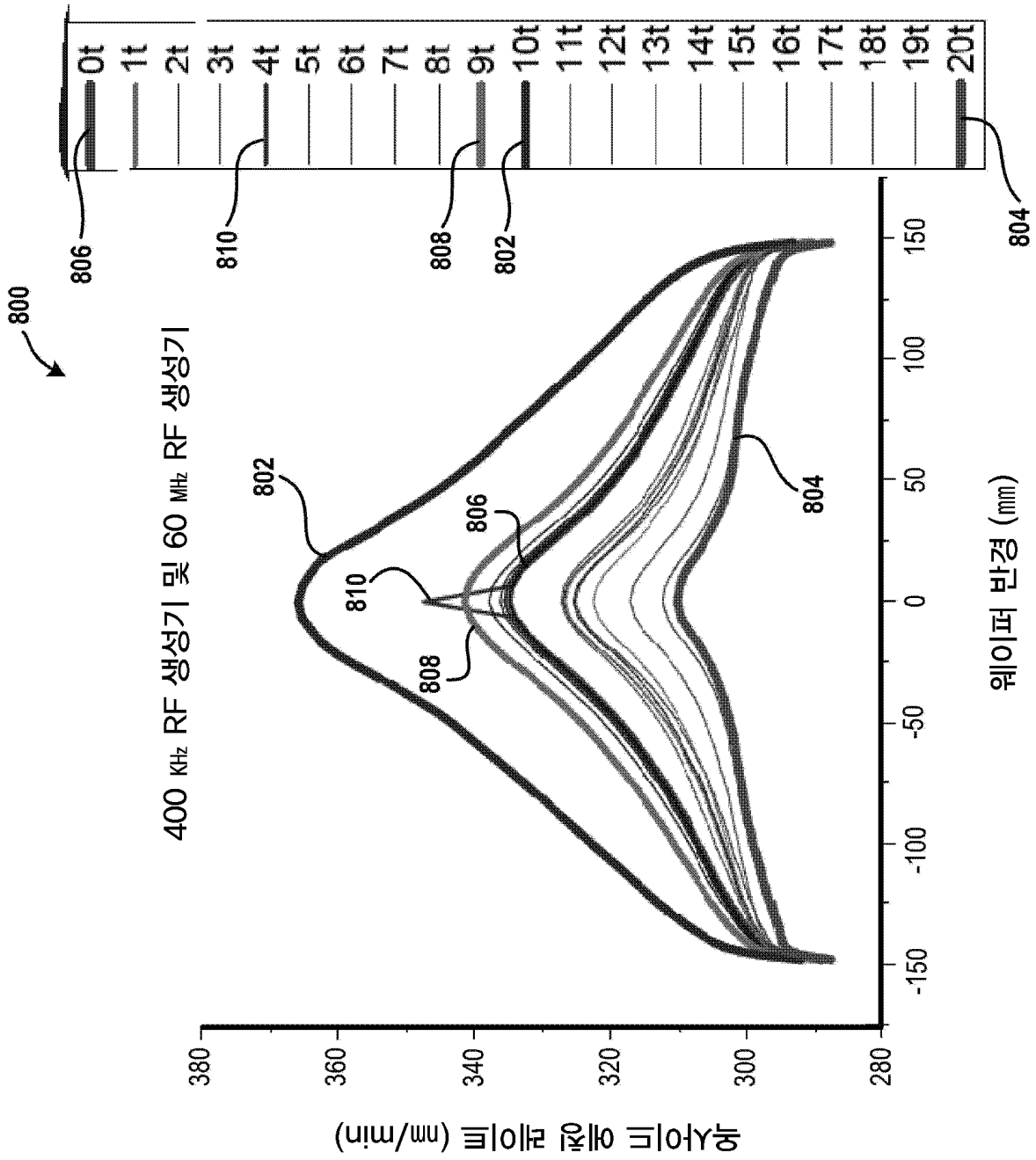
도면6


L1-L4-
유도 코일들
LA-LD-
RF 스트랩들
하우징
211
절연 코일
(고 주파수
(예를 들어,
60 MHz) 간섭
가능성들을
감소시킴)
플라즈마
챔버
(304) 로
340
O3
302
E2
402
424
403
Cx
339
312
422
E1
O4
610A
610B
IMC 601
602A
602B
L3
L2
L1
C5
C6
C4
C1
접지
604A
LA
P1
LB
604B
LC
C3
604C
C7
604E
LE
C2
604D
LD
P2
L4
208A
I1
304A
208B
I2
304B
저 RF
생성기
로부터
고 RF
생성기
로부터
(UCC를 갖는
매칭부)

도면7


700
60 MHz RF 생성기만
커패시터 턴 수
CT0
CT1
CT2
CT3
CT4
CT5
CT6
CT7
CT8
CT9
CT10
CT11
CT12
CT13
CT14
CT15
CT16
CT17
702
704
706
1.04
1.02
1
0.98
0.96
0.94
0.92
10
9
8
7
6
5
4
3
2
1
0
-1
-2
-3
-4
-5
-6
-7
-8
-9
-10

도면8


800
400 KHz RF 생성기 및 60 MHz RF 생성기
802
804
806
808
810
0t
1t
2t
3t
4t
5t
6t
7t
8t
9t
10t
11t
12t
13t
14t
15t
16t
17t
18t
19t
20t
에칭 레이트 (nm/min)
380
360
340
320
300
280
웨이퍼 반경 (mm)
-150
-100
-50
0
50
100
150