

(19) 日本国特許庁 (JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2014-532862  
(P2014-532862A)

(43) 公表日 平成26年12月8日(2014.12.8)

(51) Int.Cl.

**GO 1 R** 31/28 (2006.01)  
**GO 6 F** 11/22 (2006.01)

F 1

GO 1 R 31/28  
GO 6 F 11/22

H  
DA

### テーマコード（参考）

2G132  
5B048

(43) 公表日 平成26年12月8日(2014.12.8)

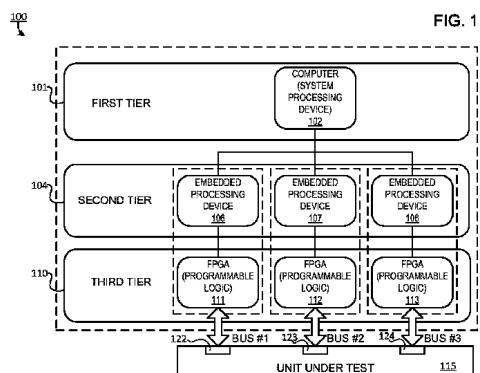
審査請求 未請求 予備審査請求 未請求 (全 19 頁)

(21) 出願番号	特願2014-538796 (P2014-538796)	(71) 出願人	591069226 テラダイン・インコーポレーテッド TERADYNE INCORPORATED アメリカ合衆国マサチューセッツ州018 64, ノース・リーディング, リバーパーク・ドライブ 600
(86) (22) 出願日	平成24年9月20日 (2012. 9. 20)		
(85) 翻訳文提出日	平成26年4月25日 (2014. 4. 25)		
(86) 國際出願番号	PCT/US2012/056247		
(87) 國際公開番号	W02013/062692		
(87) 國際公開日	平成25年5月2日 (2013.5.2)		
(31) 優先権主張番号	13/284, 378	(74) 代理人	100096725 弁理士 堀 明▲ひこ▼
(32) 優先日	平成23年10月28日 (2011.10.28)	(74) 代理人	100171697 弁理士 原口 尚子
(33) 優先権主張国	米国 (US)	(72) 発明者	ブーラッサ、ステファン・ジェイ アメリカ合衆国マサチューセッツ州018 76、テューカスペリー、カート・パス・ ロード253

(54) 【発明の名称】構成可能なインターフェースを有する試験機器

(57) 【要約】

概して、試験機器は、制御システムとの通信を含む、試験機器の動作を制御するようにプログラムされ、かつ試験機器にインターフェース接続されたデバイスを試験するために、1つ以上の試験プログラムを実行するようにプログラムされた処理システムを含み、処理システムが複数の処理デバイスと、試験機器にインターフェース接続されたデバイスと通信を交換する、構成可能なインターフェースとを含み、構成可能なインターフェースが異なる構成が割り当て可能である、物理ポートを含む



**【特許請求の範囲】****【請求項 1】**

試験機器であって、

制御システムとの通信を含む前記試験機器の動作を制御するようにプログラムされ、かつ前記試験機器にインターフェース接続されたデバイスを試験するために、1つ以上の試験プログラムを実行するようにプログラムされた処理システムであって、複数の処理デバイスを備える、処理システムと、

前記試験機器にインターフェース接続された前記デバイスと通信を交換する、構成可能なインターフェースであって、異なる構成が割り当て可能である、物理ポートを備える、構成可能なインターフェースと、を備える、試験機器。

10

**【請求項 2】**

前記構成可能なインターフェースが、プログラム可能な論理を備え、前記論理が、前記論理へのロードのアプリケーションを通じてプログラム可能であり、前記ロードが、前記物理ポートが異なる構成を想定することを可能にする機能性を提供する、請求項1の試験機器。

**【請求項 3】**

前記プログラム可能な論理が、フィールドプログラマブルゲートアレイ(FPGA)を備え、

前記ロードが、前記物理ポートが、制御入力に応答して前記異なる構成を想定することを可能にする、単一のロードである、請求項2に記載の試験機器。

20

**【請求項 4】**

前記単一のロードが、前記試験機器にインターフェース接続された前記デバイス上で1つ以上の試験を実施するように、前記FPGAを更に構成する、請求項3に記載の試験機器。

**【請求項 5】**

異なる構成が、少なくとも部分的に、前記複数の処理デバイスのうちのどれが前記試験機器にインターフェース接続された前記デバイスと通信するかに基づいて、前記物理ポートに割り当て可能である、請求項1に記載の試験機器。

**【請求項 6】**

前記処理システムが、前記制御入力を前記FPGAに提供するようにプログラムされる、請求項3に記載の試験機器。

30

**【請求項 7】**

前記異なる構成が、ポートが入力又は出力として動作するかどうかを含む、前記ポートの機能に関係する、請求項1に記載の試験機器。

**【請求項 8】**

前記異なる構成が、前記ポートの幅に関係する、請求項1に記載の試験機器。

**【請求項 9】**

前記異なる構成が、前記ポートを通じて伝送される信号の周波数に関係する、請求項1に記載の試験機器。

**【請求項 10】**

前記異なる構成が、前記ポートと関連付けられるメモリの深さに関係する、請求項1に記載の試験機器。

40

**【請求項 11】**

前記処理システムが、

前記試験機器にインターフェース接続されたデバイスを試験するために、1つ以上の試験プログラムを実行するようにプログラム可能であり、かつ前記試験機器の動作を制御するようにプログラムされる、第1の処理サブシステムと、

デバイス試験専用である第2の処理サブシステムであって、前記デバイスを試験するために、1つ以上の試験プログラムを実行するようにプログラム可能である複数の処理デバイスを備える、第2の処理サブシステムと、を備える、請求項1に記載の試験機器。

50

**【請求項 1 2】**

方法であつて、

制御システムとの通信を含む、試験機器の動作を制御するように処理システムを構成することであつて、前記構成することが、前記試験機器にインターフェース接続されたデバイスを試験するために、1つ以上の試験プログラムを実行するように前記処理システムをプログラムすることを含み、前記処理システムが、複数の処理デバイスを備える、構成することと、

前記試験機器にインターフェース接続された前記デバイスと通信を交換する、構成可能なインターフェースを提供することであつて、前記構成可能なインターフェースが、異なる構成が割り当て可能である物理ポートを備える、提供することと、を含む、方法。 10

**【請求項 1 3】**

前記構成可能なインターフェースが、プログラム可能な論理を含み、前記論理が、前記論理へのロードのアプリケーションを通じてプログラム可能であり、前記ロードが、前記物理ポートが異なる構成を想定することを可能にする機能性を提供する、請求項 1 2 に記載の方法。

**【請求項 1 4】**

前記プログラム可能な論理が、フィールドプログラマブルゲートアレイ（FPGA）を含み、

前記ロードが、前記物理ポートが制御入力に応答して前記異なる構成を想定することを可能にする、単一のロードである、請求項 1 3 に記載の方法。 20

**【請求項 1 5】**

前記単一のロードが、前記試験機器にインターフェース接続された前記デバイス上で1つ以上の試験を実施するように、前記FPGAを更に構成する、請求項 1 4 に記載の方法。  
。

**【請求項 1 6】**

異なる構成が、少なくとも部分的に、前記複数の処理デバイスのうちのどれが前記試験機器にインターフェース接続された前記デバイスと通信するかに基づいて、前記物理ポートに割り当て可能である、請求項 1 2 に記載の方法。

**【請求項 1 7】**

前記異なる構成が、ポートが入力又は出力として動作するかどうかを含む、前記ポートの機能に関係する、請求項 1 2 に記載の方法。 30

**【請求項 1 8】**

前記異なる構成が、前記ポートの幅に関係する、請求項 1 2 に記載の方法。

**【請求項 1 9】**

前記異なる構成が、前記ポートを通じて伝送される信号の周波数に関係する、請求項 1 2 に記載の方法。

**【請求項 2 0】**

前記異なる構成が、前記ポートと関連付けられるメモリの深さに関係する、請求項 1 2 に記載の方法。

**【発明の詳細な説明】****【技術分野】****【0 0 0 1】**

本開示は、概して、構成可能なインターフェースを有する試験機器に関する。

**【背景技術】****【0 0 0 2】**

自動試験装置（ATE）は、半導体デバイス及び回路基板アセンブリ等、電子部品の製造において役割を果たす。製造業者は概して、製造プロセスの間にデバイスの動作を検証するために、自動試験装置、又は「テスタ機器」を使用する。このようなデバイスは、「被試験デバイス」（DUT）又は「被試験ユニット」（UUT）と称される。障害の早期検出は、早期検出されない場合に不良デバイスを処理することによって生じるコストを排 50

除し、それによって、製造コスト全体を削減する。製造業者はまた、多様な仕様を評価するためにもATEを使用する。デバイスは、速度等、分野の異なるレベルの性能に従って、試験し、分類することができる。デバイスは、その実性能レベルに従って、ラベル付けて、販売することができる。

【発明の概要】

【課題を解決するための手段】

【0003】

概して、一態様において、試験機器は、制御システムとの通信を含む、試験機器の動作を制御するようにプログラムされ、かつ試験機器にインターフェース接続されたデバイスを試験するために、1つ以上の試験プログラムを実行するようにプログラムされた処理システムを含み、処理システムが、複数の処理デバイスと、試験機器にインターフェース接続されたデバイスと通信を交換する、構成可能なインターフェースと、を含み、構成可能なインターフェースが、異なる構成が割り当て可能である、物理ポートを含む。10

【0004】

概して、別の態様において、方法は、制御システムとの通信を含む、試験機器の動作を制御するように処理システムを構成することを含み、構成することが、試験機器にインターフェース接続されたデバイスを試験するために、1つ以上の試験プログラムを実行するように処理システムをプログラムすることを含み、処理システムが、複数の処理デバイスを含む。方法は、試験機器にインターフェース接続されたデバイスと通信を交換する、構成可能なインターフェースを提供することを更に含み、構成可能なインターフェースが、異なる構成が割り当て可能である、物理ポートを含む。20

【0005】

態様には以下の特徴の1つ以上が含まれてもよい。構成可能なインターフェースは、プログラム可能な論理を含み、論理が、論理へのロードのアプリケーションを通じてプログラム可能であり、ロードが、物理ポートが異なる構成を想定することを可能にする機能性を提供する。プログラム可能な論理は、フィールドプログラマブルゲートアレイ(FPGA)を含み、ロードは、物理ポートが、制御入力に応答して異なる構成を想定することを可能にする单一のロードである。单一のロードは更に、FPGAが試験機器にインターフェース接続されたデバイス上で1つ以上の試験を実施するように構成する。異なる構成は、少なくとも部分的に、複数の処理デバイスのうちのどれが試験機器にインターフェース接続されたデバイスと通信するかに基づいて、物理ポートに割り当て可能である。処理システムは、制御入力をFPGAに提供するようにプログラムされる。異なる構成は、ポートが入力又は出力として動作するかどうかを含む、ポートの機能に関係する。異なる構成は、ポートの幅に関係する。異なる構成は、ポートを通じて伝送される信号の周波数に関係する。異なる構成は、ポートと関連付けられるメモリの深さに関係する。処理システムは、試験機器にインターフェース接続されたデバイスを試験するために、1つ以上の試験プログラムを実行するようにプログラム可能であり、かつ試験機器の動作を制御するようにプログラム可能である、第1の処理サブシステムと、デバイス試験専用である第2の処理サブシステムとを含み、第2の処理システムが、デバイスを試験するために、1つ以上の試験プログラムを実行するようにプログラム可能である、複数の処理デバイスを含む。30

【0006】

この概要の項を含む、本開示で説明される特徴のうちの、2つ以上を組み合わせることにより、本明細書では具体的に説明されない実施形態を形成することができる。

【0007】

本明細書において説明されるシステム及び技法、又はその部分は、1つ以上の非一時的機械可読記憶媒体上に記憶され、かつ1つ以上の処理デバイス上で実行可能である命令を含む、コンピュータプログラム製品として実装されてもよい。本明細書において説明されるシステム及び技法、又はその部分は、記載の機能を実装するために実行可能な命令を記憶するように、1つ以上の処理デバイス及びメモリを含むことができる装置、方法、又は電子システムとして実装されてもよい。40

## 【0008】

1つ以上の実装の詳細を、添付の図面及び以下の説明で明らかにする。他の特徴、目的及び利点は、発明を実施するための形態及び図面、並びに特許請求の範囲から明白となるであろう。

## 【図面の簡単な説明】

## 【0009】

【図1】図1は例示的な試験機器のブロック図である。

【図2】図2は例示的なプログラム可能な論理を示すブロック図である。

【図3】図3は例示的な試験システムのブロック図である。

【図4】図4は試験システムに含まれる例示的なテストのブロック図である。

10

## 【発明を実施するための形態】

## 【0010】

本明細書において、構成可能であるインターフェースを含む試験機器を説明する。試験機器は、複数の処理デバイスを含むことができる、処理システムを含む。処理システムは、試験機器の動作を制御するようにプログラムされる。処理システムはまた、試験機器にインターフェース接続されたデバイスを試験するために、1つ以上の試験プログラムを実行するよりもプログラムされる。試験機器は、試験機器にインターフェース接続されたデバイス（例えば、被試験ユニット、又は「UUT」）と通信が交換される、構成可能なインターフェースを含む。この例示的な実装において、構成可能なインターフェースは、異なる構成が割り当て可能である、物理ポートを含む。この例示的な実装において、インターフェースは、複数の選択可能なインターフェース構成を含む、単一のプログラムイメージを使用して、リアルタイムで構成可能である。

20

## 【0011】

図1は、前述の試験機器100の例示的な実装のブロック図である。図1において、試験機器100は、3階層の処理システムを含む。しかしながら、他の例示的な実装において、これより多い、又は少ない階層が存在してもよい。試験機器100の異なる階層は、UUTに対するその階層の相対的関係を反映する。本実施例において、第1の階層101は、コンピュータ102を含む。本実施例において、コンピュータ102は、外部ネットワークとの通信等、試験機器100の多様な機能を制御するシステム処理デバイスを含む。加えて、コンピュータ102は、以下に説明されるように、多様な試験動作を実施するようにプログラム可能である。第2の階層104は、試験専用である、1つ以上の処理デバイス106～108を含む。例えば、処理デバイス106～108は、典型的に、試験機器の制御及びネットワーク通信のような、試験以外の機能を実施しない。しかしながら、いくつかの実施例において、処理デバイス106～108は、通信、及び制御の流れ、中断、タイミング等、いくつかのハウスキーピング機能を実施してもよい。第3の階層110は、UUT 115に対するインターフェースとして機能するように、かつUUT上で1つ以上の試験動作を実施するようにプログラム可能である、論理111～113を含む。

30

## 【0012】

この例示的な第1の階層101において、コンピュータ102は、1つ以上のマイクロプロセッサ又は单一のマルチコアマイクロプロセッサ（図示せず）等、1つ以上の処理デバイスを含む。コンピュータ102はまた、外部環境との試験機器の通信を制御するため、かつ試験機器100の動作を制御するための多様な「ハウスキーピング」機能を実施するための実行可能なコードを記憶するメモリ（図示せず）も含む。例えば、コンピュータ102は、ネットワークインターフェース120上で試験機器と1つ以上の外部エンティティとの間の通信を交換すること、マルウェアに対して試験機器をスキャンすること、メモリ管理、出力制御、及びUUTの試験に特に関係しない他の機能を担ってもよい。

40

## 【0013】

コンピュータ102はまた、試験機器100にインターフェース接続されたUUT（例えば、115）上で試験動作を実施するようにもプログラム可能である。試験動作は、バ

50

ス速度、反応時間、又は UUT の任意の他の適切な動作態様を試験することを含むことができるが、これらに限定されない。一般に、実施される試験は、試験されるデバイスの種類、及び試験中に求められる情報に依存する。

#### 【0014】

1つ以上の試験プログラムが、コンピュータ 102 上のメモリにロードされ、試験を実施するために、コンピュータ 102 内の処理デバイス（複数を含む）によって実行されてもよい。試験を実施している間、コンピュータ 102 は、試験機器 100 の動作状態を保つために、上で説明されるもののような他の機能を実施し続けてもよい。このため、試験レイテンシ（例えば、試験の開始と試験結果の受信との間の時間量）は、ミリ秒単位であり得る。これは、試験レイテンシの例に過ぎない。異なるシステムにおいて、コンピュータ 102 内の処理デバイス（複数を含む）の速度、コンピュータ 102 内で試験プログラムを実行するために利用可能なメモリの量等、多数の因子が試験レイテンシに影響を与える場合がある。10

#### 【0015】

コンピュータ 102 を介して試験を実施することの可能な利点は、試験プログラムの開発コストに関係する。より具体的には、コンピュータ 102 は、MICROSOFT（登録商標）WINDOWS（登録商標）又は任意の他の比較的操作が簡単なオペレーティングシステム等、オペレーティングシステム（OS）を実行することができる。オペレーティングシステム等の試験プログラムの開発に利用できるツールは、典型的に広く入手可能で、一般に、試験プログラム開発者によく知られている。この結果、コンピュータ 102 上で実行するために、コンピュータ 102 上で試験プログラムを開発するコストは、多階層アーキテクチャの他の階層上で実行するために試験プログラムを開発するコストよりも少なくすることができる。しかしながら、この一般化は、全ての事例では該当しない場合がある。20

#### 【0016】

本実施例において、第 2 の階層 104 は、複数の埋め込み処理デバイス 106～108 を含む。ここでは、3つの埋め込み処理デバイスが示されるが、しかしながら、試験機器 100 は、例えば、1つ、2つ、4つ、5つ以上等、任意の適切な数の埋め込み処理デバイスを含んでもよい。これらの処理デバイスは、これらが、試験機器 100 に組み込まれ、かつ、試験機能の実施専用（例えば、試験機器 100 にインターフェース接続された UUT を試験するために）であるという意味で埋め込みである。埋め込み処理デバイス 106～108 は、典型的に、コンピュータ 102 によって実施される、上で説明される「ハウスキーピング」動作等の試験機器動作を担わない。しかしながら、いくつかの実装において、埋め込み処理デバイス 106～108 は、1つ以上のそのような動作、又は UUT 試験に特に関係しない、他の動作を実施するようにプログラムされてもよい。30

#### 【0017】

各埋め込み処理デバイス 106～108 は、例えば、単一のコア又は複数のコアを有するマイクロコントローラ又はマイクロプロセッサ等を含むことができる。各マイクロプロセッサは、直接又はコンピュータ 102 を介して、プログラム可能である。例えば、試験機器 100 のユーザーは、埋め込み処理デバイス 106 をプログラムするために、コンピュータ 102 のオペレーティングシステムと相互作用することができる。あるいは、各埋め込み処理デバイスがプログラムされる場合がある、例えば、ハードウェア又はソフトウェア等、直接のインターフェースが存在してもよい。プログラミングは、この文脈において、それぞれの埋め込み処理デバイス上へ 1 つ以上の試験プログラムを記憶することを指し、試験プログラムは、UUT を試験するために、その埋め込み処理デバイス上で実行することができる。40

#### 【0018】

図 1 に示されるように、各埋め込み処理デバイスは、コンピュータ 102、及びそれぞれのプログラム可能な論理（本実施例において、フィールドプログラマブルゲートアレイ（FPGA））にインターフェース接続される。以下に説明するように、各 FPGA は、50

試験対象の別個の UUT ( 図示せず ) 、又は単一の UUT の一部 ( 例えば、示されるようにその UUT 上のバス 122 、 123 、 124 ) に対するインターフェースとして機能する。したがって、本実施例において、各埋め込み処理デバイスは、試験されている、対応する UUT 、又はその一部の専用に設計された試験プログラムでプログラムされてもよい。記載されるように、適切な試験プログラムは、埋め込み処理デバイスに直接ロードされてもよく、又はコンピュータ 102 を介してロードされてもよい。各埋め込み処理デバイスは、その独自の試験プログラムを別個に、及び他の埋め込み処理デバイスと同時に実行してもよい。いくつかの実装において、それらのそれぞれの試験プログラムがどのように実行されるかについて、埋め込み処理デバイス間で協調が存在してもよい。そのような協調は、埋め込み処理デバイス自体によって、又はコンピュータ 102 によって実装されてもよい。いくつかの実装において、協調には、アーキテクチャの異なる階層にあるデバイスが関与してもよい。いくつかの実装において、異なる埋め込み処理デバイス 106 ~ 108 は、適切な協調を用いて、又は用いずに、同じ試験プログラムの異なる部分 ( 例えば、モジュール ) を実装してもよい。

10

#### 【 0019 】

埋め込み処理デバイスを介して試験を実施することの可能な利点は、試験レイテンシに関係する。より具体的には、埋め込み処理デバイスは、主に試験専用であるため、それらのリソースは典型的に、他のタスクによる負担がかからない。この結果、試験レイテンシは、コンピュータ 102 によって達成するよりも少なくすることができる。例えば、埋め込み処理デバイスの試験レイテンシは、マイクロ秒の単位であり得る。しかしながら、これは、埋め込み処理デバイスの試験レイテンシの例に過ぎない。異なるシステムにおいて、処理デバイスの速度、試験プログラムを実行するために利用可能なメモリの量等、多数の因子が試験レイテンシに影響を与える場合がある。したがって、前述の一般化は、全ての事例では該当しない場合がある。

20

#### 【 0020 】

更に、埋め込み処理デバイス上で試験プログラムを開発するためのツールが利用可能である。この結果、埋め込み処理デバイス上で実行するために、埋め込み処理デバイス上で試験プログラムを開発するコストは、 FPGA 等、ハードウェア上で実行するために、試験プログラムを開発するコストより少なくすることができる。

30

#### 【 0021 】

第 3 の階層 110 は、例えば、 FPGA 111 ~ 113 等、プログラム可能な論理を含むが、 FPGA の代わりに、他の種類のプログラム可能な論理が使用されてもよい。各 FPGA は、 FPGA にプログラムイメージをロードすることによって構成される。このプログラムイメージは、「 FPGA ロード」と称される。本実施例において、各 FPGA は、 UUT 又はその一部 ( 例えば、 UUT バス ) と試験機器 100 との間のインターフェースとして機能するように構成される。例えば、 FPGA は、ポート幅、ポート速度、入力ポートの数、出力ポートの数等を指定することができる。

#### 【 0022 】

第 1 の階層 101 のコンピューティングデバイス ( 複数を含む ) ( 例えば、コンピュータ 102 ) 及び第 2 の階層 104 のコンピューティングデバイス ( 複数を含む ) ( 例えば、埋め込み処理デバイス 106 ~ 108 ) は、第 3 の階層 110 を通じて、 UUT 115 にアクセスする。例えば、図 1 に示されるように、各埋め込み処理デバイスは、対応する FPGA を通じて、 UUT 115 と通信することができる。コンピュータ 102 は、どの UUT 、又は UUT のどの部分が、現在試験されているかに依存して、 1 つ以上の FPGA を通じて、 UUT 115 と通信してもよい。いくつかの実装において、 FPGA によって実装される各インターフェースは、プログラム可能である。他の実装において、各 FPGA によって実装されるインターフェースは、静的である ( 例えば、プログラム可能ではない ) 。

40

#### 【 0023 】

各 FPGA はまた、 FPGA がインターフェース接続される、対応する UUT 、又はそ

50

の一部上で 1 つ以上の試験を実施するように構成されてもよい。例えば、各 F P G A に対する F P G A のロードは、U U T の多様な態様を試験するために、F P G A によって実行される、1 つ以上の試験ルーチンを含むことができる。上記のように、実装されるルーチンは、試験されているデバイス、及び試験中に求められる情報に依存する。各 F P G A によって実行される試験ルーチンは、他の F P G A によって実行される他の試験ルーチンとは独立して実行されてもよく、又は、多様な F P G A の間で協調が存在してもよい。各 F P G A は、それ独自の試験ルーチンを別個に、及び他の埋め込み処理デバイスと同時に実行することができる。いくつかの実装において、それらのそれぞれの試験プログラムがどのように実行されるかについて、F P G A 間で協調が存在してもよい。このような協調は、F P G A 自体によって、それらの対応する埋め込み処理デバイスによって、又はコンピュータ 1 0 2 によって実装されてもよい。いくつかの実装において、協調には、アーキテクチャの異なる階層にあるデバイスが関与してもよい。例えば、コンピュータ 1 0 2 は、埋め込み処理デバイス 1 0 6 ~ 1 0 8 と連携して、それぞれの F P G A 1 1 1 ~ 1 1 3 の動作を協調させることができる。いくつかの実装において、異なる F P G A は、適切な協調を用いて、又は用いずに、同じ試験ルーチンの異なる部分（例えば、モジュール）を実装してもよい。

10

#### 【 0 0 2 4 】

F P G A を介して試験を実施することの可能な利点は、試験レイテンシに関係する。より具体的には、F P G A は、ハードウェアデバイスであるため、埋め込み処理デバイス 1 0 6 ~ 1 0 8 又はコンピュータ 1 0 2 内のいずれかにプログラムされる試験ルーチンよりも高速で実行することが可能である。この結果、試験レイテンシは、埋め込み処理デバイス 1 0 6 ~ 1 0 8 又はコンピュータ 1 0 2 によって達成されるよりも少なくすることができる。例えば、プログラム可能なデバイスの試験レイテンシは、ナノ秒の単位であり得る。しかしながら、これは、F P G A の試験レイテンシの例に過ぎない。異なるシステムにおいて、多数の因子が試験レイテンシに影響を与える場合がある。したがって、前述的一般化は、全ての事例では該当しない場合がある。

20

#### 【 0 0 2 5 】

いくつかの実装において、試験は、アーキテクチャの 1 つの階層又は別の階層によって、排他的に実施されてもよい。例えば、コンピュータ 1 0 2 は、U U T を試験するために、1 つ以上の試験プログラムを実行するようにプログラムされてもよく、一方、アーキテクチャの他の階層上のデバイスは、U U T 試験を実施しない。埋め込み処理デバイス 1 0 6 ~ 1 0 8 は、U U T を試験するために、1 つ以上の試験プログラムを実行するようにプログラムされてもよく、一方、アーキテクチャの他の階層上のデバイスは、U U T 試験を実施しない。F P G A 1 1 1 ~ 1 1 3 は、デバイス上で 1 つ以上の試験を実行するように構成されてもよく、一方、アーキテクチャの他の階層上のデバイスは、U U T 試験を実施しない。試験を実施していないデバイスは、この時間中、必ずしも休眠状態ではない。例えば、コンピュータ 1 0 2 は、上で説明されるハウスキーピング動作を実施し続けてもよく、F P G A は、U U T ヘ / U U T からデータをルーティングし続けてもよく（すなわち、U U T に対するインターフェースとして機能する）、埋め込み処理デバイスは、協調又は他の通信（例えば、F P G A からコンピュータ 1 0 2 へ試験結果を伝送すること）で作動状態であり続けてもよい。

30

#### 【 0 0 2 6 】

他の実装において、試験は、アーキテクチャの異なる階層によって、同時又は連携して実施されてもよい。例えば、コンピュータ 1 0 2 、埋め込み処理デバイス 1 0 6 ~ 1 0 8 、及び F P G A 1 1 1 ~ 1 1 3 のうちの 2 つ以上は、単一の U U T 又は複数の U U T 上で 1 つ以上の試験動作を実施するために、同時に又は同じ試験順序内で、協調して機能することができる。このような協調を有効にするために、適切なプログラミングが、コンピュータ 1 0 2 及び / 若しくは埋め込み処理デバイス 1 0 6 ~ 1 0 8 内にロードされ、並びに / 又は適切なイメージが F P G A 内にロードされる。例として、第 1 の試験は、コンピュータ 1 0 2 によって U U T 上で実施されてもよく、第 2 の試験は、埋め込み処理デバイ

40

50

ス 1 0 6 によって U U T 上で実施されてもよく、第 3 の試験は、F P G A 1 1 1 によって U U T 上で実施されてもよい。第 1 、第 2 、及び第 3 の試験は、別個の試験、又は同じ試験順序の一部であってもよい。第 1 、第 2 、及び第 3 の試験からのデータは、適切な試験結果を取得するために、例えば、コンピュータ 1 0 2 内で組み合わされ、処理されてもよい。これらの試験結果は、分析及び報告のために、外部のコンピュータ（図示せず）へ送信されてもよい。アーキテクチャの階層のいずれか又は別の（例えば、第三者）当事者のコンピュータ（図示せず）が、協調を実施してもよい。

#### 【 0 0 2 7 】

アーキテクチャの 1 つ以上の階層がプログラムされていない実装において、プログラムされていない階層は迂回されてもよい（少なくとも、それらの試験機能が関与する限り）。プログラムされていない階層は、プログラミング並びに階層間及び外部のネットワークとの通信に関する上で説明されるもののような多様な機能を実施するように、事前プログラム、又は事前構成されてもよい。

10

#### 【 0 0 2 8 】

多様な階層にあるデバイスは、リアルタイムでプログラム又は構成されてもよい。この文脈において、「リアルタイム」は、試験時点で、又は試験時間直前にプログラムすることを含む。すなわち、試験機器は、U U T 上で実行される試験プログラムで事前プログラムされている必要はない。それらの試験プログラムは、適切なタイミングで、機器内に組み込まれてもよい。試験機器上の既存の試験プログラムは、同様に、必要に応じて、新しい試験プログラムと置換されてもよい。

20

#### 【 0 0 2 9 】

図 2 は、プログラム可能な論理 2 0 1 の実施例を示し、これは、試験機器 1 0 0 の一部であってもよい。プログラム可能な論理 2 0 1 は、例えば、上で説明されるような F P G A 、又は任意の他の適切な種類のプログラム可能な論理であってもよい。この文脈において、プログラム可能な論理は、U U T に対するインターフェース 2 0 8 を含む。インターフェース 2 0 8 は、接続された U U T とデータを交換する際に使用される構成要素（例えば、ポート、メモリ等）を含む。インターフェースは、以下で説明されるように、インターフェースの異なる要素に、記憶された構成情報に基づいて、異なる役割が割り当てられてもよいという意味で構成可能である。有利に、インターフェースは、異なる試験が、例えば、異なるルーチンを使用する、又は異なるデバイスによって、U U T 上で実施されるように構成され得るという意味で、リアルタイムで構成可能であってもよい。

30

#### 【 0 0 3 0 】

本実施例において、プログラム可能な論理 2 0 1 は、複数の試験チャネルを含む。各試験チャネルは、物理ポート 2 0 2 a ~ 2 0 2 n に対応する。各物理ポートは、プログラム可能な論理上の、ピン又はスロット等、インターフェース要素に対応してもよい。これらの物理ポートは、U U T の係合するコネクタにインターフェース接続するように構造化される。本実施例において、プログラム可能な論理 2 0 1 は、1 2 8 の物理ポートを含むが、しかしながら、他の実施例において、異なる数の物理ポートが使用されてもよい。

#### 【 0 0 3 1 】

メモリ 2 0 4 （例えば、ランダムアクセスメモリ「 R A M 」）は、物理ポートの各々と関連付けられてもよい。このメモリは、示されるように、同じ隣接するメモリ空間の部分であってもよく、又は異なるメモリ空間の一部であってもよい。試験データは、メモリ 2 0 4 から、物理ポートを通じて、U U T へ転送されてもよい。試験結果データは、U U T から、物理ポートを通じて、メモリ 2 0 4 へ転送されてもよい。図 1 に関して上で説明されるように、試験は、第 1 の階層 1 0 1 、第 2 の階層 1 0 4 、及び / 又は第 3 の階層 1 1 0 （本実施例において、プログラム可能な論理 2 0 1 に含まれる）内のデバイス（複数を含む）によって、開始、及び制御されてもよい。したがって、試験データは、任意の適切な階層上の構成要素（複数を含む）から、メモリ 2 0 4 で受信されてもよく、試験結果データは、メモリ 2 0 4 から、任意の適切な階層上の構成要素（複数を含む）へ転送されてもよい。

40

50

## 【0032】

各物理ポートは、複数のポートクロック（図示せず）のうちの1つによって指示される周波数で動作してもよい。本実施例において、ポートクロックは、試験機器100内の回路（例えば、複数の階層のうちの1つの中の処理デバイス）によって生成されてもよく、又は、ポートクロックは、試験機器に対する外部入力で提供されるクロックに基づいて生成されてもよい。物理ポートは、異なる周波数で動作してもよい。例えば、物理ポート202a～202nは、第1の周波数で動作することができ、物理ポート202a～202nは、第2の周波数で動作することができる、等となる。本実施例において、ある周波数での動作は、データがポートから転送される速度を含む。

## 【0033】

プログラム可能な論理201は、レジスタ206a～206nも含む。レジスタ206a～206nは、UUTに対する、プログラム可能な論理201のインターフェース208を構成するために使用されてもよい、設定及び他のデータ等の構成情報を記憶する。より具体的には、インターフェース208の様態は、異なる処理デバイス、異なる試験ルーチン、又はプロトコル等に対応するように構成可能である。例えば、各物理ポートは、入力ポート、出力ポート、又は入力及び出力両方のポートとして動作するように構成されてもよい。

10

## 【0034】

ポート幅が構成されてもよい。例えば、複数の物理ポートは、1つ以上のマルチビットポートを作成するようにグループ化されてもよい。例えば、上の実施例の128の物理ポートは、共に単一の128ビットポートとして動作するように、2つの64ビットポートとして動作するように、4つの32ビットポートとして動作するように、1つの32ビットポート及び1つの96ビットポートとして動作するように等、構成されてもよい。物理ポートは、このようなマルチビットポートを作成するように、任意の適切な様式でグループ化されてもよい。

20

## 【0035】

ポートメモリの深さが構成されてもよい。例えば、各ポート（物理及びマルチビットポートの両方）の深さは、ポートに対して利用可能なメモリ204の量に基づいて、別個に設定することができる。例として、1024メガバイト(MB)のメモリ204は、4つのマルチビット（例えば、32ビット）ポートの各々に割り当てられる256MBとして、均等に分割することができる。その同じ1024MBのメモリ204は、512MBの1つのブロック及び128MBの4つのブロックに分割することができる。512MBが1つのマルチビットポートに割り当てられてもよく、128MBが4つの他のマルチビットポートの各々に割り当てられてもよい。本実施例において、ポートメモリの深さは、典型的に、利用可能なメモリの量を超えない。ポートメモリの深さに対する構成が、利用可能なメモリの量を超える場合、追加のメモリが、プログラム可能な論理上の他の場所から利用可能になってもよい。あるいは、構成が許可されなくてもよい。

30

## 【0036】

各ポート（物理及びマルチビットの両方のポート）の周波数が構成可能であってもよい。例えば、上で説明されるもののような適切なクロックは、各ポートと関連付けられてもよく、それらのポート（複数を含む）を通じて信号が伝送される周波数を制御するために使用されてもよい。例えば、実クロック周波数が、ポートを制御するために使用されてもよく、又は、ステップアップ若しくはステップダウンバージョンのそれらのクロック周波数が、ポートを制御するために使用されてもよい。いくつかの実装において、ポートは、例えば、10メガヘルツ(MHz)～400MHzで動作するように構成されてもよい。しかしながら、これら以外の周波数が使用されてもよい。

40

## 【0037】

異なる試験ルーチン又はプロトコルが、異なるポート構成を使用してもよい。異なるポート構成は、レジスタ206a～206nに記憶された構成情報に基づいてもよい。この点で、FPGAの例において、单一のFPGAロードは、試験機器によって実施される複

50

数の試験に対して、複数の構成を指定することができる。複数の構成は、1回の試験につき、例えば、ポート幅、ポート速度（例えば、10 M Hz ~ 400 M Hz）、入力ポートの数、出力ポートの数、メモリの深さ、ポートのグループ化、及びUUTに対するインターフェースを構成することと関連付けられる任意の他の適切な構成パラメータを指定することができる。いくつかの実装において、異なる構成は、それらが実装される処理デバイスに関係なく、異なる試験ルーチン若しくはプロトコルに適用してもよく、又は異なる構成は、それらが実装する試験ルーチン若しくはプロトコルに関係なく、異なるデバイスに適用してもよい。

#### 【0038】

上で記載されるように、インターフェースに対する構成情報は、プログラム可能な論理の1つ以上のレジスタ（例えば、レジスタ206a～206n）に記憶されてもよい。試験が、例えば、プログラム可能な論理から、又は試験機器と関連付けられる別の処理デバイスから（例えば、階層101又は104から）開始される時、適切なインターフェース構成が、適切なレジスタから取得されてもよい。構成は、試験専用又は処理デバイス専用であってもよい。記載されるように、構成は、異なる階層若しくは階層内の処理デバイスに対して記憶されてもよく、又は異なる構成は、それらが実行される処理デバイスに関係なく、異なる試験プログラム又はプロトコルに対して記憶されてもよい。

#### 【0039】

インターフェース構成情報は、各レジスタ（又はどこかの場所）に記憶されてもよく、インターフェース構成をUUT試験又はデバイスと関連付ける。試験が開始される時、プログラム可能な論理（例えば、FPGA）は、例えば、プログラム可能な論理の外側（例えば、システム処理デバイス又は埋め込み処理デバイス上）で実行される試験コードによって、適切なレジスタから情報を読み出すように、及びインターフェースの構成を試験と関連付けるように、命令されてもよい。その構成において、インターフェースは、試験に適切な構成で動作する。試験がプログラム可能な論理自体から開始される時、類似のプロセスが実施されてもよい。

#### 【0040】

例として、埋め込み処理デバイス106上で実行している試験プログラムが、UUT115のバス122に対するFPGA111（例として、プログラム可能な論理201）のインターフェースに、メモリの深さが1054 MBの単一の128ビットのポートを有することを要求すると想定する。本実施例において、適切な情報が適切なレジスタ206aから取得されてもよく、FPGA111は、これに応じてインターフェースを操作してもよい。同じUUTに対する異なるインターフェース（例えば、バス122、123、及び124に対するインターフェース）の構成及び動作は、協調されてもよく、又はこれらのインターフェースの構成及び動作は、別個であってもよい。例えば、同じレジスタ（单数又は複数）は、同じUUTに対する複数のインターフェースの各々が、特定の試験プログラム又は試験デバイスに対する同様の様式で構成されることを指定することができる。あるいは、異なるインターフェースは、同じUUT、試験プログラム、デバイス等に対して異なる構成を有することができる。

#### 【0041】

有利に、前述の例示的な実装において、FPGAロードは、DUTに対する試験機器のインターフェースを再構成するために、変更される必要はない。すなわち、同じFPGAロードは、このインターフェースに異なる構成を指定してもよく、それらのインターフェース構成は、UUT上で実施される試験に基づいて選択されてもよい。例えば、これらの例示的な実装において、同じFPGAロードは、複数のインターフェース構成の構成情報を含む（例えば、レジタに記憶されている構成情報）。したがって、これらの例示的な実装において、試験機器のインターフェース（複数を含む）を再構成するために、プログラム可能な論理に異なるプログラムイメージを適用する必要はない。他の例示的な実装において、再構成を実施するために、異なるプログラムイメージが適用されてもよい。

#### 【0042】

10

20

30

40

50

ここで図3を参照すると、この図は、本アーキテクチャが実装されてもよいシステムの実施例を示す。図3は、UUT 301を試験するための例示的な試験システム300を示す。試験システム300は、図1又は図2の多階層アーキテクチャを有することができる、テスタ302を含む。テスタ302と相互作用するために、システム300は、ネットワーク接続306上でテスタ302とインターフェース接続するコンピュータシステム305を含む。下記のように、コンピュータシステム305は、コンピュータ102(図1)の機能性を組み込んでもよく、又は試験機器上でコンピュータ102と相互作用する外部のコンピュータであってもよい。典型的に、コンピュータシステム305は、UUT 301を試験するためのルーチン及びプログラムの実行を開始するために、テスタ302へコマンドを送信する。

そのような試験プログラムの実行は、UUT 301への試験信号の生成及び伝送を開始し、UUTからの応答を回収することができる。多様な種類のUUTがシステム300によって試験されてもよい。例えば、UUTは、航空電子機器、レーダー、兵器、半導体デバイス等であってもよい。

#### 【0043】

試験信号を提供し、UUTから応答を回収するために、テスタ302は、適切なFPGAインターフェースを介して、UUT 301の内部回路のインターフェースを提供する、1つ以上のコネクタピンに接続される。例示目的のために、本実施例において、デバイステスタ302は、試験信号を(UUT 301の内部回路へ)送達するために、配線接続を介して、UUT 301のコネクタピンへ接続される。デバイステスタ302はまた、デバイステスタ302によって提供された試験信号に応答して、UUT 301で信号を感知する。例えば、試験信号に応答して、電圧信号又は電流信号がUUTピンで感知されてもよい。そのような単一ポート試験は、UUT 301に含まれる他のピン上でも実施されてよい。例えば、テスタ302は、他のピンへ試験信号を提供し、(提供された信号を送達する)伝導体上で反射した関連信号を回収してもよい。いくつかの実施例において、反射した信号を回収することによって、ピンの入力インピーダンスは、他の単一ポート試験量と共に特徴付けられてもよい。他の試験状況において、デジタル信号は、UUT 301上で記憶するためにUUT 301へ送信されてもよい。いったん記憶されると、UUT 301は、記憶されたデジタル値を読み出し、テスタ302へ送信するためにアクセスされてもよい。次いで、読み出されたデジタル値は、正しい値がUUT 301に記憶されたかどうかを判定するために識別されてもよい。

#### 【0044】

1ポート測定の実施と共に、2ポート試験もまた、デバイステスタ302によって実施されてもよい。例えば、試験信号がUUT 301上のピンに注入されてもよく、応答信号がUUT 301の1つ以上の他のピンから回収されてもよい。この応答信号はデバイステスタ302に提供され、利得応答、位相応答、及び他のスループット測定量などの量を判定する。

#### 【0045】

図4も参照すると、UUT(又は複数のUUT)の複数のコネクタピンからの試験信号を送信し、かつ回収するために、デバイステスタ302は、多くのピンと通信することができるインターフェースカード401を含む。例えば、インターフェースカード401は、本明細書において説明される1つ以上のFPGAを含み、UUTへ試験信号を伝送し、対応する応答を回収するために使用されてもよい。UUT上のピンへの各通信リンクは、チャネルを成すことができ、試験信号を多数のチャネルに提供することによって、複数の試験を同時に実施することができるので、試験時間を低減することができる。インターフェースカード上に多くのチャネルを有すると共に、複数のインターフェースカードをテスタ302内に含むことによって、全体のチャネル数は増加し、これによって更に試験時間を低減することができる。本実施例において、複数のインターフェースカードをテスタ302に装着させることができるということを実証するために、2つの追加のインターフェースカード402及び403が示されている。

#### 【0046】

10

20

30

40

50

各インターフェースカードは、特定の試験機能を実施するための、例えば、FPGA及び埋め込み処理デバイス（説明されるように、例えば、図1）を含む、専用集積回路構成を含むことができる。この回路構成は、例えば、PE試験を実施するためのピン電子（PE）段階、及び試験を実施するためのパラメータ測定ユニット（PMU）段階を実装することができる。典型的に、PMU試験は、入力及び出力インピーダンスなどの量、漏電電流、並びに他の種類のDC性能特徴を判定するために、（プログラム可能な）DC電圧又は電流信号をUUTに提供することを含む。PE試験は、DC又はAC試験信号、又は波形をUUT（例えば、UUT 301）へ送信することと、UUTの性能を更に特徴付けるために応答を回収することと、を含む。例えば、PE段階は、UUT上で記憶するために2進値のベクトルを表すAC試験信号を（UUTへ）伝送してもよい。いったんこれらの2進値が記憶されると、正しい2進値が記憶されたかどうかを判定するために、UUTがテスタ302によってアクセスされてもよい。

10

## 【0047】

いくつかの構成では、テスタ302からUUTまで1つ以上の伝導体を接続するために、インターフェースデバイスが使用されてもよい。例えば、UUTは、テスタと接続するインターフェース接続アダプタ（ICA）とインターフェース接続する、インターフェース試験アダプタ（ITA）に接続してもよい。UUT（例えば、UUT 301）は、各UUTピンへのアクセスを提供するために、デバイスインターフェースボード（DIB）上に載置されてもよい。そのような構成において、UUT伝導体は、UUTの適切なピン（複数を含む）上に試験信号を配置するために、DIBに接続されてもよい。更に、いくつかの構成では、テスタ302は、1つ又は複数のUUTに対するインターフェースカード401～403によって提供されるチャネルをインターフェース接続するために、2つ以上のDIBに接続してもよい。

20

## 【0048】

インターフェースカード401～403によって実施される試験を開始及び制御するために、テスタ302は、試験信号を生成し、UUT応答を分析するために、試験パラメータ（例えば、試験信号電圧レベル、試験信号電流レベル、デジタル値等）を提供するためのPEコントローラ408（例えば、システム処理デバイス内、埋め込み処理デバイス内、又はプログラム可能な論理内）を含む。テスタ302はまた、コンピュータシステム305が、テスタ302によって実行される動作を制御することを可能にし、かつデータ（例えば、試験パラメータ、UUT応答等）がテスタ302とコンピュータシステム305との間で渡ることを可能にする、ネットワークインターフェース409も含む。

30

## 【0049】

コンピュータシステム、若しくは試験システム300上で使用される、又はそれと関連付けられる別の処理デバイスは、デバイステスタとの有効な通信チャネルを通じて、テスタ302上で実行している試験プログラムとの通信を交換するように構成されてもよい。コンピュータシステムは、図1のコンピュータ102であっても、又はこれを含んでもよい。あるいは、コンピュータ102は、テスタ302の一部であってもよく、図4について説明されるコンピュータシステムは、コンピュータ102と通信してもよい。

40

## 【0050】

上記は、システム処理デバイス、埋め込み処理デバイス、又はプログラム可能な論理を使用して、試験を実施することを説明する。しかしながら、試験は、本明細書において説明されるように、システム処理デバイス、埋め込み処理デバイス、又はプログラム可能な論理の組み合わせを使用して実施されてもよい。例えば、これらの異なる要素の各々は、同じデバイス又はその一部を試験するために、1つ又は複数の試験プログラムを同時に実行してもよい。同様に、これらの異なる要素は、例えば、システム処理デバイス（例えば、図1の102）が、試験順序の第1の部分を実施し、埋め込み処理デバイス（例えば、図1の106）が、同じ試験順序の第2の部分を実施し、プログラム可能な論理（例えば、図1のFPGA 111）が、同じ試験順序の第3の部分を実施するように、試験を協調させてもよい。任意の適切な協調が、本明細書において説明される試験機器の異なるプ

50

ログラム可能な要素の間で行われてもよい。

**【0051】**

更に、いくつかの実装において、一階層の処理が回避されてもよい。例えば、試験は、システム処理デバイス（例えば、102）及びプログラム可能な論理（例えば、FPGA 111）を使用するが、埋め込み処理デバイスを使用せずに、行われてもよい。このような実装において、システム処理デバイスとプログラム可能な論理との間の通信は、埋め込み処理デバイスを通過しても、又は埋め込み処理デバイス階層を全て迂回してもよい。

**【0052】**

いくつかの実装において、4つ以上の階層の処理デバイスが存在してもよい。例えば、2つの階層の埋め込み処理デバイスが存在する場合がある（例えば、合計で4つの階層になる）。例えば、単一の埋め込み処理デバイスが、単一のデバイスの試験を協調させるために使用されてもよく、異なる埋め込み処理デバイスが、（その単一の埋め込み処理デバイスの指令の下で）その単一のデバイスの異なる態様又は特徴を試験するために使用されてもよい。

10

**【0053】**

いくつかの実装において、1つ以上の階層の処理デバイスが、図1のシステムから排除されてもよい。例えば、いくつかの実装は、埋め込み処理デバイスの階層を含まない場合がある。このような例示的なシステムにおいて、システム処理デバイス（例えば、図1の102）及びプログラム可能な論理（例えば、FPGA 111～113）だけが存在してもよい。この点で、任意の適切な組み合わせの階層が、本明細書において説明される試験機器に採用されてもよい。

20

**【0054】**

いくつかの実装において、システム処理デバイス（例えば、図1の102）は、試験機器の外部であってもよい。例えば、外部のコンピュータが、試験機器の動作を制御するために採用されてもよく、本明細書において説明される様式で、試験機器上の埋め込み処理デバイス（複数を含む）及びプログラム可能な論理と相互作用してもよい。他の実装において、システム処理デバイスは、試験機器の一部であっても、又は試験機器から遠隔にあってもよい（例えば、ネットワーク上で試験機器に接続される）。

**【0055】**

いくつかの実装において、プログラム可能な論理は、プログラム不可能な論理と置換されてもよい。例えば、FPGAを使用するのではなく、本明細書において説明されるプログラム可能な論理の代わりに、又はこれに加えて、1つ以上の特定用途向け集積回路（ASIC）が、試験機器に組み込まれてもよい。

30

**【0056】**

本明細書において説明される機能性、又はその一部分、及びその多様な修正（以下、「機能」）は、本明細書において説明されるハードウェアに限定されない。機能の全て又は一部は、例えば、プログラム可能なプロセッサ、コンピュータ、多数のコンピュータ、及び／又はプログラム可能な論理構成要素などの、1つ以上のデータ処理装置によって実行するため、又は1つ以上のデータ処理装置の動作を制御するために、1つ以上の非一時的機械可読媒体等の、情報キャリアにおいて明確に実現される、例えば、コンピュータプログラムなどの、コンピュータプログラム製品を、少なくとも部分的に介して、実装され得る。

40

**【0057】**

コンピュータプログラムは、コンパイラ型又はインタープリタ型言語などのプログラミング言語の任意の形態で書かれることもでき、独立プログラムとして、又はモジュール、構成要素、サブルーチン、若しくはコンピュティング環境での使用に好適な他のユニットとしてなど、任意の形態で展開されてもよい。コンピュータプログラムは、1つのコンピュータ上で、又は一箇所にあるか、若しくは複数箇所に分布してネットワークで相互接続された複数のコンピュータ上で、実行されるように展開され得る。

**【0058】**

50

機能の全部又は一部の実装に関わる行為は、較正プロセスの機能を実施するための1つ以上のコンピュータプログラムを実行する、1つ以上のプログラム可能なプロセスによって実施され得る。機能の全部又は一部は、例えば、FPGA及び/又はASIC(特定用途向け集積回路)などの、特殊目的の論理回路構成として実装され得る。

#### 【0059】

コンピュータプログラムの実行に好適なプロセッサとしては、例として、汎用マイクロプロセッサ及び専用マイクロプロセッサの双方、並びに任意の種類のデジタルコンピュータの、任意の1つ以上のプロセッサが挙げられる。一般に、プロセッサは、命令及びデータを、読み取り専用メモリ又はランダムアクセスメモリ又は両方から受信する。コンピュータの構成要素は、命令を実行するためのプロセッサ、並びに命令及びデータを記憶するための1つ以上のメモリデバイスを含む。

#### 【0060】

本明細書において説明される異なる実施形態の構成要素は組み合わされて、上で特に記載されていない他の実施形態を形成してもよい。構成要素は、その動作に悪影響を与えることなく、図1~4に示される回路構成から排除されてもよい。更に、多様な別個の構成要素が、1つ以上の個別の構成要素へと組み合わされて、本明細書において説明される機能を実行することがある。

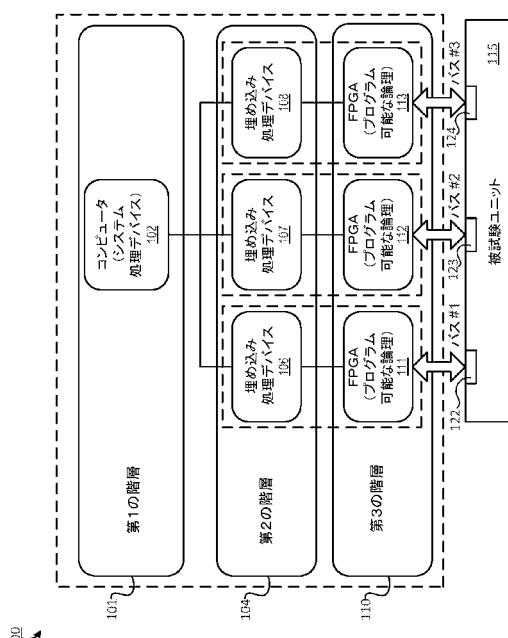
#### 【0061】

本明細書において特に説明されない他の実施形態もまた、以下の特許請求の範囲内となる。

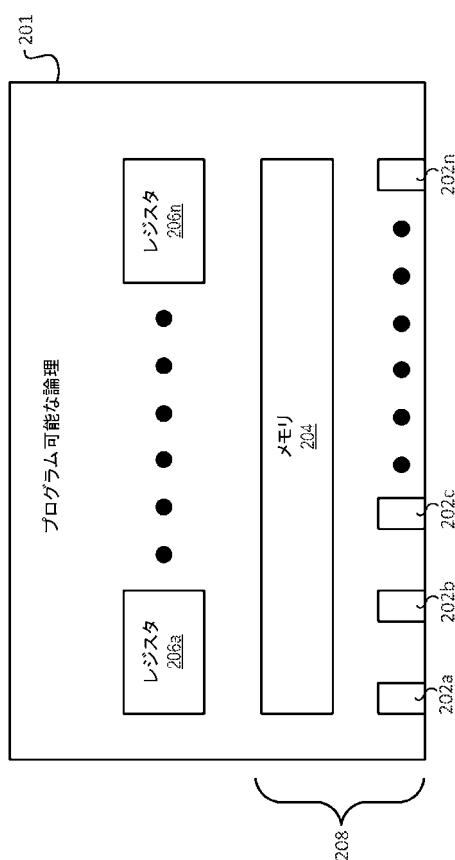
10

20

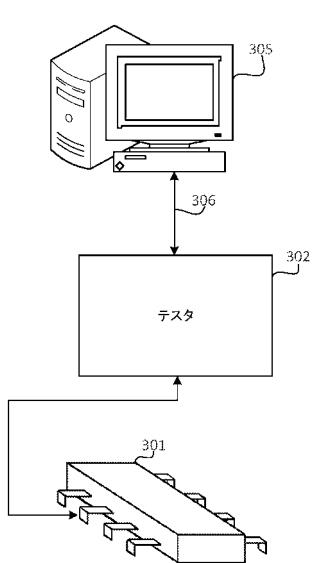
【図1】



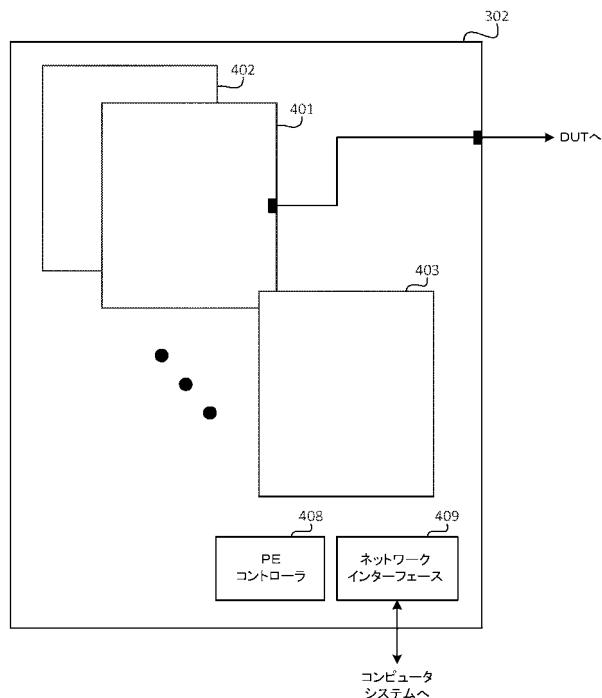
【図2】



【図3】



【図4】



## 【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US2012/056247
<b>A. CLASSIFICATION OF SUBJECT MATTER</b>		
<b>G01R 31/28(2006.01)i</b>		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b>		
Minimum documentation searched (classification system followed by classification symbols) G01R 31/28; G01R 31/26; G01R 31/00; G06F 17/50; G01R 31/02; H01L 21/66; G06F 11/22; G11C 29/00; G01R 1/073		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Korean utility models and applications for utility models Japanese utility models and applications for utility models		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) eKOMPASS(KIPO internal) & keywords: FPGA, test, configurable, interface		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2010-0164527 A1 (WEYH et al.) 1 July 2010 See abstract, paragraphs [0072]–[0076] and figures 2–4.	1–20
Y	US 2006-0100812 A1 (STURGES et al.) 11 May 2006 See abstract, paragraphs [0011]–[0031] and figure 1.	1–20
A	KR 10-2009-0107579 A (FROM 30 CO., LTD.) 14 October 2009 See abstract and figures 1–8.	1–20
A	JP 2009-031933 A (S2C INC.) 12 February 2009 See abstract and figures 1–8.	1–20
A	KR 10-2009-0028569 A (FORMFACTOR INC.) 18 March 2009 See abstract and figures 1–12.	1–20
<input type="checkbox"/> Further documents are listed in the continuation of Box C.		<input checked="" type="checkbox"/> See patent family annex.
<p>* Special categories of cited documents:</p> <p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier application or patent but published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p> <p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>"&amp;" document member of the same patent family</p>		
Date of the actual completion of the international search  12 MARCH 2013 (12.03.2013)	Date of mailing of the international search report  <b>18 MARCH 2013 (18.03.2013)</b>	
Name and mailing address of the ISA/KR   Facsimile No. 82-42-472-7140	Authorized officer  KANG, Sung Chul Telephone No. 82-42-481-8405	

**INTERNATIONAL SEARCH REPORT**  
Information on patent family members

International application No. <b>PCT/US2012/056247</b>	
---	--

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2010-0164527 A1	01.07.2010	CN 101501517 A DE 602006017446 D1 EP 2047289 A1 EP 2047289 B1 JP 2009-545727 A KR 10-2009-0046924 A TW 200809232 A TW 1345637 B WO 2008-014827 A1	05.08.2009 18.11.2010 15.04.2009 06.10.2010 24.12.2009 11.05.2009 16.02.2008 21.07.2011 07.02.2008
US 2006-0100812 A1	11.05.2006	CN 101416067 A KR 10-0908947 B1 KR 2007-0074558 A TW 277749 A TW 277749 B US 7412342 B2 WO 2006-050288 A2 WO 2006-050288 A3	22.04.2009 22.07.2009 12.07.2007 01.04.2007 01.04.2007 12.08.2008 11.05.2006 26.02.2009
KR 10-2009-0107579 A	14.10.2009	None	
JP 2009-031933 A	12.02.2009	None	
KR 10-2009-0028569 A	18.03.2009	CN 101501512 A CN 102116779 A CN 1947022 A CN 1947022 B CN 1947022 C0 EP 1743182 A2 EP 2032998 A2 JP 2007-534943 A JP 2009-540612 A KR 10-2007-0006917 A KR 10-2012-0096063 A TW 200807427 A US 2005-0237073 A1 US 2006-0273809 A1 US 2008-0100320 A1 US 7307433 B2 WO 2005-103740 A2 WO 2007-146583 A2	05.08.2009 06.07.2011 11.04.2007 12.10.2011 11.04.2007 17.01.2007 11.03.2009 29.11.2007 19.11.2009 11.01.2007 29.08.2012 01.02.2008 27.10.2005 07.12.2006 01.05.2008 11.12.2007 03.11.2005 21.12.2007

---

フロントページの続き

(81)指定国 AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA,RW,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,MK,MT,NL,NO,PL,PT,RO,R,S,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,CZ,DE,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,IL,IN,IS,JP,KE,KG,KM,KN,KP,KR,KZ,LA,LK,LR,LS,LT,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SC,SD,SE,SG,SK,SL,SM,ST,SV,SY,TH,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC

(72)発明者 マクゴールドリック、マイケル・フランシス

アメリカ合衆国マサチューセッツ州01864、ノース・リーディング、ジェームズ・ミレン・コード7

(72)発明者 カウシャンスキー、デイビッド

アメリカ合衆国マサチューセッツ州02478、ベルモント、アルマ・アベニュー18

(72)発明者 フルート、マイケル・トーマス

アメリカ合衆国ニュー・ハンプシャー州03052、リッチフィールド、ワインザー・ドライブ15

Fターム(参考) 2G132 AA17 AB01 AD06 AD07 AE10 AE23 AF18 AG08 AL07 AL09  
5B048 AA20 AA22 BB02 DD01 FF03