

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2011 年 10 月 20 日(20.10.2011)

(10) 国際公開番号
WO 2011/128984 A1

- (51) 国際特許分類:
H04L 7/00 (2006.01)
- (21) 国際出願番号: PCT/JP2010/056623
- (22) 国際出願日: 2010 年 4 月 13 日(13.04.2010)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人(米国を除く全ての指定国について): 富士通株式会社(FUJITSU LIMITED) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 紺本 明彦(KONMOTO, Akihiko) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内 Kanagawa (JP).
- (74) 代理人: 伊東 忠彦(ITO, Tadahiko); 〒1506032 東京都渋谷区恵比寿 4 丁目 2 0 番 3 号 恵比寿ガーデンプレイスタワー 3 2 階 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

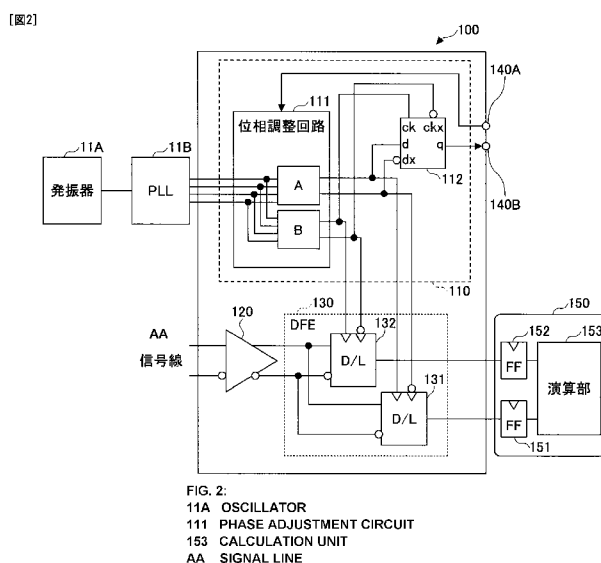
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告(条約第 21 条(3))

(54) Title: OPERATION CONFIRMATION TEST METHOD, OPERATION CONFIRMATION TEST PROGRAM, AND CLOCK DISTRIBUTION CIRCUIT

(54) 発明の名称: 動作確認試験方法、動作確認試験プログラム、及びクロック分配回路



(57) Abstract: Provided are an operation confirmation test method, an operation confirmation test program, and a clock distribution circuit, wherein the operation confirmation test is possible in all adjustable phase ranges of a phase adjustment circuit, and the operation confirmation test can be performed easily and precisely. Disclosed is an operation confirmation test method wherein a computer performs an operation confirmation test of a phase adjustment circuit of a clock distribution circuit; the computer performing a first phase shifting step for shifting the phase of one of a first differential signal and a second differential signal with respect to the phase of the other signal; a first data acquisition step for acquiring a data signal of the differential (DFF) to which the first differential signal and the second differential signal having phases shifted in the first phasing step were input; and a first comparison step for comparing a plurality of data signal values with first expectation values of the plurality of data signals, wherein the plurality of data signal values are obtained by repeating the first phase shifting step and the first data acquisition step until the phase difference between the first differential signal and the second differential signal reaches an amount corresponding to one cycle of the first dif-

ferential signal and the second differential signal.

(57) 要約:

[続葉有]

WO 2011/128984 A1



位相調整回路の位相を調整可能な全範囲について動作確認試験が可能で、動作確認試験を容易かつ正確に行える動作確認試験方法、動作確認試験プログラム、及びクロック分配回路を提供することを課題とする。クロック分配回路の位相調整回路の動作確認試験をコンピュータが行う動作確認試験方法であって、コンピュータは、第1差動信号又は第2差動信号のうちの一方の信号の位相を、他方の信号の位相に対してシフトする第1位相シフト工程と、第1位相シフト工程において位相がシフトされた第1差動信号及び第2差動信号が入力される差動DFFのデータ信号を取得する第1データ取得工程と、第1差動信号と第2差動信号との位相差が第1差動信号及び第2差動信号の1周期分に達するまで第1位相シフト工程及び第1データ取得工程を繰り返し実行することによって得る複数のデータ信号の値と、複数のデータ信号の第1期待値と比較する第1比較工程とを実行する。

明 細 書

発明の名称：

動作確認試験方法、動作確認試験プログラム、及びクロック分配回路

技術分野

[0001] 動作確認試験方法、動作確認試験プログラム、及びクロック分配回路に関する。

背景技術

[0002] 同期したクロックで動作する通信装置システムは、装置間を接続するケーブルによる伝送遅延等によって入力データの位相が異なることがあるため、出力データに対する入力データの位相差を調整する位相調整回路を搭載している。従来の通信装置システムでは、位相調整回路を通信装置に搭載した状態で、位相調整回路の動作確認試験を行っていた。

[0003] また、キャッシュチップにテスト論理を内蔵し、キャッシュチップの外部に設けたテストからマイクロプログラムを読み込み、テスト論理が処理を行なうことによって機能テスト（動作確認試験）を行う半導体装置があった。

先行技術文献

特許文献

[0004] 特許文献1：特開2003-32231号公報

特許文献2：特開2005-283537号公報

発明の概要

発明が解決しようとする課題

[0005] 上述のように、従来は、位相調整回路を実装したシステム全体又は装置全体で動作確認試験を行っていた。

[0006] このため、動作確認試験で動作不良があると判定された場合に、位相調整回路自体に動作不良の原因があるのか、位相調整回路以外の回路等に動作不良の原因があるのかを特定することが困難であった。

[0007] また、位相調整回路を実装したシステム又は装置の動作確認試験における

動作条件が限定されていて、位相調整回路の位相を調整できる範囲が限定されているような場合には、動作確認試験を行うことができない動作範囲が生じていた。このような場合には、位相調整回路を実装したシステム又は装置のすべての動作範囲を試験することができず、位相調整回路を実装したシステム又は装置の信頼性に問題が生じる可能性があった。

[0008] そこで、位相調整回路の位相を調整可能な全範囲について動作確認試験が可能で、動作確認試験を容易かつ正確に行うことのできる動作確認試験方法、動作確認試験プログラム、及びクロック分配回路を提供することを目的とする。

課題を解決するための手段

[0009] 本発明の実施の形態の動作確認試験方法は、第 1 差動信号又は第 2 差動信号の少なくとも一方の位相を調整して出力する位相調整回路と、前記位相調整回路から出力される前記第 1 差動信号又は前記第 2 差動信号のいずれか一方をクロック信号として用いて、前記クロック信号に同期して前記第 1 差動信号又は前記第 2 差動信号のいずれか他方をデータ信号として取得する差動 D F F とを含むクロック分配回路の前記位相調整回路の動作確認試験をコンピュータが行う動作確認試験方法であって、前記コンピュータは、前記第 1 差動信号又は前記第 2 差動信号のうちの一方の信号の位相を、他方の信号の位相に対してシフトする第 1 位相シフト工程と、前記第 1 位相シフト工程において位相がシフトされた前記第 1 差動信号及び前記第 2 差動信号が入力される前記差動 D F F のデータ信号を取得する第 1 データ取得工程と、前記第 1 差動信号と前記第 2 差動信号との位相差が前記第 1 差動信号及び前記第 2 差動信号の 1 周期分に達するまで前記第 1 位相シフト工程及び前記第 1 データ取得工程を繰り返し実行することによって得る複数のデータ信号の値と、前記複数のデータ信号の第 1 期待値と比較する第 1 比較工程とを実行する。

発明の効果

[0010] 位相調整回路の位相を調整可能な全範囲について動作確認試験が可能で、動作確認試験を容易かつ正確に行うことのできる動作確認試験方法、動作確

認試験プログラム、及びクロック分配回路を提供することができる。

図面の簡単な説明

[0011] [図1]実施の形態1のクロック分配回路が適用されるサーバを示すブロック図である。

[図2]実施の形態1のクロック分配回路を含む高速シリアルI/O受信回路を示す図である。

[図3]実施の形態1の高速シリアルI/O受信回路100にLSIテストを接続した状態を示す図である。

[図4]DFFのクロック信号に対してデータ信号の位相を45°ずつ段階的にシフトした場合におけるDFFの出力を示す図である。

[図5]実施の形態1のクロック分配回路の調整回路A、Bの出力位相に対する出力データ信号DFF_qの値を示す図である。

[図6A]実施の形態1の高速シリアルI/O受信回路に接続されるLSIテストで実行される第1段階目の動作確認試験の処理内容を示すフローチャートである。

[図6B]実施の形態1の高速シリアルI/O受信回路に接続されるLSIテストで実行される第2段階目の動作確認試験の処理内容を示すフローチャートである。

[図7]実施の形態1の変形例のクロック分配回路を含む高速シリアルI/O受信回路を示す図である。

[図8]実施の形態2のクロック分配回路を含む高速シリアルI/O受信回路を示す図である。

[図9]実施の形態2の高速シリアルI/O受信回路に接続されるLSIテストで実行される動作確認試験の処理内容を示すフローチャートである。

[図10]実施の形態3のクロック分配回路を含む高速シリアルI/O受信回路を示す図である。

発明を実施するための形態

[0012] 以下、本発明の動作確認試験方法、動作確認試験プログラム、及びクロッ

ク分配回路を適用した実施の形態について説明する。

[0013] <実施の形態 1>

図 1 は、実施の形態 1 のクロック分配回路が適用されるサーバを示すブロック図である。

[0014] サーバ 1 は、CPU (Central Processing Unit: 中央演算処理装置) 10、キャッシュ 20、メモリコントローラ 30、主記憶装置 40、及び補助記憶装置 50 を含む情報処理装置である。CPU 10、キャッシュ 20、メモリコントローラ 30、主記憶装置 40、及び補助記憶装置 50 は、例えば、専用のシステムバス 60 で接続されている。なお、サーバ 1 は、複数の CPU 10 を含んでもよい。

[0015] キャッシュ 20 は、CPU 10 が演算処理を行う際に必要なデータを一時的に格納するメモリであり、例えば、SRAM (Static Random Access Memory) で実現される。

[0016] メモリコントローラ 30 は、CPU 10 の指令に基づき、メモリコントローラ 30 と主記憶装置 40 との間でデータの読み書きを行う際の制御を行う制御装置である。

[0017] なお、CPU 10、キャッシュ 20、及びメモリコントローラ 30 は、例えば、LSI (Large Scale Integration: 大規模集積回路) で実現される。

[0018] 主記憶装置 40 は、例えば、DRAM (Dynamic Random Access Memory: ダイナミックランダムアクセスメモリ) や ROM (Read Only Memory: 読み出し専用メモリ) であり、補助記憶装置 50 は、例えば、ハードディスクである。

[0019] なお、サーバ 1 は、外部装置との通信を行うためのデータ入出力ポート等を含んでもよい。

[0020] 実施の形態 1 のクロック分配回路は、例えば、サーバ 1 内の CPU 10 又はメモリコントローラ 30 に内蔵されるが、以下では、実施の形態 1 のクロック分配回路が高速シリアル I/O 受信回路に内蔵されており、実施の形態 1 のクロック分配回路を内蔵する高速シリアル I/O 受信回路が CPU 10

(図 1 参照)に含まれている形態について説明する。実施の形態 1 のクロック分配回路を内蔵する高速シリアル I/O 受信回路については、図 2 を用いて説明する。

[0021] 図 2 は、実施の形態 1 のクロック分配回路を含む高速シリアル I/O 受信回路を示す図である。

[0022] 高速シリアル I/O 受信回路 100 は、クロック分配回路 110、アンプ 120、DFE (Decision Feedback Equalizer) 130、及び試験用ポート 140A、140B を含む。クロック分配回路 110 は、位相調整回路 111、差動型 DFF (差動型 D フリップフロップ) 112 を有する。DFF 130 の出力側には、データ処理回路 150 が接続されている。

[0023] 位相調整回路 111 は、2 相×2 出力型の位相調整回路であり、調整回路 A と調整回路 B を含む。位相調整回路 111 には、CPU 10 内の発振器 11A から出力されるクロック信号が PLL (Phase-locked loop: 位相同期回路) 11B を経て 4 相のクロック信号として入力する。位相調整回路 111 は、伝送経路におけるクロック信号の位相の遅延分を調整回路 A、B で調整して、クロック信号を出力する。

[0024] 調整回路 A と調整回路 B とは、それぞれ 2 相のクロック信号を出力する。調整回路 A、B からそれぞれ出力される 2 相のクロック信号は、互いに 180° 位相の異なる (位相の反転した) 差動クロック信号である。なお、位相調整回路 111 には、クロック分配回路の動作確認試験の際に用いる試験用ポート 140A が信号線を介して接続されている。試験用ポート 140A には、クロック分配回路 110 の動作確認試験の際に、位相調整回路 111 の調整回路 A、B から出力されるクロック信号の位相をシフトさせるための位相シフト指令が入力される。

[0025] 差動型 DFF 112 は、データ入力端 d、dx、クロック入力端 ck、ckx、及びデータ出力端 q を有する。

[0026] データ入力端 d、dx は、それぞれ、調整回路 A の一対の出力端に接続されており、調整回路 A から出力される差動クロック信号が入力する。図 2 の

例では、データ入力端 d には非反転のクロック信号が入力し、データ入力端 d_x には反転クロック信号が入力する。

[0027] クロック入力端 c_k 、 c_{kx} は、それぞれ、調整回路 B の一対の出力端に接続されており、調整回路 B から出力される差動クロック信号が入力する。
図 2 の例では、クロック入力端 c_k には非反転のクロック信号が入力し、クロック入力端 c_{kx} には反転クロック信号が入力する。

[0028] データ出力端 q は、差動型 DFF 112 でストローブされた出力データ信号を出力する出力端である。

[0029] 差動型 DFF 112 は、クロック入力端 c_k 、 c_{kx} に入力する差動クロック信号をクロックとして用いて、データ入力端 d 、 d_x に入力する差動クロック信号をデータとしてストローブし、データ出力端 q から出力データ信号として出力する。

[0030] 図 2 には、差動型 DFF 112 のデータ入力端 d 、 d_x に調整回路 A が接続され、クロック入力端 c_k 、 c_{kx} に調整回路 B が接続される形態を示す。しかしながら、調整回路 A、B の出力は、ともに差動クロック信号であるため、データ入力端 d 、 d_x に調整回路 B を接続し、クロック入力端 c_k 、 c_{kx} に調整回路 A を接続するように接続してもよい。すなわち、差動型 DFF 112 は、調整回路 A、B から出力される差動クロック信号の一方をクロック信号として用い、他方をデータ信号として用いて、クロック信号に同期してデータ信号をストローブする。

[0031] 実施の形態 1 では、調整回路 A、B から出力される差動クロック信号をデータ信号、クロック信号としてそれぞれ用い、クロック信号に対するデータ信号の位相をシフトさせて動作確認試験を行うとともに、データ信号に対するクロック信号の位相をシフトさせて動作確認試験を行う。

[0032] 差動型 DFF 112 は、動作確認試験の出力を生成するために用いる回路であるため、差動型 DFF 112 のデータ出力端 q には、信号線を介して、試験用ポート 140B が接続されている。なお、動作確認試験については後述する。

- [0033] アンプ 120 は、CPU 10（図 1 参照）内の信号線に接続されている。アンプ 120 は、信号線を介して、例えば、整数演算用又は浮動小数点演算用のデータが入力する。
- [0034] DFE 130 は、D/L（Decision Latch）131、132 を有する。D/L 131、132 には、アンプ 120 からデータが入力する。また、D/L 131 には位相調整回路 111 の調整回路 A からの差動クロック信号が、D/L 132 には調整回路 B から差動クロック信号が入力する。D/L 131、132 はそれぞれ、調整回路 A、B から入力する差動クロック信号を用いて、アンプ 120 から入力するデータをラッチし、後段のデータ処理回路 150 に伝送する。
- [0035] データ処理回路 150 は、FF（Flip Flop）151、152、及び演算部 153 を有する。FF 151 の入力端は D/L 131 に、FF 152 の入力端は D/L 132 にそれぞれ接続され、各 FF 151、152 の出力端は演算部 153 に接続されている。演算部 153 は、FF 151、152 によって保持されるデータに基づいて整数演算又は浮動小数点演算を行うことができ、例えば、論理回路であればよい。
- [0036] 試験用ポート 140A、140B は、クロック分配回路 110 の位相調整回路 111 の動作確認試験を行う際に、LSI テスタを接続するためのポートである。試験用ポート 140A には、LSI テスタから位相シフト指令が入力し、差動型 DFF 112 の出力端 q から出力される出力データは、試験用ポート 140B を介して LSI テスタによって読み取られる。
- [0037] 図 3 は、実施の形態 1 の高速シリアル I/O 受信回路 100 に LSI テスタを接続した状態を示す図である。
- [0038] LSI テスタ 160 は、サーバ 1（図 1 参照）の外部に存在する動作確認試験装置であり、試験用ポート 140A、140B に接続される。LSI テスタ 160 は、試験用ポート 140A を介して位相シフト指令を高速シリアル I/O 受信回路 100 に入力し、試験用ポート 140B を介して、差動型 DFF 112 の出力端 q から出力される出力データを読み取る。LSI テス

タ 1 6 0 は、読み取ったデータを期待値データと比較することにより、位相調整回路 1 1 1 の動作確認試験を行う。

[0039] なお、期待値データとは、位相調整回路 1 1 1 の動作が正常である場合に、差動型 D F F 1 1 2 の出力端 q から出力されると期待される出力データである。

[0040] L S I テスタ 1 6 0 は、例えば、位相調整回路 1 1 1 の動作確認試験用のプログラムを実行可能な演算処理装置であればよく、例えば、コンピュータを用いることができる。

[0041] L S I テスタ 1 6 0 は、動作確認試験処理部 1 6 1 とメモリ 1 6 2 を含む。動作確認試験処理部 1 6 1 は、データ取得部 1 6 1 A、位相シフト部 1 6 1 B、及び比較部 1 6 1 C を含み、動作確認試験用のプログラムを実行することにより、動作確認試験の処理を行う。

[0042] データ取得部 1 6 1 A は、試験用ポート 1 4 0 B を介して差動型 D F F 1 1 2 から出力される出力データを取得し、メモリ 1 6 2 に格納する。

[0043] 位相シフト部 1 6 1 B は、試験用ポート 1 4 0 A を介して位相調整回路 1 1 1 に位相シフト指令を入力する。これにより、位相調整回路 1 1 1 の調整回路 A、B から出力されるクロック信号の位相がシフトされる。位相シフト部 1 6 1 B は、調整回路 A から出力されるクロック信号と調整回路 B とから出力されるクロック信号との位相差が各信号の 1 周期分に達するまで、所定の位相単位で両クロック信号の位相をシフトする位相シフト指令を、繰り返し位相調整回路 1 1 1 に入力する。

[0044] 比較部 1 6 1 C は、クロック分配回路 1 1 0 から出力された出力データ信号と、出力データの期待値とを比較する。位相シフト部 1 6 1 B が所定位相単位での位相シフトを指示する位相シフト指令を繰り返し発するので、比較部 1 6 1 C は、位相シフト指令が発せられる毎にクロック分配回路から出力される複数の出力データを取得し、出力データの複数の期待値と比較する。

[0045] なお、データ取得部 1 6 1 A、位相シフト部 1 6 1 B、及び比較部 1 6 1 C の処理は、L S I テスタ 1 6 0 として実行されるため、以下では、L S I

テスト１６０が各処理を行うものとして説明する。

[0046] メモリ１６２は、動作確認試験用のプログラムと、動作確認試験に際して取得するデータ等を格納する。

[0047] また、ＬＳＩテスト１６０は、動作確認試験に際して、位相調整回路１１１に位相シフト指令を伝送するとともに、発振器１１Ａに発振指令を伝送する。

[0048] 次に、実施の形態１のクロック分配回路１１０に含まれる位相調整回路１１１の動作確認試験について説明する。実施の形態１の動作確認試験は、第１段階と第２段階の２つの段階を含む。ここでは、まず、第１段階目の動作確認試験について説明する。

[0049] 図４は、差動型ＤＦＦに入力するクロック信号に対して、差動型ＤＦＦ１１２に入力するデータ信号の位相を４５°ずつ段階的にシフトした場合における、差動型ＤＦＦの出力データ信号を示す図である。

[0050] ここでは、一例として、クロック信号ＤＦＦｃｋは、差動型ＤＦＦ１１２（図３参照）のクロック入力端ｃｋに調整回路Ｂから入力するクロック信号であり、データ信号ＤＦＦｄは、差動型ＤＦＦ１１２のデータ入力端ｄに調整回路Ａから入力するデータ信号であるものとする。

[0051] 図４は、調整回路Ｂから出力するクロック信号の位相を固定し、調整回路Ａから出力するクロック信号の位相を４５°ずつ段階的にシフトした場合に得られる、差動型ＤＦＦの出力データ信号を示す。

[0052] なお、出力データ信号ＤＦＦｑは、差動型ＤＦＦ１１２（図３参照）の出力端ｑに出力される出力データ信号である。

[0053] 第１段階目の動作確認試験のためのデータ信号の位相のシフトは、ＬＳＩテスト１６０（図３参照）から位相調整回路１１１に入力する位相シフト指令によって行われる。また、クロック信号及びデータ信号の発振は、ＬＳＩテスト１６０から位相調整回路１１１に入力する発振指令によって行われる。

[0054] また、ここでは、データ（data）が“０”であり、データバー（data bar）

が“1”であるものとして説明する。

- [0055] 図4 (A) に示すように、クロック信号 $DFFc_k$ とデータ信号 $DFFd$ との位相差が 0° の場合は、クロック信号 $DFFc_k$ の立ち上がりでストロブされるデータ信号 $DFFd$ がデータ (data) であるため、出力データ信号 $DFFq$ はデータ (data) となる。
- [0056] 図4 (B) に示すように、クロック信号 $DFFc_k$ とデータ信号 $DFFd$ との位相差が 45° の場合は、クロック信号 $DFFc_k$ の立ち上がりでストロブされるデータ信号 $DFFd$ がデータ (data) であるため、出力データ信号 $DFFq$ はデータ (data) となる。
- [0057] 図4 (C) に示すように、クロック信号 $DFFc_k$ とデータ信号 $DFFd$ との位相差が 90° の場合は、クロック信号 $DFFc_k$ の立ち上がりでストロブされるデータ信号 $DFFd$ がデータ (data) であるため、出力データ信号 $DFFq$ はデータ (data) となる。
- [0058] 図4 (D) に示すように、クロック信号 $DFFc_k$ とデータ信号 $DFFd$ との位相差が 135° の場合は、クロック信号 $DFFc_k$ の立ち上がりでストロブされるデータ信号 $DFFd$ がデータバー (data bar) であるため、出力データ信号 $DFFq$ はデータ (data) となる。
- [0059] 図4 (E) に示すように、クロック信号 $DFFc_k$ とデータ信号 $DFFd$ との位相差が 180° の場合は、クロック信号 $DFFc_k$ の立ち上がりでストロブされるデータ信号 $DFFd$ がデータバー (data bar) であるため、出力データ信号 $DFFq$ はデータバー (data bar) となる。
- [0060] 図4 (F) に示すように、クロック信号 $DFFc_k$ とデータ信号 $DFFd$ との位相差が 225° の場合は、クロック信号 $DFFc_k$ の立ち上がりでストロブされるデータ信号 $DFFd$ がデータバー (data bar) であるため、出力データ信号 $DFFq$ はデータバー (data bar) となる。
- [0061] 図4 (G) に示すように、クロック信号 $DFFc_k$ とデータ信号 $DFFd$ との位相差が 270° の場合は、クロック信号 $DFFc_k$ の立ち上がりでストロブされるデータ信号 $DFFd$ がデータバー (data bar) であるため、

出力データ信号 DFF_q はデータバー (data bar) となる。

[0062] 図4 (H) に示すように、クロック信号 DFF_{ck} とデータ信号 DFF_d との位相差が 315° の場合は、クロック信号 DFF_{ck} の立ち上がりでストローブされるデータ信号 DFF_d がデータバー (data bar) であるため、出力データ信号 DFF_q はデータバー (data bar) となる。

[0063] 以上のように、差動型 DFF_{112} に入力するクロック信号の位相に対して差動型 DFF_{112} に入力するデータ信号の位相を 45° ずつ段階的にシフトさせると、8つの出力データ信号 DFF_q の値は、“00001111” となる。

[0064] ここで、8つの出力データ信号 DFF_q に4つの“0”と4つの“1”とが含まれるのは、一周期 (360°) のうちの 180° ではデータ (data) “0” が差動型 DFF_{112} でストローブされており、残りの 180° ではデータバー (data bar) “1” が差動型 DFF_{112} でストローブされているからである。また、“0”又は“1”が連続するのは、クロック信号とデータ信号との位相差が 180° となるまでの間はデータ (data) “0”の状態が続き、残り 180° の間はデータバー (data bar) “1”の状態が続くからである。

[0065] このため、1周期 (360°) を8等分して、上述のようにクロック信号に対するデータ信号の位相を $1/8$ 周期分 (45°) ずつシフトさせながら動作確認試験を行うと、位相調整回路 111 が正常に動作していれば、“00001111”という8つの出力データ信号 DFF_q が得られることになる。

[0066] これに対して、例えば、差動型 DFF_{112} から出力される8つの出力データ信号 DFF_q が“01001111”である場合のように、“0”と“1”の数が異なる場合は、いずれかの出力データ信号 DFF_q が動作不良によって生じたことが分かる。

[0067] 8つの出力データ信号 DFF_q の中でも“0”又は“1”が不連続的かつ突発的に生じる点は、動作不良領域を表す。例えば、図4に示すようにデータ信号の位相をシフトさせた場合に、8つの出力データ信号 DFF_q が“01001111”であれば、 DFF_q の左から2番目のデータ“1”に対応する、位相

差を 45° とした場合の位相変調回路 1 1 1 の動作に異常があることが分かる。図 4 に示す動作例は、調整回路 A からの出力信号の位相をシフトさせることによって得られる動作例であるため、8 つの出力データ信号 D F F q が “0 1 0 0 1 1 1 1” であれば、調査回路 A からの出力信号の位相を 45° 進めた動作領域（あるいはその動作領域の付近）に不良があることが分かる。

[0068] 従って、L S I テスタ 1 6 0（図 3 参照）を高速シリアル I/O 受信回路 1 0 0 に接続して第 1 段階目の動作確認試験を行う際に、図 4 に示すように位相をシフトさせる場合は、L S I テスタ 1 6 0 で用いる期待値を “0 0 0 0 1 1 1 1” に設定すればよい。そして、第 1 段階目の動作確認試験で得られる出力データ信号 D F F q と期待値を L S I テスタ 1 6 0 で比較すれば、位相調整回路 1 1 1 の動作が正常であるか異常であるかを判定することができる。

[0069] ここでは、1 周期（ 360° ）を 8 等分する場合について説明するが、1 周期の分割数は 2 以上であれば幾つであってもよい。1 周期を n （ n は 2 以上の整数）分割する場合は、クロック信号とデータ信号の位相差を $1/n$ 周期分ずつシフトさせながら、 n 個の出力データ信号 D F F q を得るように第 1 段階目の動作確認試験を行えばよい。

[0070] 分割数 n を偶数に設定する場合には、 n 個の出力データ信号 D F F q の中に含まれる “0” と “1” の数が異なれば、動作不良領域があることが分かる。また、“0” 又は “1” が不連続的かつ突発的に生じる箇所があれば、不連続的かつ突発的な出力データ信号 D F F q が生じた位相（あるいはその位相の前後）に位相調整回路 1 1 1 の動作不良領域があることが分かる。

[0071] また、分割数 n を奇数に設定する場合には、 n 個の出力データ信号 D F F q の中に含まれる “0” と “1” の数が 1 つ異なるが、その場合は、“0” と “1” の数の誤差を誤差「1」まで認めることとし、“0” 又は “1” が不連続的かつ突発的に生じる箇所の有無で動作不良領域を把握すればよい。

[0072] 分割数 n の場合の期待値は、 n 個の出力データ信号 D F F q に含まれる n 個の “0” と “1” の個数の誤差を 1 個まで認め、かつ、“0” 又は “1” が不連続

的かつ突発的に生じる箇所を含まない値として設定すればよい。

- [0073] なお、1周期を n 分割する手法に限らず、クロック信号 $DFFc_k$ 又はデータ信号 $DFFd$ の位相を所定の位相差分だけシフトさせながら、クロック信号 $DFFc_k$ とデータ信号 $DFFd$ の位相差が1周期分に達するまで、複数の出力データ信号 $DFFq$ を得るように第1段階目の動作確認試験を行えばよい。例えば、クロック信号 $DFFc_k$ 又はデータ信号 $DFFd$ のいずれかの位相を 30° ずつシフトさせながら差動型 DFF にデータ信号とクロック信号とを供給して $DFFq$ を取得し、クロック信号 $DFFc_k$ とデータ信号 $DFFd$ の位相差が1周期分(360°)に達するまで、複数の出力データ信号 $DFFq$ を得るように第1段階目の動作確認試験を行えばよい。
- [0074] この場合の期待値は、複数の出力データ信号 $DFFq$ に含まれる n 個の“0”と“1”の個数の誤差を1個まで認め、かつ、“0”又は“1”が不連続的かつ突発的に生じる箇所を含まない値として設定すればよい。
- [0075] 以上では、調整回路Bから出力するクロック信号の位相を固定し、調整回路Aから出力するクロック信号の位相を 45° ずつ段階的にシフトした場合に得られる、差動型 DFF の出力データ信号について説明した。
- [0076] 図4に示した例で得られる8つの出力データ信号は“00001111”であり、調整回路Aから出力するクロック信号の位相を 135° にした場合と、 180° にした場合との間に、出力データ信号が“0”から“1”に変化する点があることが分かる。
- [0077] ところで、調整回路Aから出力するクロック信号の位相を段階的にシフトする単位を 45° に設定したのは、説明の便宜上の理由によるものであり、一般的には、実際に位相をシフトさせる単位は、より小さな値に設定される。
- [0078] 例えば、調整回路Bから出力するクロック信号の位相を固定し、1周期分(360°)を72等分して調整回路Aから出力するクロック信号の位相を段階的にシフトする単位を 5° に設定したとすると、72個の出力データ信号が得られることになる。

- [0079] ここで、調整回路Aから出力するクロック信号の位相を 5° ずつ段階的にシフトした場合に、クロック信号の位相が 0° から 165° の間で34個の“0”が連続し、クロック信号の位相が 170° から 345° の間で36個の“1”が連続し、クロック信号の位相が 350° から 355° の間で2個の“0”が連続する72個の出力データ信号が得られたとする。
- [0080] この72個の出力データ信号からは、調整回路Aから出力するクロック信号の位相を 165° にした場合と、 170° にした場合との間に、出力データ信号が“0”から“1”に変化する点があることが分かる。
- [0081] このように、調整回路Aから出力するクロック信号の位相を段階的にシフトする単位を小さくすれば、出力データ信号が“0”から“1”に変化する点を、より狭い範囲で把握することができる。
- [0082] 実施の形態1のクロック分配回路110に含まれる位相調整回路111の動作確認試験では、上述のように第1段階目で出力データ信号が“0”から“1”に変化する位相の範囲を把握した後に、さらに、以下で図5を用いて原理を説明する第2段階目の動作確認試験を実行する。
- [0083] 以下、第2段階目の動作確認試験の原理を説明するにあたり、出力データ信号が“0”から“1”に変化する点は、一例として、調整回路Aから出力するクロック信号と、調整回路Bから出力するクロック信号との位相差が 168° の動作点で得られることとする。
- [0084] この 168° という値を上述の72個の出力データ信号から把握することはできないが、以下で説明する第2段階目の動作確認試験により、実施の形態1のクロック分配回路110に含まれる位相調整回路111の動作確認試験を、より高精度に実施することができる。
- [0085] 図5は、実施の形態1のクロック分配回路の調整回路A、Bの出力位相に対する出力データ信号DFF_qの値を示す図である。
- [0086] 図5に示す出力データ信号DFF_qの値は、一例として、上述のように、調整回路Aから出力するクロック信号と、調整回路Bから出力するクロック信号との位相差が 168° であるときに出力データ信号が“0”から“1”に変

化する動作例で得られる出力データ信号 DFF_q の値である。図5に示すように、調整回路Aから出力するクロック信号の位相と、調整回路Bから出力するクロック信号の位相との関係に応じて、 DFF_q が“1”となる領域と、 DFF_q が“0”となる領域に分けられる。

[0087] このように、調整回路Aから出力するクロック信号と、調整回路Bから出力するクロック信号との位相差が 168° であるときに出力データ信号が“0”から“1”に変化する場合において、位相差 168° は、出力データ信号が“0”から“1”に変化する変化点が現れる位相差である。

[0088] 図5において、横軸（以下「横軸A」または「軸A」と称する）は調整回路Aから出力する信号の位相のシフト量を、縦軸（以下「縦軸B」または「軸B」と称する）は調整回路Bから出力する信号の位相のシフト量を、それぞれ示す。図5に示す領域は、横軸A（ $A = 0^\circ \sim 360^\circ$ ）と縦軸B（ $B = 0^\circ \sim 360^\circ$ ）で表されるものとする。

[0089] 調整回路A、Bのそれぞれの位相を $0^\circ \sim 360^\circ$ までシフトさせた場合における出力データ信号 DFF_q の値は、図5に示すように、データ（data）“0”又はデータバー（data bar）“1”が得られる領域に分けられる。

[0090] 図5に示すように、出力データ信号が“0”から“1”に変化する変化点が現れる位相差が 168° である動作例において、出力データ信号 DFF_q の値“0”の領域と“1”の領域との境界は、以下の（1A）（1B）（2A）（2B）式で表される。なお、図5中に示す括弧書きの数字（（1A）～（2B））は、（1A）～（2B）式で表される直線を示す。

[0091] $B = A - 348^\circ \quad \dots (1A) \quad (\text{調整回路Aの出力位相: } 348^\circ \sim 360^\circ)$

$B = A + 12^\circ \quad \dots (1B) \quad (\text{調整回路Aの出力位相: } 0^\circ \sim 348^\circ)$

$B = A - 168^\circ \quad \dots (2A) \quad (\text{調整回路Aの出力位相: } 168^\circ \sim 360^\circ)$

$B = A + 192^\circ \quad \dots (2B) \quad (\text{調整回路Aの出力位相: } 0^\circ \sim 1$

68°)

データ (data) “0”が得られる領域は、直線 (1A) よりも下の領域、直線 (2A) と直線 (1B) の間の領域、及び直線 (2B) よりも上の領域である。

[0092] また、データバー (data bar) “1”が得られる領域は、直線 (1A) と直線 (2A) の間の領域、及び直線 (1B) と直線 (2B) の間の領域である。

[0093] なお、調整回路A、Bから出力するクロック信号の位相は、0° ~ 360° の値を取り得るため、(1A) 式と (1B) 式によって表される直線 (1A) と直線 (1B) は一続きの領域の境界を表す。(1A) 式と (1B) 式を区別しない場合には、(1) 式と称し、直線 (1A) と直線 (1B) を区別しない場合には、直線 (1) と称す。

[0094] 同様に、(2A) 式と (2B) 式によって表される直線 (2A) と直線 (2B) は一続きの領域の境界を表す。(2A) 式と (2B) 式を区別しない場合には、(2) 式と称し、直線 (2A) と直線 (2B) を区別しない場合には、直線 (2) と称す。

[0095] また、直線 (1A) ~ (2B) 上の出力値については、直線 (1A) (1B) 上では“1”、直線 (2A) (2B) 上では“0”とする。

[0096] また、調整回路Bから出力するクロック信号の位相を固定し、調整回路Aから出力するクロック信号の位相を45° ずつ段階的にシフトした場合に得られる8つの出力データ信号 DFF_q は、A軸上で与えられることになる。8つの出力データ信号 DFF_q は、それぞれ、A-B座標において、(A, B) = (0°, 0°)、(45°, 0°)、(90°, 0°)、(135°, 0°)、(180°, 0°)、(225°, 0°)、(270°, 0°)、(315°, 0°) の8点で与えられる。

[0097] ここで、図5の動作例は、出力データ信号が“0”から“1”に変化する変化点が現れる位相差 (調整回路Aから出力するクロック信号の位相と、調整回路Bから出力するクロック信号の位相との位相差) が168° である動作例

である。

[0098] 出力データ信号が“0”から“1”に変化する変化点が現れる位相差（調整回路Aから出力するクロック信号の位相と、調整回路Bから出力するクロック信号の位相との位相差）を α° とすると、（1A）～（2B）式は、一般式として次の（3A）～（4B）式のように表すことができる。なお、位相差 α は、調整回路Bから出力するクロック信号の位相に対して、調整回路Aから出力するクロック信号の位相が進む分を正の値で示す。

[0099] $B = A - (180 + \alpha)^\circ \quad \cdots (3A) \quad (\text{調整回路Aの出力位相: } (\alpha + 180)^\circ \sim 360^\circ)$

$B = A + (180 - \alpha)^\circ \quad \cdots (3B) \quad (\text{調整回路Aの出力位相: } (0^\circ \sim (\alpha + 180)^\circ))$

$B = A - \alpha^\circ \quad \cdots (4A) \quad (\text{調整回路Aの出力位相: } \alpha^\circ \sim 360^\circ)$

$B = A + (360 - \alpha)^\circ \quad \cdots (4B) \quad (\text{調整回路Aの出力位相: } 0^\circ \sim \alpha^\circ)$

このように、出力データ信号が“0”から“1”に変化する変化点が現れる位相差を α° で表す場合には、出力データ信号DFFqの値“0”の領域と“1”の領域との境界は、上述の（3A）～（4B）式で表すことができる。

[0100] ここで、上述のように、出力データ信号の変化点が現れる位相差 α を出力データ信号から把握することはできないが、複数の出力データ信号を得る際に、調整回路Aから出力するクロック信号の位相と、調整回路Aから出力するクロック信号の位相との位相差を小さくしていけば、出力データ信号の変化点が現れる位相差 α を、ある範囲に絞ることができる。すなわち、出力データ信号の変化点が現れる位相差 α を2つの値で挟むことができる。この2つの値は、出力データ信号の変化点が現れる位相差 α の前後の近傍に位置する近傍値である。

[0101] これは、上述のように、調整回路Aから出力するクロック信号の位相を 5° ずつシフトして72個の出力データ信号を得た場合に、実際には把握でき

ない出力データ信号の変化点が現れる位相差（ 168° ）が、調整回路Aから出力するクロック信号の位相を 165° にした場合と、 170° にした場合との間にあることが分かる場合に相当する。すなわち、この動作例では、出力データ信号の変化点が現れる位相差 α は 168° であり、2つの近傍値は、 165° と 170° である。

[0102] 実施の形態1では、調整回路Aから出力するクロック信号の位相と、調整回路Bから出力するクロック信号の位相との位相差を出力データ信号の変化点が現れる位相差の近傍値に固定し、調整回路A、Bから出力するクロック信号の位相を同時に $0^\circ \sim 360^\circ$ の範囲でシフトさせることにより、第2段階目の動作確認試験を行う。上述のように、近傍値は2つあるため、両方の近傍値について動作確認を行うことができる。

[0103] ここで、図5に示す動作例を用いて具体的に説明する。例えば、図5において、調整回路Aと調整回路Bの位相差を一方の近傍値である 165° に設定して第2段階目の動作確認試験を行うとともに、調整回路Aと調整回路Bの位相差を他方の近傍値である 170° に設定して第2段階目の動作確認試験を行う。

[0104] すなわち、以下の（5A）（5B）式を満たすように、調整回路Aの出力位相と調整回路Bの出力位相とをシフトさせて一方の近傍値について第2段階目の動作確認試験を行い、次に、（6A）（6B）式を満たすように、調整回路Aの出力位相と調整回路Bの出力位相とをシフトさせて他方の近傍値について第2段階目の動作確認試験を行う。なお、図5中に、式（5A）（5B）（6A）（6B）で表される直線（5A）（5B）（6A）（6B）を示す。

[0105] $B = A - 165^\circ \quad \dots (5A) \quad (\text{調整回路Aの出力位相: } 165^\circ \sim 360^\circ)$

$B = A - 165^\circ \quad \dots (5B) \quad (\text{調整回路Aの出力位相: } 0^\circ \sim 165^\circ)$

$B = A - 170^\circ \quad \dots (6A) \quad (\text{調整回路Aの出力位相: } 170^\circ \sim 360^\circ)$

$^{\circ} \sim 360^{\circ}$)

$B = A - 170^{\circ} \quad \dots (6B) \quad (\text{調整回路 A の出力位相 : } 0^{\circ} \sim 170^{\circ})$

なお、以下では、(5A)式と(5B)式を区別しない場合には(5)式と称し、直線(5A)と直線(5B)を区別しない場合には直線(5)と称す。同様に、(6A)式と(6B)式を区別しない場合には(6)式と称し、直線(6A)と直線(6B)を区別しない場合には直線(6)と称す。

[0106] (5A)式で表される直線(5A)は、(2A)式で表される直線(2A)よりもB軸の正方向において 3° 高い位置に存在しており、出力データ信号DFF_qの値が“0”となる領域内に存在する。同様に、(5B)式で表される直線(5B)は、(2B)式で表される直線(2B)よりもB軸の正方向において 3° 高い位置に存在しており、出力データ信号DFF_qの値が“0”となる領域内に存在する。

[0107] このため、(5)式を満たすように調整回路A、Bから出力されるクロック信号の位相差を固定して、調整回路A、Bから出力されるクロック信号の位相を同時にシフトさせて得る出力データ信号DFF_qの値を確認すれば、直線(2)の近傍に位置する直線(5)上の出力データ信号DFF_qを確認できる。このため、位相調整回路111の動作確認試験を、より高精度に行うことができる。

[0108] 直線(5)は出力データ信号DFF_qの値が“0”の領域内に存在するため、位相調整回路111が正常に動作すれば、出力データ信号DFF_qの値は常に“0”となる。

[0109] 従って、出力データ信号DFF_qの値に1つでも“1”が含まれる場合は、位相調整回路111に動作不良領域が存在することになる。

[0110] また、同様に、(6A)式で表される直線(6A)は、(2A)式で表される直線(2A)よりもB軸の負方向において 2° 低い位置に存在しており、出力データ信号DFF_qの値が“1”となる領域内に存在する。同様に、(6B)式で表される直線(6B)は、(2B)式で表される直線(2B)よ

りもB軸の負方向において 2° 低い位置に存在しており、出力データ信号DFFqの値が“1”となる領域内に存在する。

[0111] このため、(6)式を満たすように調整回路A、Bから出力されるクロック信号の位相差を固定して、調整回路A、Bから出力されるクロック信号の位相を同時にシフトさせて得る出力データ信号DFFqの値を確認すれば、直線(2)の近傍に位置する直線(6)上の出力データ信号DFFqを確認できる。このため、位相調整回路111の動作確認試験をより高精度に行うことができる。

[0112] 直線(6)は出力データ信号DFFqの値が“1”の領域内に存在するため、位相調整回路111が正常に動作すれば、出力データ信号DFFqの値は常に“1”となる。

[0113] 従って、出力データ信号DFFqの値に1つでも“0”が含まれる場合は、位相調整回路111に動作不良領域が存在することになる。

[0114] 以上、調整回路Aと調整回路Bの位相差を変化点の位相差(168°)の2つの近傍値である 165° と 170° に設定して第2段階目の動作確認試験を行う形態について説明したが、第2段階目の動作確認試験は、いずれか一方の近傍値についてのみ行ってもよい。

[0115] また、図5では、調整回路Aと調整回路Bの位相差を変化点の位相差 α が 168° の場合に、調整回路A、Bから出力されるクロック信号の位相差を近傍値である 165° と 170° に固定して第2段階目の動作確認試験を行う形態について説明した。しかしながら、調整回路Aと調整回路Bの位相差を変化点の位相差の一般値である α ($0^\circ \sim 360^\circ$)に対する近傍値に固定することにより、任意の位相差 α に対して第2段階目の動作確認試験を実行することができる。

[0116] なお、以上では、直線(2)の近傍に位置する直線(5)、(6)を用いた第2段階目の動作確認試験の原理について説明したが、差動型DFF112の出力データ信号DFFqは、直線(1)にも出力値の境界を有する。直線(1)は、直線(2)とは横軸A方向又は縦軸B方向に 180° 異なる位

置に存在する直線である。このため、直線（２）の代わりに直線（１）について第２段階目の動作確認試験を行ってもよいし、直線（２）と直線（１）の両方について第２段階目の動作確認試験を行ってもよい。

[0117] 図６Ａは、実施の形態１の高速シリアルＩ／Ｏ受信回路に接続されるＬＳＩテストで実行される第１段階目の動作確認試験の処理内容を示すフローチャートである。

[0118] ここでは、図４をより一般化して７２個の出力データ信号を得た場合と同様に、１周期（３６０°）を７２等分して、差動型ＤＦＦ１１２に入力するクロック信号に対して差動型ＤＦＦ１１２に入力するデータ信号の位相を５°ずつ段階的にシフトさせて差動型ＤＦＦに供給し、差動型ＤＦＦ１１２の出力データ信号ＤＦＦ_qを得る場合について説明する。

[0119] ＬＳＩテスト１６０は、まず、調整回路Ｂから出力する信号の位相を固定し、調整回路Ａから出力する信号位相を５°単位でシフトさせることにより、差動型ＤＦＦ１１２のデータ出力端_qから出力される出力データ信号に基づいて第１段階目の動作確認試験を行う。すなわち、調整回路Ａから差動型ＤＦＦ１１２にデータ（*d*、*d_x*）として入力する差動クロック信号の位相をシフトさせることによって第１段階目の動作確認試験を行う。これにより、調整回路Ａの動作を確認することができる。

[0120] そして、次に、調整回路Ａから出力する信号の位相を固定し、調整回路Ｂから出力する信号の位相を５°単位でシフトさせることにより、差動型ＤＦＦ１１２のデータ出力端_qから出力される出力データ信号に基づいて第１段階目の動作確認試験を行う。すなわち、調整回路Ｂから差動型ＤＦＦ１１２にクロック（*ck*、*ck_x*）として入力する差動クロック信号の位相をシフトさせることによって第１段階目の動作確認試験を行う。これにより、調整回路Ｂの動作を確認することができる。

[0121] 第１段階目の動作確認試験の処理手順は、具体的には、次の通りである。

[0122] ＬＳＩテスト１６０は、調整回路Ａ、Ｂから出力する信号の位相差を初期値（０°）に設定する（ステップＳ１）。なお、このとき調整回路Ａ、Ｂの

位相差は 0° であるため、LSI テスタ 160 から位相調整回路 111 に伝送される位相シフト指令は 0° を表す。

[0123] 次いで、LSI テスタ 160 は、発振器 11A にクロック信号を出力させるべく、発振指令を発振器 11A に伝送する（ステップ S2）。これにより、発振器 11A からクロック信号が出力され、PLL 11B を介して位相調整回路 111 に 4 相のクロック信号が入力する。位相調整回路 111 の調整回路 A、B からは、差動クロック信号同士の位相差が 0° の 4 相のクロック信号が出力され、それぞれ差動型 DFF 112 のクロック入力端 ck 、 ckx 、データ入力端 d 、 dx に入力する。そして、差動型 DFF 112 のデータ出力端 q から出力データ信号が出力される。調整回路 A、B の位相差が 0° の場合の出力データ信号は、図 4（A）に示す通り、通常時にはデータ（data）“0”となる。

[0124] LSI テスタ 160 は、差動型 DFF 112 からの出力データ信号の値をメモリ 162 に格納する（ステップ S3）。

[0125] LSI テスタ 160 は、予め定められたすべての位相差についての動作確認試験が完了したか否かを判定する（ステップ S4）。具体的には、LSI テスタ 160 は、調整回路 A から出力するクロック信号の位相を 5° 単位でシフトさせることにより、1 周期（ 360° ）を 72 等分したすべての位相差（ 0° から 5° 刻みで 355° まで）についての動作確認試験を行ったか否かを判定する。

[0126] LSI テスタ 160 は、ステップ S4 ですべての位相差についての動作確認試験を行っていないと判定した場合（S4 NO）は、フローをステップ S5 に進行させ、調整回路 A から出力するクロック信号の位相を 5° 進める（ステップ S5）。すなわち、差動型 DFF 112 に入力するクロック信号（ ck 、 ckx ）に対して、データ信号（ d 、 dx ）の位相が 5° 進められる。

[0127] LSI テスタ 160 は、ステップ S5 の処理が終了すると、フローをステップ S2 にリターンする。これにより、すべての位相差について動作確認試

験が終了するまで、ステップS 2からS 4の処理が繰り返し実行されることになる。調整回路Aから出力するクロック信号の位相が 355° 進められた状態までステップS 2～S 4が繰り返されると、LSI テスタ 160のメモリ 162には、72個の出力データ信号を表すデータが格納される。

[0128] LSI テスタ 160は、ステップS 4ですべての位相差について動作確認試験が終了したと判定すると（S 4 YES）、72個の出力データ信号を表すデータを期待値と比較する（ステップS 6）。

[0129] 出力データ信号DFF qが36個の“0”と36個の“1”を含み、かつ、“0”又は“1”が不連続的かつ突発的に生じる箇所を含まなければ、72個の出力データ信号DFF qは期待値と同一であると判定され、動作確認試験は合格となる。すなわち、その位相調整回路111を含むクロック分配回路110は、少なくとも調整回路Aについては良品と判定される。

[0130] 一方、出力データ信号DFF qが含む“0”と“1”の数が異なる場合、又は、“0”又は“1”が不連続的かつ突発的に生じる箇所を含む場合は、動作確認試験は不合格となる。すなわち、その位相調整回路111を含むクロック分配回路110は不良品と判定される。

[0131] LSI テスタ 160は、ステップS 6で出力データ信号の値と期待値とが一致、言い換えると動作確認試験が合格と判定した場合は、調整回路Bの動作確認試験を行うべく、ステップS 7以下の処理を実行する。ステップS 7～S 12の処理は、調整回路Bから出力するクロック信号の位相を 5° ずつ進めること以外は、調整回路Aから出力するクロック信号の位相を 5° ずつ進めながら動作確認試験を行うステップS 1～S 6の処理と同一である。

[0132] LSI テスタ 160は、調整回路A、Bの各々からの信号の位相差を初期値（ 0° ）に設定する（ステップS 7）。なお、このとき調整回路A、Bの出力位相の位相差は 0° であるため、LSI テスタ 160から位相調整回路111に伝送される位相シフト指令は 0° を表す。

[0133] 次いで、LSI テスタ 160は、発振器11Aにクロック信号を出力させるべく、発振指令を発振器11Aに伝送する（ステップS 8）。これにより

、発振器 11A からクロック信号が出力され、PLL 11B を介して位相調整回路 111 に 4 相のクロック信号が入力する。位相調整回路 111 の調整回路 A、B からは、差動クロック信号同士の位相差が 0° の 4 相のクロック信号が出力され、差動型 DFF 112 のクロック入力端 ck 、 ckx 、データ入力端 d 、 dx にそれぞれ入力する。そして、差動型 DFF 112 のデータ出力端 q から出力データ信号が出力される。調整回路 A、B の位相差が 0° の場合の出力データ信号は、データ (data) “0” となる。

[0134] LSI テスタ 160 は、出力データ信号の値をメモリ 162 に格納する（ステップ S9）。

[0135] LSI テスタ 160 は、予め定められたすべての位相差について動作確認試験を行ったか否かを判定する（ステップ S10）。具体的には、LSI テスタ 160 は、調整回路 B のから出力するクロック信号の位相をシフトさせることにより、1 周期（ 360° ）を 72 等分したすべての位相差（ 0° から 5° 刻みで 355° まで）についての動作確認試験を行ったか否かを判定する。

[0136] LSI テスタ 160 は、ステップ S10 ですべての位相差についての動作確認試験を行っていないと判定した場合は、フローをステップ S11 に進行させ、調整回路 B から出力するクロック信号の位相を 5° 進める（ステップ S11）。すなわち、差動型 DFF 112 に入力されるデータ信号（ d 、 dx ）に対して、クロック信号（ ck 、 ckx ）の位相が 5° 進められる。

[0137] LSI テスタ 160 は、ステップ S11 の処理が終了すると、フローをステップ S8 にリターンする。これにより、すべての位相差について動作確認試験が終了するまで、ステップ S8 から S10 の処理が繰り返し実行されることになる。調整回路 B から出力するクロック信号の位相が 355° 進められた状態までステップ S8～S10 が繰り返されると、LSI テスタ 160 のメモリ 162 には、72 個の出力データ信号を表すデータが格納される。

[0138] LSI テスタ 160 は、ステップ S10 ですべての位相差について動作確認試験が終了したと判定すると、72 個の出力データ信号を表すデータを期

待値と比較する（ステップS 1 2）。

- [0139] 出力データ信号D F F qが3 6個の“0”と3 6個の“1”を含み、かつ、“0”又は“1”が不連続的かつ突発的に生じる箇所を含まなければ、7 2個の出力データ信号D F F qは期待値と同一であると判定され、動作確認試験は合格となる。すなわち、その位相調整回路1 1 1を含むクロック分配回路1 1 0は、調整回路A、Bの両方について良品と判定される。
- [0140] 一方、出力データ信号D F F qが含む“0”と“1”の数が異なる場合、又は、“0”又は“1”が不連続的かつ突発的に生じる箇所を含む場合は、動作確認試験は不合格となる。すなわち、その位相調整回路1 1 1を含むクロック分配回路1 1 0は不良品と判定される。
- [0141] 以上により、調整回路A、Bの第1段階目の動作確認試験が終了する。
- [0142] 図6 Aを用いて説明したように、調整回路A、Bから出力する信号の位相を別々にシフトさせながら位相調整回路1 1 1の動作確認試験を行うことにより、調整回路A、Bの動作確認を容易かつ正確に行うことができる。
- [0143] 差動型D F F 1 1 2の出力データ信号は、2相2出力型の位相調整回路1 1 1の差動出力を直接的にクロック信号及びデータ信号として用いることによって得られているので、位相調整回路1 1 1の動作の良否を正確に把握することができる。
- [0144] また、位相調整回路1 1 1の調整回路A、Bの各々から出力される差動出力を差動型D F F 1 1 2のクロック信号（c k、c k x）及びデータ信号（d、d x）として用いて出力データ信号を得ているので、メタステーブルのような不安定な出力が極めて生じにくく、安定した出力を得ることができる。
- [0145] また、位相調整回路1 1 1の調整回路A、Bの出力位相をL S I テスタ1 6 0で直接シフトさせながら動作確認試験を行っているので、位相調整回路1 1 1の出力位相を調整可能な全範囲について動作確認試験を行うことができる。
- [0146] なお、以上では、ステップS 5とステップS 1 1でシフトさせる位相差分

がそれぞれ 5° で等しい場合について説明したが、ステップS 5でシフトさせる位相差分とステップS 11でシフトさせる位相差分とは異なってもよい。

[0147] 図6 Aに示す第1段階目の動作確認試験で良品と判定された位相調整回路111については、以下で説明する、より高精度な第2段階目の動作確認試験を行うことができる。

[0148] 次に、図6 Bを用いて第2段階目の動作確認試験の処理手順について説明する。

[0149] 図6 Bは、実施の形態1の高速シリアルI/O受信回路に接続されるLSIテストで実行される第2段階目の動作確認試験の処理内容を示すフローチャートである。

[0150] ここでは、一例として、図5に示す動作例と同一条件の場合について説明を行う。また、第2段階目の動作確認試験では、調整回路A、Bから出力するクロック信号の位相を 5° ずつ変化させるものとする。

[0151] LSIテスト160は、第2段階目の動作確認試験を開始すると、調整回路A、Bの出力位相を初期値に設定する（ステップS 13）。LSIテスト160は、ステップS 13の処理を図6 Aに示すステップS 12に続く処理として実行する。

[0152] ここで、第2段階目の動作確認試験において、調整回路A、Bの出力位相の初期値は、調整回路A、Bの出力位相の位相差を出力データ信号の変化点が現れる位相差の近傍値に固定して、調整回路A、Bのいずれか一方の出力位相を 0° にすることによって与えられる。

[0153] LSIテスト160は、まず、2つの近傍値の一方を用い、調整回路Aの出力位相を 165° 、調整回路の出力位相を 0° に設定する。なお、このときLSIテスト160から位相調整回路111に伝送される位相シフト指令は 165° を表す。

[0154] これにより、調整回路Aから出力するクロック信号の位相は 165° に設定され、調整回路Bから出力するクロック信号の位相は 0° に設定される。

すなわち、調整回路Aから出力するクロック信号の位相は、調整回路Bから出力するクロック信号の位相に対して 165° 進んだ位相に設定される。この状態は、図5に示す直線(5)とA軸の交点に相当する。

[0155] 次いで、LSIテスト160は、発振器11Aにクロック信号を出力させるべく、発振指令を発振器11Aに伝送する(ステップS14)。これにより、発振器11Aからクロック信号が出力され、PLL11Bを介して位相調整回路111に4相のクロック信号が入力する。位相調整回路111からは、調整回路A、Bの各々から出力される差動クロック信号同士の位相差が 0° の4相のクロック信号が出力され、各クロック信号はそれぞれ差動型DFF112のクロック入力端ck、ckx、データ入力端d、dxに入力する。そして、差動型DFF112のデータ出力端qから出力データ信号が出力される。S13で位相の初期値を設定した状態では、位相調整回路111の動作が正常であれば、出力データ信号DFFqの値は“0”となる。これは、直線(5)が出力データ信号DFFqの値が“0”の領域内に存在するからである。

[0156] LSIテスト160は、出力データ信号のデータをメモリ162に格納する(ステップS15)。

[0157] LSIテスト160は、調整回路A、Bの全動作範囲についての動作確認試験が完了したか否かを判定する(ステップS16)。具体的には、LSIテスト160は、調整回路A、Bの出力位相を 5° 刻みで順次シフトさせることにより、1周期(360°)分の動作確認試験を行ったか否かを判定する。

[0158] LSIテスト160は、ステップS16で全動作範囲についての動作確認試験が完了していないと判定した場合は、フローをステップS17に進行させ、調整回路A、Bの出力位相をともに 5° 進める(ステップS17)。すなわち、調整回路A、Bの出力位相が図5に示す直線(5)に沿って、 5° 進められる。

[0159] なお、ここでは、ステップS17で進める位相の値(5°)は、ステップ

S 5 又は S 1 1 でシフトする位相差の値 (5°) と同一の値に設定されているが、ステップ S 1 7 で進める位相の値は、ステップ S 5 又は S 1 1 でシフトする位相差の値と異なる値であってもよい。

[0160] L S I テスタ 1 6 0 は、ステップ S 1 7 の処理が終了すると、フローをステップ S 1 4 にリターンする。これにより、調整回路 A、B の全動作範囲についての動作確認試験が完了するまで、ステップ S 1 4 から S 1 7 の処理が繰り返し実行されることになる。調整回路 A、B の出力位相が 1 周期分に到達するまで進められると、L S I テスタ 1 6 0 のメモリ 1 6 2 には、7 2 個の出力データ信号を表すデータが格納される。これは、図 5 に示す直線 (5) に沿って、調整回路 A、B の出力位相を 5° ずつ進めながら、出力データ信号を取得した場合に相当する。

[0161] L S I テスタ 1 6 0 は、ステップ S 1 6 で全動作範囲についての動作確認試験が完了したと判定すると、すべての出力データ信号を表す 7 2 個のデータを期待値と比較する (ステップ S 1 8)。ここで、図 5 の直線 (5) に沿った場合、期待値は、すべての位相に対して“0”である。

[0162] L S I テスタ 1 6 0 は、出力データ信号 D F F q がすべて“0”であれば、2 つの近傍値の一方 (ここでは 165°) についての第 2 段階目の動作確認試験は合格と判定する (S 1 8 Y E S)。

[0163] 一方、L S I テスタ 1 6 0 は、出力データ信号 D F F q が一つでも“1”を含む場合は、動作確認試験は不合格と判定する (S 1 8 N O)。すなわち、その位相調整回路 1 1 1 を含むクロック分配回路 1 1 0 は不良品と判定される。

[0164] L S I テスタ 1 6 0 は、ステップ S 1 8 において第 2 段階目の動作確認試験は合格と判定した場合は、2 つの近傍値の両方についての第 2 段階目の動作確認試験が終了したか否かを判定する (ステップ S 1 9)。

[0165] L S I テスタ 1 6 0 は、2 つの近傍値の両方についての第 2 段階目の動作確認試験が終了していないと判定した場合は、他方の近傍値 (ここでは、 170°) についての第 2 段階目の動作確認試験を行うべく、フローをステッ

プ S 1 3 にリターンする。

[0166] フローをステップ S 1 3 にリターンすると、L S I テスタ 1 6 0 は、調整回路 A、B の出力位相を初期値に設定するために、2 つの近傍値の他方を用い、調整回路 A の出力位相を 170° 、調整回路の出力位相を 0° に設定する。なお、このとき L S I テスタ 1 6 0 から位相調整回路 1 1 1 に伝送される位相シフト指令は 170° を表す。

[0167] これにより、調整回路 A から出力するクロック信号の位相は 170° に設定され、調整回路 B から出力するクロック信号の位相は 0° に設定される。すなわち、調整回路 A から出力するクロック信号の位相は、調整回路 B から出力するクロック信号の位相に対して 170° 進んだ位相に設定される。この状態は、図 5 に示す直線 (6) と A 軸の交点に相当する。

[0168] 以下、L S I テスタ 1 6 0 は、ステップ S 1 4 乃至 S 1 7 を実行し、調整回路 A から出力するクロック信号の位相と、調整回路 B から出力するクロック信号の位相との位相差を 170° に固定して、72 個の出力データ信号を取得する。

[0169] そして、L S I テスタ 1 6 0 は、ステップ S 1 8 において、すべての出力データ信号を表す 72 個のデータを期待値と比較する (ステップ S 1 8) 。ここで、図 5 の直線 (6) に沿った場合、期待値は、すべての位相に対して "1" である。

[0170] L S I テスタ 1 6 0 は、出力データ信号 D F F q がすべて "1" であれば、2 つの近傍値の他方 (ここでは 170°) についての第 2 段階目の動作確認試験は合格と判定する (S 1 8 YES) 。

[0171] 一方、L S I テスタ 1 6 0 は、出力データ信号 D F F q に一つでも "1" が含まれる場合は、動作確認試験は不合格と判定する (S 1 8 NO) 。すなわち、その位相調整回路 1 1 1 を含むクロック分配回路 1 1 0 は不良品と判定される。

[0172] L S I テスタ 1 6 0 は、ステップ S 1 8 において 2 つの近傍値の他方についても第 2 段階目の動作確認試験は合格と判定した場合は、ステップ S 1 9

において、2つの近傍値の両方についての第2段階目の動作確認試験が終了したと判定する（S19 YES）。

[0173] この結果、位相調整回路111を含むクロック分配回路110は良品と判定される。

[0174] 以上、第1段階目の動作確認試験で良品と判定された位相調整回路111について、調整回路A、Bの出力位相の位相差を出力データ信号の変化点が現れる位相差の近傍値に固定して第2段階目の動作確認試験を行うことにより、調整回路A、Bの動作確認を容易かつ正確に行うことができる。

[0175] また、上述のような第1段階及び第2段階を含む動作確認試験を行う際に、差動型DFF112の出力データ信号は、2相2出力型の位相調整回路111の差動出力をクロック信号及びデータ信号として用いることによって得られるので、位相調整回路111の動作の良否を容易かつ正確に判定することができる。

[0176] また、位相調整回路111の調整回路A、Bの各々から出力される差動出力を差動型DFF112のクロック信号（ck、ckx）及びデータ信号（d、dx）として用いて出力データ信号を得ているので、メタステーブルのような不安定な出力が極めて生じにくく、安定した出力を得ることができる。

[0177] また、位相調整回路111の調整回路A、Bの出力位相をLSIテスト160で直接シフトさせながら動作確認試験を行っているので、位相調整回路111の出力位相を調整可能な全範囲について動作確認試験を行うことができる。

[0178] なお、図6Bに示す第2段階目の動作確認試験の説明では、調整回路A、Bの出力位相を5°ずつ進めながら差動型DFF112の出力データ信号を得る方法について説明したが、調整回路A、Bの出力位相は、さらに細かい刻み（例えば、1°あるいはそれ以下）で進めるようにしてもよい。このように、より細かい刻みで調整回路A、Bの出力位相を進めながら出力データ信号を得る場合は、より高精度な動作確認試験を行うことができる。

- [0179] 以上では、位相調整回路 111 の調整回路 A、B からそれぞれ出力される差動出力をクロック信号 (ck、ckx) 及びデータ信号 (d、dx) として用いる差動型 DFF 112 を含む、実施の形態 1 のクロック分配回路 110 の動作確認試験について説明を行った。
- [0180] 差動型 DFF 112 の出力は、位相調整回路 111 の出力を直接用いており、また、クロック信号及びデータ信号ともに差動出力を用いているので、位相調整回路 111 の動作確認を容易かつ正確に行うことができる。
- [0181] また、位相調整回路 111 の調整回路 A、B の出力位相を LSI テスタ 160 で直接シフトさせながら動作確認試験を行っているので、位相調整回路 111 の出力位相を調整可能な全範囲について動作確認試験を行うことができる。
- [0182] なお、以上では、クロック分配回路 110 が CPU 10 内の高速シリアル I/O 受信回路 100 に含まれる形態について説明したが、クロック分配回路 110 は、サーバ 1 内でクロック信号が必要な部位であれば、高速シリアル I/O 受信回路 100 以外の回路等に含ませることができる。
- [0183] また、以上では、高速シリアル I/O 受信回路 100 にアンプ 120、DFF 130、データ処理回路 150 が含まれる形態について説明したが、高速シリアル I/O 受信回路 100 に含まれる回路は、これらに限定されず、他の回路等であってもよい。
- [0184] また、以上では、LSI テスタ 160 がサーバ 1 の外部装置である形態について説明したが、サーバ 1、高速シリアル I/O 受信回路 100、又はクロック分配回路 110 が LSI テスタを内蔵していてもよい。
- [0185] 図 7 は、実施の形態 1 の変形例の高速シリアル I/O 受信回路を示す図である。
- [0186] 実施の形態 1 の変形例の高速シリアル I/O 受信回路 100A に含まれるクロック分配回路 110 は、動作確認試験装置としての LSI テスタ 160 を内蔵する点が図 2、図 3 に示す実施の形態 1 のクロック分配回路 110 と異なる。また、クロック分配回路 110 が LSI テスタ 160 を内蔵するこ

とにより、高速シリアル I / O 受信回路 100A が試験用ポート 140A、140B を含まない点が、図 2、図 3 に示す実施の形態 1 の高速シリアル I / O 受信回路 100 と異なる。その他は、図 2、図 3 に示す実施の形態 1 の高速シリアル I / O 受信回路 100、クロック分配回路 110 と同一であるため、説明を省略する。

[0187] 図 7 に示すように、クロック分配回路 110 が LSI テスタ 160 を内蔵することにより、高速シリアル I / O 受信回路 100A が LSI テスタ 160 を内蔵することになり、また、サーバ 1（図 1 参照）が LSI テスタ 160 を内蔵することになる。なお、図 7 には、LSI テスタ 160 がクロック分配回路 110 に含まれる形態を示すが、LSI テスタ 160 は、クロック分配回路 110 の外部で高速シリアル I / O 受信回路 100A の内部となる場所に配設されてもよい。また、同様に、LSI テスタ 160 は、高速シリアル I / O 受信回路 100A の外部でサーバ 1（図 1 参照）の内部となる場所に配設されてもよい。

[0188] 実施の形態 1 によれば、図 7 に示すように、LSI テスタ 160 がクロック分配回路 110、高速シリアル I / O 受信回路 100A、又はサーバ 1 の内部に配設される場合にうおいても、位相調整回路 111 の動作確認を容易かつ正確に行うことができる。

[0189] <実施の形態 2>

図 8 は、実施の形態 2 のクロック分配回路を含む高速シリアル I / O 受信回路を示す図である。

[0190] 実施の形態 2 の高速シリアル I / O 受信回路 200 は、クロック分配回路 210 に含まれる 2 相 2 出力型の位相調整回路 211、アンプ（120-1 ~ 120-k）、及び DFE（130-1 ~ 130-k）が多段化されている点が実施の形態 1 の高速シリアル I / O 受信回路 200 と異なる。

[0191] ここで、k は段数を示す段数番号であり、任意の 2 以上の整数であればよい。その他は、実施の形態 1 の高速シリアル I / O 受信回路 100 と同一であるため、同一の要素には同一符号を付し、その説明を省略する。

- [0192] なお、高速シリアル I/O 受信回路 200 に接続されるデータ処理回路 (150-1 ~ 150-k) も多段化されている。
- [0193] 位相調整回路 211 は、調整回路 A1、B1、・・・、Ak、Bk を有する。調整回路 A、B、・・・、Ak、Bk は、A、B の対で用いられる。
- [0194] アンプ 120-1 ~ 120-k は、それぞれの入力側が CPU10 (図 1 参照) 内の信号線に接続されている。アンプ 120-1 ~ 120-k の出力側は、それぞれ、段数番号の等しい DFE130-1 ~ 130-k に接続されている。
- [0195] DFE130-1 ~ 130-k は、それぞれ、D/L131 及び D/L132 を有する。
- [0196] データ処理回路 150-1 ~ 150-k は、それぞれ、段数番号の等しい DFE130-1 ~ 130-k に接続されている。データ処理回路 150-1 ~ 150-k は、それぞれ、FF151、152、及び演算部 153 を有する。
- [0197] クロック分配回路 210 は、多段化された位相調整回路 211 と差動型 DFF112 との間にセレクタ 201、201 を含む。
- [0198] セレクタ 201 は、入力側が調整回路 A1 ~ Ak に接続されており、出力側は差動型 DFF112 のクロック入力端 ck、ckx に接続されている。セレクタ 201 は、調整回路 A1 ~ Ak のいずれか 1 つを選択し、選択した調整回路が出力する差動クロック信号を差動型 DFF112 のクロック入力端 ck、ckx に入力する。
- [0199] セレクタ 202 は、入力側が調整回路 B1 ~ Bk に接続されており、出力側は差動型 DFF112 のデータ入力端 d、dx に接続されている。セレクタ 202 は、調整回路 B1 ~ Bk のいずれか 1 つを選択し、選択した調整回路が出力する差動クロック信号を差動型 DFF112 のデータ入力端 d、dx に入力する。
- [0200] セレクタ 201、202 は、LSI テスタ 160 から入力する回線選択指令に基づいて調整回路 A1 ~ Ak、B1 ~ Bk のうちのいずれか一对に接続

される回線を選択する。これにより、調整回路A₁～A_k、B₁～B_kの選択が行われる。なお、セクタ201、202が選択する一对の回線に接続される調整回路は、調整回路A₁～A_k、B₁～B_kのうち段数番号kの等しい調整回路である。これにより、調整回路A₁～A_k、B₁～B_kは、A、Bの対で用いられることになる。

[0201] また、DFE130-1～130-kの各々のD/L131には、段数番号kの等しい調整回路A₁～A_kの差動クロック信号が入力する。同様に、DFE130-1～130-kの各々のD/L132には、段数番号kの等しい調整回路B₁～B_kの差動クロック信号が入力する。

[0202] すなわち、DFE130-1のD/L131には、調整回路A₁の差動クロック信号が入力し、DFE130-1のD/L132には、調整回路B₁の差動クロック信号が入力する。DFE130-kのD/L131には、調整回路A_kの差動クロック信号が入力し、DFE130-kのD/L132には、調整回路B_kの差動クロック信号が入力する。

[0203] なお、DFE130-2からDFE130-(k-1)、調整回路A₂～A_(k-1)、B₂～B_(k-1)、及びDFE130-2からDFE130-(k-1)と、調整回路A₂～A_(k-1)、B₂～B_(k-1)とを接続する信号線については図示を省略する。

[0204] LSIテスト160は、回線選択指令を用いてセクタ201、202で調整回路A₁、B₁・・・A_k、B_kを選択しながら、図6A及び図6Bに示した処理を実行し、多段化された位相調整回路211の動作確認試験を実行する。

[0205] ここで、LSIテスト160が回線選択指令を用いてセクタ201、202を切り替える処理について図9を用いて説明する。

[0206] 図9は、実施の形態2の高速シリアルI/O受信回路に接続されるLSIテストで実行される動作確認試験の処理内容を示すフローチャートである。

[0207] 図9に示す動作試験の処理内容は、実施の形態1の第1段階目の動作試験（図6A参照）と第2段階目の動作試験（図6B参照）との前後に、それぞれ

れ、回線選択指令を出力する処理と、すべての回線を選択したか否かを判定する処理とを加えたものである。

[0208] このため、第１段階目の動作試験及び第２段階目の動作試験の内容自体は、実施の形態１の第１段階目の動作試験及び第２段階目の動作試験と同一であるため、その説明を省略し、フローチャートも省略して示す。

[0209] ＬＳＩテスト１６０は、位相調整回路２１１の調整回路Ａ１～Ａ_k、Ｂ１～Ｂ_kを一对ずつ選択して動作確認試験を行うために、回線選択指令をセレクタ２０１、２０２に伝送する（ステップＳ１００）。ステップＳ１００の処理は、すべての回線を選択するまで、すなわち、調整回路Ａ１～Ａ_k、Ｂ１～Ｂ_kを一对ずつ選択してすべての選択が完了するまで、繰り返し実行される処理である。

[0210] ＬＳＩテスト１６０は、第１段階目の動作確認試験を行い、動作不良の有無を判定する（ステップＳ１０１）。

[0211] ステップＳ１０１の処理は、図６Ａに示すステップＳ１～Ｓ１２によって実現される、第１段階目の動作確認試験を実行することにより、動作不良の有無を判定する処理である。ステップＳ１００～Ｓ１０３が繰り返されることにより、ステップＳ１０１では、位相調整回路２１１に含まれる調整回路Ａ１～Ａ_k、Ｂ１～Ｂ_kの第１段階目の動作確認試験を一对ずつ行うことになる。

[0212] ＬＳＩテスト１６０は、ステップＳ１０１で動作不良と判定した場合、すなわち、図６Ａに示すステップＳ６又はＳ１２で動作不良と判定した場合は、位相調整回路２１１が不良品であると判定する（Ｓ１０１　ＮＯ）。この場合は、動作確認試験が終了する。

[0213] ＬＳＩテスト１６０は、第１段階目の動作確認試験で動作が良好であると判定した場合は、第２段階目の動作確認試験を行い、動作不良の有無を判定する（ステップＳ１０２）。

[0214] ステップＳ１０２の処理は、図６Ｂに示すステップＳ１３～Ｓ１９によって実現される、第２段階目の動作確認試験を実行することにより、動作不良

の有無を判定する処理である。ステップS 1 0 0～S 1 0 3が繰り返されることにより、ステップS 1 0 2では、位相調整回路2 1 1に含まれる調整回路A 1～A k、B 1～B kの第2段階目の動作確認試験を一對ずつ行うことになる。

[0215] L S I テスタ 1 6 0 は、ステップS 1 0 2で動作不良と判定した場合、すなわち、図6 Bに示すステップS 1 8で動作不良と判定した場合は、位相調整回路2 1 1が不良品であると判定する（S 1 0 2 NO）。この場合は、動作確認試験が終了する。

[0216] L S I テスタ 1 6 0 は、第2段階目の動作確認試験で動作が良好であると判定した場合は、すべての調整回路A 1～A k、B 1～B kについて動作確認試験が終了したか否かを判定する（ステップS 1 0 3）。ステップS 1 0 3の処理は、例えば、段数番号がkに到達したか否かによって判定することができる。

[0217] L S I テスタ 1 6 0 は、ステップS 1 0 3ですべての調整回路A 1～A k、B 1～B kについて動作確認試験が終了していない（S 1 0 3 NO）と判定した場合は、フローをステップS 1 0 0にリターンする。この場合は、ステップS 1 0 0において、セクタ2 0 1、2 0 1の接続先を、次の段数番号の調整回路（A 1～A k、B 1～B kのいずれかの対）を切り替えるために、回線選択指令をセクタ2 0 1、2 0 2に伝送する。

[0218] L S I テスタ 1 6 0 は、ステップS 1 0 3ですべての調整回路A 1～A k、B 1～B kについて動作確認試験が終了した（S 1 0 3 YES）と判定した場合は、位相調整回路2 1 1の調整回路A 1～A k、B 1～B kは、すべて動作が良好であると判定し、一連の処理を終了する。これにより、位相調整回路2 1 1を含む実施の形態2のクロック分配回路2 1 0は良品であると判定される。

[0219] 以上、実施の形態2によれば、多段化された位相調整回路2 1 1に含まれるすべての調整回路A 1～A k、B 1～B kについても、実施の形態1の位相調整回路1 1 1に含まれるすべての調整回路A、Bと同様に動作確認試験

を行うことができる。

[0220] <実施の形態 3>

図 10 は、実施の形態 3 のクロック分配回路を示す図である。

[0221] 実施の形態 3 のクロック分配回路 310 を含む高速シリアル I/O 受信回路 300 は、位相調整回路 111 の調整回路 A、B に接続されるクロック分配器 301A、301B を含む点が実施の形態 1 のクロック分配回路 110 と異なる。クロック分配器 301A の出力側にはコア 401 が、301B の出力側にはコア 402 が、それぞれ接続される。クロック分配回路 310 は、サーバ 1（図 1 参照）内のどこに用いられていてもよい。

[0222] コア 401、402 は、それぞれ、FF1～FFm（m は 2 以上の整数）を含み、クロック分配器 301A、301B の出力側に接続されている。コア 401、402 は、例えば、プロセッサコアであり、クロック分配器 301A、301B を介して入力するクロック信号を用いて、所定の演算（例えば、整数演算又は浮動小数点演算）を実行する。

[0223] 位相調整回路 111 の動作確認試験は、実施の形態 1 のクロック分配回路 110 に含まれる位相調整回路 111 と同様に行えばよい。

[0224] 以上、実施の形態 3 によれば、図 10 に示すようなクロック分配回路 310 に含まれる位相調整回路 111 についても、実施の形態 1 の位相調整回路 111 と同様に動作確認試験を行うことができる。

[0225] 以上、本発明の例示的な実施の形態の動作確認試験方法、動作確認試験プログラム、及びクロック分配回路について説明したが、本発明は、具体的に開示された実施の形態に限定されるものではなく、特許請求の範囲から逸脱することなく、種々の変形や変更が可能である。

符号の説明

- [0226] 1 サーバ
10 CPU
11A 発振器
11B PLL

- 20 キャッシュ
- 30 メモリコントローラ
- 40 主記憶装置
- 50 補助記憶装置
- 60 システムバス
- 100 高速シリアル I/O 受信回路
- 110 クロック分配回路
- 111 位相調整回路
- 112 差動型 DFF
- 120 アンプ
- 130 DFE
- 131、132 D/L
- 140A、140B 試験用ポート
- 150 データ処理回路
- 151、152 FF
- 153 演算部
- 160 LSI テスタ
- 161 動作確認試験処理部
- 161A データ取得部
- 161B 位相シフト部
- 161C 比較部
- 162 メモリ
- 200 高速シリアル I/O 受信回路
- 210 クロック分配回路
- 211 位相調整回路
- 120-1~120-k アンプ
- 130-1~130-k DFE
- 150-1~150-k データ処理回路

201、201 セレクタ

310 クロック分配回路

301A、301B クロック分配器

401、402 コア

請求の範囲

[請求項1]

第1差動信号又は第2差動信号の少なくとも一方の位相を調整して出力する位相調整回路と、

前記位相調整回路から出力される前記第1差動信号又は前記第2差動信号のいずれか一方をクロック信号として用いて、前記クロック信号に同期して前記第1差動信号又は前記第2差動信号のいずれか他方をデータ信号として取得する差動DFFと

を含むクロック分配回路の前記位相調整回路の動作確認試験をコンピュータが行う動作確認試験方法であって、

前記コンピュータは、

前記第1差動信号又は前記第2差動信号のうちの一方の信号の位相を、他方の信号の位相に対してシフトする第1位相シフト工程と、

前記第1位相シフト工程において位相がシフトされた前記第1差動信号及び前記第2差動信号が入力される前記差動DFFのデータ信号を取得する第1データ取得工程と、

前記第1差動信号と前記第2差動信号との位相差が前記第1差動信号及び前記第2差動信号の1周期分に達するまで前記第1位相シフト工程及び前記第1データ取得工程を繰り返し実行することによって得る複数のデータ信号の値と、前記複数のデータ信号の第1期待値と比較する第1比較工程と

を実行する、動作確認試験方法。

[請求項2]

前記コンピュータは、前記第1比較工程で比較した前記複数のデータ信号の値と前記第1期待値が一致した場合に、

前記第1差動信号又は前記第2差動信号のうちの前記他方の信号の位相を、前記一方の信号の位相に対してシフトする第2位相シフト工程と、

前記第2位相シフト工程において位相がシフトされた前記第1差動信号及び前記第2差動信号が入力される前記差動DFFのデータ信号

を取得する第2データ取得工程と、

前記第1差動信号と前記第2差動信号との位相差が前記第1差動信号及び前記第2差動信号の1周期分に達するまで前記第2位相シフト工程及び前記第2データ取得工程を繰り返し実行することによって得る複数のデータ信号の値と、前記複数のデータ信号の第2期待値と比較する第2比較工程と

をさらに実行する、請求項1に記載の動作確認試験方法。

[請求項3]

前記コンピュータは、前記第2比較工程で比較した前記複数のデータ信号の値と前記第2期待値が一致した場合に、

前記第1差動信号と前記第2差動信号との位相差を固定値に設定する位相差設定工程と、

前記固定値が位相差として設定された前記第1差動信号と前記第2差動信号が入力される前記差動DFFのデータ信号を取得する第3データ取得工程と、

前記固定値を固定した状態で、前記第1差動信号及び前記第2差動信号の位相を所定分シフトする第3位相シフト工程と、

前記第1差動信号及び前記第2差動信号の位相シフト分が1周期分に達するまで前記第3データ取得工程及び前記第3位相シフト工程を繰り返し実行することによって得る複数の前記データ信号の値と、前記複数のデータ信号の第3期待値と比較する第3比較工程と

をさらに実行する、請求項2に記載の動作確認試験方法。

[請求項4]

前記位相差設定工程で設定する前記位相差の固定値は、前記複数のデータ信号に含まれるデータ値の変化点が現れる位相差の近傍値であり、前記第3期待値に含まれる複数のデータ値は、すべて同一値である、請求項3に記載の動作確認試験方法。

[請求項5]

前記近傍値は、前記複数のデータ信号に含まれるデータ値の変化点を挟む第1近傍値及び第2近傍値を含み、前記位相差の固定値は、前記第1近傍値又は前記第2近傍値に設定される、請求項4に記載の動

作確認試験方法。

[請求項6] 第1差動信号又は第2差動信号の少なくとも一方の位相を調整して出力する位相調整回路と、

前記位相調整回路から出力される前記第1差動信号又は前記第2差動信号のいずれか一方をクロック信号として用いて、前記クロック信号に同期して前記第1差動信号又は前記第2差動信号のいずれか他方をデータ信号として取得する差動DFFと、

前記位相調整回路の動作確認試験を行うための動作確認試験装置に前記差動DFFから出力されるデータ信号を出力するための試験用出力端と、

前記第1差動信号又は前記第2差動信号のうちの一方の位相を他方の位相に対してシフトさせるための位相シフト指令を前記動作確認試験装置から前記位相調整回路に入力するための試験用入力端と

を含み、前記位相調整回路は、前記位相シフト指令に基づいて前記第1差動信号又は前記第2差動信号の少なくとも一方の位相をシフトする、クロック分配回路。

[請求項7] 第1差動信号又は第2差動信号の少なくとも一方の位相を調整して出力する位相調整回路と、

前記位相調整回路から出力される前記第1差動信号又は前記第2差動信号のいずれか一方をクロック信号として用いて、前記クロック信号に同期して前記第1差動信号又は前記第2差動信号のいずれか他方をデータ信号として取得する差動DFFと、

前記第1差動信号又は前記第2差動信号のうちの一方の信号の位相を、他方の信号の位相に対してシフトする位相シフト部と、

前記位相シフト部によって位相がシフトされた前記第1差動信号及び前記第2差動信号が入力される前記差動DFFのデータ信号を取得するデータ取得部と、

前記位相シフト部による位相のシフトと、前記データ取得部による

前記データ信号の取得とを前記第 1 差動信号と前記第 2 差動信号との位相差が前記第 1 差動信号及び前記第 2 差動信号の 1 周期分に達するまで繰り返し実行することによって得る複数のデータ信号の値と、前記複数のデータ信号の期待値と比較する比較部とを含む、クロック分配回路。

[請求項 8] 第 1 差動信号又は第 2 差動信号の少なくとも一方の位相を調整して出力する位相調整回路と、

前記位相調整回路から出力される前記第 1 差動信号又は前記第 2 差動信号のいずれか一方をクロック信号として用いて、前記クロック信号に同期して前記第 1 差動信号又は前記第 2 差動信号のいずれか他方をデータ信号として取得する差動 D F F と

を含むクロック分配回路の前記位相調整回路の動作確認試験を実行させるための動作確認試験プログラムであって、

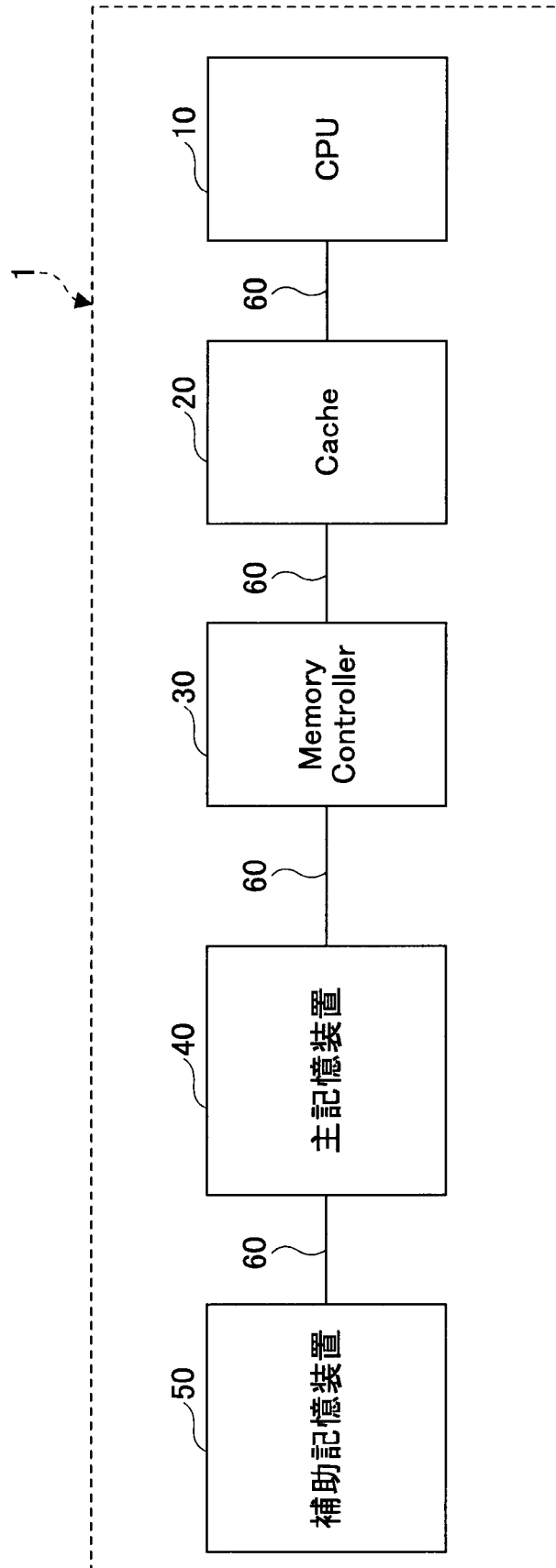
前記第 1 差動信号又は前記第 2 差動信号のうちの一方の信号の位相を、他方の信号の位相に対してシフトする位相シフト部、

前記位相シフト部によって位相がシフトされた前記第 1 差動信号及び前記第 2 差動信号が入力される前記差動 D F F のデータ信号を取得するデータ取得部、及び

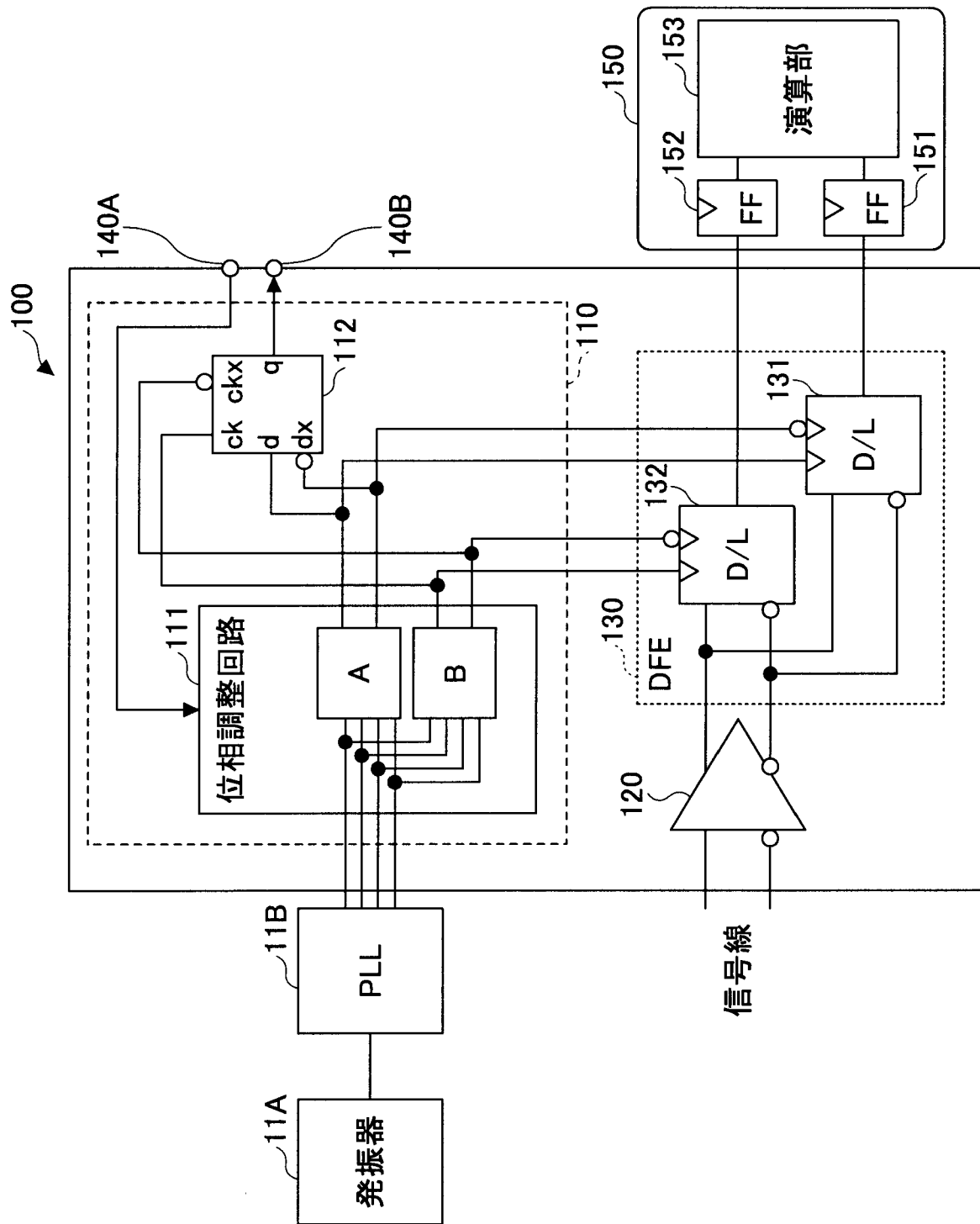
前記位相シフト部による位相のシフトと、前記データ取得部による前記データ信号の取得とを前記第 1 差動信号と前記第 2 差動信号との位相差が前記第 1 差動信号及び前記第 2 差動信号の 1 周期分に達するまで繰り返し実行することによって得る複数のデータ信号の値と、前記複数のデータ信号の期待値と比較する比較部

として機能させる、動作確認試験プログラム。

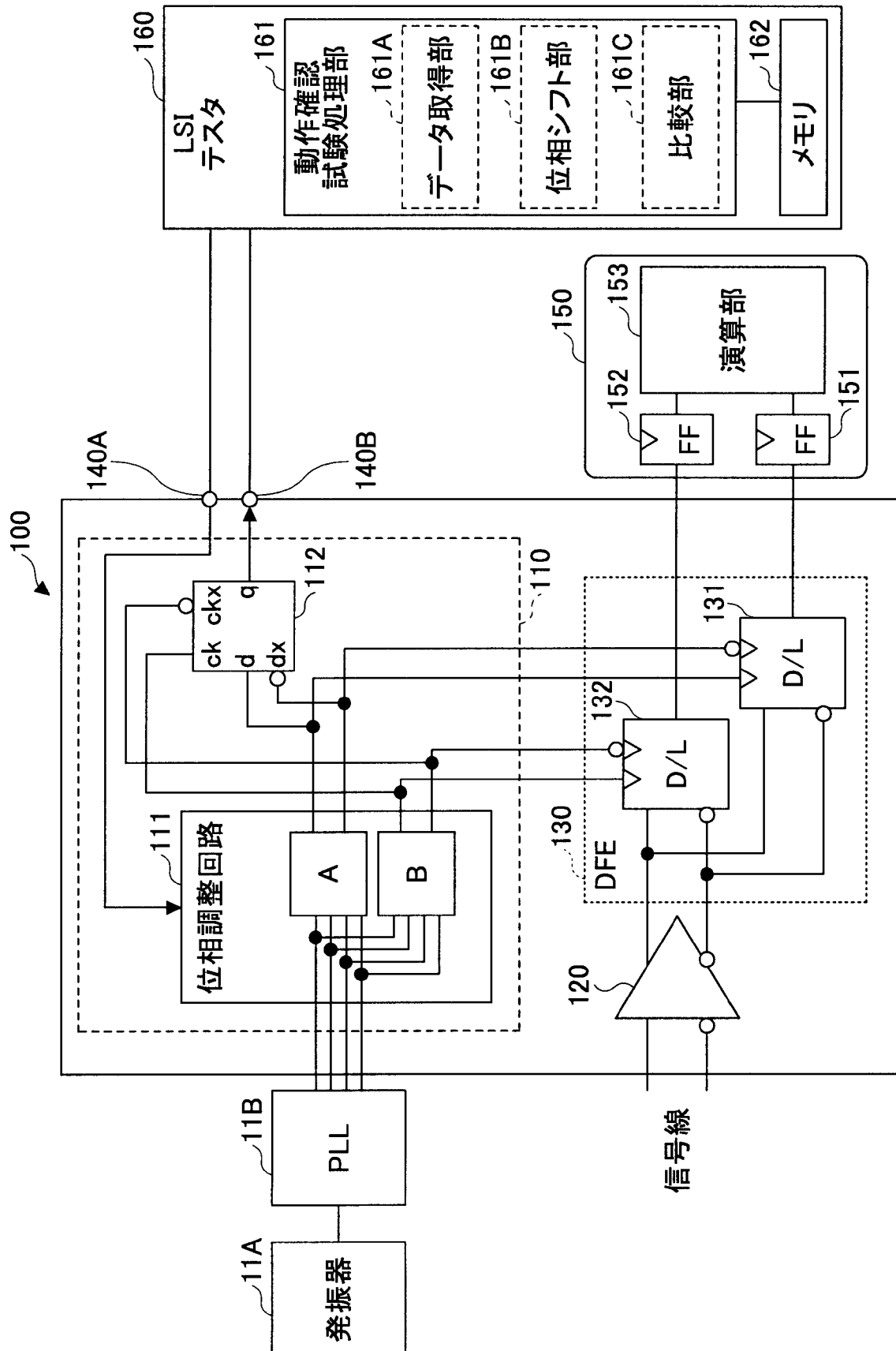
[図1]



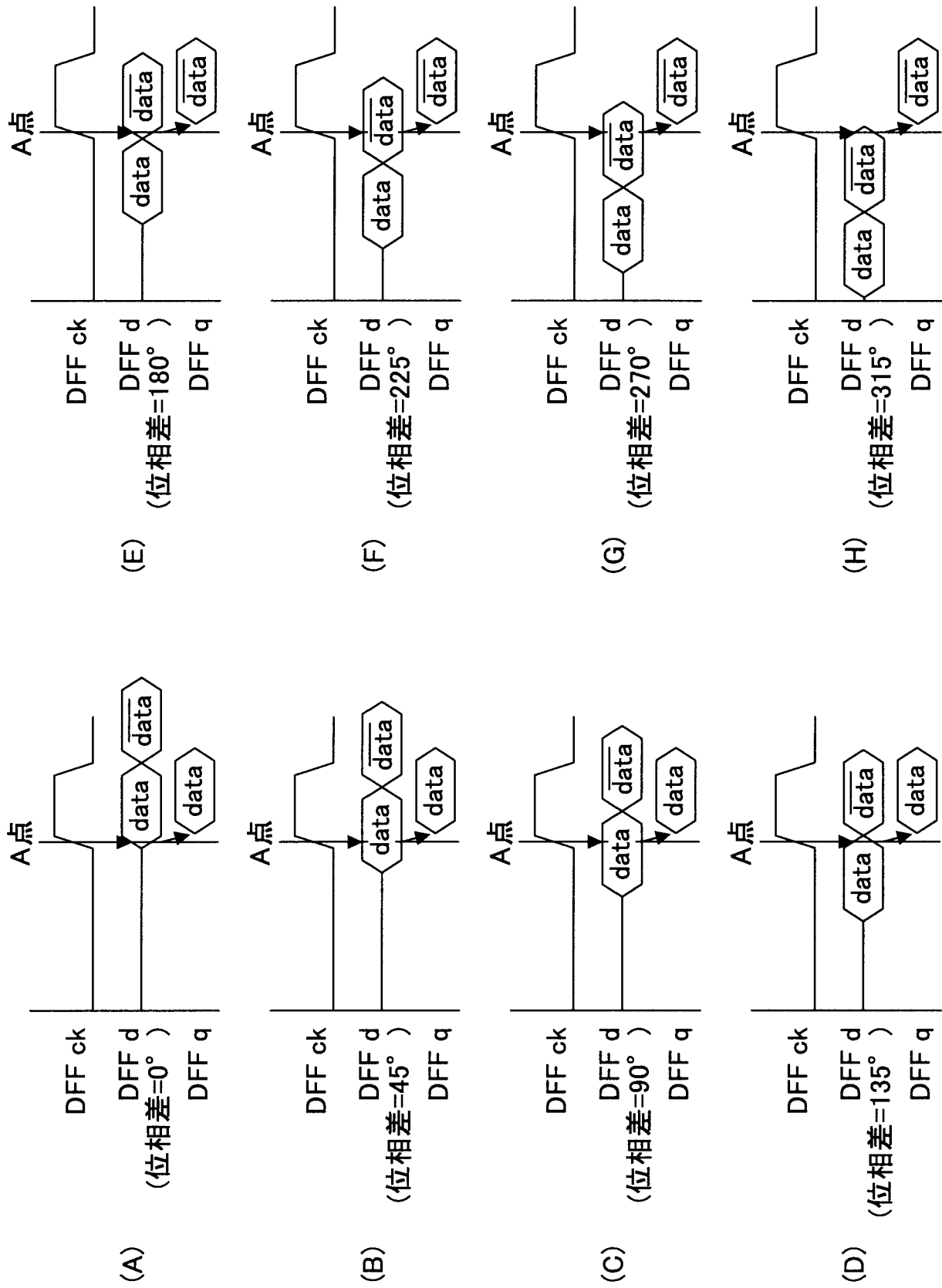
[図2]



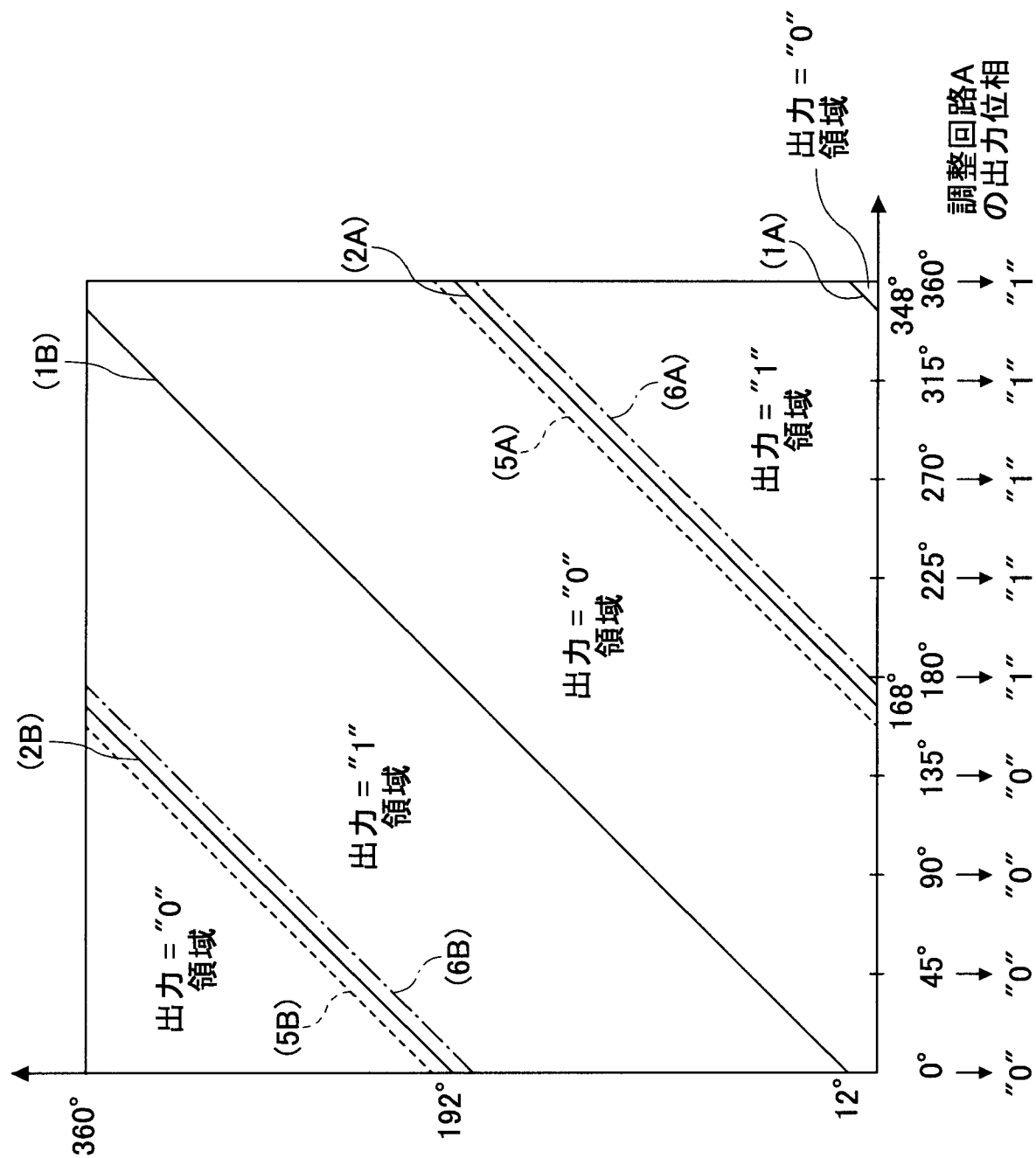
[図3]



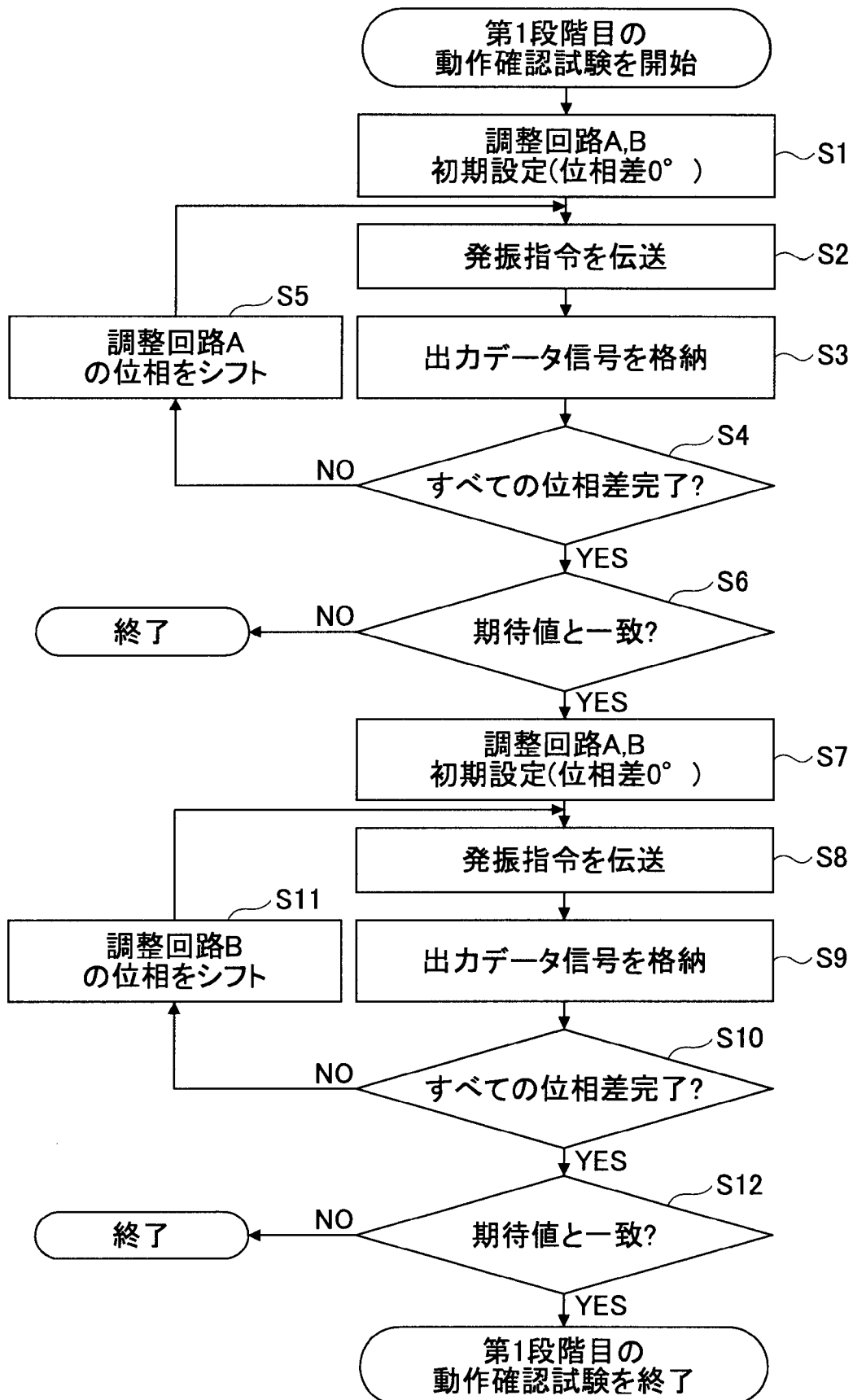
[図4]



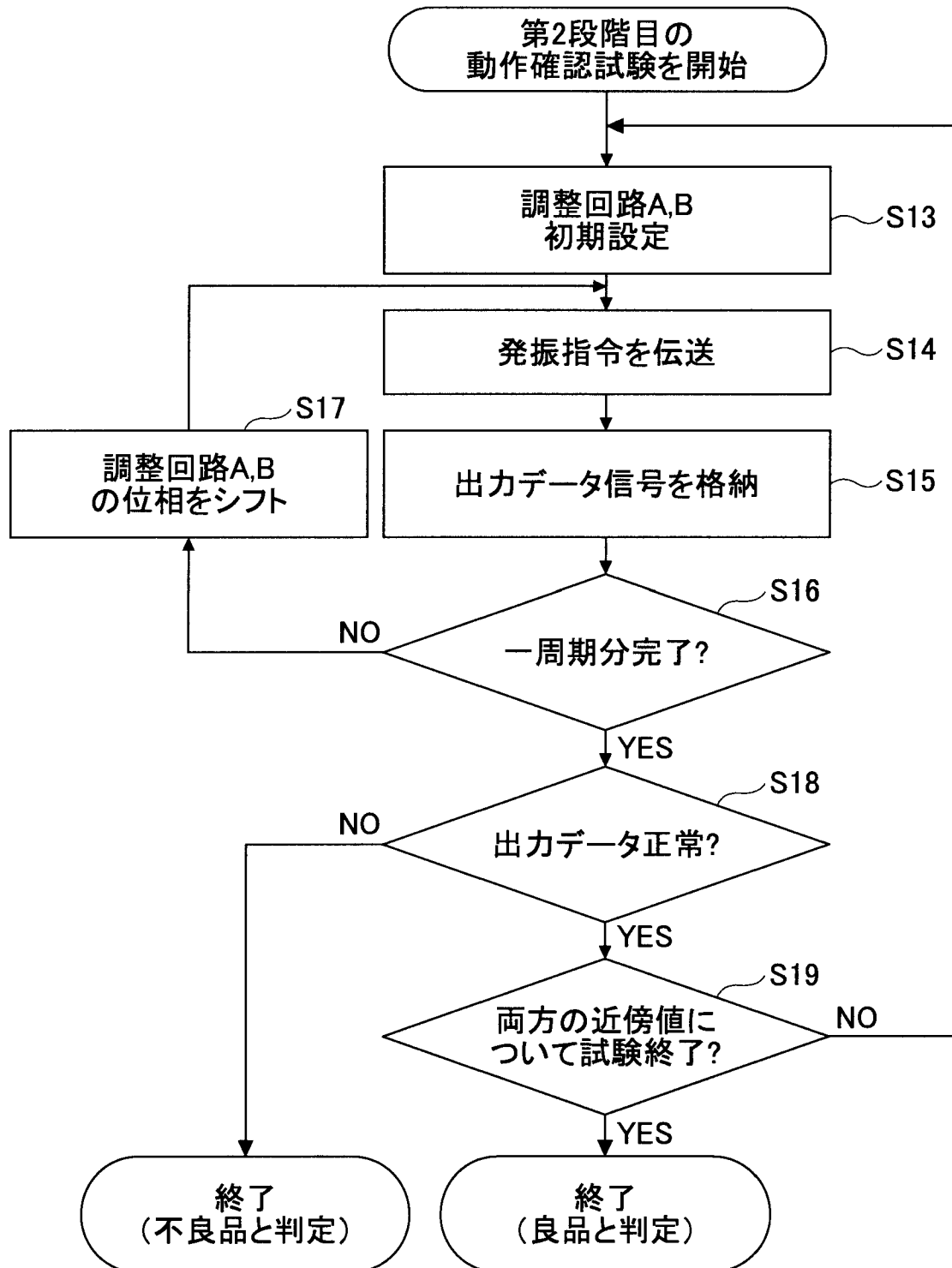
調整回路Bの出力位相



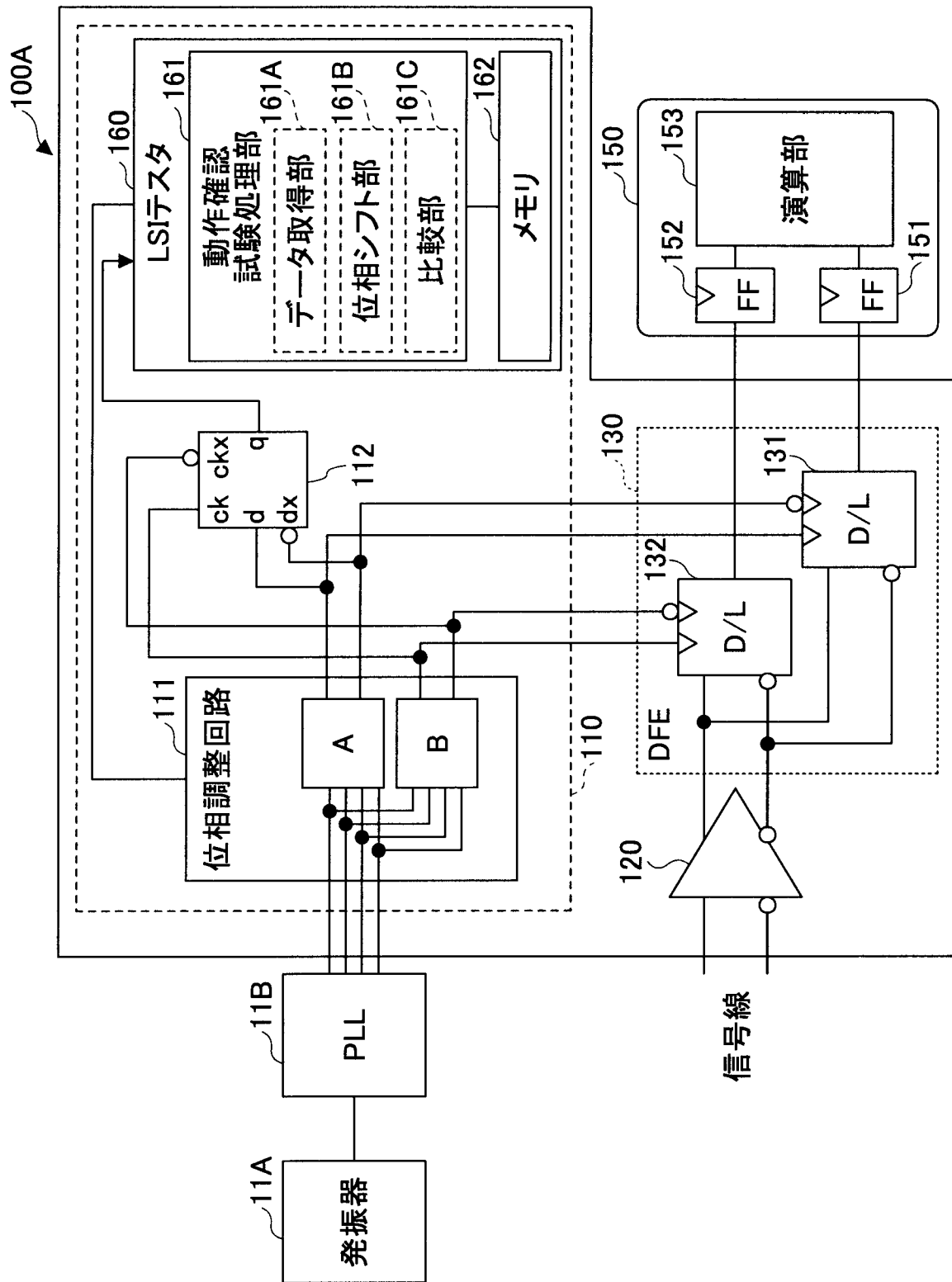
[図6A]



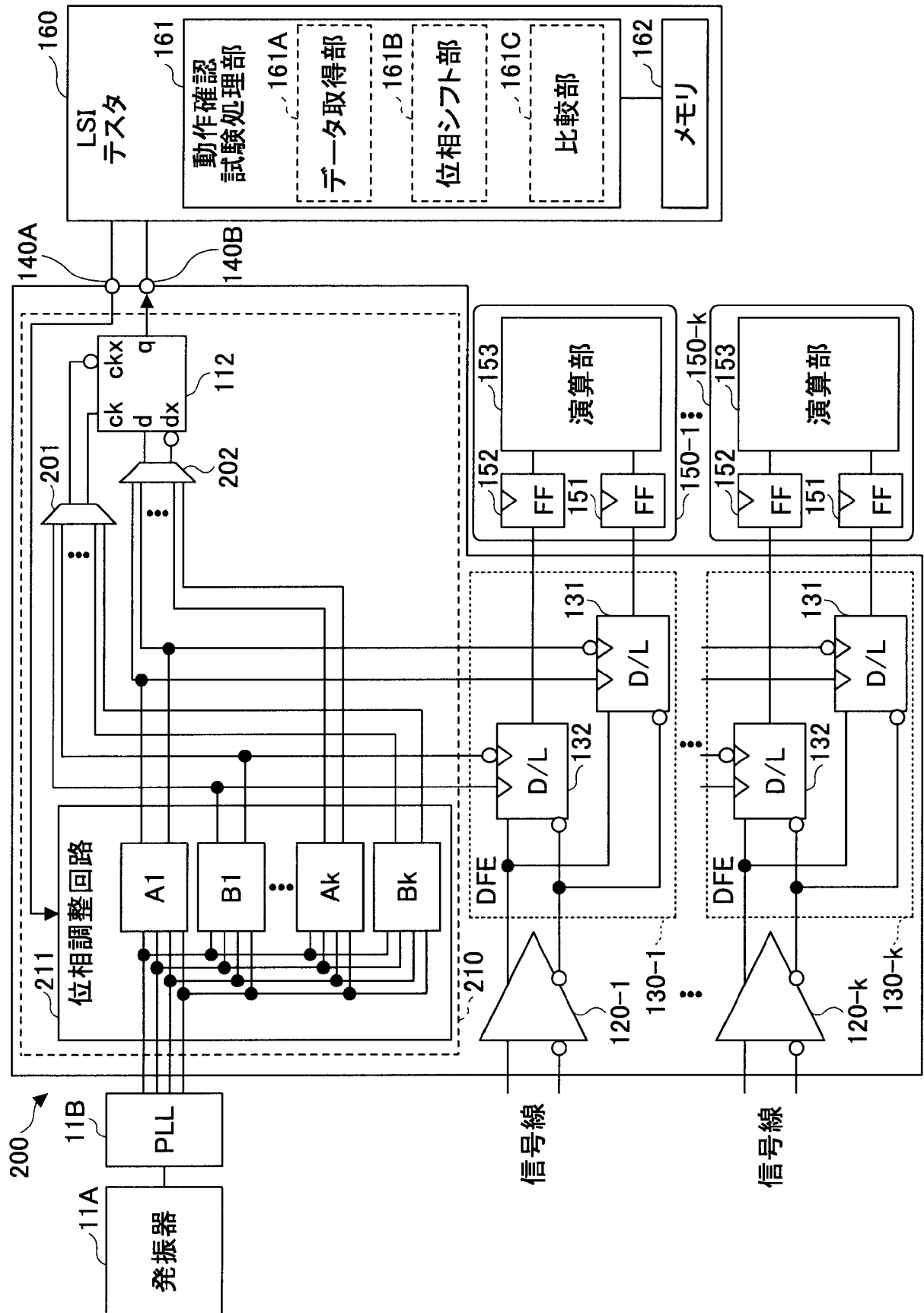
[図6B]



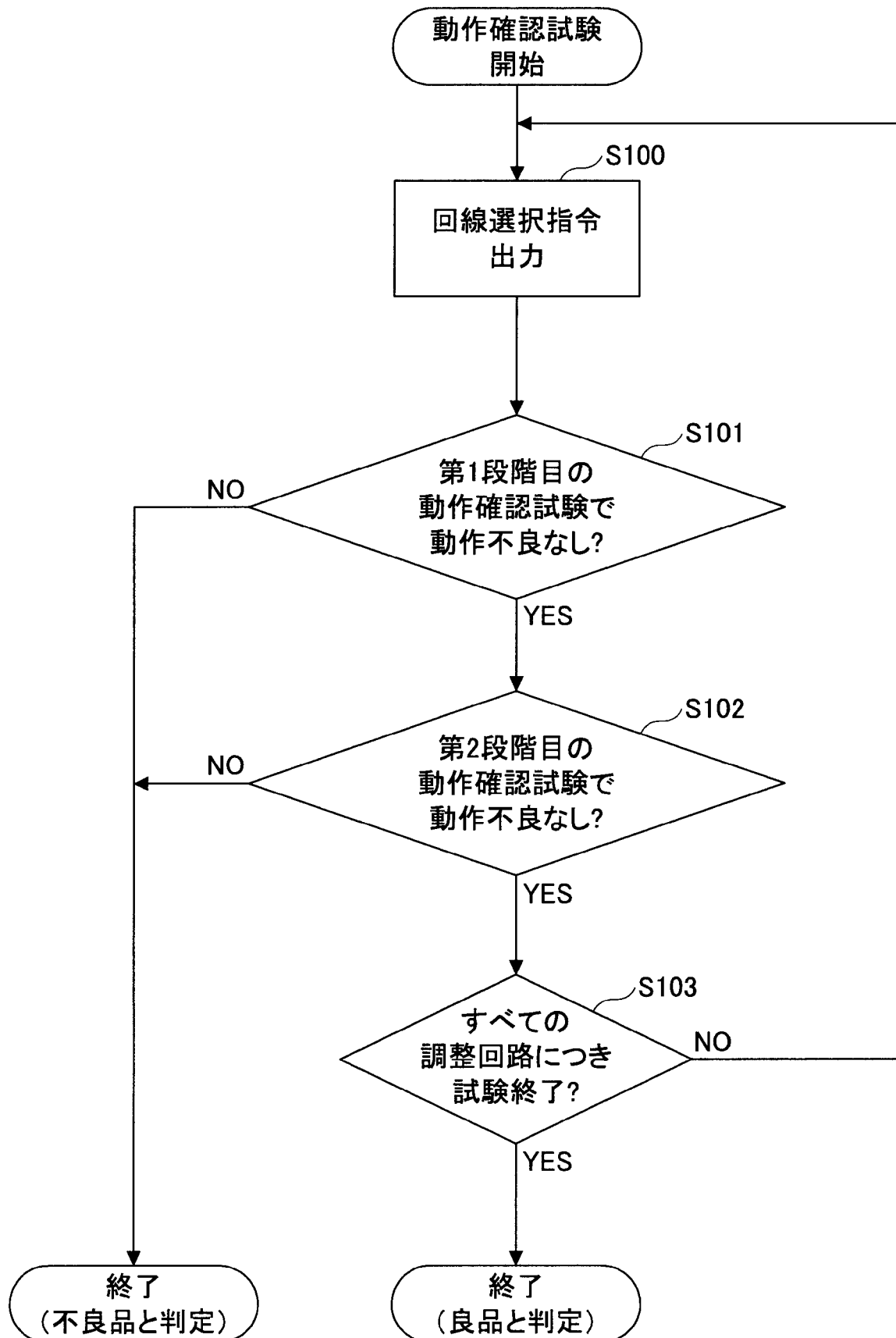
[図7]



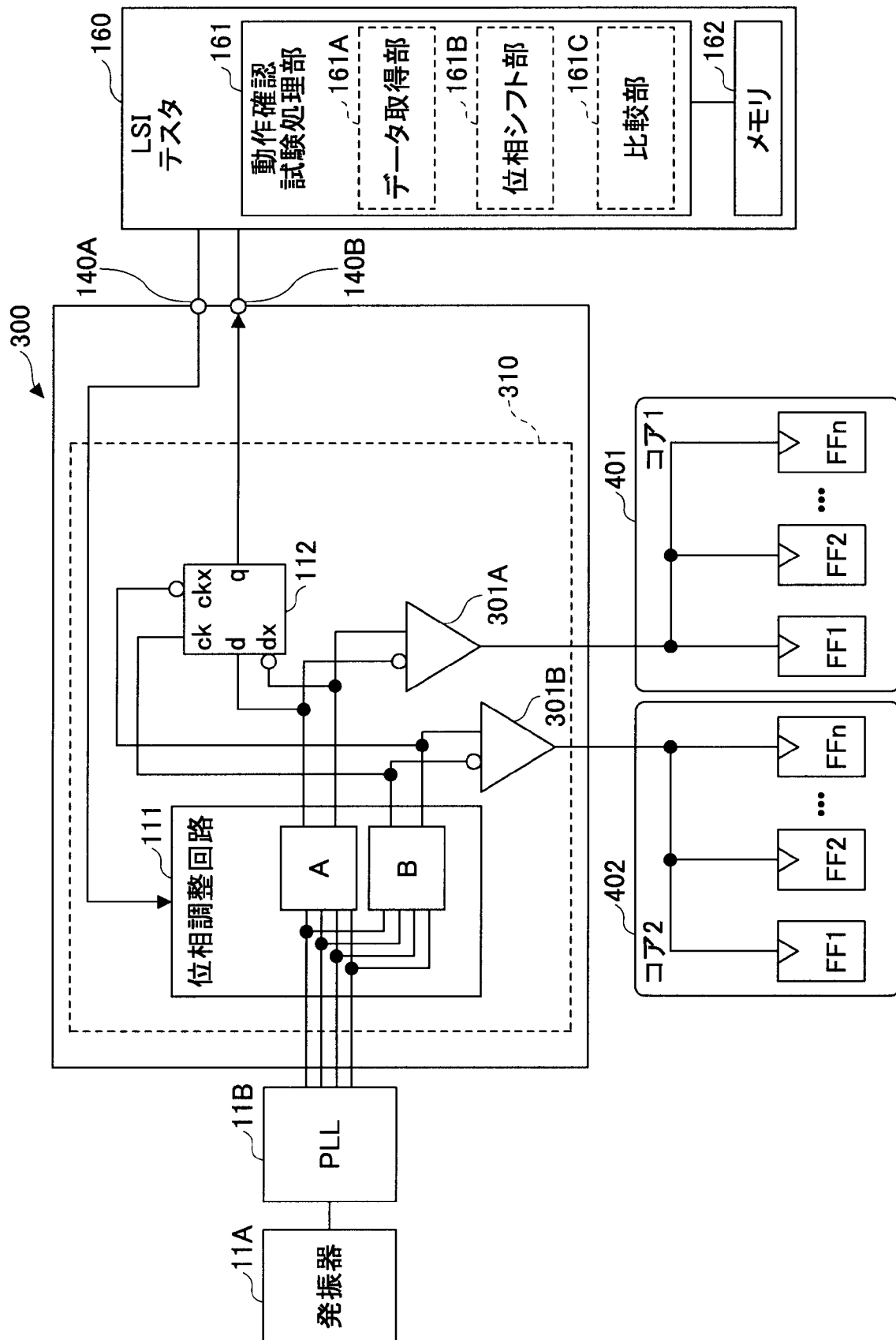
[図8]



[図9]



[図10]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/056623

A. CLASSIFICATION OF SUBJECT MATTER

H04L7/00(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04L7/00-7/10

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2003-32231 A (Fujitsu I.Network Systems Ltd.), 31 January 2003 (31.01.2003), entire text; all drawings (Family: none)	1-8
A	JP 2005-283537 A (Hitachi, Ltd.), 13 October 2005 (13.10.2005), entire text; all drawings (Family: none)	1-8



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
07 May, 2010 (07.05.10)

Date of mailing of the international search report
25 May, 2010 (25.05.10)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H04L7/00(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H04L7/00-7/10

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2010年
日本国実用新案登録公報	1996-2010年
日本国登録実用新案公報	1994-2010年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2003-32231 A（富士通アイ・ネットワークシステムズ株式会社） 2003.01.31, 全文, 全図（ファミリーなし）	1-8
A	JP 2005-283537 A（株式会社日立製作所）2005.10.13, 全文, 全図 （ファミリーなし）	1-8

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

07.05.2010

国際調査報告の発送日

25.05.2010

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

白井 亮

5 K

3363

電話番号 03-3581-1101 内線 3556